

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5822457号  
(P5822457)

(45) 発行日 平成27年11月24日 (2015.11.24)

(24) 登録日 平成27年10月16日 (2015.10.16)

(51) Int. Cl.

F I

H O 2 M 3/28 (2006.01)

H O 2 M 3/28 H

H O 2 M 7/21 (2006.01)

H O 2 M 3/28 F

G O 3 G 15/00 (2006.01)

H O 2 M 7/21 A

G O 3 G 21/00 (2006.01)

G O 3 G 15/00 5 5 0

G O 3 G 21/00 3 9 8

請求項の数 6 (全 12 頁)

(21) 出願番号 特願2010-259292 (P2010-259292)  
 (22) 出願日 平成22年11月19日 (2010.11.19)  
 (65) 公開番号 特開2012-114978 (P2012-114978A)  
 (43) 公開日 平成24年6月14日 (2012.6.14)  
 審査請求日 平成25年11月19日 (2013.11.19)

(73) 特許権者 000001007  
 キヤノン株式会社  
 東京都大田区下丸子3丁目30番2号  
 (74) 代理人 100126240  
 弁理士 阿部 琢磨  
 (74) 代理人 100124442  
 弁理士 黒岩 創吾  
 (72) 発明者 内山 信行  
 東京都大田区下丸子3丁目30番2号キヤ  
 ノン株式会社内  
 (72) 発明者 林崎 実  
 東京都大田区下丸子3丁目30番2号キヤ  
 ノン株式会社内

審査官 尾家 英樹

最終頁に続く

(54) 【発明の名称】 電源装置及び画像形成装置

(57) 【特許請求の範囲】

【請求項 1】

一次側と二次側が絶縁されたトランスと、前記トランスの一次側に入力される直流電圧をスイッチングする第一のスイッチング部と、前記第一スイッチング部に流れる電流を検出し、検出した値が一定になるように前記第一スイッチング部のオン時間を制御し、前記トランスの二次側に発生する電圧に応じて前記第一スイッチング部のオフ時間を制御する第一制御部と、前記前記トランスの二次側に接続され、前記第一スイッチング部がオフしている期間にオンする第二スイッチング部とを備えた電源装置において、

前記トランスの二次側に発生する電圧に応じて前記第二スイッチング部をオンし、前記トランスの二次側から出力される電圧を所定値にするために前記第二スイッチング部のオンする時間を一定時間に設定する第二制御部を有することを特徴とする電源装置。

【請求項 2】

前記第二制御部は、前記一定時間を記憶する記憶部を有し、  
 前記第二制御部は、前記第二スイッチング部がオンしてから前記一定時間経過したタイミングで前記第二スイッチング部をオフすることを特徴とする請求項 1 に記載の電源装置。

【請求項 3】

前記第二スイッチング部は MOS - FET であり、  
 前記第二制御部は、前記 MOS - FET のドレイン端子とソース端子の間の電圧の立下

りのタイミングに応じて前記第二スイッチング部をオンすることを特徴とする請求項 1 または 2 に記載の電源装置。

【請求項 4】

記録材に画像を形成するための画像形成部と、  
前記画像形成部の動作を制御する画像形成制御部と、  
前記画像形成制御部に電圧を供給する電源と、を備え、  
前記電源は、  
一次側と二次側が絶縁されたトランスと、  
前記トランスの一次側に入力される直流電圧をスイッチングする第一のスイッチング部と、

10

前記第一スイッチング部に流れる電流を検出し、検出した値が一定になるように前記第一スイッチング部のオン時間を制御し、前記トランスの二次側に発生する電圧に応じて前記第一スイッチング部のオフ時間を制御する第二制御部と、前記前記トランスの二次側に接続され、前記第一スイッチング部がオフしている期間にオンする第二スイッチング部と、前記トランスの二次側に発生する電圧に応じて前記第二スイッチング部をオンし、前記トランスの二次側から出力される電圧を所定値にするために前記第二スイッチング部のオンする時間を一定時間に設定する第二制御部

を有することを特徴とする画像形成装置。

【請求項 5】

前記第二制御部は、前記一定時間を記憶する記憶部を有し、  
前記第二制御部は、前記第二スイッチング部がオンしてから前記一定時間経過したタイミングで前記第二スイッチング部をオフすることを特徴とする請求項 4 に記載の画像形成装置。

20

【請求項 6】

前記第二スイッチング部は MOS - FET であり、  
前記第二制御部は、前記 MOS - FET のドレイン端子とソース端子の間の電圧の立下りのタイミングに応じて前記第二スイッチング部をオンすることを特徴とする請求項 4 または 5 に記載の画像形成装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、同期整流方式のスイッチング電源装置、その電源装置を搭載した画像形成装置に関する。

【背景技術】

【0002】

近年、電子機器装置の省電力化に伴い、電源装置の動作の効率化が要求されている。動作の効率化を実現した電源装置の一例として、特許文献 1 に記載の電源装置が提案されている。このような従来の電源装置の構成例を図 8 に示す。図 8 において、1 は直流電源、2 は主スイッチング素子としての電界効果トランジスタ MOS - FET (以下、FET ともいう) を制御する制御回路、4 は主スイッチング素子としての FET、5 はトランスである。6 は第 2 のスイッチング素子である FET、7 は平滑コンデンサ、8 は電圧が供給される負荷、9 は出力電圧検出回路、10 は FET 6 に寄生するボディダイオード、11 は FET 6 の駆動回路、12 は FET 6 の電流検出回路である。

40

【0003】

直流電源 1 からの入力電圧は、制御回路 2 および駆動回路 3 で制御される FET 4 を導通する (オンする) ことでトランス 5 の 1 次巻線 n1 に励磁エネルギーとして蓄積される。一方、FET 4 を非導通する (オフする) タイミングでトランス 5 の 1 次巻線 n1 に励磁されたエネルギーは 2 次巻線 n2 に変換され、ボディダイオード 10 と電流検知回路 12 を通して負荷に供給される。電流検知回路 12 は電流が流れたことを検出すると駆動回路 11 にオン信号を送出し、FET 6 をオンする。また、電流検知回路 12 は自身に流れてい

50

る電流が所定値以下になると電流が流れ終ったと判断し、今度は駆動回路１２にオフ信号を送出してＦＥＴ６をオフする。ボディダイオード１０の順方向電圧による損失に対してＦＥＴ６による損失は非常に低い。このため、ボディダイオード１０に流れる電流をＦＥＴ６側に切り替えるように制御することで、効率の向上を図っていた。このような方式は同期整流方式と呼ばれており、ＦＥＴ６は同期整流用のＦＥＴとも呼ばれる。

【先行技術文献】

【特許文献】

【０００４】

【特許文献１】特開平７－１１５７６６号公報

【発明の概要】

【発明が解決しようとする課題】

【０００５】

しかしながら、上記従来例では次のような課題があった。上記の同期整流方式の場合、動作の効率を向上するために同期整流用のＦＥＴのオンオフを検知する回路を設ける構成であり、この検知回路は複雑になる。従って、回路規模が大きくなり、コストアップを招いていた。また、二次巻線に流れる電流をカレントトランスで検知し、検知した電流によってＦＥＴのオンオフ制御を行う場合、軽負荷時では二次巻線に流れる電流量が僅かであり、カレントトランスから出力される電流も非常に小さくなってしまいＦＥＴのオンオフを正しく制御できない状態になる。ＦＥＴのオンオフが正しく制御（駆動）されないと、効率の低下、また、消費電力が増大する可能性がある。このような軽負荷時（軽負荷状態）は、動作を待機しているスタンバイ状態や消費電力を低減する省エネモード（スリープモードともいう）を指し、所謂、電子機器におけるデフォルトの状態である。このデフォルトの状態は、電子装置において一日の中でかなりの時間を占める状態であり、ＦＥＴのオンオフ動作による消費電力の増加や損失が電子機器のトータルの消費電力に大きく影響する。

【０００６】

従って、本発明は、上記の点に鑑み、同期整流方式のスイッチング電源において、簡単な回路構成で回路規模を小さくし、かつ、負荷の状態によらず同期整流動作を正しく実行して消費電力を低減することを目的とする。

【課題を解決するための手段】

【０００７】

上記目的を達成するための本発明の電源装置は、一次側と二次側が絶縁されたトランスと、前記トランスの一次側に入力される直流電圧をスイッチングする第一のスイッチング部と、前記第一スイッチング部に流れる電流を検出し、検出した値が一定になるように前記第一スイッチング部のオン時間を制御し、前記トランスの二次側に発生する電圧に応じて前記第一スイッチング部のオフ時間を制御する第一制御部と、前記前記トランスの二次側に接続され、前記第一スイッチング部がオフしている期間にオンする第二スイッチング部とを備えた電源装置において、前記トランスの二次側に発生する電圧に応じて前記第二スイッチング部をオンし、前記トランスの二次側から出力される電圧を所定値にするために前記第二スイッチング部のオンする時間を一定時間に設定する第二制御部を有することを特徴とする。

【０００８】

また、本発明の画像形成装置は、記録材に画像を形成するための画像形成部と、

前記画像形成部の動作を制御する制御部と、前記制御部に電圧を供給する電源と、を備え、前記電源は、一次側と二次側が絶縁されたトランスと、前記トランスの一次側に入力される直流電圧をスイッチングする第一のスイッチング部と、前記第一スイッチング部に流れる電流を検出し、検出した値が一定になるように前記第一スイッチング部のオン時間を制御し、前記トランスの二次側に発生する電圧に応じて前記第一スイッチング部のオフ時間を制御する第一制御部と、前記前記トランスの二次側に接続され、前記第一スイッチング部がオフしている期間にオンする第二スイッチング部と、前記トランスの二次側に発

10

20

30

40

50

生する電圧に応じて前記第二スイッチング部をオンし、前記トランスの二次側から出力される電圧を所定値にするために前記第二スイッチング部のオンする時間を一定時間に設定する第二制御部を有することを特徴とする。

【発明の効果】

【0009】

以上説明したように、本発明によれば、簡単な回路構成で回路規模を小さくし、かつ、負荷の状態によらず同期整流動作を正しく実行して消費電力を低減することが可能になる。

【図面の簡単な説明】

【0010】

10

【図1】実施例1の電源装置の回路図

【図2】実施例1の回路の動作波形

【図3】実施例2の回路の動作波形

【図4】実施例2の電源装置の回路図

【図5】実施例2の動作を示すフロチャート

【図6】実施例3の電源装置の回路図

【図7】実施例3の回路の動作波形

【図8】従来回路図

【図9】本発明の電源装置の適用例を示す図

【発明を実施するための形態】

20

【0011】

次に、上述した課題を解決するための本発明の具体的な構成について、以下に実施例に基づき説明する。なお、以下に示す実施例は一例であって、この発明の技術的範囲をそれらのみに限定する趣旨のものではない。

【実施例1】

【0012】

実施例1について以下に説明する。

図1は本発明の実施例1に係る電源装置の回路図であり、図2はその動作波形の一部を示した図である。以下、図1と図2を基にして、本実施例1の詳細説明を行う。

【0013】

30

101は直流電圧電源であり、コンセント（商用電源）から供給されてダイオードブリッジ（不図示）で全波整流されたAC電圧をコンデンサ（不図示）で平滑することで直流電圧が得られる。102は制御部としての制御ICであり、第一のスイッチング素子としてのMOS-FET103（以下、FETという）のオンオフ動作を制御する。104は一次側と二次側の絶縁を取りつつ一次側のエネルギーを二次側に変換するトランスであり、一次巻線のインダクタンスを $L_p$ 、二次巻線のインダクタンスは $L_s$ である。105はFET103の電流を検知する電流検知用の抵抗、120は二次側の平滑コンデンサ、121は第二のスイッチング素子としてのMOS-FET（以下、FETという）であり、二次側の電圧を整流する同期整流用のFETである。122は同じく二次側電圧を整流するためのダイオード（ボディダイオードともいう）、123は電子機器の動作を制御する制御IC（CPU）である。なお、8は電圧が出力される負荷である。

40

【0014】

電源装置が起動する際は、不図示の起動回路により制御IC102がFET103の駆動を開始する（オンする）。FET103がオンされるとトランス104の一次側、および、電流検知抵抗105に電流が流れるとともに、トランス104の一次巻き線に流れるピーク電流を $I_p$ とした場合、以下の式1で示されるエネルギー $E_1$ が蓄積される。

$$E_1 = 1/2 L_p \times I_p^2 \quad \dots (式1)$$

このピーク電流 $I_p$ は電流検知抵抗によって電圧に変換され、制御IC102により一定値に制御される。このため入力電圧が変化してもトランス104に蓄積されるエネルギーは略同じ値になる。例えば、100V系の電圧が入力される場合、入力電圧がAC85Vの

50

時はピーク電流の傾きが立つ（単位時間あたりの変化量が大きい）ためF E T 1 0 3の駆動時間（オン時間ともいう）が短くなる。一方、入力電圧がA C 1 4 0 V時では電流の傾きが緩やかになる（単位時間あたりの変化量が小さい）ためF E T 1 0 3のオン時間は長くなる。このように入力電圧が異なっている場合でも電流の流れている時間が異なるだけでピーク電流値は同じである。

#### 【 0 0 1 5 】

一方、二次巻線に蓄積されるエネルギーE 2は、二次巻線に発生するピーク電流をI sとすると、以下の式2で示される。

$$E 2 = 1 / 2 L s \times I s^2 \quad \cdots (式 2)$$

フライバック方式の電源の場合は、トランスの一次側で発生したエネルギーと二次側に変換するエネルギーが等しいため、トランス1 0 4の二次巻線に流れる電流は、入力電圧によらずに一定時間流れることになる。本実施例1においては、トランスの一次側の電流のピーク値に基づいて出力を制御する方式が前提となる。

#### 【 0 0 1 6 】

入力電圧が一定の場合、F E T 1 0 3のオン時間も一定であり、また、トランスの二次側の電流のオン時間も一定になる。そして、負荷8の状態の変化（負荷が大きい／小さい）に対応するため、オフ時間を変化させて周波数を可変する。つまり負荷の状態が変化したとしても、トランスの二次側に電流が流れている時間は一定となる。

#### 【 0 0 1 7 】

図1の電源装置において、負荷8に対する出力電圧が大きい場合、例えば、2 4 Vを出力している場合（重負荷時ともいう）は、二次側の電解コンデンサ1 2 0の出力側の電圧を検知してトランス1 0 4の一次側にフィードバックして、F E T 1 0 3の駆動を制御することに負荷に対して一定の電圧（2 4 V）が出力するように制御される。なお、出力電圧が大きい場合とは、電子装置が動作を実行している状態であり、通常出力モードとも呼ばれる。

#### 【 0 0 1 8 】

一方、図2は、出力電圧が小さい場合、例えば、3 . 3 Vを出力している場合（軽負荷時ともいう）の動作波形を示している。図2において、2 0 1はF E T 1 0 3に流れる電流波形、2 0 2はF E T 1 0 3のドレイン - ソース間の電圧波形、2 0 3はトランスの二次側の電流波形、2 0 4は同期整流用のF E T 1 2 1のドレイン - ソース間の電圧波形を示したものである。このように、F E T 1 2 1のドレイン - ソース間の電圧の立ち下がりトランスの二次側の電流の流れ始めは同じタイミングになる。この立ち下りのタイミングを制御I C 1 2 3で検出して、I C 1 2 3がF E T 1 2 1ゲート端子をハイレベルにしてF E T 1 2 1を駆動する（オンする）。

#### 【 0 0 1 9 】

具体的には、ダイオード1 2 2のカソード端子に入力される電圧をI C 1 2 3で検知して、その電圧の立ち下りタイミングを検知して、検知したタイミングでF E T 1 2 1を駆動するように制御する。

#### 【 0 0 2 0 】

また、F E T 1 2 1をオフするタイミングについては、本実施例1の方式がピーク電流を固定する方式を前提としているため、前述したようにオフ時間も固定となり、この時間を制御I C 1 2 3に予め記憶させておく。I C 1 2 3に予め記憶した一定時間経過後（オフ時間経過後）、F E T 1 2 1のゲート端子をローレベルにしてF E T 1 2 1をオフする。このオフ時間は予め設定された一定時間であり、本実施例では4 μ sに設定している。なお、このオフ時間は使用する回路や素子の特性に応じて適宜設定すればよい。

#### 【 0 0 2 1 】

なお、上記のI C 1 2 3への電力は、トランス1 0 4の二次側からの電圧を降圧するD C / D Cコンバータ（不図示）から供給されているものとする。

#### 【 0 0 2 2 】

また、出力電圧が小さい場合（軽負荷時）とは、電子装置が動作を実行せず、待機して

10

20

30

40

50

いる状態であり、低電圧出力モードとも呼ばれる。

【0023】

以上、説明したように、同期整流方式の電源でトランスの一次側のピーク電流を固定する方式において、トランスの二次巻線の出力電圧の立ち下りを検出して、二次側の同期整流用FETの駆動を開始し、予め記憶した時間経過後に同期整流用のFETの駆動を停止するように制御する。これにより負荷の状態（大きさ）に関わらず安定して二次側の同期整流用のFETを正しく動作することができる。

【0024】

なお、本実施例1では二次側の整流用ダイオード122をFET121と個別に設ける構成したが、同期整流用のFETが備えるボディダイオードを利用することも可能である。

10

【実施例2】

【0025】

次に、実施例2について説明する。前述の実施例1では、トランスの一次側のピーク電流を固定する方式で、トランスの二次巻線の出力の立ち下りを検出して、二次側の同期整流用のFETの駆動を制御した。本実施例では、この実施例1の構成におけるトランスのインダクタンスのばらつきによる効率の低下を軽減する方式を提案する。

【0026】

実施例1で説明した構成では、例えば、トランスの一次側および二次側インダクタンスのばらつきや一次側の電流の検出回路である抵抗のばらつき等により、制御ICに記憶した時間と実際に二次側のFET121に電流が流れる時間に差が生じる可能性がある。特に、負荷がより大きい（重負荷ともいう）場合は、トランスの一次側に電流が流れ始めても、トランスの二次側のFET121を駆動し続けてしまう可能性がある。このような場合、一次側のFET6を再びオンする時、つまり、二次側巻線の巻き始め側に電圧が発生した時に、二次側のFET121が駆動し続けている状態になる。この状態では、二次側の電解コンデンサ120のマイナス側が逆方向にバイアスされて、二次側の電解コンデンサ120を劣化させる可能性がある。更には、電源の効率を低下させてしまう可能性もある。

20

【0027】

上記の記憶した時間と実際の時間に差が生じた時における、一次側の電流と二次側の電流の関係を図3に示す。301aは軽負荷時におけるトランスの一次側の電流、302bはトランスの二次側の電流を示しており、破線の区間がオフ時間となる。一方、302aが重負荷時におけるトランスの一次側の電流、302bが二次側の電流を示しており、二次側の電流がマイナス側に流れる期間（塗りつぶした三角形の領域）がトランスの一次側のFETと二次側のFETの駆動タイミングの重複期間である。この重複期間が生じると効率が低下する。なお同期整流方式ではなく、ダイオード整流方式であれば整流動作を終えた時点で自動的にオフするためこのような重複期間は略存在しない（ダイオードの逆回復時間は除く）。

30

【0028】

本実施例では、上記のようにトランスの一次側のFETと二次側のFETの駆動タイミングが重複しないようにするために、負荷が大きい重負荷状態では同期整流動作を行わずにダイオード整流とし、オフ時間が十分に確保できる軽負荷状態で同期整流動作を行うように制御する。これにより、重負荷時における効率の低下を回避することができる。なお、オフ時間が十分に確保できている軽負荷の場合には、制御ICに記憶した時間と実際にトランスの二次側のFETを駆動する時間に多少の差が生じて、トランスの一次側のFETが再びオンするまでの時間に余裕があり、上記のような効率の低下に陥ることはない。

40

【0029】

なお、オフ時間が確保できる軽負荷状態とは、電子機器では動作を待機している待機状態（例えば、スタンバイ状態やスリープ状態（省電力状態））、実施例1で説明した出力電

50

圧が 3 . 3 V の状態 ) である。一方、電子機器が動作状態であれば軽負荷状態に比べて負荷が大きい重負荷状態 ( 実施例 1 で説明した出力電圧が 2 4 V の状態 ) になる。電子機器では待機状態の時間の方が、動作状態 ( 稼動している状態 ) に比べて長いため、電子機器のトータル消費電力を低下するには、この待機状態における消費電力を低下することが重要である。

#### 【 0 0 3 0 】

以下に、本実施例の動作について説明する。回路構成については実施例 1 ( 図 1 ) の回路構成と略同様であるが、図 4 に示すように、二次側に整流用のダイオード 1 2 4 を追加している点が異なる。本実施例において実施例 1 と異なる動作は、トランスの二次側の F E T 1 2 1 の駆動動作である。電子機器は、当然のことながら稼動状態のときに重負荷状態となり、機器が停止しているスタンバイ状態や機器の消費電力を下げたスリープ状態の時に軽負荷状態になる。本実施例では、電子機器の状態 ( モード ) に応じてトランスの二次側の F E T の動作を制御することを特徴とする。具体的には、重負荷状態においては F E T 1 2 1 を駆動させずに、ダイオード 1 2 4 によってダイオード整流動作に切り換える点が特徴である。

#### 【 0 0 3 1 】

図 5 のフロチャートに基づき具体的な動作について説明する。まず、ステップ 4 0 1 において、電子機器が稼動状態であるか否かを検知する。例えば、電子機器が動作を開始したときを稼動状態、それ以外を非稼動状態と定義することができる。例えば、動作を開始したタイミングで、装置が稼動状態に入ったと判断すればよい。電子機器が稼動状態の場合 ( S 4 0 1 が Y e s の場合 ) 、重負荷状態であると判断し、制御 I C 1 2 3 は同期整流用の F E T 1 2 1 の動作 ( 制御 ) は行わず、整流動作はダイオード 1 2 2 で行うようにする。つまり、制御 I C 1 2 3 は F E T 1 2 1 を駆動しないようにする。F E T 1 2 1 の駆動制御を行わない場合、トランスの二次側の電圧は自動的にダイオード 1 2 4 で整流されるように動作する。この場合は、トランスの一次側に電流が流れている期間、二次巻線の巻き始め側を正極とする電圧が発生するが、ダイオード 1 2 4 でブロックされるため、負荷 8 側に電流は流れない。そして、一次側の電流が流れ終わった時点で今度は二次巻線の巻き終わり側を正極とする電圧が発生し、負荷 8 ( および電解コンデンサ 1 2 0 ) からダイオード 1 2 4 トランス 1 0 4 の二次巻線というルートで電流が流れる。この時はダイオード 1 2 4 の順方向と電流の方向が同一であるためダイオード 1 2 4 で電流がブロックされることはない。一方、ステップ 4 0 1 が N o の場合、つまり電子機器がスタンバイ状態、または、スリープ状態に遷移した場合は、ステップ 4 0 2 において二次巻線の出力の立ち下がりエッジが来るまで待機する。立ち下がりエッジを検出すると ( S 4 0 2 が Y e s の場合 ) 、ステップ 4 0 3 において、F E T 1 2 1 のゲート端子をハイレベルにして、F E T 1 2 1 をオンさせる。次にステップ 4 0 4 においてタイマをセットする。このとき設定するタイマ値は実施例 1 で説明したトランスに二次側に電流が流れている時間と同じ値かもしくは若干小さめの値とする。若干小さめに設定する理由は、仮に二次側に電流が流れる時間よりも実際流れる時間がばらつき等で大きくなった場合に、二次側の平滑コンデンサ 1 2 0 から電流を逆流させてしまう可能性があり、エネルギーを無駄に浪費してしまう可能性があるからである。ステップ 4 0 5 では、タイマがゼロになるまで待機し、タイマがゼロになった時点で、ステップ 4 0 6 にて F E T 1 2 1 のゲート端子をローレベルに設定し、F E T 1 2 1 をオフさせる。

#### 【 0 0 3 2 】

以上説明したように、電子機器が稼動状態である重負荷時は、同期整流方式ではなくダイオード整流方式とし、電子機器がスタンバイ状態、あるいは、スリープ状態の時に二次巻線の出力電圧の立ち下りを検出して同期整流用の F E T の駆動を制御する。これにより、一次側の F E T と二次側の F E T の駆動タイミングが重複せずに駆動制御することができ、消費電力を抑えた同期整流動作が可能になる。

#### 【 0 0 3 3 】

なお、スリープ状態における更なる低消費電力化を図るため、スリープ状態で出力電圧

10

20

30

40

50

を下げる電源装置に適用する場合は、電源の切り替え信号を基にしてダイオード整流と同期整流の切り替えを行うことができる。

【実施例 3】

【0034】

次に実施例 3 について説明する。前述の実施例 1、実施例 2 では、トランスの二次側の FET の駆動を電子機器の制御部 (CPU) で制御していた。本実施例は、制御部ではなく駆動回路を用いて二次側の FET の駆動を制御する構成を特徴とする。

【0035】

以下、図 6 の回路図と図 7 の動作波形に基づき本実施例の構成について説明する。なお、図 6 において、実施例 1 (図 1) と同じ構成要素については同一符号を付け、その説明は省略する。

【0036】

図 6 において、130 は補助巻線であってトランスの二次側の FET 121 のゲート端子に電圧を供給するためのものである。C131 はコンデンサであり、一端が補助巻線 130 の巻き終わり側に接続され、他端が二次側の FET 121 のゲート端子に接続されている。132 は抵抗であり、一端が二次側の FET 121 のゲート端子に接続してあり、他端が補助巻線 130 の巻き始め側と二次側の出力のグランド側に接続してある。また、抵抗 132 と並列にダイオード 133 が、そのカソード側を二次側の FET 121 のゲート端子に接続されている。このような回路構成で、一次側の FET 103 がオフすると、補助巻線 130 の巻き終わり側を正極とする電圧が一定期間発生し、コンデンサ 131 を通して二次側の FET 121 のゲート端子に電圧が供給され始める。コンデンサ 131 と抵抗 132 は微分回路を形成しており、二次側の FET 121 に供給される電圧は徐々に減衰する。ダイオード 133 は二次側の FET 121 のゲート - ソース間の電圧が耐圧を超えないようにするために接続している。

【0037】

図 7 は FET 121 のゲート端子に印加される電圧波形を示したものである。なお、縦軸は電圧値 (V) 示し、横軸は時間 (t) を示している。電圧の減衰曲線が二次側の FET 121 のオン電圧である  $V_{th}$  を下回るタイミングが二次側の FET 121 のオン期間になる。このオン期間が所定値になるようにコンデンサ 131 と抵抗 132 の値を調整する。このようにオン期間を所定値にして同期整流動作が可能になる。

【0038】

以上、説明したように、トランスに補助巻線を追加し、補助巻線の出力をコンデンサと抵抗による微分回路を通して二次側の FET のゲート端子に供給する。これにより、二次側の FET を一定時間オンすることができ、実施例 1 と同様に安定して正確な同期整流動作を実現することができる。

【0039】

なお、本実施例のようにハード的な回路を構成して同期整流用の FET を駆動制御した場合でも、実施例 1 や 2 と同様な動作を実現することが可能である。例えば、二次側の FET がオフするタイミングを二次側の電流がゼロになるタイミングよりも前 (短く) 設定し、二次側の FET のオフ直前でダイオード整流に切り替えるように制御すれば、各素子がばらついたとしても一次側の FET と二次側の FET の駆動タイミングを重複しないよう制御できる。

【0040】

また、実施例 2 の構成と同様に、整流用のダイオードを追加して、重負荷時においてダイオード整流に切り換える構成にすることも可能である。

【0041】

< 電源装置の適用例の説明 >

次に、上記で説明した実施例 1 ~ 実施例 3 の電源装置を適用した装置の一例を図 9 に基づき説明する。上記の実施例 1 乃至実施例 3 で説明した電源装置を例えばレーザービームプリンタ、複写機、ファクシミリ等の画像形成装置における低電圧電源として適用すること

10

20

30

40

50



ができる。画像形成装置における制御部としてのコントローラへの電力供給、また、用紙を搬送する搬送ローラの駆動部としてのモータへの電力供給のための電源として適用可能である。

#### 【 0 0 4 2 】

図 9 A に画像形成装置の一例であるレーザービームプリンタの概略構成を示す。レーザービームプリンタ 2 0 0 は、画像形成部 2 1 0 として潜像が形成される像担持体としての感光ドラム 2 1 1、感光ドラムに形成された潜像をトナーで現像する現像部 2 1 2 を備えている。そして感光ドラム 2 1 1 に現像されたトナー像をカセット 2 1 6 から供給された記録媒体としてのシート（不図示）に転写して、シートに転写したトナー像を定着器 2 1 4 で定着してトレイ 2 1 5 に排出する。また、図 9 B に画像形成装置の制御部としてのコントローラと駆動部としてのモータへの電源からの電力供給ラインを示す。前述の電流共振電源は、このような画像形成動作を制御する CPU 3 1 0 有するコントローラ 3 0 0 の電力供給、また、画像形成のための駆動部としてのモータ 3 1 2、3 1 3 に電力を供給する低圧電源として適用できる。供給する電力としては、コントローラ 3 0 0 へは 3 . 3 V、モータへは 2 4 V を供給する。例えばモータ 3 1 2 はシートを搬送する搬送ローラを駆動するモータ、モータ 3 1 3 は定着器 2 1 4 を駆動するモータである。

10

#### 【 0 0 4 3 】

このように画像形成装置の低電圧電源として適用した場合、画像形成動作を実行している状態の画像形成動作時は、モータに対して 2 4 V を出力する状態であり、画像形成動作を実行せずに、動作を待機している省電力時は、コントローラに 3 . 3 V を出力している状態である。

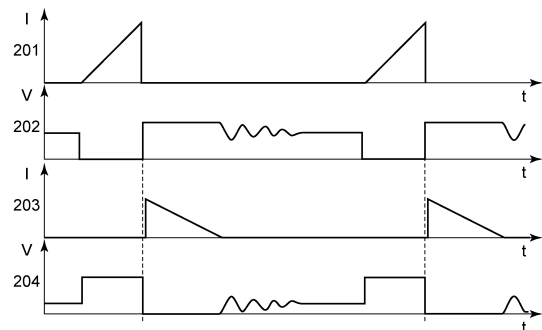
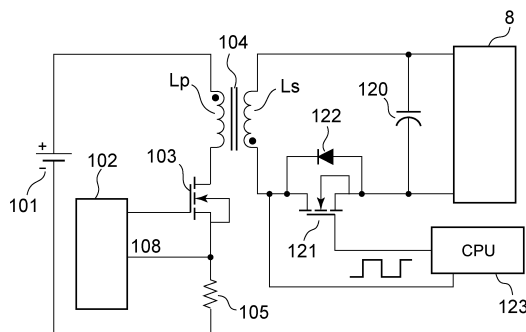
20

#### 【 0 0 4 4 】

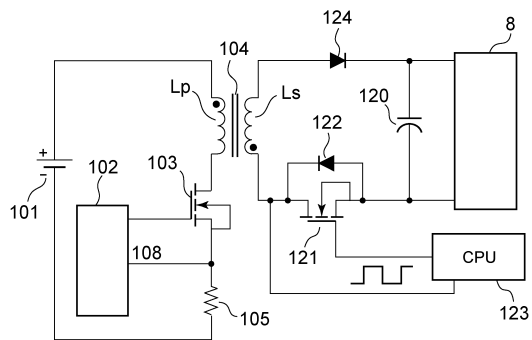
なお、上記実施例 1 乃至 3 で説明した電源装置は、ここで説明した画像形成装置に限らず他の電子機器の低電圧電源としても適用可能である。

#### 【 図 1 】

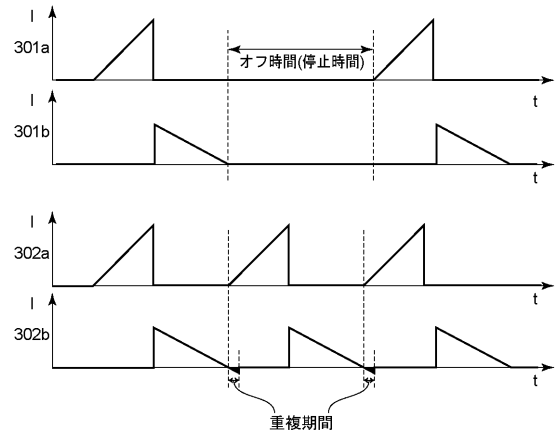
#### 【 図 2 】



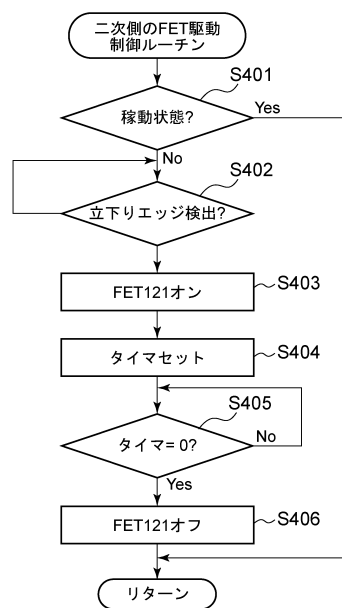
【図 3】



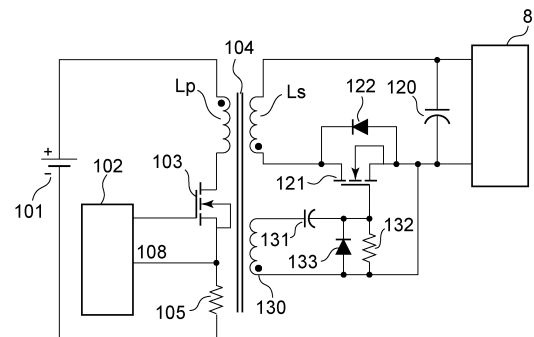
【図 4】



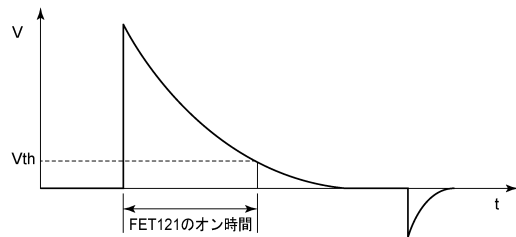
【図 5】



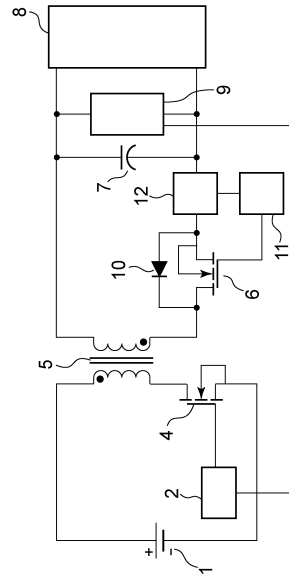
【図 6】



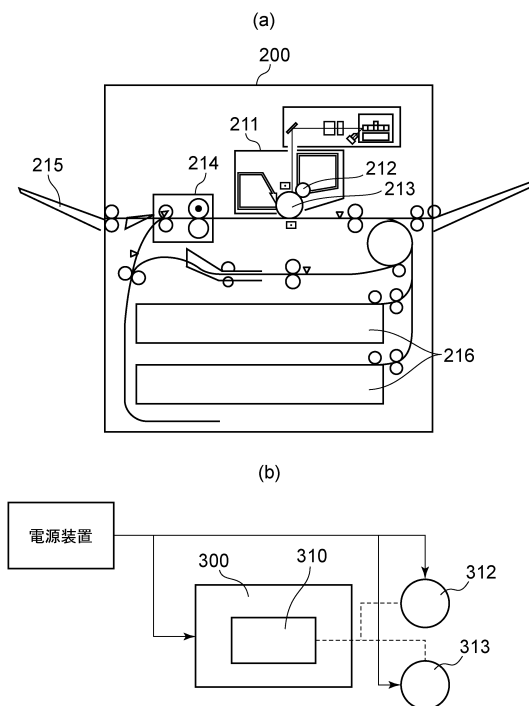
【図 7】



【図 8】



【図 9】



---

フロントページの続き

(56)参考文献 特開2009-273329(JP,A)  
特開平07-115766(JP,A)  
特開2007-185059(JP,A)  
特開2005-137191(JP,A)  
特開2002-305876(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/00 - 3/44