



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201810533 A

(43)公開日：中華民國 107 (2018) 年 03 月 16 日

(21)申請案號：106101084

(22)申請日：中華民國 106 (2017) 年 01 月 13 日

(51)Int. Cl.：

H01L21/8234(2006.01)

H01L27/088 (2006.01)

H01L27/115 (2017.01)

H01L27/10 (2006.01)

H01L29/788 (2006.01)

H01L21/336 (2006.01)

H01L29/792 (2006.01)

(30)優先權：2016/02/24

日本

2016-033597

(71)申請人：瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION (JP)

日本

(72)發明人：篠原正昭 SHINOHARA, MASAOKI (JP)

(74)代理人：周良謀；周良吉

申請實體審查：無 申請專利範圍項數：15 項 圖式數：31 共 66 頁

(54)名稱

半導體裝置之製造方法

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)摘要

本發明提供一種穩定的半導體裝置之製造方法。該半導體裝置之製造方法係，首先，在半導體基板 1 之記憶體單元部 A 及邏輯部 B 中形成相等寬度之鰭片 F3。接著，在用遮罩膜 PR2 覆蓋記憶體單元部 A 之鰭片 F3 的狀態下，對邏輯部 B 之鰭片實施蝕刻，在邏輯部 B 中形成寬度比記憶體單元部 A 之鰭片 F3 小的鰭片 F4。

Provided is a stable manufacturing method for a semiconductor device. In the manufacturing method for a semiconductor device, first, fins with an equal width are formed in each of a memory cell portion and a logic portion of a semiconductor substrate. Then, the fins in the logic portion are etched with the fins in the memory cell covered with a mask film, thereby fabricating fins in the logic portion, each of which is narrower than the fin formed in the memory cell portion.

指定代表圖：

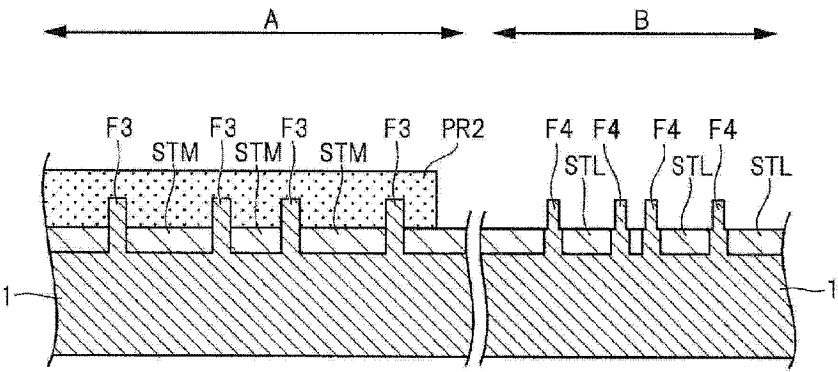


圖 14

- 符號簡單說明：
- 1 . . . 半導體基板
 - A . . . 記憶體單元部
 - B . . . 邏輯部
 - F3 . . . 緒片
 - F4 . . . 緒片
 - PR2 . . . 光阻膜(遮罩膜)
 - STL . . . 元件分離膜
 - STM . . . 元件分離膜

【發明說明書】

【中文發明名稱】

半導體裝置之製造方法

【英文發明名稱】

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

【技術領域】

【0001】

本發明係關於半導體裝置之製造方法，例如，可理想地使用於具有非依電性記憶體之半導體裝置之製造方法。

【先前技術】

【0002】

目前廣泛地使用EEPROM(電子可抹除可程式化唯讀記憶體(Electrically Erasable and Programmable Read Only Memory))作為電性可寫入、抹除之非依電性半導體記憶裝置。以目前廣泛使用之快閃記憶體為代表的該等記憶裝置在MISFET(金屬絕緣體場效電晶體(Metal Insulator Field Effect Transistor))之閘極電極下，具有被氧化膜包圍之導電性浮動閘極電極或捕捉性絕緣膜，並以在浮動閘極或捕捉性絕緣膜之電荷儲存狀態作為記憶資訊，且以此作為電晶體之臨界值讀出。該捕捉性絕緣膜係指可儲存電荷之絕緣膜，並可舉如氮化矽膜等為例。藉由對如此之電荷儲存區域注入、放出電荷，使MISFET之臨界值移位並作為記憶元件來動作。該快閃記憶體包括使用MONOS(金屬氧化物氮化物氧化物半導體(Metal Oxide Nitride Oxide Semiconductor))膜之分離閘極型單元。在該記憶體中，藉由使用氮化矽膜作為電荷儲存區域，相較於導電性之浮動閘極膜，具有

因分離地儲存電荷而具優異之資料保持可靠性，且，因具優異之資料保持可靠性而可使氮化矽膜上下之氧化膜薄膜化，因此寫入、抹除動作可低電壓化等的優點。

【0003】

此外，記憶體單元具有：控制閘極電極(選擇閘極電極)，其隔著第一閘極絕緣膜形成於半導體基板上；記憶體閘極電極，其隔著包含電荷儲存區域之第二閘極絕緣膜形成於半導體基板上；及一對半導體區域(源極區域及汲極區域)，其以夾住控制閘極電極及記憶體閘極電極之方式形成於半導體基板之表面上。

【0004】

此外，日本特開2006－41354號公報(專利文獻1)揭示在半導體基板之表面形成凸型形狀之作用區域，並以跨越該凸型作用區域之方式配置控制閘極電極及記憶體閘極電極的記憶體單元。

【0005】

另外，日本特開2013－98192號公報(專利文獻2)之[0128]段落至[0135]段落及圖39至圖41揭示使用等向性之蝕刻，縮短側壁長度的技術。

[先前技術文獻]

[專利文獻]

【0006】

[專利文獻1] 日本特開2006－41354號公報

[專利文獻2] 日本特開2013－98192號公報

【發明內容】

【0007】

[發明所欲解決的問題]

專利文獻1係關於鰭片型非依電性記憶體之發明，且實施形態6揭示只將記憶體單元之記憶體閘極電極作成凸型形狀(鰭片型)，並在控制閘極電極及邏輯部中形成通常之平坦型裝置的例子。

【0008】

但是，為不僅使記憶體單元部，亦使邏輯部之面積縮小及消耗電力為低，記憶體單元部及邏輯部之MISFET必須為鰭片型。

【0009】

此外，為形成具有將記憶體單元部及邏輯部之MISFET作成鰭片型之非依電性記憶體的半導體裝置，希望開發穩定之製程。

【0010】

其他課題及新特徵可由本說明書之記述及添附圖式了解。

[解決問題的手段]

【0011】

依據一實施形態，半導體裝置之製造方法具有以下步驟：準備具有主面之半導體基板；在半導體基板之主面的第一區域及第二區域中，分別形成第一遮罩膜；在第一區域及第二區域中，在第一遮罩膜之側壁上，形成第二遮罩膜。然後，去除第一遮罩膜後，在第一區域及第二區域中，蝕刻第二遮罩膜外側之半導體基板而形成凹部，並在第二遮罩膜下，形成具有第一寬度之第一凸部；在用第三遮罩膜覆蓋第一區域之第一凸部的狀態下，對第二區域之第一凸部實施蝕刻，在第二區域形成具有第二寬度之第二凸部。而且，第二寬度比第一寬度小。

[發明的功效]

【0012】

依據一實施形態，可提供穩定的半導體裝置之製造方法。

【圖式簡單說明】**【0013】**

- [圖1]係檢討例之半導體裝置的製程中的主要部分截面圖。
- [圖2]係接續圖1之半導體裝置的製程中的主要部分截面圖。
- [圖3]係接續圖2之半導體裝置的製程中的主要部分截面圖。
- [圖4]係接續圖3之半導體裝置的製程中的主要部分截面圖。
- [圖5]係接續圖4之半導體裝置的製程中的主要部分截面圖。
- [圖6]係接續圖5之半導體裝置的製程中的主要部分截面圖。
- [圖7]係接續圖6之半導體裝置的製程中的主要部分截面圖。
- [圖8]係接續圖7之半導體裝置的製程中的主要部分截面圖。
- [圖9]係接續圖8之半導體裝置的製程中的主要部分截面圖。
- [圖10]係一實施形態之半導體裝置的主要部分平面圖。
- [圖11]係一實施形態之半導體裝置的主要部分截面圖。
- [圖12]係一實施形態之半導體裝置的主要部分截面圖。
- [圖13]係一實施形態之半導體裝置的製程中的主要部分截面圖。
- [圖14]係接續圖13之半導體裝置的製程中的主要部分截面圖。
- [圖15]係接續圖14之半導體裝置的製程中的主要部分截面圖。
- [圖16]係接續圖14之半導體裝置的製程中的主要部分截面圖。
- [圖17]係接續圖16之半導體裝置的製程中的主要部分截面圖。
- [圖18]係接續圖17之半導體裝置的製程中的主要部分截面圖。
- [圖19]係接續圖18之半導體裝置的製程中的主要部分截面圖。
- [圖20]係接續圖19之半導體裝置的製程中的主要部分截面圖。
- [圖21]係接續圖20之半導體裝置的製程中的主要部分截面圖。

[圖22]係接續圖21之半導體裝置的製程中的主要部分截面圖。

[圖23]係接續圖22之半導體裝置的製程中的主要部分截面圖。

[圖24]係接續圖23之半導體裝置的製程中的主要部分截面圖。

[圖25]係接續圖24之半導體裝置的製程中的主要部分截面圖。

[圖26]係接續圖24之半導體裝置的製程中的主要部分截面圖。

[圖27]係接續圖25之半導體裝置的製程中的主要部分截面圖。

[圖28]係接續圖27之半導體裝置的製程中的主要部分截面圖。

[圖29]係變形例之半導體裝置的製程中的主要部分截面圖。

[圖30]係接續圖29之半導體裝置的製程中的主要部分截面圖。

[圖31]係接續圖30之半導體裝置的製程中的主要部分截面圖。

【實施方式】

【0014】

雖然在以下實施形態中為方便起見在有必要時，分割成多數段或實施形態來說明，但除了特別明示之情形以外，該等多數段或實施形態並非互相沒有關係，且其關係是其中一者為另一者之一部分或全部的變形例、細節、補充說明等。此外，在以下實施形態中，提及要素之數等(包含個數、數值、量、範圍等)時，除了特別明示之情形及原理上顯而易見地限定於特定數之情形以外，不限於該提及之數，可為提及之數以上或以下。另外，在以下之實施形態中，該構成要素(亦包含要素步驟等)，除了特別明示之情形及考慮原理上顯而易見地為必須之情形等以外，當然不一定是必須的。同樣地，在以下之實施形態中，提及構成要素等之形狀、位置關係等時，除了特別明示之情形及考慮原理上顯而易見地為必須之情形等以外，實質上包含近似或類似其形狀等者等。這對於上述數值及範圍而言亦相同。

【0015】

以下，依據圖式詳細地說明實施形態。此外，在用以說明實施形態之全部圖中，具有同一機能之構件賦予同一符號，並省略其重複之說明。另外，在以下實施形態中，除了特別必要時以外，原則上不重複同一或同樣部分之說明。

【0016】

此外，在實施形態中使用之圖式中，截面圖亦有為容易看見圖式而省略陰影線之情形。此外，平面圖亦有為容易看見圖式而加上陰影線之情形。

【0017】

(實施形態)

<檢討例>

本申請案發明人檢討在具有非依電性記憶體之記憶體單元部及邏輯部中，配置多數鰭片型MISFET的半導體裝置。首先，說明半導體裝置形成方法之一部份的鰭片型元件形成區域(作用區域)之形成方法。此外，鰭片型元件形成區域(作用區域)只稱為「鰭片」或「凸部」。如後所述地，本申請案發明人檢討之具有非依電性記憶體的半導體裝置中，追求相對地增加記憶體單元部之鰭片寬度且減少邏輯部之鰭片寬度的構造。即，邏輯部之鰭片寬度必須比記憶體單元部之鰭片寬度小。圖1至圖9係檢討例之半導體裝置的形成步驟中之主要部分截面圖，並特別顯示鰭片之形成步驟。

【0018】

如圖1所示地，實施半導體基板之準備步驟(步驟S1)及絕緣膜形成步驟(步驟S2)。在半導體基板之準備步驟(步驟S1)中，準備由具有例如大約1至10 Ω cm之比電阻的p型單晶矽等形成的半導體基板1。半導體基板1係直徑200 μ m至300 μ m之半導體晶圓。半導體基板1之主面具有記憶體單元部A及邏輯部B，且記憶體單元部A及邏輯部B分別為形成多數MISFET之區域。絕緣膜形成步驟(步驟S2)包含

以下步驟：在半導體基板1之表面上，形成由膜厚大約2至10nm之氧化膜形成的絕緣膜2；及在絕緣膜2上形成由膜厚大約20至100nm之氮化矽膜所構成的絕緣膜3。此外，如圖1所示地，在絕緣膜3上形成遮罩膜4，實施遮罩膜4堆積步驟。遮罩膜4係由例如非晶矽膜形成，且其膜厚為20至200nm。

【0019】

接著，如圖2所示地，實施遮罩膜4之圖案化步驟。使用光刻技術及蝕刻技術使遮罩膜4圖案化，在記憶體單元部A上形成多數遮罩膜4a，並在邏輯部B上形成多數遮罩膜4b。圖1所示之遮罩膜4堆積步驟及遮罩膜4圖案化步驟稱為遮罩膜形成步驟(步驟S3)。依據遮罩膜4a及遮罩膜4b之寬度及間隔，可決定鰭片之形成位置(鰭片之間隔)。遮罩膜4b之寬度及間隔比遮罩膜4a之寬度及間隔小。

【0020】

接著，如圖3所示地，實施絕緣膜5之形成步驟。以覆蓋遮罩膜4a及4b之上面及側面的方式，在半導體基板1之主面上堆積絕緣膜5。絕緣膜5，例如，由具有10至40nm之膜厚的氧化矽膜形成。絕緣膜5之膜厚為決定鰭片之寬度的主要原因。

【0021】

接著，如圖4所示地，硬遮罩膜5a及5b之形成步驟中，對前述絕緣膜5實施異向性乾式蝕刻，在遮罩膜4a及4b之側壁上，選擇地形成由側壁絕緣膜形成之硬遮罩膜5a及5b。雖然硬遮罩膜5a形成於記憶體單元部A上且硬遮罩膜5b形成於邏輯部B上，但硬遮罩膜5a及5b之寬度相等，且與前述絕緣膜5之膜厚大致相等。接著，形成硬遮罩膜5a及5b後，去除遮罩膜4a及4b。

【0022】

接著，如圖5所示地，實施硬遮罩膜5b之細線化步驟。形成露出邏輯部B且覆蓋記憶體單元部A之光阻膜(遮罩膜)PR1，接著對由光阻膜PR1露出的邏輯部B

之硬遮罩膜5b實施等向性蝕刻。在氧化矽膜之情形中，等向性乾式蝕刻在技術上是困難的，一般是藉由濕式蝕刻進行。如此，在邏輯部B上形成寬度比前述硬遮罩膜5a小之硬遮罩膜5b'。即，細線化步驟係使前述硬遮罩膜5b之寬度減少(縮小)的步驟。形成硬遮罩膜5b'後，去除抗蝕膜PR1。如此，在記憶體單元部A及邏輯部B上，分別形成鰭片形成用之硬遮罩膜5a及5b'。在此，絕緣膜5之形成步驟、硬遮罩膜5a及5b之形成步驟、及硬遮罩膜5b之細線化步驟一起稱為硬遮罩膜形成步驟(步驟S4)。

【0023】

接著，如圖6所示地，實施鰭片加工步驟(步驟S5)。以硬遮罩膜5a及5b'作為遮罩，對絕緣膜3及2以及半導體基板1實施異向性乾式蝕刻，在平面圖中，形成形狀與硬遮罩膜5a及5b'大致相等之絕緣膜3及2以及鰭片F1及F2。即，在硬遮罩膜5a及5b'之外側(未被硬遮罩膜5a及5b'覆蓋之區域)的半導體基板1上形成凹部，藉此形成被凹部包圍之凸部，即鰭片F1及F2。在此，蝕刻半導體基板1時，亦使用絕緣膜3作為蝕刻遮罩。如此，將由硬遮罩膜5a及5b'露出之區域的半導體基板1向下深挖100至250nm，藉此可形成由半導體基板1之主面1a具有高度100至250nm的鰭片F1及F2。當然，記憶體單元部A之鰭片F1的寬度W1比邏輯部B之鰭片F2的寬度W2大。

【0024】

接著，如圖7所示地，實施絕緣膜6之堆積步驟。在半導體基板1上，以完全掩埋鰭片F1及F2、絕緣膜2及3以及硬遮罩膜5a及5b'之方式堆積由氧化矽膜等形成之絕緣膜6。即，在凸部周圍之凹部中形成絕緣膜6。

【0025】

接著，如圖8所示地，實施絕緣膜6之研磨步驟。對絕緣膜6、前述硬遮罩膜5a及5b'以及絕緣膜3實施CMP(化學機械拋光(Chemical Mechanical Polishing))處

理，並在研磨硬遮罩膜5a及5b'後，研磨絕緣膜3及6到絕緣膜3成為例如大約20nm。

【0026】

接著，如圖9所示地，實施絕緣膜6之蝕刻步驟。前述研磨步驟結束後，首先，藉由例如濕式蝕刻去除絕緣膜3。接著，藉由對絕緣膜6實施等向性蝕刻，形成元件分離膜6a及6b。即，使絕緣膜6之上面降低，例如設定鰭片F1及F2之高度為大約30nm至50nm。在此，絕緣膜6之堆積步驟、絕緣膜6之研磨步驟及絕緣膜6之蝕刻步驟稱為鰭片形成步驟(步驟S6)。此外，在等向性蝕刻絕緣膜6之步驟中，亦去除絕緣膜2。

【0027】

藉由以上之步驟，可在記憶體單元部A上形成鰭片F1，且在邏輯部B上形成鰭片F2。鰭片F1及F2係由半導體基板1之主面1a突出之凸部，且其周圍被形成於半導體基板1之主面1a上的元件分離膜6a及6b包圍。即，多數鰭片F1被元件分離膜6a分開，且多數鰭片F2被元件分離膜6b分開。接著，如後所述地，在鰭片F1上形成非依電性記憶體單元，並在鰭片F2上形成MISFET。

【0028】

由本申請案發明人之檢討可知，上述鰭片之形成方法仍有進一步改善之餘地。

【0029】

首先可知的是，在上述硬遮罩膜形成步驟(步驟S4)中之硬遮罩膜5b的細線化步驟中，用氟酸濕式蝕刻硬遮罩膜5b時，難以控制蝕刻量，因此蝕刻量之變化大及半導體晶圓面內之硬遮罩膜5b'的尺寸(寬度、長度或高度)變化大。蝕刻量之變化及硬遮罩膜5b'之尺寸變化直接關係到鰭片寬度之變化，並呈現為形成於其上之MISFET的特性變化。

【0030】

其次，在上述硬遮罩膜形成步驟(步驟S4)中之絕緣膜5的形成步驟中，絕緣膜5之膜厚設定為比邏輯部B之硬遮罩膜5b'寬度大的記憶體單元部A之硬遮罩膜5a的寬度。因此，在堆積絕緣膜5之階段，邏輯部B之相鄰遮罩膜4b之間會不當地被絕緣膜5填滿，因此可知有在硬遮罩膜5a及5b之形成步驟中，即使對絕緣膜5實施異向性乾式蝕刻，亦無法形成硬遮罩膜5b的問題。亦可知的是形成於邏輯部B上之MISFET進行微細化時，該問題特別顯著。

【0031】

<半導體裝置之裝置構造>

圖10係本實施形態之半導體裝置的主要部分平面圖。在圖10中，顯示多數記憶體單元行列狀地配置在記憶體單元部A上之記憶體陣列的主要部分平面圖，且顯示在邏輯部B上構成邏輯電路形成區域之邏輯電路等的電晶體Tr的主要部分平面圖。電晶體Tr雖然例示為n型之MISFET(金屬絕緣體場效電晶體(Metal Insulator Field Effect Transistor))，但亦可同樣地形成p型MISFET。圖11係本實施形態之半導體裝置的記憶體單元的主要部分截面圖。圖11顯示記憶體單元部A之4個截面圖，記憶體單元部A1係沿圖10之A1-A1'之截面圖，記憶體單元部A2係沿圖10之A2-A2'之截面圖，記憶體單元部A3係沿圖10之A3-A3'之截面圖，且記憶體單元部A4係沿圖10之A4-A4'之截面圖。圖12顯示邏輯部B之3個截面圖。邏輯部B1係沿圖10之B1-B1'之截面圖，邏輯部B2係沿圖10之B2-B2'之截面圖，且邏輯部B3係沿圖10之B3-B3'之截面圖。

【0032】

如圖10所示地，在記憶體單元部A中朝Y方向等間隔地配置朝X方向延伸之多數鰭片FA。鰭片FA係，例如，由半導體基板1之主面1a選擇地突出的長方體突出部(凸部)，且鰭片FA之下端部分被覆蓋半導體基板1之主面1a的元件分離膜

STM包圍。鰭片FA係半導體基板1之一部份，且係半導體基板1之作用區域。因此，在平面圖中，相鄰鰭片FA之間被元件分離膜STM填滿，且鰭片FA之周圍被元件分離膜STM包圍。鰭片FA係用以形成記憶體單元MC之作用區域。

【0033】

在多數鰭片FA上，配置朝Y方向(與X方向直交之方向)延伸之多數控制閘極電極CG及多數記憶體閘極電極MG。以夾住控制閘極電極CG及記憶體閘極電極MG之方式，在控制閘極電極CG側形成汲極區域MD，且在記憶體閘極電極MG側形成源極區域MS。汲極區域MD及源極區域MS係在鰭片FA中導入n型不純物之半導體區域，並沿鰭片FA之周圍形成磊晶層EP2及EP1。即，汲極區域MD係在鰭片FA及磊晶層EP2中導入n型不純物之n型半導體區域。源極區域MS係在鰭片FA及磊晶層EP1中導入n型不純物之n型半導體區域。汲極區域MD形成於相鄰2個控制閘極電極CG之間，且源極區域MS形成於相鄰2個記憶體閘極電極MG之間。記憶體單元MC具有控制閘極電極CG、記憶體閘極電極MG、汲極區域MD及源極區域MS。

【0034】

在X方向上相鄰之2個記憶體單元MC中，共有汲極區域MD或源極區域MS。共有汲極區域MD之2個記憶體單元MC相對於汲極區域MD，在X方向上鏡面對稱，且共有源極區域MS之2個記憶體單元MC相對於源極區域MS，在X方向上鏡面對稱。

【0035】

各鰭片FA在X方向上形成3個以上之多數記憶體單元MC，且朝X方向排列之多數記憶體單元MC的汲極區域MD藉由形成於接觸孔CT內之插頭電極PG，連接於由朝X方向延伸之金屬配線MW形成的源極線SL。此外，朝Y方向排列之多數記憶體單元MC的源極區域MS連接於由朝Y方向延伸之金屬配線MW形成的位

元線BL。源極線SL宜使用與位元線BL不同之層的金屬配線。例如，源極線SL宜用比位元線BL上層之金屬配線構成。

【0036】

此外，邏輯部B上形成，例如，朝X方向延伸之鰭片FB。與鰭片FA同樣地，鰭片FB係半導體基板1之作用區域，且鰭片FB之下端部分被覆蓋半導體基板1之主面1a的元素分離膜STL包圍。鰭片FB上配置朝Y方向延伸之閘極電極GE，並以夾住閘極電極GE之方式，在鰭片FB上形成汲極區域LD及源極區域LS。汲極區域LD及源極區域LS係在鰭片FB中導入n型不純物之半導體區域，且沿鰭片FB之周圍形成磊晶層EP3。即，汲極區域LD及源極區域LS係在鰭片FB及磊晶層EP3中導入n型不純物之n型半導體區域。電晶體Tr具有閘極電極GE、汲極區域LD及源極區域LS。閘極電極GE、汲極區域LD及源極區域LS分別藉由形成於接觸孔CT內之插頭電極PG，連接於金屬配線MW。鰭片FB係用以形成電晶體Tr之作用區域。

【0037】

鰭片FA及FB係由半導體基板1之主面1a朝與主面1a垂直之方向突出的，例如，長方體突出部。鰭片FA及FB在長邊方向上具有任意長度、在短邊方向上具有任意寬度、在高度方向上具有任意高度。鰭片FA及FB不一定是長方體，且在短方向之截面圖中，亦包含長方形之角部圓化的形狀。此外，在平面圖中，鰭片FA及FB延伸之方向為長邊方向，與長邊方向直交之方向為短邊方向。即，長度比寬度大。鰭片FA及FB只要是具有長度、寬度及高度之突出部即可，不論其形狀為何。例如，在平面圖中，亦包含鋸齒型式。

【0038】

接著，使用圖11及12說明記憶體單元MC及電晶體Tr之構造。

【0039】

如圖11所示地，在半導體基板1之記憶體單元部A上形成半導體基板1之突出部的鰭片FA。鰭片FA之下部被形成於半導體基板1之主面1a上的元件分離膜STM包圍。即，鰭片FA被元件分離膜STM分開。鰭片FA之下部形成p型半導體區域的p型井PW1。換言之，鰭片FA形成於p型井PW1內。

【0040】

鰭片FA之主面FAa及側面FAs上隔著閘極絕緣膜GIt形成控制閘極電極CG，且在鰭片FA之長邊方向上，在與控制閘極電極CG相鄰之區域中隔著閘極絕緣膜GIm形成記憶體閘極電極MG。閘極絕緣膜GIm中介於控制閘極電極CG與記憶體閘極電極MG之間，且控制閘極電極CG與記憶體閘極電極MG被閘極絕緣膜GIm電性分開。亦可使閘極絕緣膜GIm以外之絕緣膜中介於控制閘極電極CG與記憶體閘極電極MG之間來電性分開。

【0041】

在此，閘極絕緣膜GIt係熱氧化由矽形成之半導體基板1的突出部(凸部)的鰭片FA之主面FAa及側面FAs而形成的熱氧化膜(氧化矽膜)，且其膜厚為2nm。此外，閘極絕緣膜GIm係由絕緣膜10'及形成於絕緣膜10'上之絕緣膜11'形成，且該絕緣膜10'係由熱氧化膜(氧化矽膜)形成，而該熱氧化膜(氧化矽膜)係熱氧化由矽形成之半導體基板1的突出部的鰭片FA之主面FAa及側面FAs而形成且具有5至6nm的膜厚。絕緣膜11'係由電荷儲存部(電荷儲存層)之氮化矽膜及覆蓋氮化矽膜之表面的氧氮化矽膜的積層膜形成。氮化矽膜具有7nm之膜厚，且氧氮化矽膜具有9nm之膜厚。即，閘極絕緣膜GIm具有氧化矽膜、氮化矽膜及氧氮化矽膜之積層構造，且其膜厚為21至22nm，比控制閘極電極CG下之閘極絕緣膜GIt厚。閘極絕緣膜GIm亦可為氧化矽膜、氮化矽膜及氧化矽膜之積層構造。

【0042】

如記憶體單元部A2所示，在鰭片FA之短邊方向上，控制閘極電極CG隔著閘極絕緣膜GIt，沿鰭片FA之主面FAa及側面FAs延伸，並在包圍鰭片FA之元件分離膜STM上延伸。即，控制閘極電極CG為隔著閘極絕緣膜GIt跨越鰭片FA之構造。同樣地，如記憶體單元部A3所示，在鰭片FA之短邊方向上，記憶體閘極電極MG隔著閘極絕緣膜GIm沿鰭片FA之主面FAa及側面FAs延伸，並在包圍鰭片FA之元件分離膜STM上延伸。即，記憶體閘極電極MG為隔著閘極絕緣膜GIm跨越鰭片FA之構造。

【0043】

此外，如記憶體單元部A1及A4所示地，以夾住控制閘極電極CG及記憶體閘極電極MG之方式，設在控制閘極電極CG及記憶體閘極電極MG外側之區域中的源極區域MS具有n型半導體區域EX1及磊晶層EP1，且汲極區域MD具有n型半導體區域EX2及磊晶層EP2。n型半導體區域EX1及EX2係在鰭片FA內導入n型不純物之n型半導體區域，磊晶層EP1及EP2係形成於鰭片FA之上面FAa及側面FAs上的矽磊晶層。磊晶層EP1及EP2中高濃度地導入磷(P)等之n型不純物，且磊晶層EP1及EP2之不純物濃度比n型半導體區域EX1及EX2之不純物濃度高。

【0044】

控制閘極電極CG及記憶體閘極電極MG之側壁上形成側壁分隔件(側壁、側壁絕緣膜)SW及層間絕緣層IL1，且以覆蓋控制閘極電極CG、記憶體閘極電極MG、源極區域MS及汲極區域MD之方式，在層間絕緣層IL1上形成層間絕緣層IL2。層間絕緣層IL2上形成金屬配線MW，且金屬配線MW藉由設於形成於層間絕緣層IL2及IL1中之接觸孔CT內的插頭電極PG，電性連接於源極區域MS及汲極區域MD。此外，磊晶層EP1及EP2之表面上形成矽化物層SC，且插頭電極PG接觸矽化物層SC。

【0045】

記憶體單元MC具有形成於鰭片FA上之控制閘極電極CG、記憶體閘極電極MG、汲極區域MD及源極區域MS。控制閘極電極CG係隔著閘極絕緣膜GIt配置在鰭片FA之主面FAa及側面FAs上，且記憶體閘極電極MG係隔著閘極絕緣膜GIm配置在鰭片FA之主面FAa及側面FAs上。汲極區域MD及源極區域MS配置成夾住控制閘極電極CG及記憶體閘極電極MG。此外，長邊方向之汲極區域MD與源極區域MS間的距離相當於記憶體單元MC之通道長度，且短邊方向上之控制閘極電極CG及記憶體閘極電極MG與鰭片FA之主面FAa及側面FAs對向的區域相當於記憶體單元MC之通道寬度。

【0046】

如圖12所示地，在半導體基板1之記憶體單元部B上形成半導體基板1之突出部的鰭片FB。鰭片FB之下部被形成於半導體基板1之主面1a上的元件分離膜STL包圍。即，相鄰之鰭片FB被元件分離膜STL分開。鰭片FB之下部形成p型半導體區域之p型井PW2。換言之，鰭片FB形成於p型井PW2內。

【0047】

如邏輯部B1所示地，電晶體Tr具有形成於鰭片FB上之閘極電極GE、及閘極電極GE兩端之源極區域LS及汲極區域LD。在鰭片FB之主面FBa及側面FBs上隔著閘極絕緣膜GIL及絕緣膜HK形成閘極電極GE。閘極絕緣膜GIL係熱氧化膜，且其膜厚為大約1至2nm。如邏輯部B2所示地，在鰭片FB之短邊方向上，閘極電極GE隔著閘極絕緣膜GIL及絕緣膜HK，沿鰭片FB之主面FBa及側面FBs延伸，並在包圍鰭片FB之元素分離膜STL上延伸。閘極電極GE係由金屬膜ME1及ME2之積層構造構成。

【0048】

此外，以夾住閘極電極GE之方式，設在閘極電極GE外側之區域中的源極區域LS及汲極區域LD具有n⁻型半導體區域EX3及磊晶層EP3。源極區域LS及汲極

區域LD形成於短邊方向及高度方向上，由元素分離膜STL露出之鰭片FB的全部區域中。如邏輯部B3所示地，源極區域LS係由鰭片FB、及形成於鰭片FB之主面FBa及側面FBs上的磊晶層EP3形成。磊晶層EP3係形成於鰭片FB之上面FBa及側面FBs上的矽磊晶層。磊晶層EP3中高濃度地導入磷(P)等之n型不純物，且磊晶層EP3之不純物濃度比n型半導體區域EX3之不純物濃度高。汲極區域LD亦具有與源極區域LS同樣之構造。

【0049】

閘極電極GE之側壁上形成側壁分隔件SW及層間絕緣層IL1，且在閘極電極GE及層間絕緣層IL1上形成層間絕緣層IL2。層間絕緣層IL2上形成金屬配線MW，且金屬配線MW藉由設於形成於層間絕緣層IL2及IL1中之接觸孔CT內的插頭電極PG，電性連接於源極區域LS及汲極區域LD。此外，磊晶層EP3之表面上形成矽化物層SC，且插頭電極PG接觸矽化物層SC。

【0050】

此外，p型井PW1及PW2只顯示在圖11及12中，而在其他製造方法之截面圖中省略。

【0051】

<關於半導體裝置之製程>

接著，說明本實施形態之半導體裝置的製程，但首先說明鰭片之形成步驟，然後說明記憶體單元部之記憶體單元部及邏輯部之MISFET的形成方法。本實施形態之鰭片的形成方法係以前述檢討例為基礎，主要說明與前述鰭片之形成步驟不同的部分。圖13至圖28係本實施形態之半導體裝置的形成步驟中的主要部分截面圖。

【0052】

首先，說明使記憶體單元部A之鰭片FA的寬度比邏輯部B之鰭片FB的寬度寬(大)的重要性。

【0053】

如前所述，被記憶體閘極電極MG覆蓋之部分在鰭片FA之主面FAa及側面FA_s上形成熱氧化膜之絕緣膜10'(膜厚：5至6nm)。此外，絕緣膜10'之膜厚宜比由形成於鰭片FB之主面FBa及側面FB_s上之熱氧化膜形成的閘極絕緣膜GIL(膜厚：1至2nm)或閘極絕緣膜GIt厚。其原因是藉由使電荷儲存部之絕緣膜11'的下層絕緣膜10'膜厚增加，可延長電荷保持時間並且可增加記憶體單元MC之重寫次數。

【0054】

如此，記憶體單元部A之鰭片FA的寬度至少只減少絕緣膜10'之膜厚的2倍而變細，因此必須增加該減少分量而變粗。另一方面，由形成於邏輯部B之鰭片FB之主面FBa及側面FB_s之熱氧化膜形成的閘極絕緣膜GIL(膜厚：1至2nm)比絕緣膜10'薄。此外，邏輯部B之鰭片Fb的寬度必須極力減少，使形成於其上之MISFET的基板部分完全空乏化，以便減少漏電流。

【0055】

由上述背景可知，預先使記憶體單元部A之鰭片FA的寬度比邏輯部B之鰭片FB的寬度寬(大)是重要的。

【0056】

以下，用圖13至圖15說明記憶體單元部A之鰭片FA及邏輯部B之鰭片FB的製程。

【0057】

與前述檢討例同樣地，依序實施半導體基板之準備步驟(步驟S1)至鰭片形成步驟(步驟S6)。但是，未實施硬遮罩膜形成步驟(步驟S4)之硬遮罩膜5b的細線化

步驟。即，如圖13所示地，在記憶體單元部A及邏輯部B上形成具有相等寬度之鰭片F3。鰭片F3之寬度為例如大約30nm。鰭片F3由元件分離膜STM及STL露出大約50nm。

【0058】

接著，如圖14所示地，實施鰭片之細線化步驟(步驟S7)。使用覆蓋記憶體單元部A且露出邏輯部B之光阻膜(遮罩膜)PR2作為遮罩，對邏輯部B之由矽形成的鰭片F3實施等向性蝕刻。接著，選擇地細化前述邏輯部B之鰭片F3，在邏輯部B上形成鰭片F4。鰭片F4之寬度為例如大約10至15nm，且高度為大約35至40nm。等向性蝕刻係，例如，藉由使用CF₄及O₂之混合氣體的乾式蝕刻來實施。此外，在形成鰭片F4後，去除光阻膜PR2，接著用未圖示之遮罩(例如，光阻膜)覆蓋記憶體單元部A及邏輯部B之一部分的鰭片F4，並對露出之鰭片F4實施上述等向性蝕刻，藉此亦可進一步形成寬度小之鰭片。此外，藉由重複該等步驟，亦可在邏輯部B上形成具有不同寬度之2種以上鰭片。

【0059】

接著，去除光阻膜PR2時，如圖15所示地，可準備在記憶體單元部A上具有鰭片FA，且在邏輯部B上具有鰭片FB之半導體基板1。在記憶體單元部A中，由元件分離膜STM露出之部分與埋在元件分離膜STM中之部分的鰭片FA寬度相等，且其寬度W3係大約30nm。此外，由元件分離膜STM露出之部分的鰭片FA高度H1係大約50nm。另外，在邏輯部B中，由元素分離膜STL露出之部分的鰭片FB寬度W4係大約10至15nm，且埋在元素分離膜STL中之部分的鰭片FB寬度W5係大約30nm。由元素分離膜STL露出之部分的鰭片FB高度H2係大約35至40nm。即，由於埋在元素分離膜STL中之部分的鰭片FB寬度W5比由元素分離膜STL露出之部分的鰭片FB寬度W4寬，埋在元素分離膜STL中之部分的鰭片FB之肩部SH由元素分離膜STL露出。

【0060】

如此，對由矽形成之鰭片實施等向性蝕刻，使鰭片之寬度減少，因此可減少蝕刻量之變化，且，可減少鰭片寬度之半導體晶圓面內變化，故可提供穩定之鰭片形成方法。此外，由於可提高鰭片之加工精度，邏輯部B可細微化、高積體化。相較於氧化矽膜之濕式蝕刻，矽之乾式蝕刻的蝕刻率低，因此蝕刻量之控制性良好。另外，由於是乾式蝕刻，蝕刻之控制性高，因此可減少面內變化。

【0061】

接著，在圖16至圖28中，說明記憶體單元MC及電晶體Tr之製造。圖16至圖25、圖27及圖28顯示圖11之記憶體單元部A1、A2及A3、以及圖12之邏輯部B1及B2的截面圖。圖26顯示記憶體單元部A4及邏輯部B3之截面圖。

【0062】

圖16顯示圖15所示之鰭片FA及FB之記憶體單元部A1、A2及A3、以及邏輯部B1及B2的截面圖。

【0063】

圖17顯示絕緣膜7、導體膜8及絕緣膜9之形成步驟(步驟S8)。首先，在鰭片FA及FB之主面FAa及FBa以及側面FAs及FBs上形成絕緣膜7。絕緣膜7係熱氧化鰭片FA及FB之主面FAa及FBa以及側面FAs及FBs，形成大約2nm之氧化矽膜。接著，在絕緣膜7上堆積鰭片FA及FB之高度以上的膜厚的導體膜8，並對導體膜8實施CMP處理，藉此形成具有平坦主面之導體膜8。接著，在導體膜8之主面上，堆積絕緣膜9。導體膜8係由聚矽膜(矽膜)形成，且絕緣膜9係由氮化矽膜所構成。此外，在導體膜8之CMP製程中，導體膜8留在鰭片FA及FB之主面上是重要的。如後所述地，絕緣膜9宜形成與鰭片FA之高度相同程度之膜厚，但在圖17以外顯示為薄膜厚。

【0064】

圖18顯示控制閘極電極CG之形成步驟(步驟S9)。在絕緣膜9上選擇地形成光阻膜(遮罩膜)PR3。光阻膜PR3具有在記憶體單元部A中覆蓋控制閘極電極CG之形成區域且露出除此以外之區域的圖案。此外，光阻膜PR3具有覆蓋邏輯部B之圖案。對絕緣膜9及導體膜8實施乾式蝕刻處理，去除由光阻膜PR3露出之區域的絕緣膜9及導體膜8，藉此形成控制閘極電極CG。用乾式蝕刻處理或後來之洗淨步驟加工絕緣膜7，藉此在控制閘極電極CG下形成閘極絕緣膜GIt。此外，在記憶體單元部A3中，去除絕緣膜9、導體膜8及絕緣膜7，露出鰭片FA之主面FAa及側面FAs。另外，使絕緣膜9圖案化後或使絕緣膜9及導體膜8圖案化後，去除光阻膜PR3。

【0065】

圖19顯示絕緣膜10及11以及導體膜12之形成步驟(步驟S10)。首先，在由控制閘極電極CG露出之鰭片FA之主面FAa及側面FAs上依序形成絕緣膜10及11。絕緣膜10係熱氧化鰭片FA之主面FAa及側面FAs而形成的氧化矽膜，其膜厚為5至6nm，且比閘極絕緣膜GIt之膜厚更厚。接著，絕緣膜11由氮化矽膜及氮化矽膜上之氧氮化矽膜的積層膜形成，且氮化矽膜之膜厚為7nm，而氧氮化矽膜之膜厚為9nm。此外，絕緣膜11亦可為下層之HfSiO與上層之AlO的積層膜。

【0066】

接著，在絕緣膜11上，堆積控制閘極電極CG與絕緣膜9之積層體高度、及記憶體單元部A3之鰭片FA高度以上的膜厚的導體膜12。接著，對導體膜12實施CMP處理，使控制閘極電極CG上之絕緣膜11露出，藉此，如圖19所示地，在由記憶體單元部A之控制閘極電極CG露出的區域中選擇地形成導體膜12。CMP處理後，在記憶體單元部A3中，在鰭片FA上留下導體膜12。此外，導體膜12係由聚矽膜(矽膜)形成。另外，在邏輯部B中，去除導體膜12，露出絕緣膜11。

【0067】

圖20顯示導體膜12之深蝕刻步驟(步驟S11)。對記憶體單元部A之導體膜12實施蝕刻處理，降低導體膜12之主面的高度。深蝕刻步驟後，導體膜12之主面具有，例如，與控制閘極電極CG之主面大致相等的高度。

【0068】

圖21顯示記憶體閘極電極MG形成步驟(步驟S12)。在控制閘極電極CG上之絕緣膜9及11的側壁上及導體膜12上堆積氮化矽膜後，藉由實施異向性乾式蝕刻，在控制閘極電極CG上之絕緣膜9及11的側壁上形成遮罩膜13。接著，藉由實施蝕刻處理去除由遮罩膜13露出之導體膜12，在控制閘極電極CG之側壁上隔著絕緣膜10及11形成記憶體閘極電極MG及分隔件SP。此外，雖然分隔件SP具有與記憶體閘極電極MG同樣之構造，但在後述步驟中去除，因此具有與記憶體閘極電極MG不同之名稱。

【0069】

圖22顯示分隔件SP去除及閘極絕緣膜GIm形成步驟(步驟S13)。首先，使用覆蓋記憶體閘極電極MG且露出分隔件SP之抗蝕膜(未圖示)，例如，藉由濕式蝕刻處理，去除圖21所示之分隔件SP及分隔件SP上之遮罩膜13。接著，藉由例如濕式蝕刻處理去除由記憶體閘極電極MG露出之區域的絕緣膜11及10，在記憶體閘極電極MG之下(即，記憶體閘極電極MG及鰭片FA之間)，選擇地留下絕緣膜11'及10'，因此形成閘極絕緣膜GIm。此外，閘極絕緣膜GIm不僅在鰭片FA之主面FAa與記憶體閘極電極MG間，亦在控制閘極電極CG與記憶體閘極電極MG間連續地形成。另外，如圖22所示地，閘極絕緣膜GIm係沿鰭片FA之主面FAa及側面FAs形成。

【0070】

圖23顯示假性閘極DG及n型半導體區域(不純物擴散層)EX1、EX2、EX3之形成步驟(步驟S14)。首先，在邏輯部B中，藉由使絕緣膜9及導體膜8圖案化，

形成假性閘極DG。假性閘極DG上之絕緣膜9及假性閘極DG下之絕緣膜7亦具有與假性閘極DG同一之平面圖案。

【0071】

接著，藉由離子植入法將例如砷(As)或磷(P)等之n型不純物導入鰭片FA及FB內，藉此在鰭片FA內形成n⁻型半導體區域EX1及EX2，且在鰭片FB內形成n⁻型半導體區域EX3。n⁻型半導體區域EX1及EX2係藉由對控制閘極電極CG及記憶體閘極電極MG自匹配而形成。即，由於n型不純物植入由控制閘極電極CG及記憶體閘極電極MG露出之鰭片FA的主面及側面，n⁻型半導體區域EX1及EX2以夾住控制閘極電極CG及記憶體閘極電極MG之方式形成於控制閘極電極CG及記憶體閘極電極MG之兩側。由於不純物藉由離子植入後之熱處理擴散，n⁻型半導體區域EX1與記憶體閘極電極MG部分地重疊，且n⁻型半導體區域EX2與控制閘極電極CG部分地重疊。

【0072】

n⁻型半導體區域EX3係藉由對假性閘極DG自匹配而形成。即，由於n型不純物植入由假性閘極DG露出之鰭片FB的主面及側面，n⁻型半導體區域EX3以夾住假性閘極DG之方式形成於假性閘極DG之兩側。由於不純物藉由離子植入後之熱處理擴散，n⁻型半導體區域EX3與假性閘極DG部分地重疊。

【0073】

圖24顯示側壁分隔件(側壁、側壁絕緣膜)SW之形成步驟(步驟S15)。以覆蓋鰭片FA及FB之主面FAa及FBa的方式，在半導體基板1上堆積例如由氧化矽膜或氮化矽膜或該等膜之積層膜形成的絕緣膜後，對絕緣膜實施異向性乾式蝕刻。如此，在記憶體單元部A1中，在控制閘極電極CG及絕緣膜9之側壁上及在記憶體閘極電極MG及遮罩膜13之側壁上形成側壁分隔件SW。在此，由於絕緣膜9

之膜厚為與鰭片FA之高度同程度的膜厚，可有充分之過蝕刻，例如，在包圍鰭片FA之元件分離膜STM上留下側壁分隔件SW形成用之氧化矽膜或氮化矽膜。

【0074】

此外，在邏輯部B1中，在假性閘極DG及9之側壁上形成側壁分隔件SW。藉由前述異向性乾式蝕刻，在記憶體單元部A2及A3以及邏輯部B2中，去除側壁分隔件SW形成用之絕緣膜，露出絕緣膜9或遮罩膜13。

【0075】

接著，圖25及圖26顯示磊晶層EP1、EP2及EP3以及矽化物層SC之形成步驟(步驟S16)。在記憶體單元部A中，在由元件分離膜STM、控制閘極電極CG、記憶體閘極電極MG及側壁分隔件SW露出之鰭片FA之主面FAa及側面FAs上形成磊晶層EP1及EP2。磊晶層EP3係在邏輯部B之n型MISFET的形成區域中，亦藉由同一步驟形成於由元素分離膜STL、假性閘極DG及側壁分隔件SW露出之鰭片FB之主面FBa及側面FBs上。磊晶層EP1、EP2及EP3係，例如，使用 SiH_2Cl_2 (或， SiH_4)、 HCl 及 PH_3 氣體，在100Pa、700°C之環境中藉由磊晶成長而形成。即，磊晶層EP1、EP2及EP3係摻雜了濃度比n型半導體區域EX1、EX2或EX3高之n型不純物的半導體層。如圖26之邏輯部B3所示地，在邏輯部B中，埋在元素分離膜STL中之部分的鰭片FB的肩部SH由元素分離膜STL露出。因此，亦由鰭片FB之肩部SH磊晶成長，故相較於沒有肩部SH之情形，可增加磊晶層EP3之堆積，因此可減少源極區域LS及汲極區域LD之寄生電阻。

【0076】

此外，形成邏輯部B之p型MISFET時，在由元素分離膜STL、假性閘極DG及側壁分隔件SW露出之鰭片FB之主面FBa及側面FBs上，可形成p型之SiGe磊晶層。p型之SiGe磊晶層係，例如，使用 SiH_2Cl_2 (或， SiH_4)、 GeH_4 、 HCl 及 B_2H_6 氣體，在100Pa、700°C之環境中藉由磊晶成長而形成。藉由形成SiGe磊晶層，可

減少p型MISFET之源極區域及汲極區域的寄生電阻，並且可藉由施加應力至通道區域而提高電洞移動度，因此p型MISFET可高速動作。

【0077】

此外，如圖25及圖26所示地，在磊晶層EP1、EP2及EP3之表面上形成矽化物層SC。矽化物層SC宜可為矽化鈷層、矽化鎳層或白金化矽化鎳層。

【0078】

如此，藉由n型半導體區域EX1及包含濃度比n型半導體區域EX1高之n型不純物的磊晶層EP1，構成記憶體單元MC之源極區域MS，且藉由n型半導體區域EX2及包含濃度比n型半導體區域EX2高之n型不純物的磊晶層EP2，構成記憶體單元MC之汲極區域MD。此外，藉由n型半導體區域EX3及包含濃度比n型半導體區域EX3高之n型不純物的磊晶層EP3，構成邏輯部B之電晶體Tr之源極區域LS及汲極區域LD。

【0079】

圖27顯示層間絕緣層IL1之形成步驟(步驟S17)。在半導體基板1上，形成(堆積)層間絕緣層IL1。層間絕緣層IL1係由氧化矽膜之單體膜，或氮化矽膜及在該氮化矽膜上形成比該氮化矽膜厚之氧化矽膜的積層膜形成，且可使用例如CVD法等形成。接著，使用CMP法等研磨(研磨處理)層間絕緣層IL1之上面。如圖27所示地，使控制閘極電極CG、記憶體閘極電極MG、假性閘極DG之各上面露出。即，在該研磨步驟中，完全地去除形成於控制閘極電極CG、記憶體閘極電極MG及假性閘極DG上的絕緣膜9及遮罩膜13。當然，亦部份地去除位於絕緣膜9及遮罩膜13之側壁上之側壁分隔件SW。

【0080】

圖28顯示閘極電極GE之形成步驟(步驟S18)。首先，實施圖27所示之露出假性閘極DG的去除步驟。藉由去除假性閘極DG，在層間絕緣層IL1上形成溝。溝

之底部(底面)由絕緣膜7之上面形成，且溝之側壁(側面)由側壁分隔件SW之側面(到假性閘極DG去除前連接於假性閘極DG之側面)形成。接著，如圖28所示地，實施在半導體基板1上，即在溝之內部(底部及側壁上)的絕緣膜7上，依序堆積絕緣膜HK、金屬膜ME1及金屬膜ME2的絕緣膜HK、金屬膜ME1及金屬膜ME2之形成步驟。接著，對絕緣膜HK、金屬膜ME1及金屬膜ME2實施CMP處理步驟。如此，在溝內選擇地形成由絕緣膜7形成之閘極絕緣膜GIL、絕緣膜HK、金屬膜ME1及金屬膜ME2的積層構造。在此，絕緣膜HK係介電率(比介電率)比氮化矽高之絕緣材料膜，即所謂高k值膜(高介電率膜)。

【0081】

絕緣膜HK可使用氧化鉛膜、氧化鋇膜、氧化鋁膜、氧化鉭膜或氧化釷膜等之金屬氧化物膜。絕緣膜HK可藉由例如ALD(Atomic layer Deposition：原子層沉積)法或CVD法形成。

【0082】

例如，金屬膜ME1可為鈦鋁(TiAl)膜，且金屬膜ME2可為鋁(Al)膜。此外，亦可使鈦(Ti)膜或氮化鈦(TiN)膜或該等膜之積層膜中介在金屬膜ME1與金屬ME2之間，調整電晶體Tr之臨界電壓。

【0083】

絕緣膜HK形成於溝之底部(底面)及側壁上，且閘極電極GE之底部(底面)及側壁(側面)與絕緣膜HK相鄰。絕緣膜GIL與絕緣膜HK中介在閘極電極GE與半導體基板1之鰭片FB之間，且絕緣膜HK中介在閘極電極GE與側壁分隔件SW之間。閘極電極GE正下方之閘極絕緣膜GIL及絕緣膜HK雖然具有電晶體Tr之閘極絕緣膜的機能，但因為絕緣膜HK係高介電率膜，所以具有高介電率閘極絕緣膜之機能。

【0084】

接著，使用圖11及圖12，說明層間絕緣層IL2、插頭電極PG、金屬配線MW之形成步驟(步驟S19)。在層間絕緣層IL1上形成層間絕緣層IL2。層間絕緣層IL2可使用，例如，以氧化矽為主體之氧化矽系的絕緣膜。層間絕緣層IL2形成後，藉由CMP法研磨層間絕緣層IL2之上面，提高層間絕緣層IL2之上的平坦性。

【0085】

接著，在層間絕緣層IL1及IL2中形成接觸孔(開口部、貫穿孔)。接觸孔CT露出記憶體單元MC之源極區域MS及汲極區域MD的矽化物層SC、以及電晶體Tr之源極區域LS及汲極區域LD的矽化物層SC的表面。

【0086】

接著，在接觸孔CT內，形成由鎢(W)等形成之導電性插頭電極PG，作為連接用之導電構件。插頭電極PG為障壁導體膜(例如鈦膜、氮化鈦膜或該等膜之積層膜)、及位於障壁導體膜上之主導體膜(鎢膜)的積層構造。插頭電極PG接觸並電性連接於記憶體單元MC之源極區域MS及汲極區域MD、以及電晶體Tr之源極區域LS及汲極區域LD。

【0087】

接著，在層間絕緣層IL2上形成金屬配線MW。金屬配線MW係由障壁導體膜(例如鈦膜、鉭膜或氮化鉭膜等)、及形成於障壁導體膜上之主導體膜(銅膜)的積層構造形成。在圖11及圖12中，為簡化圖式，金屬配線MW與障壁導體膜及主導體膜一體化地顯示。此外，插頭電極PG亦相同。

【0088】

由於在記憶體單元MC之源極區域MS及汲極區域MD、以及電晶體Tr之源極區域LS及汲極區域LD中形成磊晶層EP，可防止使接觸孔開口時之遮罩未對齊，並且可減少插頭電極與磊晶層EP之接觸電阻。

【0089】

<關於主要特徵及效果>

接著，說明本實施形態之主要特徵及效果。

【0090】

本實施形態之半導體裝置之製造方法係在形成由2種以上之鰭片寬度形成的作用區域時，形成寬度等於半導體基板之第一區域及第二區域之鰭片後，例如，對由第二區域之矽形成的鰭片選擇地實施蝕刻處理，藉此在第二區域中形成寬度比第一區域小之鰭片。如此，藉由對由矽形成之鰭片實施乾式蝕刻處理，相較於藉由濕式蝕刻鰭片加工用之絕緣膜硬遮罩進行細線化處理的情形，可提供加工精度高之鰭片。此外，由於可減少加工不均一，可提高製造產率。

【0091】

藉由將等向性蝕刻用於上述蝕刻處理，亦具有可減少第二區域中形成之小寬度鰭片的主面及側面缺陷的效果。用形成寬度等於第一區域及第二區域之鰭片時的異向性乾式蝕刻，具有在鰭片之側面產生蝕刻破壞(例如，缺陷)，或在鰭片之側面附著蝕刻生成物(聚合物)等的問題。但是，用等向性蝕刻可無破壞地去除該蝕刻破壞及蝕刻生成物。

【0092】

此外，因為對周圍被元件分離膜覆蓋且由元件分離膜突出之鰭片實施蝕刻處理，減少鰭片寬度，所以鰭片具有周圍被元件分離膜覆蓋且具有大寬度之第一部分、及由元件分離膜露出且具有小寬度之第二部分。此外，在第一部分與第二部分之邊界存在由元件分離膜露出上面的肩部。另外，在鰭片之主面及側面上進行磊晶成長時，亦由該肩部進行磊晶成長，因此增加形成於鰭片之周圍的磊晶層堆積。因此，可減少形成磊晶層之MISFET的源極區域、汲極區域的寄生電阻。

【0093】

此外，藉由形成具有局部之構造，可減少MISFET之源極區域、汲極區域的寄生電阻，並且減少形成於小寬度鰭片中之MISFET的漏電流。其原因是可使小寬度之鰭片完全地空乏化。

【0094】

<變形例>

變形例係針對前述第二改善餘地，且硬遮罩膜形成步驟(步驟S4)與前述檢討例不同。圖29至圖31顯示變形例之半導體裝置的製程中的主要部分截面圖。

【0095】

與檢討例同樣地，依序實施半導體基板之準備步驟(步驟S1)至遮罩膜形成步驟(步驟S3)。接著，與檢討例同樣地，以覆蓋遮罩膜4a及4b之上面及側面的方式，在半導體基板1之主面上堆積由氧化矽膜形成的絕緣膜。接著，如圖29所示地，對該絕緣膜實施異向性乾式蝕刻，在遮罩膜4a及4b之側壁上形成側壁絕緣膜29a與29b。側壁絕緣膜29a形成於記憶體單元部A中，且側壁絕緣膜29b形成於邏輯部B中，並且兩者之寬度相等。

【0096】

接著，如圖30所示地，使用覆蓋記憶體單元部A且露出邏輯部B之光阻膜(遮罩膜)PR4，去除邏輯部B之側壁絕緣膜29b。

【0097】

接著，如圖31所示地，以覆蓋遮罩膜4a及4b以及側壁絕緣膜29a之方式，在半導體基板1之主面上堆積由氧化矽膜形成的絕緣膜，並對該絕緣膜實施異向性乾式蝕刻，在遮罩膜4a之側壁上隔著側壁絕緣膜29a形成側壁絕緣膜31a，並在遮罩膜4b之側壁上形成側壁絕緣膜31b。即，形成於遮罩膜4a之側壁上的側壁絕緣膜29a及31a對應於檢討例之硬遮罩膜5a，且形成於遮罩膜4b之側壁上的側壁絕緣膜31b對應於已細線化之硬遮罩膜5b'。接著，側壁絕緣膜29a、31a及31b形

成後，實施檢討例之步驟S5及S6、及上述實施形態之步驟S8以後之步驟，藉此完成變形例之半導體裝置。

【0098】

如此，藉由令記憶體單元部A之硬遮罩膜5a為側壁絕緣膜29a及31a之積層構造，用以形成側壁絕緣膜29a之絕緣膜的膜厚可比檢討例之絕緣膜5的膜厚薄，因此邏輯部B之遮罩膜4b之間未填滿，形成於邏輯部B中之MISFET可微細化。

【0099】

以上，雖然依據該實施形態具體地說明由本發明人作成之發明，但本發明不限於前述實施形態，當然更可在不脫離其主旨的範圍內進行各種變更。

【符號說明】

【0100】

- 1 半導體基板
- 1a 主面
- 2 絕緣膜
- 3 絕緣膜
- 4 遮罩膜
- 4a 遮罩膜
- 4b 遮罩膜
- 5 絕緣膜
- 5a 硬遮罩膜
- 5b 硬遮罩膜
- 5b' 硬遮罩膜
- 6 絕緣膜

6a	元件分離膜
6b	元件分離膜
7	絕緣膜
8	導體膜
9	絕緣膜
10	絕緣膜
10'	絕緣膜
11	絕緣膜
11'	絕緣膜
12	導體膜
13	遮罩膜
29a	側壁絕緣膜
29b	側壁絕緣膜
31a	側壁絕緣膜
31b	側壁絕緣膜
A	記憶體單元部
A1	記憶體單元部
A2	記憶體單元部
A3	記憶體單元部
A4	記憶體單元部
B	邏輯部
B1	邏輯部
B2	邏輯部
B3	邏輯部

BL	位元線
CG	控制閘極電極
CT	接觸孔
DG	假性閘極
EP	磊晶層
EP1	磊晶層
EP2	磊晶層
EP3	磊晶層
EX1	n-型半導體區域
EX2	n-型半導體區域
EX3	n-型半導體區域
FA	鰭片
FAa	主面(上面)
FBa	主面(上面)
FAs	側面
FBs	側面
FB	鰭片
F1	鰭片
F2	鰭片
F3	鰭片
F4	鰭片
GE	閘極電極
GIL	閘極絕緣膜
GIm	閘極絕緣膜

GI _t	閘極絕緣膜
H1	高度
H2	高度
HK	絕緣膜
IL1	層間絕緣層
IL2	層間絕緣層
LD	汲極區域
LS	源極區域
MC	記憶體單元
MD	汲極區域
ME1	金屬膜
ME2	金屬膜
MG	記憶體閘極電極
MS	源極區域
MW	金屬配線
PG	插頭電極
PR1	光阻膜(遮罩膜)
PR2	光阻膜(遮罩膜)
PR3	光阻膜(遮罩膜)
PR4	光阻膜(遮罩膜)
PW1	p型井
PW2	p型井
SC	矽化物層
SH	肩部

SL	源極線
SP	分隔件
STL	元件分離膜
STM	元件分離膜
SW	側壁分隔件
Tr	電晶體
W1	寬度
W2	寬度
W3	寬度
W4	寬度
W5	寬度



201810533

申請日: 106/01/13

【發明摘要】

IPC分類: H01L 21/8234 (2006.01)
H01L 27/088 (2006.01)
H01L 27/115 (2017.01)
H01L 27/10 (2006.01)
H01L 29/788 (2006.01)
H01L 21/336 (2006.01)
H01L 29/792 (2006.01)

【中文發明名稱】

半導體裝置之製造方法

【英文發明名稱】

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

【中文】

本發明提供一種穩定的半導體裝置之製造方法。

該半導體裝置之製造方法係，首先，在半導體基板1之記憶體單元部A及邏輯部B中形成相等寬度之鰭片F3。接著，在用遮罩膜PR2覆蓋記憶體單元部A之鰭片F3的狀態下，對邏輯部B之鰭片實施蝕刻，在邏輯部B中形成寬度比記憶體單元部A之鰭片F3小的鰭片F4。

【英文】

Provided is a stable manufacturing method for a semiconductor device. In the manufacturing method for a semiconductor device, first, fins with an equal width are formed in each of a memory cell portion and a logic portion of a semiconductor substrate. Then, the fins in the logic portion are etched with the fins in the memory cell covered with a mask film, thereby fabricating fins in the logic portion, each of which is narrower than the fin formed in the memory cell portion.

【指定代表圖】 圖14

【代表圖之符號簡單說明】

1 半導體基板

A	記憶體單元部
B	邏輯部
F3	鰭片
F4	鰭片
PR2	光阻膜(遮罩膜)
STL	元件分離膜
STM	元件分離膜

【特徵化學式】 無

【發明申請專利範圍】

【第1項】

一種半導體裝置之製造方法，具有以下步驟：

(a)準備具有主面之半導體基板；

(b)在該半導體基板之該主面的第一區域及第二區域中，分別形成第一遮罩膜；

(c)在該第一區域及該第二區域中，於該第一遮罩膜之側壁上，形成第二遮罩膜；

(d)去除該第一遮罩膜後，在該第一區域及該第二區域中，蝕刻該第二遮罩膜外側之該半導體基板而形成凹部，並在該第二遮罩膜下，形成具有第一寬度之第一凸部；

(e)在用第三遮罩膜覆蓋該第一區域之該第一凸部的狀態下，對該第二區域之該第一凸部實施蝕刻，而在該第二區域形成具有第二寬度之第二凸部；

(f)在該第一區域中，以跨越該第一凸部之方式，隔著第一絕緣膜形成第一閘極電極；及

(g)在該第二區域中，以跨越該第二凸部之方式，隔著第二絕緣膜形成第二閘極電極，

該第二寬度比該第一寬度小。

【第2項】

如申請專利範圍第1項之半導體裝置之製造方法，其中：

該第一絕緣膜及該第二絕緣膜係將該第一凸部及該第二凸部熱氧化而形成，該第一絕緣膜之膜厚比該第二絕緣之膜厚更厚。

【第3項】

如申請專利範圍第1項之半導體裝置之製造方法，其中：

在該(d)步驟與該(e)步驟之間，更具有以下步驟：

(h)在該第一區域及該第二區域中，於該第一凸部之下部，形成由覆蓋該第一凸部之周圍的絕緣膜形成的元件分離膜。

【第4項】

如申請專利範圍第3項之半導體裝置之製造方法，其中：

於該(e)步驟中，

該蝕刻係等向性蝕刻，

在該第二區域中，該第二凸部具有由該元件分離膜露出之第一部分、及周圍被該元件分離膜包圍之第二部分，

該第二部分之寬度比該第一部分之寬度大。

【第5項】

如申請專利範圍第4項之半導體裝置之製造方法，其中：

於該(g)步驟後，更具有以下步驟：

(i)在該第二閘極電極之兩端，於該第二凸部之表面形成磊晶層。

【第6項】

如申請專利範圍第1項之半導體裝置之製造方法，其中：

於該(f)步驟中，

該第一絕緣膜係由形成於該第一凸部之表面的氧化矽膜、及形成於該氧化矽膜上之氮化矽膜所構成。

【第7項】

一種半導體裝置之製造方法，具有以下步驟：

(a)準備具有主面之半導體基板；

(b)在該半導體基板之該主面的第一區域及第二區域中，分別形成第一遮罩膜；

(c)在該第一區域及該第二區域中，在該第一遮罩膜之側壁上，形成第二遮罩膜；

(d)留下該第一區域之該第二遮罩膜，並去除該第二區域之第二遮罩膜；

(e)在該第一區域中，在該第一遮罩膜之側壁上隔著該第二遮罩膜形成第三遮罩膜，且在該第二區域中，在該第一遮罩膜之側壁上直接形成該第三遮罩膜；

(f)去除該第一遮罩膜後，在該第一區域中，蝕刻該第二遮罩膜及該第三遮罩膜外側之該半導體基板而形成第一凹部，藉此在該第二遮罩膜及該第三遮罩膜之下形成具有第一寬度的第一凸部，並在該第二區域中，蝕刻該第三遮罩膜外側之該半導體基板而形成第二凹部，藉此在該第三遮罩膜之下形成具有第二寬度的第二凸部；

(g)在該第一區域中，以跨越該第一凸部之方式，隔著第一絕緣膜形成第一閘極電極；及

(h)在該第二區域中，以跨越該第二凸部之方式，隔著第二絕緣膜形成第二閘極電極，

該第二寬度比該第一寬度小。

【第8項】

如申請專利範圍第7項之半導體裝置之製造方法，其中：

該第一絕緣膜係將該第一凸部熱氧化而形成，

該第二絕緣膜係將該第二凸部熱氧化而形成，

該第一絕緣膜之膜厚比該第二絕緣膜之膜厚更厚。

【第9項】

如申請專利範圍第7項之半導體裝置之製造方法，其中：

該(f)步驟與該(g)步驟之間，更具有以下步驟：

(i)在該第一凸部及該第二凸部之下部，形成由覆蓋該第一凸部及該第二凸部之周圍的絕緣膜形成的元件分離膜。

【第10項】

如申請專利範圍第7項之半導體裝置之製造方法，其中：

在該(g)步驟中，

該第一絕緣膜係由形成於該第一凸部之表面的氧化矽膜、及形成於該氧化矽膜上之氮化矽膜所構成。

【第11項】

如申請專利範圍第7項之半導體裝置之製造方法，其中：

在該(f)步驟中，該半導體基板之蝕刻採用異向性乾式蝕刻。

【第12項】

一種半導體裝置之製造方法，具有以下步驟：

(a)準備具有主面之半導體基板；

(b)在該半導體基板之該主面上形成第一遮罩膜；

(c)在該第一遮罩膜之側壁上形成第二遮罩膜；

(d)蝕刻該第二遮罩膜外側之該半導體基板而形成凹部，並在該第二遮罩膜之下形成凸部；

(e)在該凹部內，以包圍該凸部之方式形成由第一絕緣膜所構成的元件分離膜；

(f)以跨越該凸部之方式，在該凸部上隔著第二絕緣膜形成閘極電極；及

(g)以夾住該閘極電極之方式，在該凸部之表面形成磊晶層。

【第13項】

如申請專利範圍第12項之半導體裝置之製造方法，其中：

該凸部具有：第一部分，其由該元件分離膜露出；第二部分，其周圍被該元件分離膜包圍；及第三部分，其位在該第一部分與該第二部分之邊界部分，且其表面由該元件分離膜露出，

該磊晶層形成於該第一部分及該第三部分中。

【第14項】

如申請專利範圍第12項之半導體裝置之製造方法，其中：

該磊晶層係由矽所構成之磊晶層。

【第15項】

如申請專利範圍第12項之半導體裝置之製造方法，其中：

該磊晶層係由矽鍺所構成之磊晶層。

