



(12) 发明专利

(10) 授权公告号 CN 101490846 B

(45) 授权公告日 2011.04.06

(21) 申请号 200780027535.6

H01L 27/146 (2006.01)

(22) 申请日 2007.07.09

H01L 29/768 (2006.01)

(30) 优先权数据

H04N 5/335 (2011.01)

11/490,383 2006.07.20 US

H04N 5/345 (2011.01)

(85) PCT申请进入国家阶段日

H04N 5/347 (2011.01)

2009.01.20

H04N 5/372 (2011.01)

(86) PCT申请的申请数据

H04N 9/04 (2006.01)

PCT/US2007/015641 2007.07.09

(56) 对比文件

(87) PCT申请的公布数据

US 4879601, 1989.11.07, 全文.

WO2008/010924 EN 2008.01.24

US 6462779 B1, 2002.10.08, 全文.

US 2006/0125943 A1, 2006.06.15, 全文.

(73) 专利权人 伊斯曼柯达公司

审查员 李静

地址 美国纽约州

(72) 发明人 C · 帕克斯

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 张雪梅 王忠忠

(51) Int. Cl.

H01L 27/148 (2006.01)

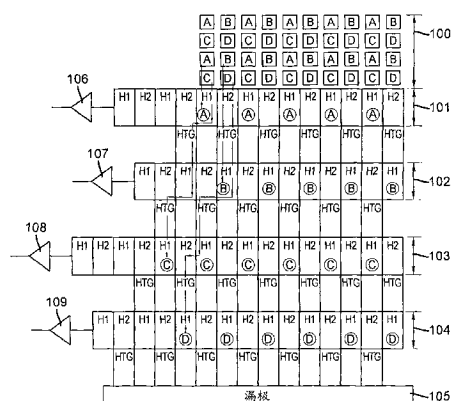
权利要求书 2 页 说明书 8 页 附图 37 页

(54) 发明名称

多输出电荷耦合器件

(57) 摘要

一种图像传感器，包括：覆盖有至少两种色彩的滤色器样式的多个像素，所述滤色器样式在一个方向上在每隔一个像素上具有相同的色彩；三个或更多个电荷耦合器件，平行于每隔一个像素滤色器重复样式取向；至少两个电荷耦合器件的输出处的电荷感应放大器；每个电荷耦合器件具有第一和第二门；CCD 到 CCD 转移门，连接相邻的电荷耦合器件与在 CCD 到 CCD 转移门一侧的第一门以及在 CCD 到 CCD 转移门的相对侧的第二门；所有 CCD 到 CCD 转移门电连接在一起；所有第一门电连接；以及所有第二门电连接。



1. 一种图像传感器,包括:

覆盖有至少两种色彩的滤色器样式的多个像素(100),所述滤色器样式在一个方向上在每隔一个像素上具有相同的色彩;三个或更多个电荷耦合器件(101,102,103,104),平行于每隔一个像素滤色器重复样式取向;至少两个电荷耦合器件(101,102,103,104)的输出处的电荷感应放大器(106,107,108,109);每个电荷耦合器件具有第一和第二门(H1,H2);CCD到CCD转移门(HTG),连接相邻的电荷耦合器件,其中第一门(H1)在CCD到CCD转移门(HTG)一侧且第二门(H2)在CCD到CCD转移门(HTG)的相对侧;所有CCD到CCD转移门(HTG)电连接在一起;所有第一门(H1)电连接;以及所有第二门(H2)电连接。

2. 如权利要求1所述的图像传感器,其中图像传感器设置在摄像机(610)中。

3. 一种图像传感器,包括:

覆盖有至少两种色彩的滤色器样式的多个像素(200),所述滤色器样式在一个方向上在每隔一个像素上具有相同的色彩;三个或更多个电荷耦合器件(201-206),平行于每隔一个像素滤色器重复样式取向;至少两个电荷耦合器件(201-206)的输出处的电荷感应放大器(209-213);每个电荷耦合器件(201-206)按顺序具有第一门(1A)、第二门(2A)、第三门(1B)和第四门(2B);CCD到CCD转移门,连接相邻的电荷耦合器件,第一门或第三门在CCD到CCD转移门一侧以及第二门或第四门在转移门相对侧;其中所有CCD到CCD转移门被分组为两组CCD到CCD转移门(TG1,TG),每一组在组内电连接在一起;所有第一门(1A)电连接;所有第二门(2A)电连接;所有第三门(1B)电连接;以及所有第四门(2B)电连接。

4. 如权利要求3所述的图像传感器,其中图像传感器设置在摄像机(610)中。

5. 一种操作图像传感器的方法,该方法包括步骤:

提供覆盖有至少两种色彩的滤色器样式的多个像素(200),所述滤色器样式在一个方向上在每隔一个像素上具有相同的色彩;

提供三个或更多个电荷耦合器件(201-206),平行于每隔一个像素滤色器重复样式取向;

提供至少两个电荷耦合器件(201-206)的输出处的电荷感应放大器(209-213);每个电荷耦合器件按相继的顺序具有第一门(1A)、第二门(2A)、第三门(1B)和第四门(2B);

提供CCD到CCD转移门,连接相邻的电荷耦合器件,第一门或第三门在CCD到CCD转移门一侧以及第二门或第四门在CCD到CCD转移门相对侧;以及

所有CCD到CCD转移门被分组为两组(TG1,TG),每一组在组内电连接在一起;所有第一门(1A)电连接;所有第二门(2A)电连接;所有第三门(1B)电连接;所有第四门(2B)电连接;在第一模式中操作,其中从至少两个电荷耦合器件(201-206)中读出所有的所述多个像素(200),而不将像素相加在一起,并且需要两个电荷耦合器件来保持每行电荷;以及在第二模式中操作,其中在一个或多个电荷耦合器件(201-206)内将相同色彩的两个相继像素相加在一起,使得只需要一个电荷耦合器件来保持来自所述多个像素(200)的每一行电荷。

6. 一种图像传感器,包括:

覆盖有至少两种色彩的滤色器样式的多个像素(400),所述滤色器样式在一个方向上在每隔一个像素上具有相同的色彩;三个或更多个电荷耦合器件(401-404),平行于每隔一个像素滤色器重复样式取向;至少两个电荷耦合器件(401-404)的输出处的电荷感应放

大器 (408-411) ;每个电荷耦合器件具有交替的第一门 (H1) 和第二门 (H2),除了对于所述三个或更多个电荷耦合器件 (401-404) 中的前两个或所有电荷耦合器件,每个 $2n$ 门被第三门 (H3) 代替 ;CCD 到 CCD 转移门,连接相邻的电荷耦合器件,第一门 (H1) 在转移门一侧以及第二门 (H2) 或第三门 (H3) 在 CCD 到 CCD 转移门的相对侧 ;其中所有 CCD 到 CCD 转移门被分组为两组 (TG1, TG),每一组在组内电连接在一起 ;所有第一门 (H1) 电连接 ;所有第二门 (H2) 电连接 ;以及所有第三门 (H3) 电连接 ;其中 n 是大于 1 的整数。

7. 如权利要求 6 所述的图像传感器,其中图像传感器设置在摄像机 (610) 中。

8. 一种操作图像传感器的方法,提供 :

覆盖有至少两种色彩的滤色器样式的多个像素 (400),所述滤色器样式在一个方向上在每隔一个像素上具有相同的色彩 ;

三个或更多个电荷耦合器件 (401-404),平行于每隔一个像素滤色器重复样式取向 ;

至少两个电荷耦合器件 (401-404) 的输出处的电荷感应放大器 (408-411) ;每个电荷耦合器件具有交替的第一门 (H1) 和第二门 (H2),除了对于所述三个或更多个电荷耦合器件 (401-404) 中的前两个或所有电荷耦合器件,每个 $2n$ 门被第三门 (H3) 代替 ;

CCD 到 CCD 转移门,连接相邻的电荷耦合器件,第一门 (H1) 在 CCD 到 CCD 转移门一侧以及第二门 (H2) 或第三门 (H3) 在 CCD 到 CCD 转移门的相对侧 ;

所有 CCD 到 CCD 转移门被分组为两组 (TG1, TG) ;

在每一组内电连接每一组的 CCD 到 CCD 转移门在一起 ;

电连接所有第一门 (H1) ;

电连接所有第二门 (H2) ;以及

电连接所有第三门 (H3) ;其中在第一模式中从至少两个电荷耦合器件 (401-404) 中读出所有的所述多个像素 (400),而不将像素相加在一起,并且需要两个电荷耦合器件来保持每行电荷 ;其中在第二模式中在一个或多个电荷耦合器件 (401-404) 内将相同色彩的 n 个像素相加,其中需要 $2/n$ 个电荷耦合器件来保持来自所述多个像素 (400) 的一行电荷,其中 n 为大于 1 的整数。

多输出电荷耦合器件

技术领域

[0001] 本发明一般涉及用于读出像素阵列的两个以上水平电荷耦合器件的领域,特别是,用于允许多个水平电荷耦合器件 (CCD) 利用像素相加以视频帧速率读出全分辨率图像或降低分辨率图像。

背景技术

[0002] 美国专利第 4,513,313、5,164,807、5,841,554 号以及美国专利申请公开 2005/0062868 描述了多输出水平电荷耦合器件 (HCCD),其向 m 个 HCCD 寄存器分配 m 列电荷。这样的输出结构不将电荷从 Bayer 滤色器样式分离成每个寄存器一个色彩。它们需要不利于良好图像质量的条纹滤色装置。它们也不允许用于提高帧速率的像素水平相加。

[0003] 本发明将允许 Bayer 滤色器样式的使用并允许 HCCD 内的像素水平相加。

[0004] 美国专利第 4,807,037 和 5,189,498 号描述了一种多输出 HCCD,其具有要求第二 HCCD 具有不同于第一 HCCD 的沟道掺杂水平的不良特征。额外的掺杂需要更多的加工步骤和掩模层。

[0005] 本发明将不需要第二 HCCD 中的额外掺杂。

[0006] 美国专利第 5,216,489 和 6,002,146 号描述了一种多输出 HCCD,其要求两个 HCCD 之间的转移门具有两个以上电压级。这是需要更多元件的更复杂的 HCCD 时钟驱动器。HCCD 内的像素水平相加也没有被公开。

[0007] 本发明只需要两个时钟级,并且这两个时钟级将被用于所有的 HCCD 时钟。

[0008] 美国专利第 5,995,249 描述了一种多输出 HCCD,但是没有提供关于其构造或定时信号的信息。它也没有公开用于更快帧速率的 HCCD 内的像素水平相加。

[0009] 美国专利第 6,781,628 号描述了一种多输出 HCCD,但是没有公开用于更快帧速率的 HCCD 内的像素水平相加。对于偶数和奇数列,它还需要 HCCD 和像素阵列之间分开的控制门。

[0010] 本发明不需要偶数和奇数列具有像素阵列和 HCCD 之间分开的控制门。

发明内容

[0011] 本发明针对克服一个或多个上述问题。简要概括来说,根据本发明的一个方面,本发明在于一种图像传感器,包括:覆盖有至少两种色彩的滤色器样式的多个像素,所述滤色器样式在一个方向上在每隔一个像素上具有相同的色彩;三个或更多个电荷耦合器件,平行于每隔一个像素滤色器重复样式取向;至少两个电荷耦合器件的输出处的电荷感应放大器;每个电荷耦合器件具有第一和第二门;CCD 到 CCD 转移门,连接相邻的电荷耦合器件与在 CCD 到 CCD 转移门一侧上的第一门以及在 CCD 到 CCD 转移门的相对侧上的第二门;所有 CCD 到 CCD 转移门电连接在一起;所有第一门电连接;以及所有第二门电连接。

[0012] 根据对优选实施例和所附权利要求的以下详细描述的考察并参照附图,将更清楚地理解和认识到本发明的这些和其他方面、目的、特征以及优点。

[0013] 本发明的有利效应

[0014] 本发明具有如下优点：利用使用多个水平电荷耦合器件和不多于三或四个水平时钟驱动器的像素相加读出全分辨率图像或减少分辨率较高帧速率图像。

附图说明

[0015] 图 1a 是伪 2 相 CCD 的示意图；

[0016] 图 1b 是真 2 相 CCD 的示意图；

[0017] 图 2 是示出具有四个 CCD 的本发明的第一实施例的一种实施方式的 HCCD；

[0018] 图 3 示出将两行电荷从像素阵列转移到第一实施例的 HCCD 中的电荷的路径；

[0019] 图 4 示出第一实施例的 HCCD 中的电荷读出；

[0020] 图 5 示出图 4 中电荷转移的时钟驱动器时序图；

[0021] 图 6 是示出具有六个 CCD 的本发明的第二实施例的一种实施方式的 HCCD；

[0022] 图 7 示出电荷包在时间步 T1 处的位置；

[0023] 图 8 示出电荷包在时间步 T2 处的位置；

[0024] 图 9 示出电荷包在时间步 T3 处的位置；

[0025] 图 10 示出电荷包在时间步 T4 处的位置；

[0026] 图 11 示出电荷包在时间步 T5 处的位置；

[0027] 图 12 示出电荷包在时间步 T6 处的位置；

[0028] 图 13 示出电荷包在时间步 T7 处的位置；

[0029] 图 14 示出图 7 到 12 中的电荷转移的时钟驱动器时序图；

[0030] 图 15 示出图 7 到 13 中的电荷转移的时钟驱动器时序图；

[0031] 图 16 示出用于全分辨率读出的第二实施例的具有三个 CCD 的 HCCD；

[0032] 图 17 示出用于双像素相加读出的第二实施例的具有三个 CCD 的 HCCD；

[0033] 图 18 示出本发明第三实施例的时间 T1 处的电荷位置；

[0034] 图 19 示出本发明第三实施例的时间 T2 处的电荷位置；

[0035] 图 20 示出本发明第三实施例的时间 T3 处的电荷位置；

[0036] 图 21 示出本发明第三实施例的时间 T4 处的电荷位置；

[0037] 图 22 示出本发明第三实施例的时间 T5 处的电荷位置；

[0038] 图 23 示出本发明第三实施例的时间 T6 处的电荷位置；

[0039] 图 24 示出本发明第三实施例的时间 T7 处的电荷位置；

[0040] 图 25 示出本发明第三实施例的时间 T8 处的电荷位置；

[0041] 图 26 示出本发明第三实施例的时间 T9 处的电荷位置；

[0042] 图 27 示出本发明第三实施例的时间 T10 处的电荷位置；

[0043] 图 28 示出本发明第三实施例的时间 T11 处的电荷位置；

[0044] 图 29 示出本发明第三实施例的时间 T12 处的电荷位置；

[0045] 图 30 示出本发明第三实施例的时间 T13 处的电荷位置；

[0046] 图 31 示出本发明第三实施例的时间 T14 处的电荷位置；

[0047] 图 32 示出本发明第三实施例的时间 T15 处的电荷位置；

[0048] 图 33 示出本发明第三实施例的时间 T16 处的电荷位置；

- [0049] 图 34 示出本发明第三实施例的时间 T17 处的电荷位置；
- [0050] 图 35 示出图 18 到 34 中电荷转移的时钟驱动器时序图；
- [0051] 图 36 示出用于 2、3、4、5 和 2 或 4 像素相加的第三实施例的每个 CCD 的门排序；而
- [0052] 图 37 示出具有本发明的图像传感器的摄像机。
- [0053] 部件清单
- [0054] 10 绝缘体
- [0055] 11CCD 埋沟
- [0056] 12 衬底
- [0057] 13 沟道势垒离子注入
- [0058] 100 多个像素或像素阵列
- [0059] 101 水平电荷耦合器件 (HCCD)/ 移位寄存器
- [0060] 102 水平电荷耦合器件 (HCCD)/ 移位寄存器
- [0061] 103 水平电荷耦合器件 (HCCD)/ 移位寄存器
- [0062] 104 水平电荷耦合器件 (HCCD)/ 移位寄存器
- [0063] 105 快速电荷丢弃漏极
- [0064] 106 电荷感应输出放大器
- [0065] 107 电荷感应输出放大器
- [0066] 108 电荷感应输出放大器
- [0067] 109 电荷感应输出放大器
- [0068] 200 像素阵列
- [0069] 201 水平电荷耦合器件 (HCCD)/ 移位寄存器
- [0070] 202 水平电荷耦合器件 (HCCD)/ 移位寄存器
- [0071] 203 水平电荷耦合器件 (HCCD)/ 移位寄存器
- [0072] 204 水平电荷耦合器件 (HCCD)/ 移位寄存器
- [0073] 205 水平电荷耦合器件 (HCCD)/ 移位寄存器
- [0074] 206 水平电荷耦合器件 (HCCD)/ 移位寄存器
- [0075] 207 快速电荷丢弃漏极
- [0076] 208 电荷感应输出放大器
- [0077] 209 电荷感应输出放大器
- [0078] 210 电荷感应输出放大器
- [0079] 211 电荷感应输出放大器
- [0080] 212 电荷感应输出放大器
- [0081] 213 电荷感应输出放大器
- [0082] 220 区域
- [0083] 221 区域
- [0084] 222 区域
- [0085] 223 区域
- [0086] 224 区域
- [0087] 225 区域

- [0088] 300 像素阵列
- [0089] 301 水平电荷耦合器件 (HCCD)/ 移位寄存器
- [0090] 302 水平电荷耦合器件 (HCCD)/ 移位寄存器
- [0091] 303 水平电荷耦合器件 (HCCD)/ 移位寄存器
- [0092] 307 快速电荷丢弃漏极
- [0093] 308 放大器
- [0094] 309 放大器
- [0095] 310 放大器
- [0096] 400 多个像素 / 像素阵列
- [0097] 401 水平电荷耦合器件 (HCCD)/ 移位寄存器
- [0098] 402 水平电荷耦合器件 (HCCD)/ 移位寄存器
- [0099] 403 水平电荷耦合器件 (HCCD)/ 移位寄存器
- [0100] 404 水平电荷耦合器件 (HCCD)/ 移位寄存器
- [0101] 407 快速电荷丢弃漏极
- [0102] 408 电荷感应输出放大器
- [0103] 409 电荷感应输出放大器
- [0104] 410 电荷感应输出放大器
- [0105] 411 电荷感应输出放大器
- [0106] 415 区域
- [0107] 416 区域
- [0108] 417 区域
- [0109] 418 区域
- [0110] 600 图像传感器
- [0111] 610 摄像机

具体实施方式

[0112] 已参照优选实施例描述了本发明。然而,应当理解的是,本领域的普通技术人员可实现改变或改进而不脱离本发明的范围。

[0113] CCD 移位寄存器门的定义是真 2 相型或伪 2 相型。图 1a 和 1b 示出两种类型 2 相 CCD 之间的差别。每个移位寄存器门具有绝缘体 10 上的 H1 和 H2 门。第一导电类型(典型 n 型)的 CCD 埋沟 11 在第二导电类型(典型 p 型)的阱或衬底 12 上。还有控制电荷转移方向的沟道势垒离子注入 13。在本发明的整个详细说明中,被认为是门的部分可以是真 2 相或伪 2 相型。

[0114] 图 2 中示出本发明的第一实施例。它是具有色彩 A、B、C 和 D 的多个像素 100 的图像传感器。上述色彩通常是,但不限于, Bayer 滤色器样式,其中 A 和 D 是绿色, B 是蓝色, 而 C 是红色。有两个以上水平电荷耦合器件 (HCCD) 101、102、103 和 104。本发明不限于仅四个 HCCD,四个以上的 HCCD 是如图 2 所示的实例的扩展,这对于本领域的技术人员显而易见的。由相同的两个时钟信号 H1 和 H2 驱动每个 HCCD。门 H1 和 H2 以像素阵列的每一列上一个门而交替。每个门 H1 或 H2 可以是真 2 相 CCD 门或伪 2 相 CCD 门。当 H1 和 H2 门以

互补方式被提供时钟信号时,所有 HCCD 中的电荷向着每个 HCCD 末端的电荷感应输出放大器 106、107、108 和 109 移位。转移门 HTG 在每个 HCCD 之间,其允许电荷在相邻的 HCCD 之间转移。每个 HTG 也是真 2 相 CCD 门或伪 2 相 CCD 门。HTG 被构造成使得它能够将来自 H2 门的整个电荷包保持在 HTG 门下方。放置 HTG 门以接收来自 H1 门的电荷可作为替代等效设计。

[0115] 最后一个 HCCD 104 的下方是通过转移门 HTG 连接到最后一个 HCCD104 的快速电荷丢弃漏极 105。这允许来自像素阵列 100 的整行电荷被快速地丢弃到漏极,而不是通过时钟从 HCCD 中转移出来。

[0116] 该 HCCD 结构的优点在于,它只需要两个高频时钟信号 H1 和 H2,以及一个低频时钟信号 HTG。图 3 示出电荷包如何从像素阵列 100 流向四个 HCCD 101、102、103 和 104 中的每一个。来自像素阵列 100 的两行电荷被分配在四个 HCCD 之间。色彩 D 从第一行转到 HCCD 104 而色彩 C 从第一行转到 HCCD 103。色彩 B 从下一行转到 HCCD 102 而色彩 A 从下一行转到 HCCD 101。注意每个 HCCD 仅包含一种色彩。对于每个 HCCD 来说包含一种色彩是有利的,因为可为每种色彩有差别地调节输出放大器电子增益。而且,在 H1 和 H2 的每个时钟周期上,在输出放大器 106、107、108 和 109 同时采样一整个 2×2 像素核。

[0117] 一旦已将两行电荷转移到它们各自的 HCCD 中,H1 和 H2 时钟随后以互补方式产生高频时钟,以便向着输出放大器 106、107、108 和 109 移动电荷,如图 4 所示。图 5 中示出转移电荷的时序图。V1 和 V2 时钟线是用于两相像素阵列垂直 CCD 时序的。本发明不限于两相 VCCD;可使用三或更多相 VCCD。还可使用采用隔行读出或电荷相加的 VCCD。

[0118] 在图 5 的时间 T1 处,将第一行电荷从像素阵列 100 转移到 HCCD 101 和 102 中。T1 和 T2 之间的时间对应于图 3,其中将第一行电荷从 HCCD 101 和 102 向下移动到 HCCD 103 和 104 中。在时间 T2 处,将第二行电荷从像素阵列 100 转移到 HCCD 101 和 102 中。现在四个 HCCD 装满电荷,并且在时间 T3 处,HCCD 开始对应于图 4 向着输出放大器通过时钟转移电荷。

[0119] 本发明的第二实施例适合于以更快的读出模式操作 HCCD。现在需要数码摄像机来拍摄高分辨率单拍照片和 30 帧/秒的较低分辨率视频。该第二实施例示出可如何改进第一实施例,以便在 HCCD 中将两个像素水平相加以使得每个 HCCD 的读出速率加倍。

[0120] 图 6 示出本发明的第二实施例。每个 HCCD 201、202、203、204、205 和 206 具有四个控制门 1A、2A、1B 和 2B,用于沿每个 HCCD 向着电荷感应输出放大器 208、209、210、211、212 和 213 移动电荷。示出了具有控制 HCCD 之间电荷转移的转移门 TG 和 TG1 的六个 HCCD。TG1 转移门只在区域 220 中位于 HCCD 201 和 202 之间。剩下的 TG 转移门全部电连接在一起,并位于区域 221、222、223 和 224 中。还有在区域 225 中电连接到 TG 的一个门,用于向快速电荷丢弃漏极 207 转移电荷。如果图 6 中的门 1A 和 1B、门 2A 和 2B 以及门 TG1 和 TG 分别连接在一起,本发明的第二实施例在功能上等效于图 2 中第一实施例的六输出形式。因此,当在全分辨率单拍摄影模式中时,HCCD 仍然只需要两个高频时钟信号和一个低频转移门时钟信号。

[0121] 现在描述第二实施例的半分辨率双速视频读出模式。处理是从图 6 开始,其中将第一行从像素阵列 200 转移到顶部两个 HCCD 中。色彩 C 进入 HCCD 201 的 1A 和 1B 门,而色彩 D 经过 HCCD 201 的 2A 和 2B 门并进入 TG1 门中。

[0122] 图 7 中示出下一步骤。HCCD 201 中 1B 门下的色彩电荷包 C 前移两个门,而 1A 门下方的色彩电荷包 C 保持不动。这将使得两个色彩电荷包 C 相加在一起。在将色彩 D 电荷包从 TG1 门转移到 HCCD 202 中以后,在 HCCD 202 中进行相同的处理。图 8 示出电荷相加的结果。围绕电荷包 C 和 D 的加倍的圆形表示它们代表两个电荷包的和。

[0123] 接下来,色彩 D 电荷包被转移到区域 221 中的 TG 门下方并保存在那里,而同时色彩 C 电荷包被转移通过 TG1 门和 HCCD 202。由于已将色彩 D 电荷包相加,区域 221 中有空 TG 门。这些空 TG 门被填充相加的色彩 C 电荷包,如图 9 所示。同时,来自像素阵列 200 的下一行像素被转移到 HCCD 201 和 TG1 220 中。

[0124] 接下来,在 HCCD 201 和 202 中将两个色彩 A 和 B 电荷包相加在一起,而同时将已相加的色彩 C 和 D 电荷包向着下一 TG 区域 222 转移,如图 10 所示。

[0125] 在图 11 中,当相加的色彩 A、B、C 和 D 电荷包被保持在 TG 门 221 和 222 下方时,将另一行色彩 C 和 D 从像素阵列 200 转移到 HCCD 201 和 TG1 220 中。

[0126] 重复将相同色彩的两个电荷包相加在一起的处理,直到底部的四个 HCCD 203、204、205 和 206 填充了电荷。现在这些 HCCD 包含四整行来自像素阵列 200 的电荷。HCCD 201 和 202 是空的。如果这些 HCCD 被读出,可关闭放大器 208 和 209 以节约电力。通过该相加处理读出四行和四个输出,而不是全分辨率读出模式下的仅三行和六个输出。

[0127] 图 14 示出将四行电荷转移到 HCCD 中的时序。图 7 示出时间 T1 处电荷包所在的位置,图 8 示出时间 T2 处电荷包所在的位置,图 9 示出时间 T3 处电荷包所在的位置,图 10 示出时间 T4 处电荷包所在的位置,图 11 示出时间 T5 处电荷包所在的位置,而图 12 示出时间 T6 时电荷包所在的位置。图 14 中的 V1 和 V2 时钟信号只是示出以显示何时从像素阵列 200 转移新一行的电荷包。V1 和 V2 被显示为 2 相 CCD 时钟,只是作为可使用的多种 VCCD 时钟中的一个实例。可使用 3 相、4 相或更多 VCCD 时钟。VCCD 还可以是多场隔行读出,或具有垂直像素相加能力。

[0128] 本发明的第二实施例不限于仅四行同步读出。图 13 示出像素相加的又一步骤:将第 5 行电荷放到 HCCD 202 中。现在只有 HCCD 201 是空的。可以全分辨率读出三行电荷所花费的相同的时间,以 1/2 的分辨率从 HCCD 中读出五行电荷。图 15 示出以 1/2 的分辨率读出五行电荷的时序图。时间步 T7 对应于图 13。

[0129] 第二实施例有多种具有不同数量 HCCD 寄存器的等效改变形式。例如,一种改变形式可以是具有三个 HCCD 移位寄存器,如图 16 所示。快速电荷丢弃漏极 307 被用于为了子窗口模式 (sub-windowing mode) 或为了清除过剩电荷的 VCCD 而快速丢弃整行电荷。为了全分辨率读出,前两个 HCCD 301 和 302 将被用于从像素阵列 300 一次读出一行。为了全分辨率读出,只对放大器 308 和 309 供电。在半分辨率双倍速读出模式中,将从 HCCD 302 和 303 读出双倍相加的电荷包,如图 17 所示。在半分辨率双倍速读出模式中将对放大器 309 和 310 供电。HCCD 寄存器 302 和 303 包含两行电荷,以将每个 HCCD 的电荷读出量加倍。

[0130] 如果在图 16 中寄存器 301 和 302 中的电荷包被向下移动到寄存器 302 和 303 并随后从放大器 309 和 310 中读出,可从图像传感器中完全省去放大器 308。使用三个 HCCD 寄存器的该实例示出:本发明的 HCCD 结构不限于仅偶数个 HCCD 寄存器。

[0131] 本发明的第三实施例示出可如何将相同色彩的三个水平像素在 HCCD 内相加在一起。这是为以视频帧速率读出 1/3 分辨率图像作准备的。

[0132] 图 18 示出第三实施例,它是具有色彩 A、B、C 和 D 的多个像素 400 的图像传感器。这些色彩通常是,但不限于, Bayer 滤色器样式,其中 A 和 D 是绿色, B 是蓝色,而 C 是红色。它也可以是单色器件,其中 A、B、C 和 D 全都是相同的色彩或无色(全色)。有四个 HCCD 移位寄存器 401、402、403 和 404,分别具有电荷感应输出放大器 408、409、410 和 411。前两个 HCCD 移位寄存器 401 和 402 具有三个门 H1、H2 和 H3。H1 和 H2 门交替,每第六个门是 H3 门。所有标记 H1 的门连接在一起。所有标记 H2 的门连接在一起。所有标记 H3 的门连接在一起。该实例中的另外两个 HCCD 移位寄存器 403 和 404 只具有 H1 和 H2 门。一种等效改变形式可以是:HCCD 移位寄存器 403 和 404 的每第六个门是 H3 门,和 HCCD 401 和 402 一样。

[0133] 区域 415 中的转移门 TG1 在 HCCD 401 和 402 之间,用于从 HCCD 401 向 HCCD 402 转移电荷。TG1 门能够保持和 H1、H2 和 H3 门相同量的电荷。区域 416、417 和 418 中的 TG 门控制剩下的 HCCD 移位寄存器和快速电荷丢弃漏极 407 之间的电荷转移。

[0134] 现在描述电荷相加处理。从图 18 到图 34 的每一个图都具有与图 35 上的时间标签对应的从 T1 到 T17 的时间标记。在图 18 中的时间 T1 处,第一行色彩 A 和 B 被转移到 HCCD 401 和转移门 TG1 区域 415 中。在图 19 中,将色彩 B 电荷从 TG1 区域 415 转移到 HCCD 402,而色彩 A 电荷保留在 HCCD 401 中。接下来,在图 20 中,H1 和 H2 门被提供时钟,而同时 H3 门被保持在高电荷保持状态。这具有使得两个电荷包追上保持在 H3 门下方的电荷包并与之相加的效应。图 21 中示出该结果。代表三个电荷包相加的三重同心圆现在表示每个电荷包的位置。相加的电荷包现在被转移到 TG 和 TG1 转移门中,如图 22 所示。接下来,只有 TG1 转移门下方的电荷被转移到 HCCD 402 中,而同时 TG 转移门中的电荷不移动。这允许在图 23 中色彩 A 电荷包追上色彩 B 电荷包。接下来,在图 24 中,包含色彩 C 和 D 的第二行电荷被转移到 HCCD 401 和 TG1 区域 415 中,而同时之前相加的电荷行被保持在转移门 TG 区域 416 下。在 H3 门下方保持一个电荷包,通过允许下两个电荷包在第一个电荷包之上相加来将第二行电荷相加。在图 25 中,H1 和 H2 门通过时钟向前转移电荷,而同时保持 H3 门下的电荷不动。在图 26 中,相加的色彩 D 电荷包被转移到空 TG 区域 416 中,并且色彩 C 电荷包被转移到 TG1 区域 415 中。在图 27 和图 28 中,电荷包被转移到下一行 TG 区域 416 和 417 中。TG 区域 417 中整组的相加的电荷包在那里等待,而同时下一整组的相加的电荷包在 TG 区域 416 中累加。在图 29 中,第三行电荷色彩 A 和 B 已被转移到 HCCD 401 和 TG1 区域 415 中。通过保持 H3 门下方的一个电荷包而同时给 H1 和 H2 门提供时钟信号以累加相同色彩的三个电荷包的和,在图 30 中将第三行电荷相加。在图 31 中,相加的色彩 B 电荷包被转移到 TG 区域 416 中,并且相加的色彩 A 电荷包被转移到 TG1 区域 415 中。在图 32 中,将相加的色彩 A 电荷包转移通过 HCCD 402 并进入 TG 区域 416 中,以形成完整的一组相加的电荷包。在图 33 中,全部的相加的电荷包被转移到 HCCD 403 和 HCCD 404 中。

[0135] 最后,在图 34 中,HCCD 403 和 HCCD 404 仅在两个 HCCD 移位寄存器中包含三行的相加的电荷。在该电荷相加视频模式中关掉放大器 408 和 409 以节约电力。当 HCCD 中的该 3 像素相加处理还与垂直 CCD 移位寄存器中的 3 像素行相加结合时,获得分辨率正好九倍那么小的高质量视频图像。

[0136] 至此已在将三个像素相加在一起的上下文中描述了第三实施例。很容易从两个像素扩展到任意数量的像素相加。例如,假设期望将 n 个像素相加在一起。HCCD 移位寄存器

将由交替的 H1 和 H2 门构成,其中由 H3 门代替每第 $2n$ 个门。如果期望将两个像素相加在一起,则每第四个门将是 H3 门。在图 18 所示的 HCCD 中,设置为将三个像素相加,因此每 2×3 或第六个门是 H3 门。为了将五个像素相加,每第 10 个门将是 H3 门。像素相加的组合也是可能的。为了得到可将两个或四个像素相加的一组 HCCD 寄存器,每第 4 个和第 8 个门将是可独立控制的 H3 门。

[0137] 在图 36 中示出为了 2、3、4、5 和 2 或 4 像素相加,第一 HCCD 401 中 H1、H2 和 H3 门的排序。

[0138] 图 37 示出使用了采用本发明实施例之一的图像传感器 600 的摄像机 610。这样的摄像机将使用描述的多输出 HCCD 移位寄存器来拍摄全分辨率照片,以便与仅有一个输出的图像传感器相比有更快的拍照速度。它还能够将模式改变为用于动态图像录制的具有至少 30 帧/秒的帧速率的较低分辨率。该较低分辨率模式还可被用于图像预览、自动曝光和自动聚焦。本发明提供一种方法,其提供足够多的 HCCD 移位寄存器来以全分辨率和 30 帧/秒读取百万像素(很容易超过 5 百万像素)图像传感器。

[0139] 已在例如 Bayer 滤色器样式的 2×2 彩色像素样式的上下文中描述了本发明。其不限于仅 2×2 彩色样式。本发明也可被应用于具有在每一侧上大于两个像素的单位单元的彩色样式。

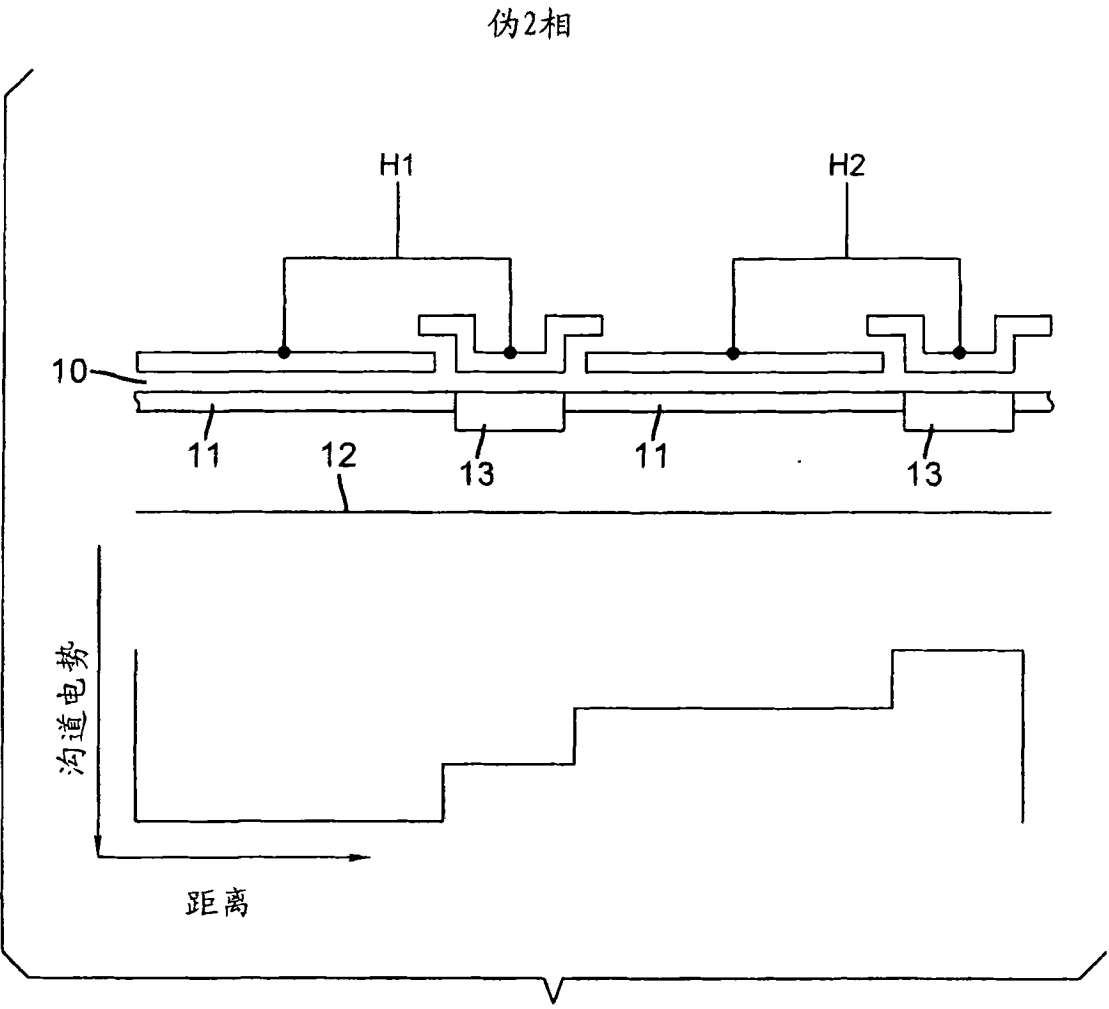


图 1a

真2相

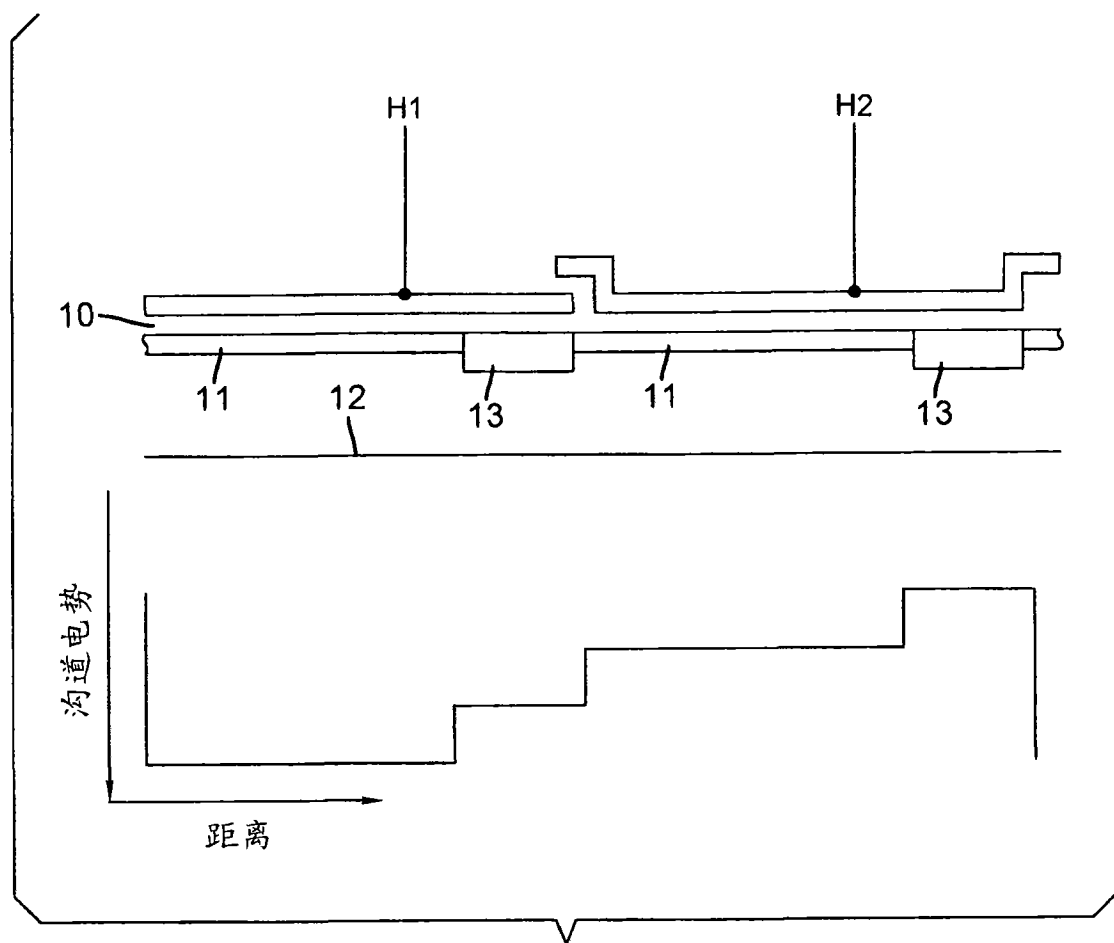


图 1b

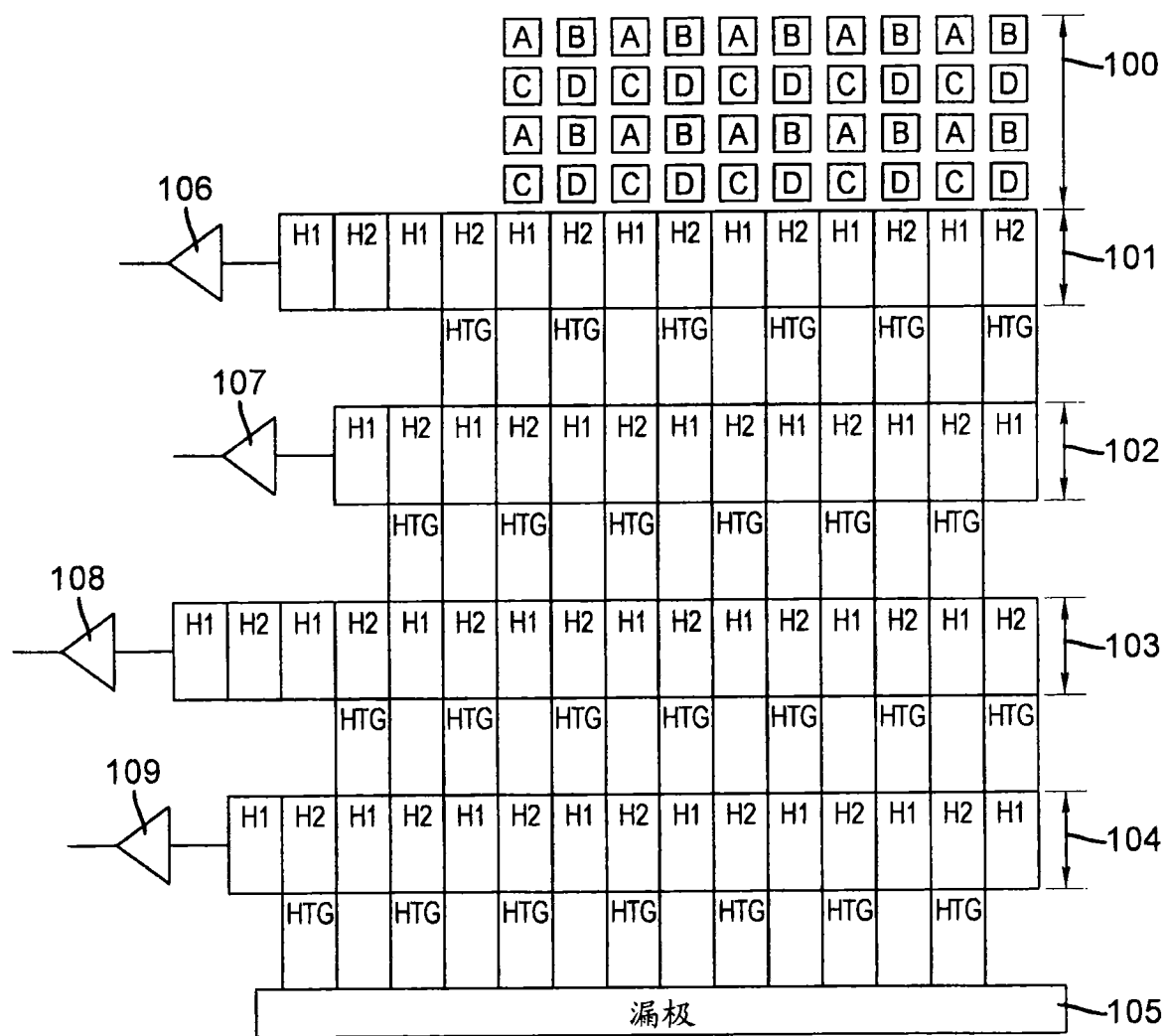


图 2

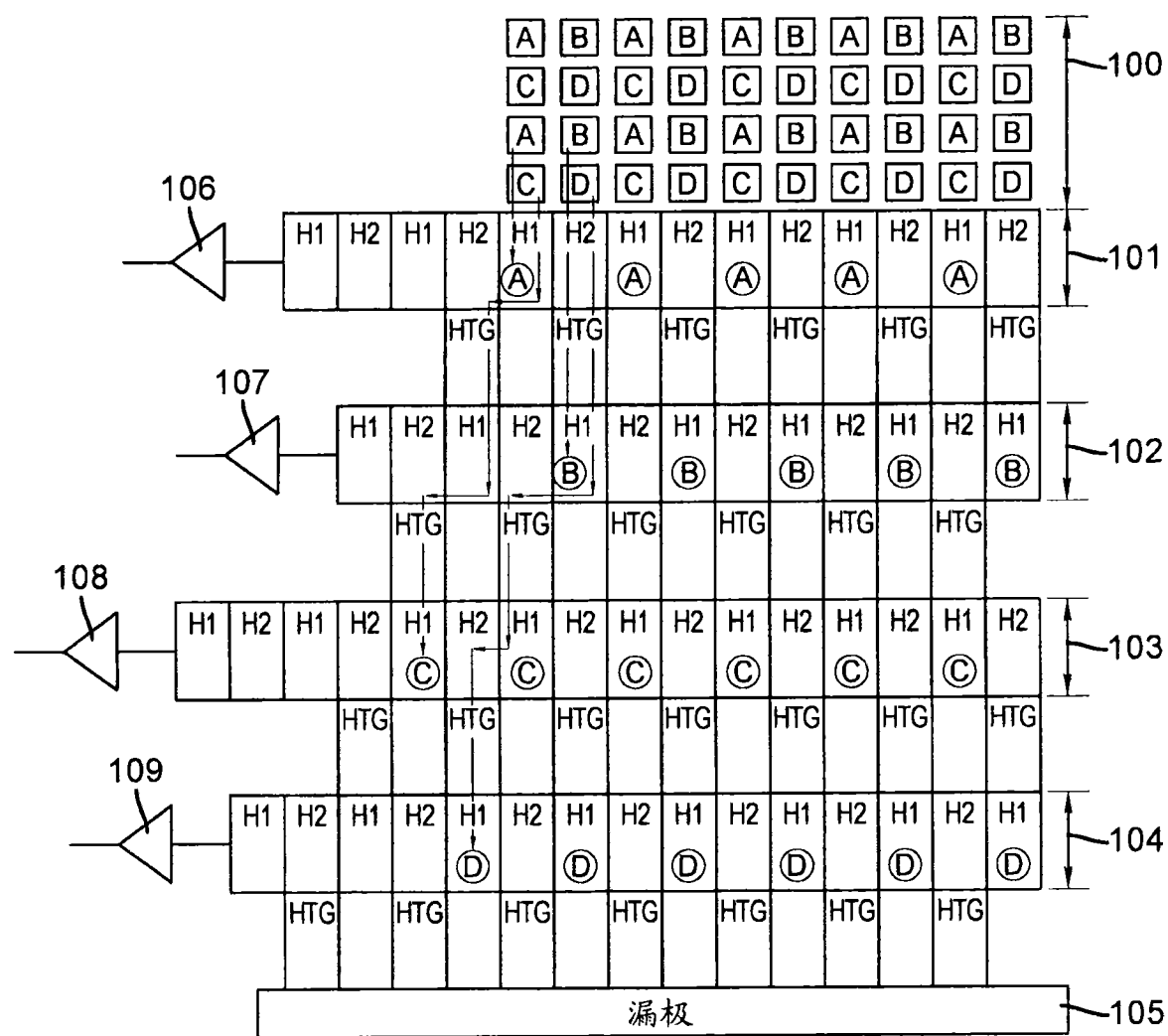


图 3

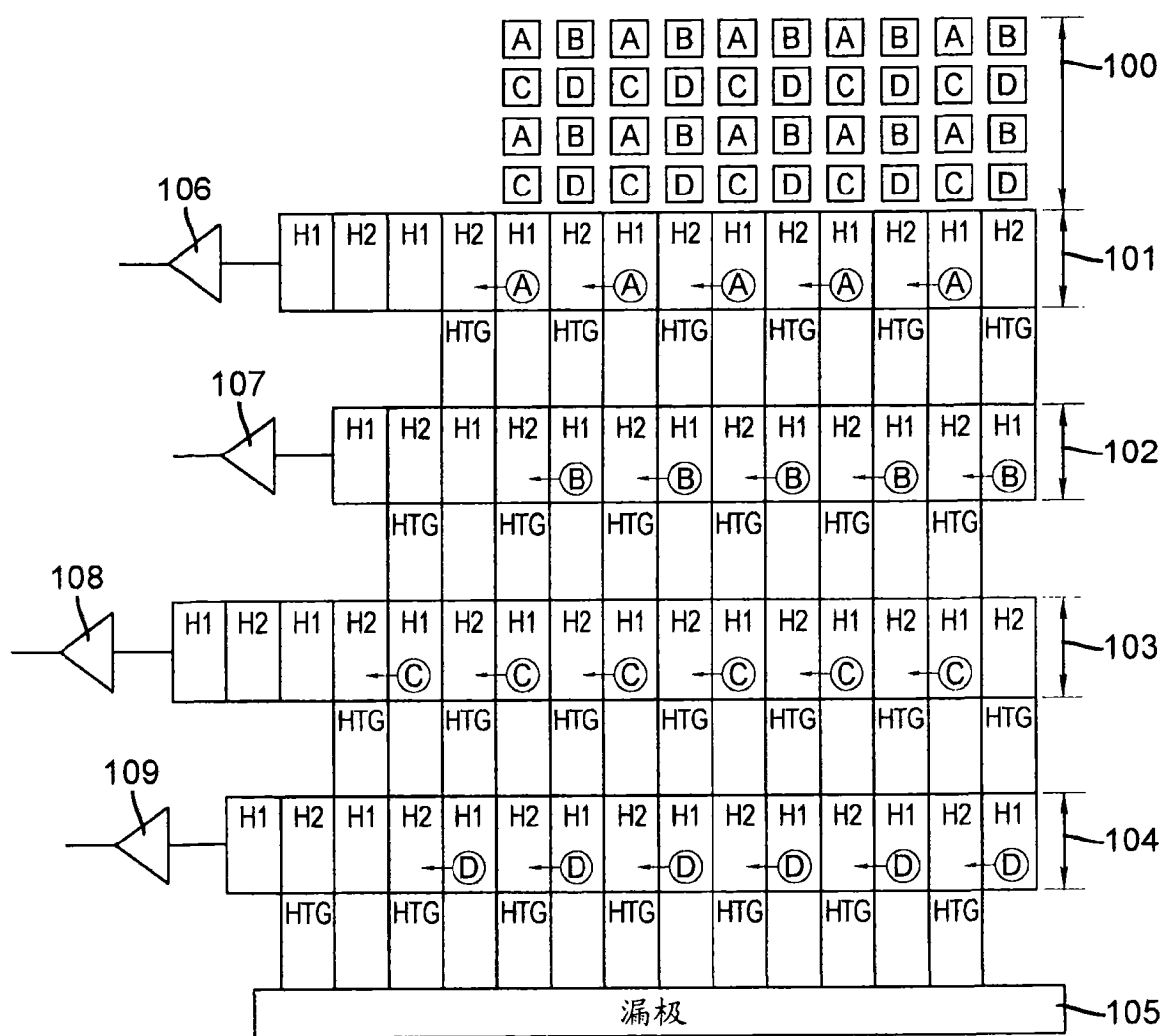


图 4

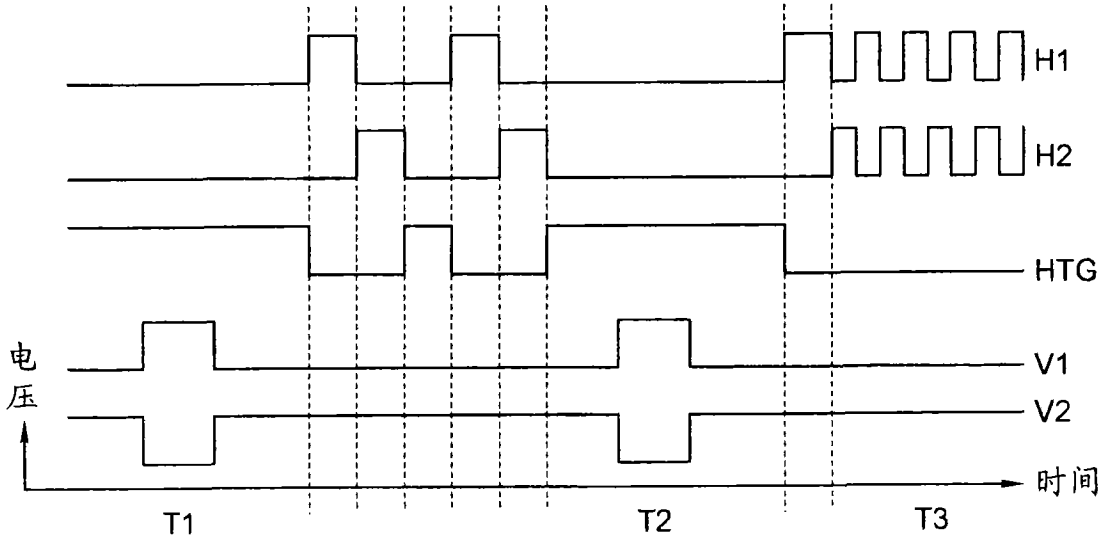


图 5

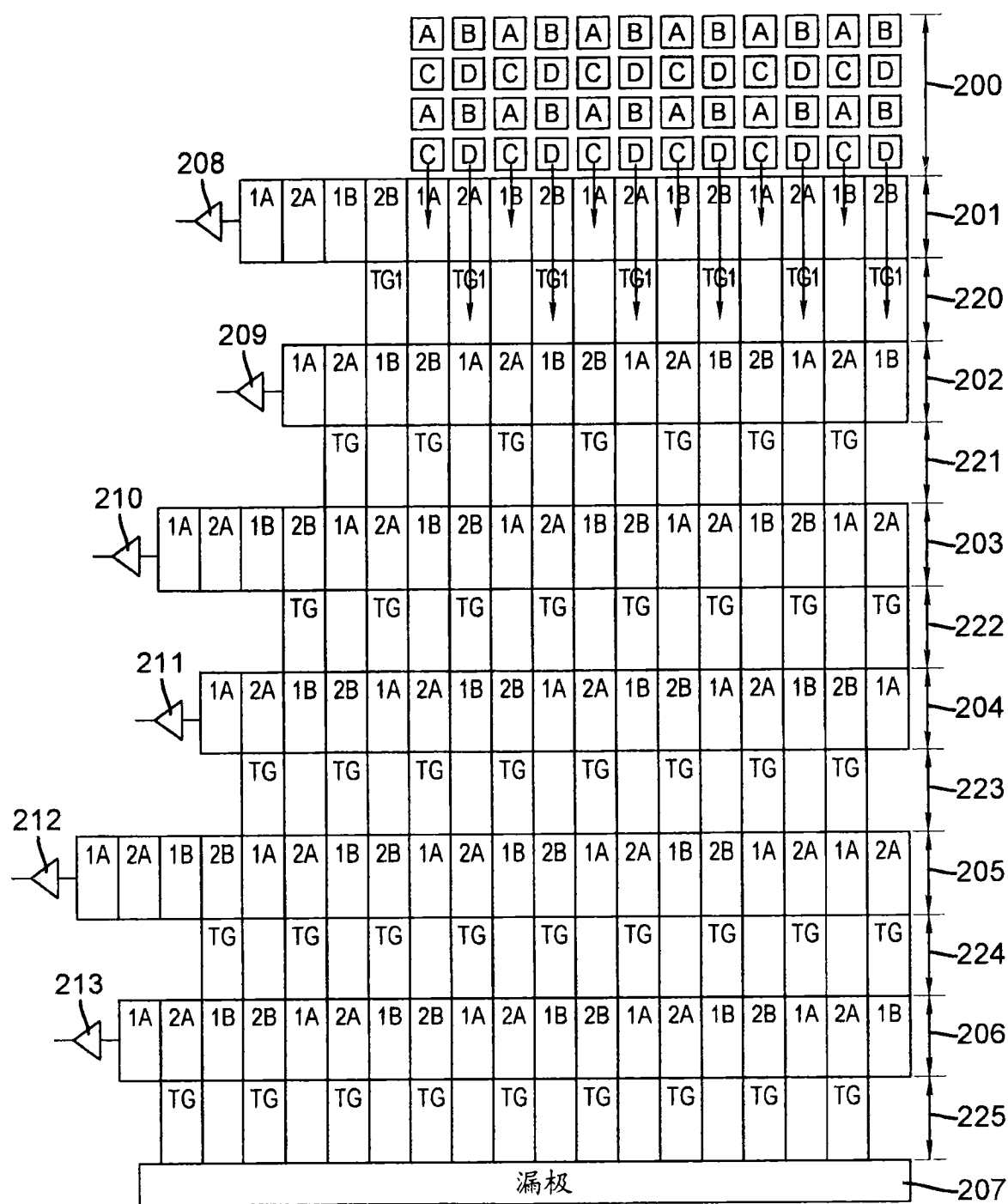


图 6

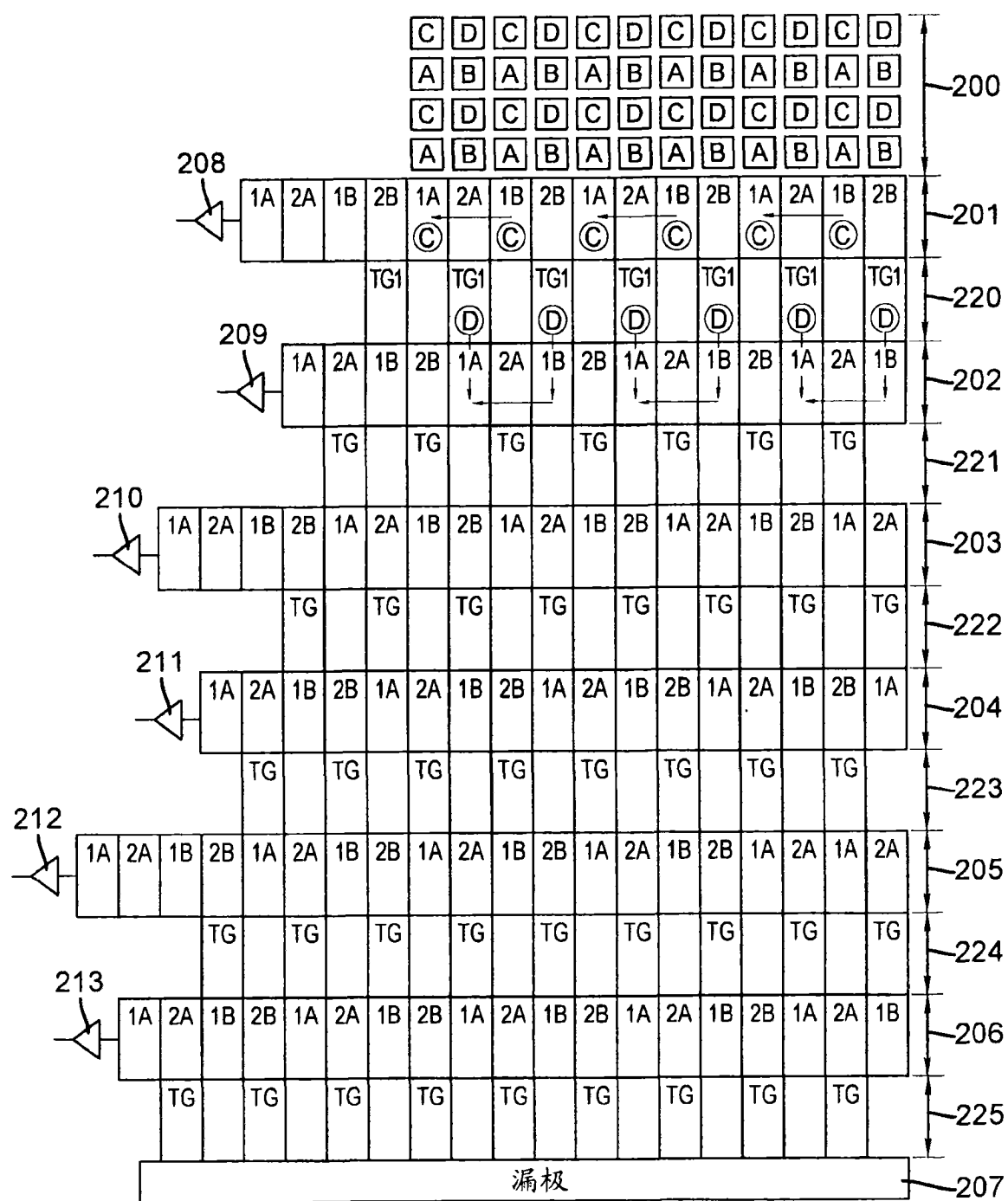


图 7

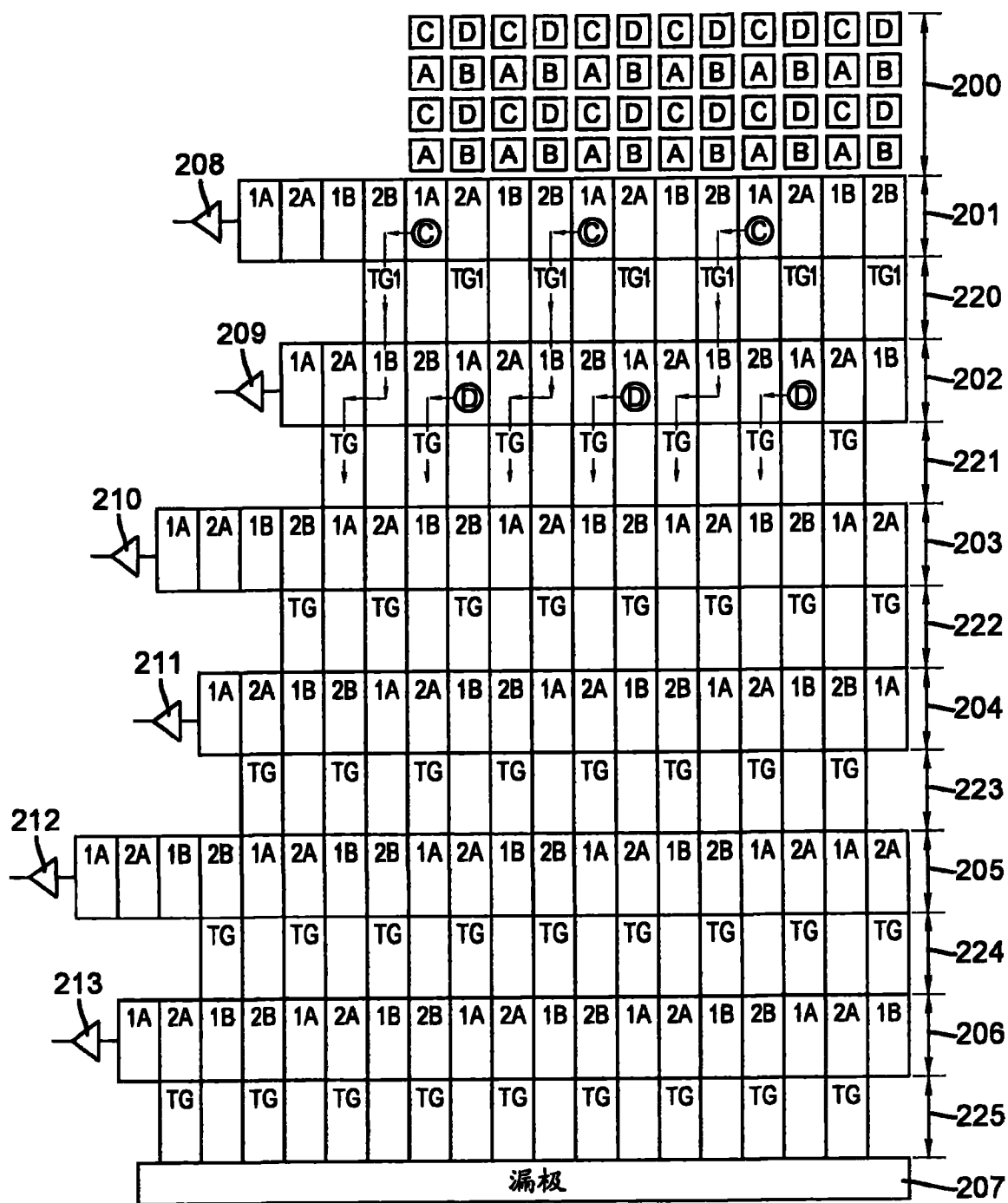


图 8

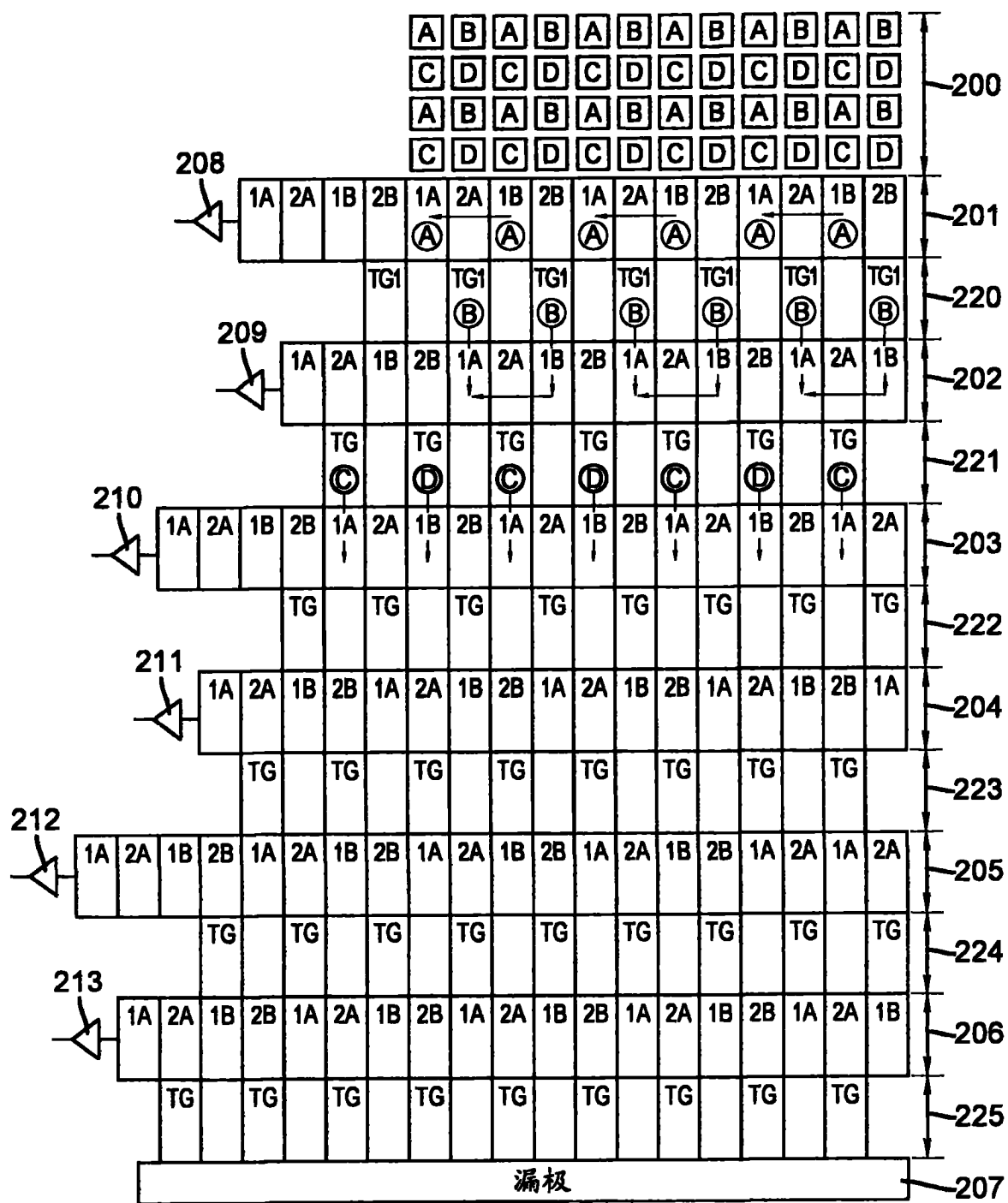


图 9

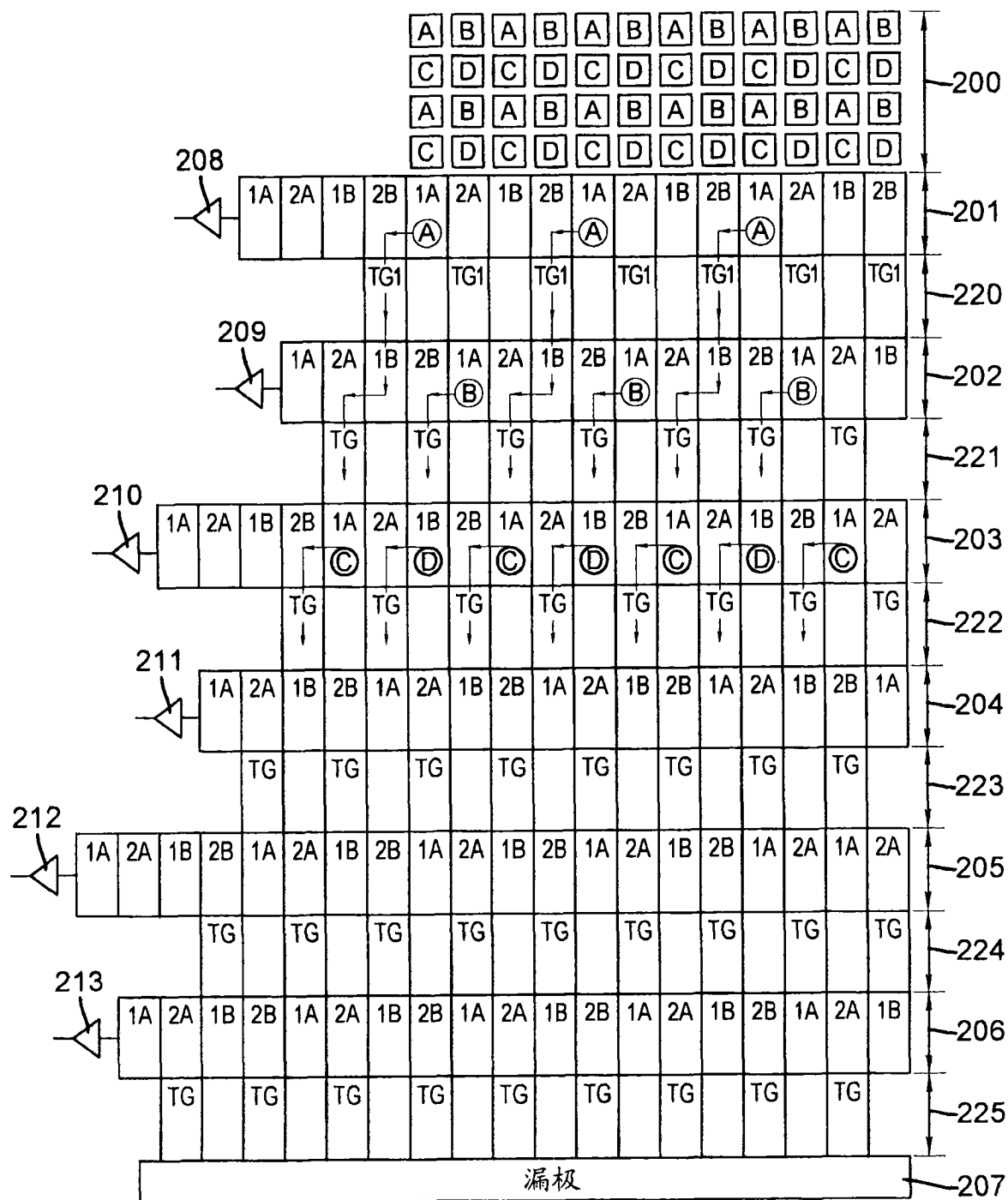


图 10

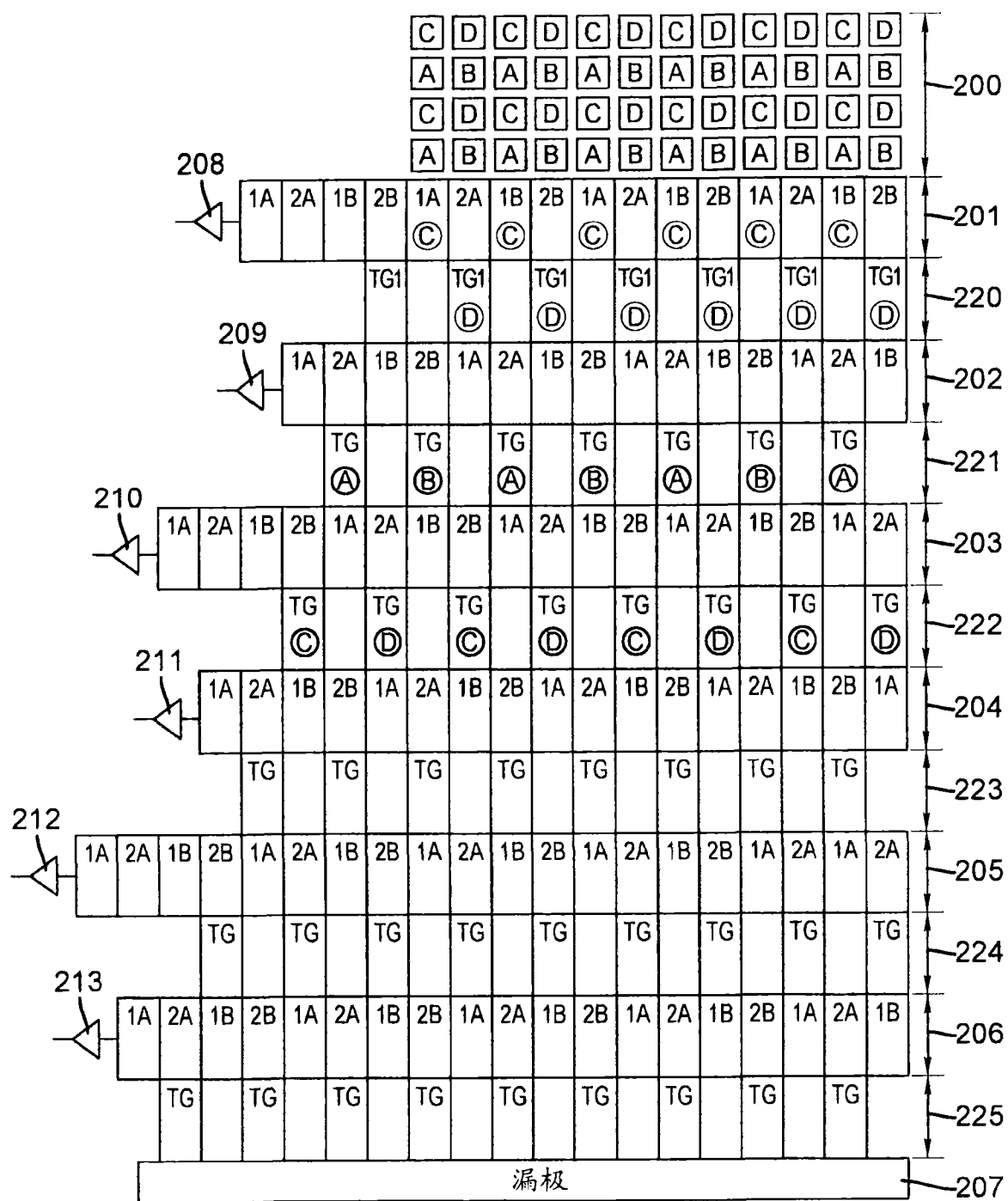


图 11

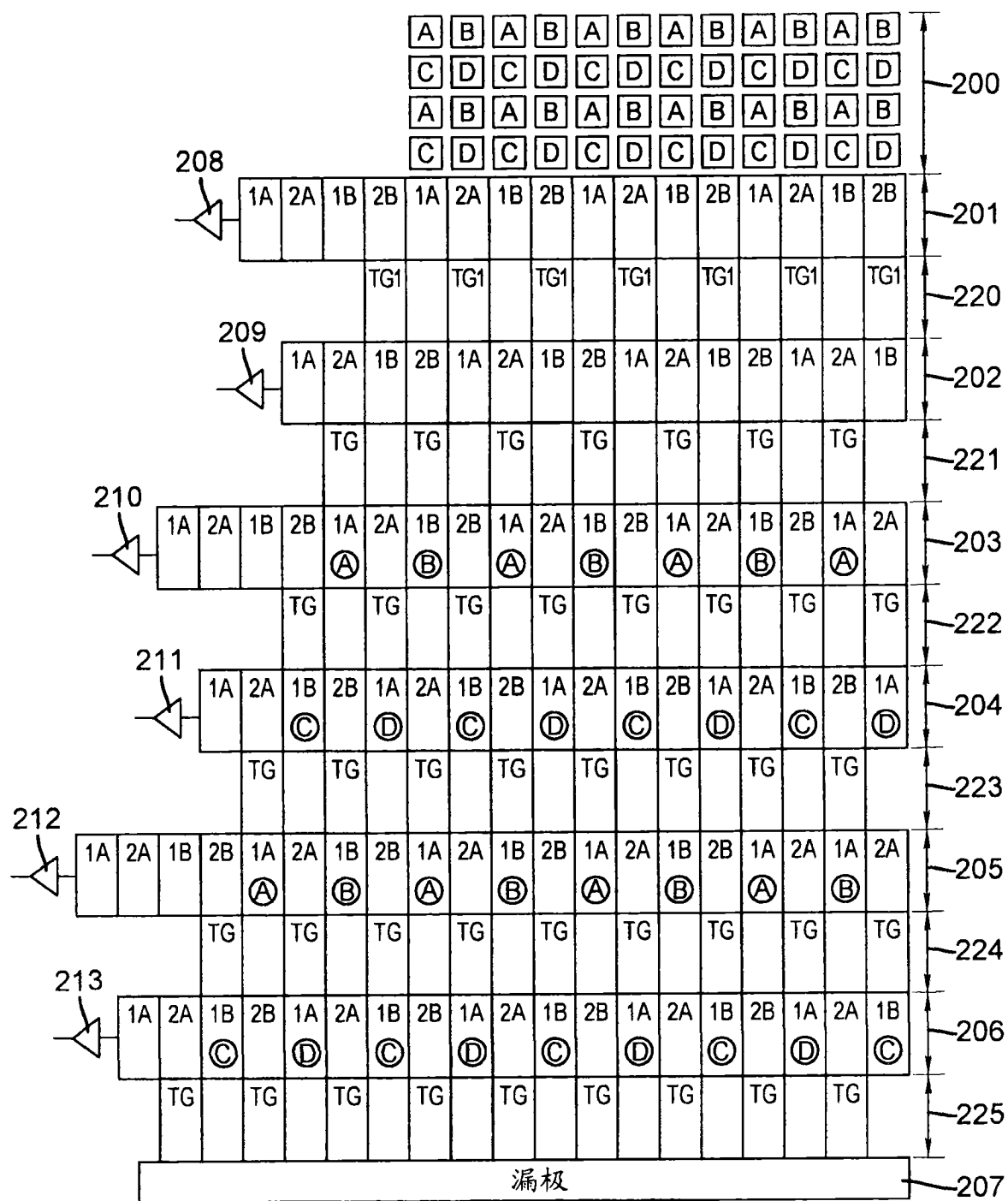


图 12

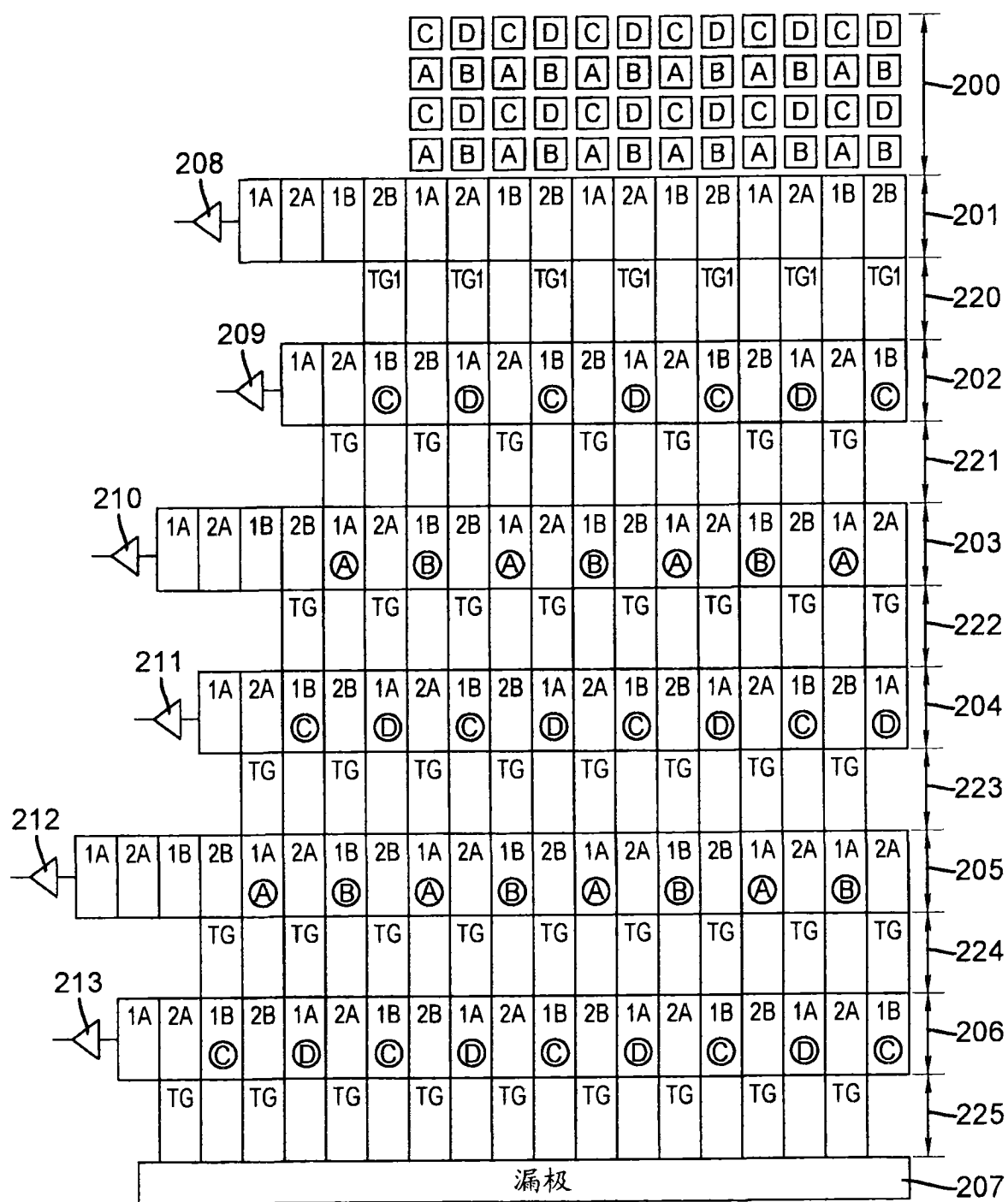


图 13

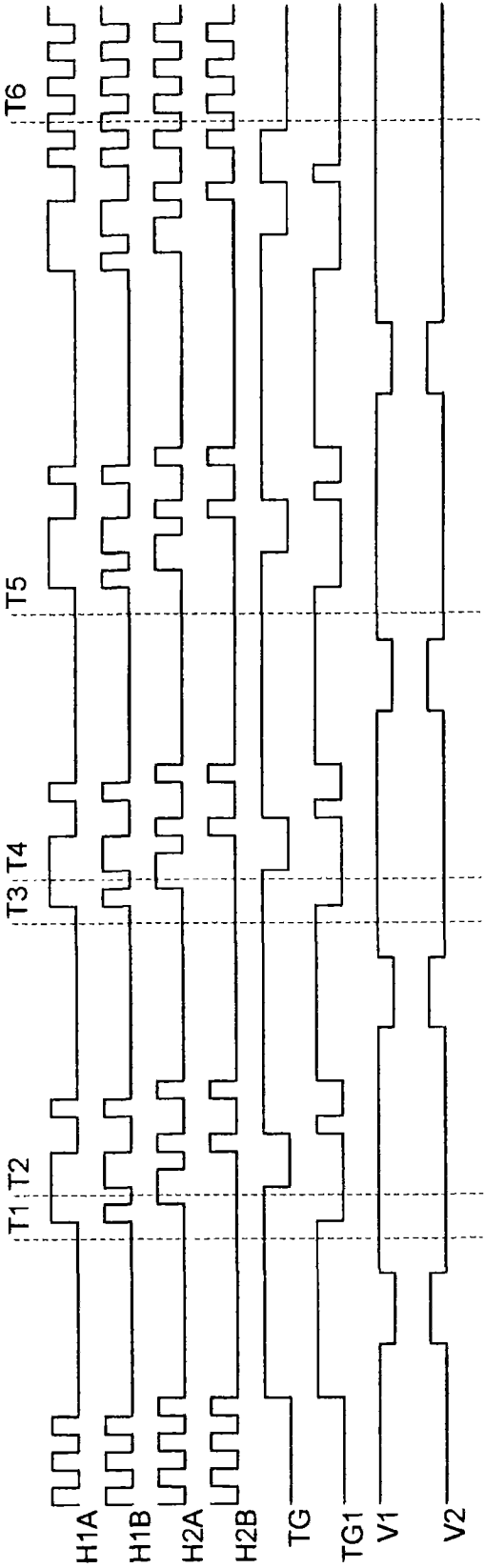


图 14

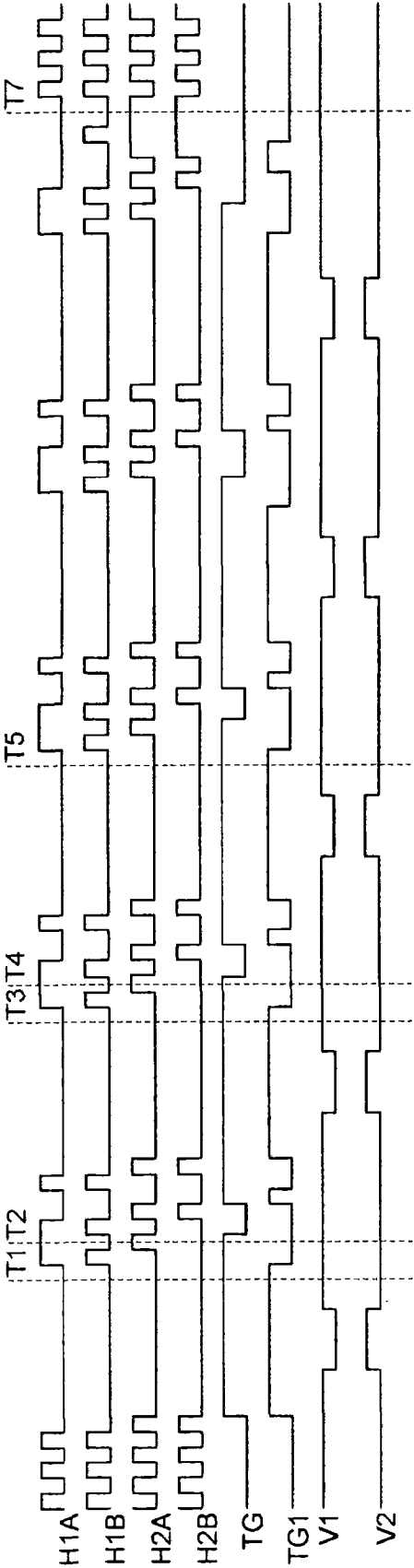


图 15

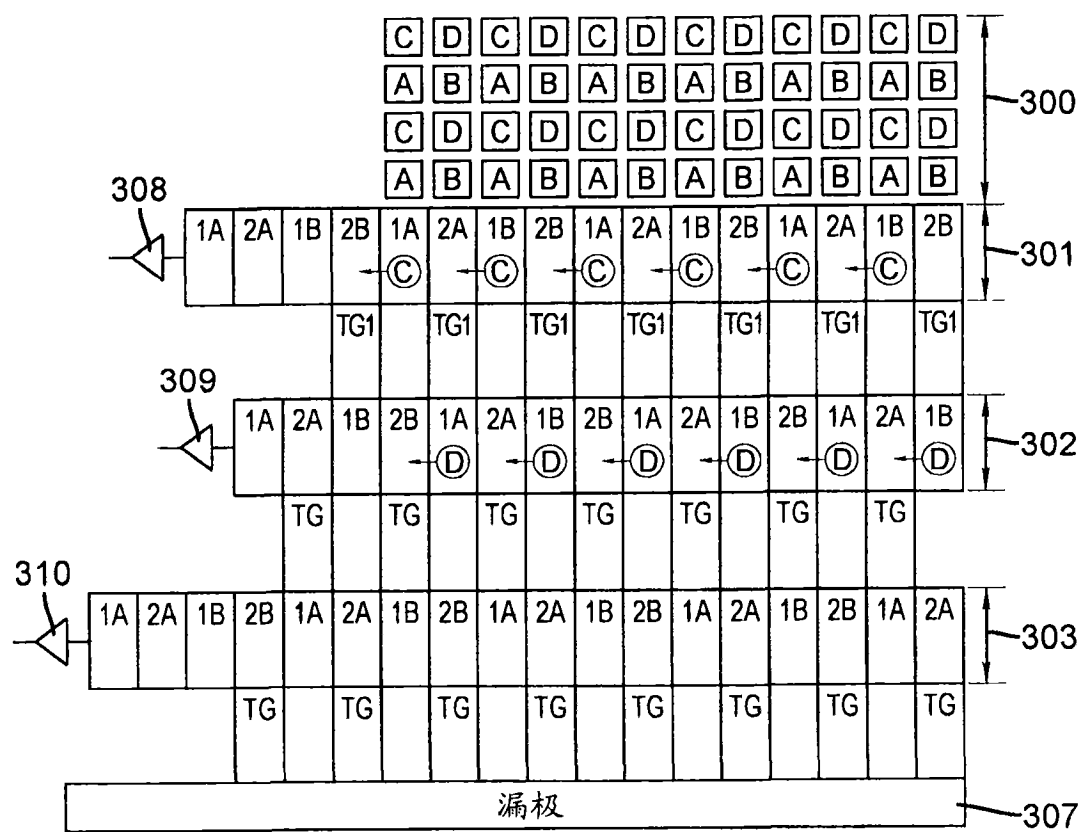


图 16

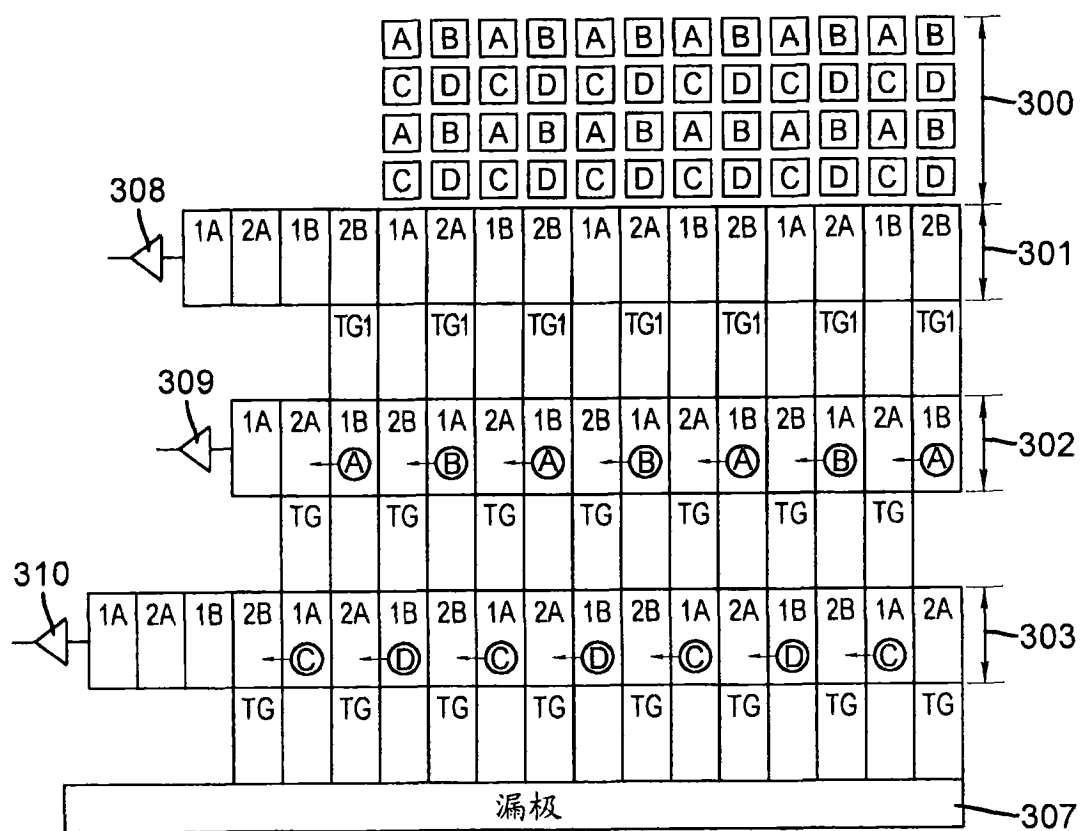
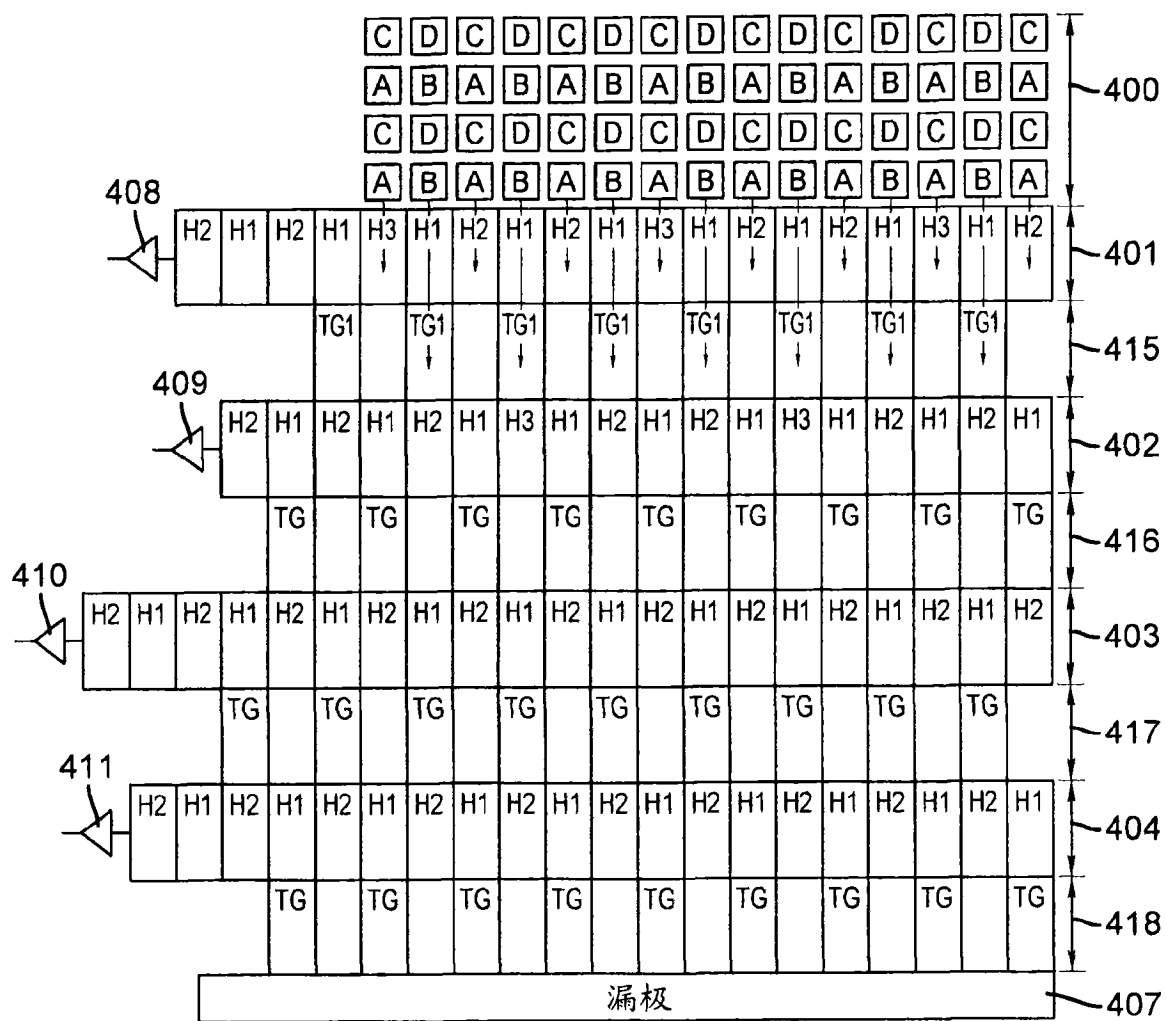


图 17



时间 T1

图 18

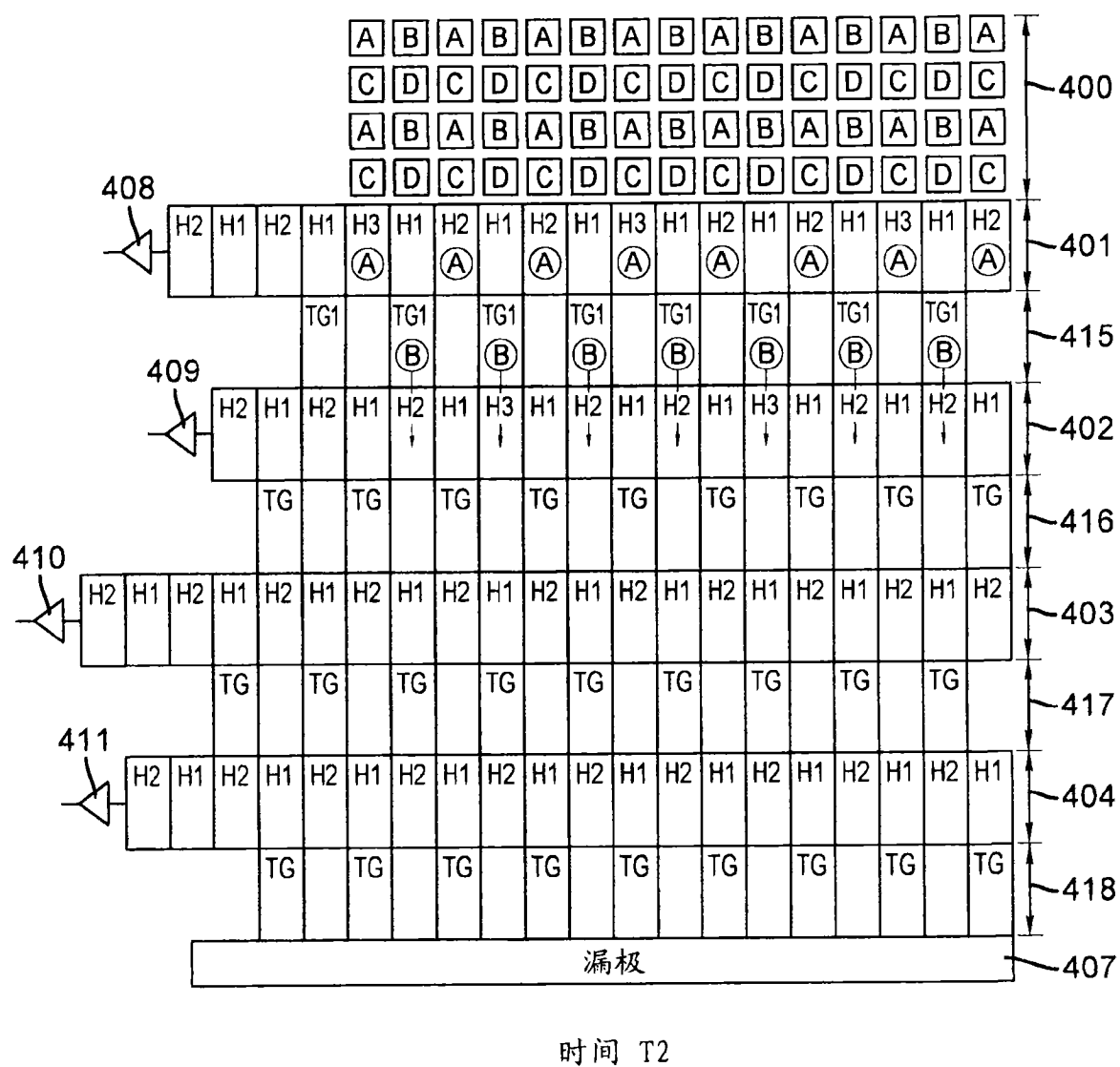
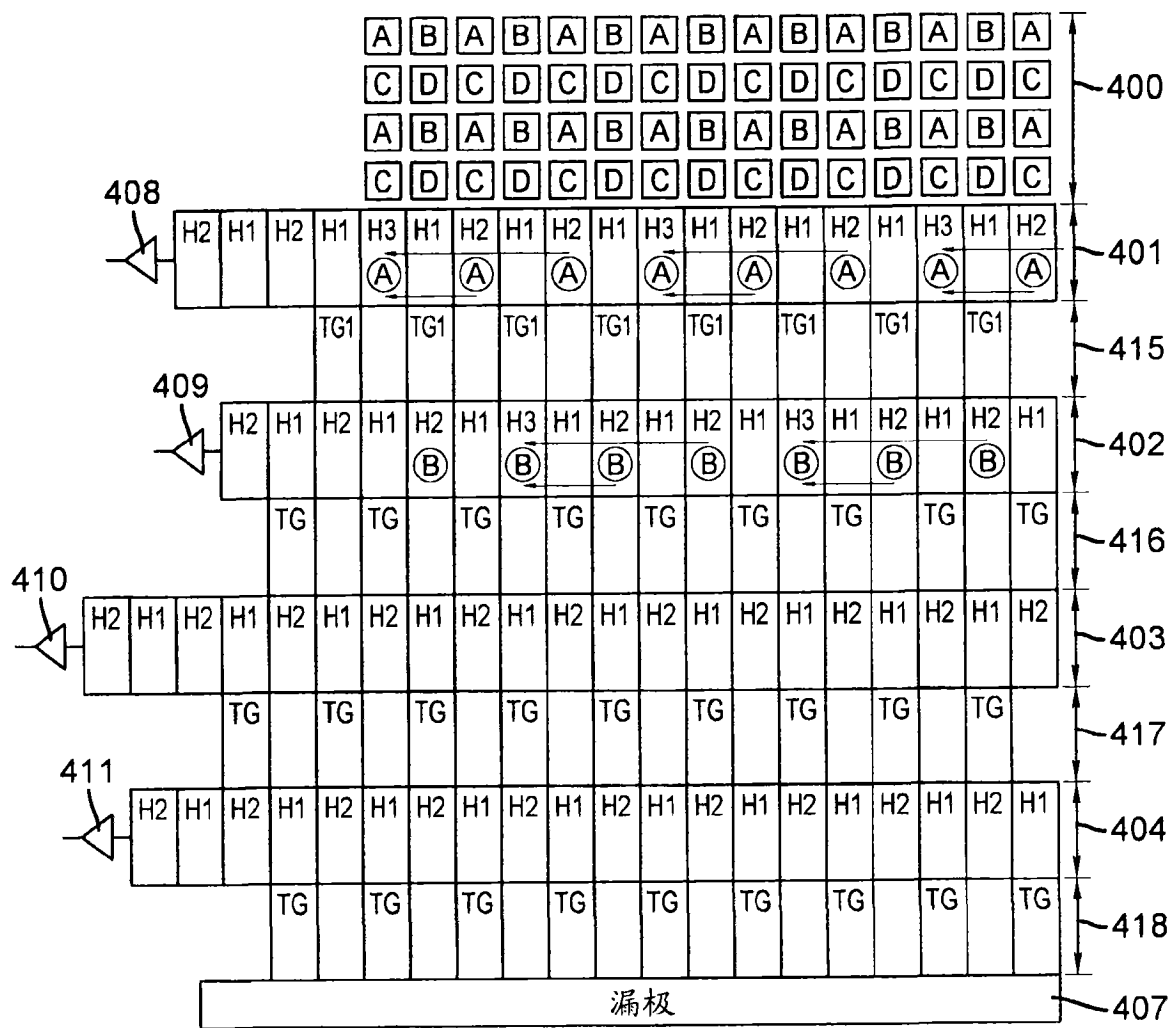
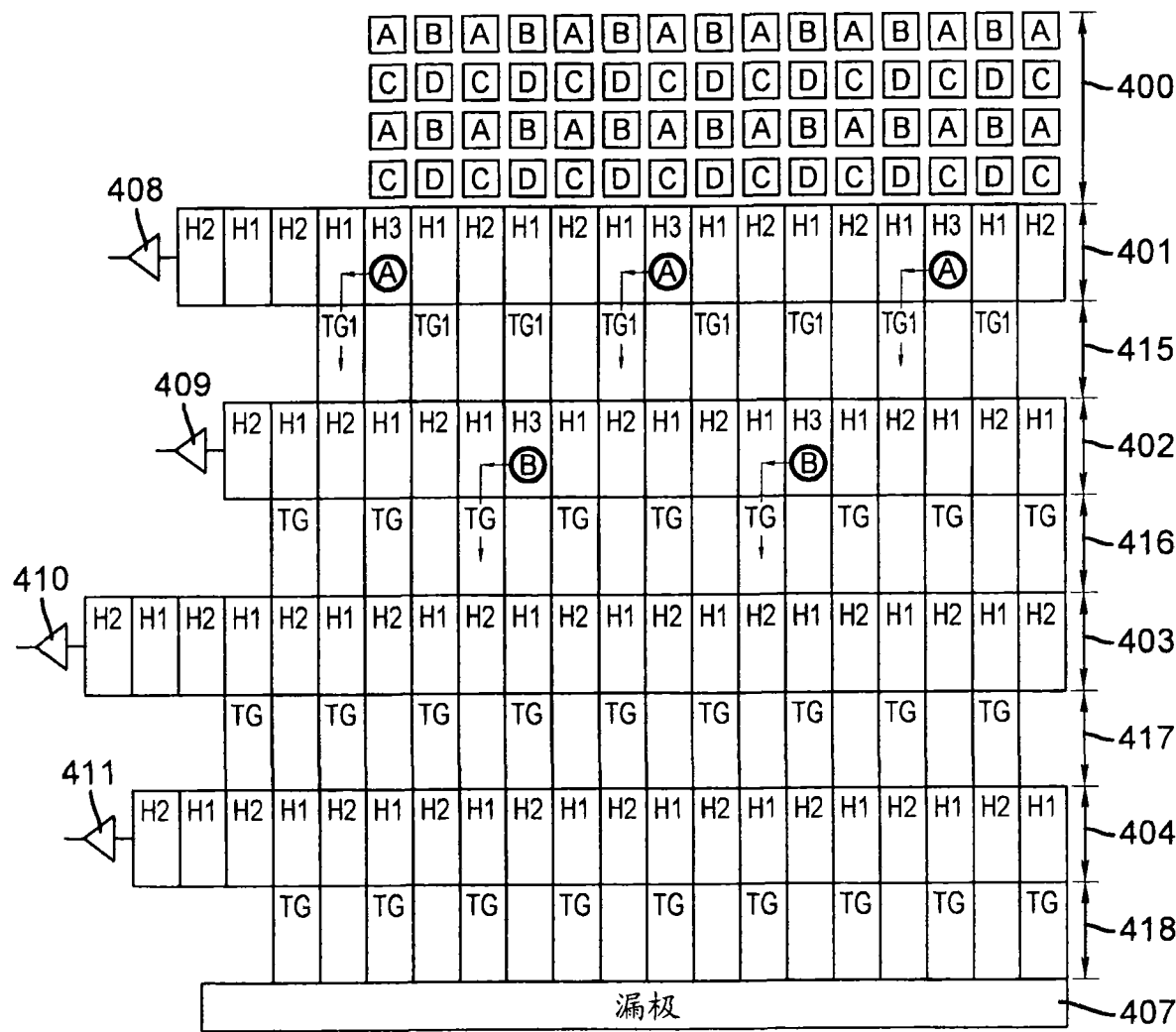


图 19



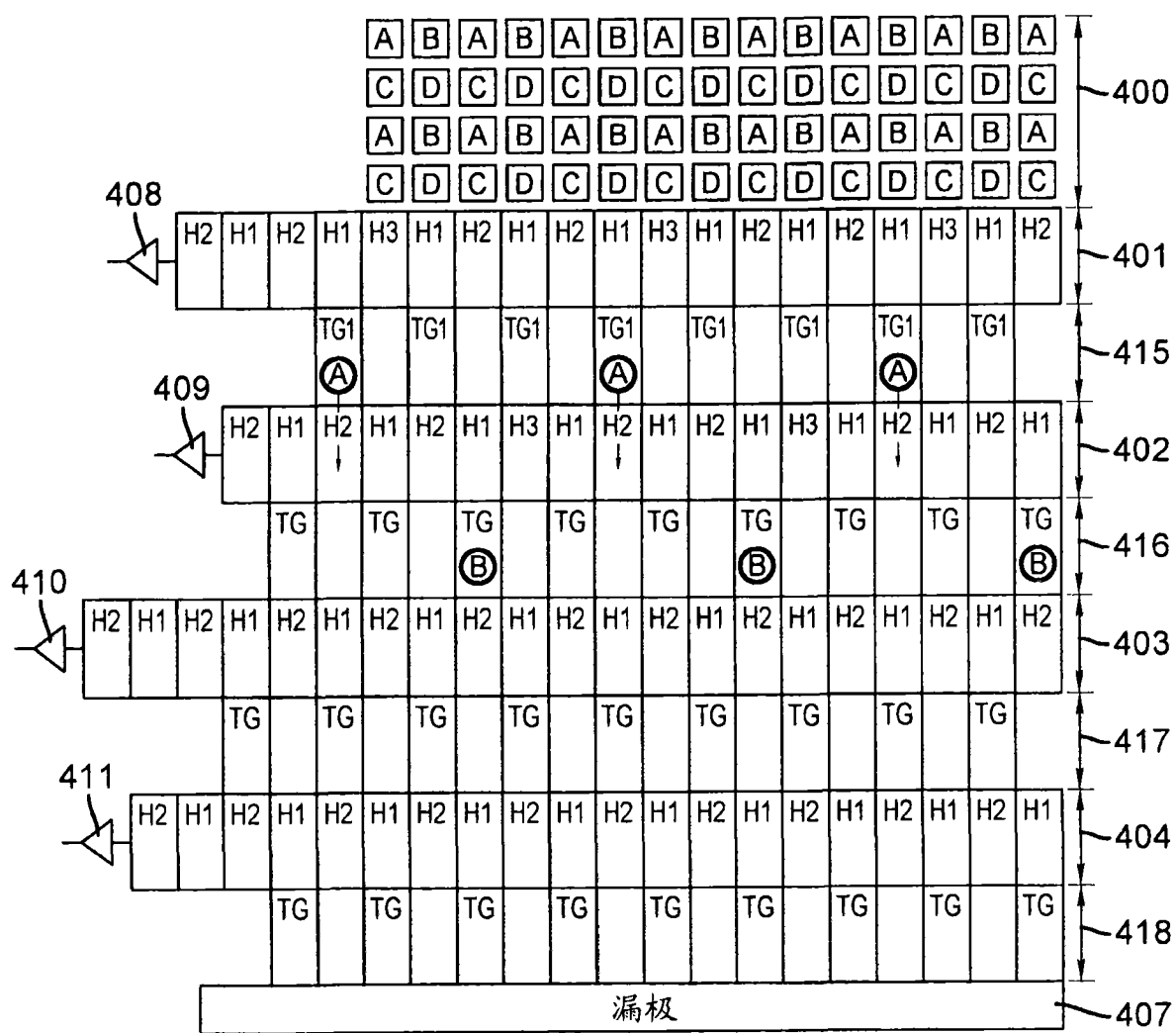
时间 T3

图 20



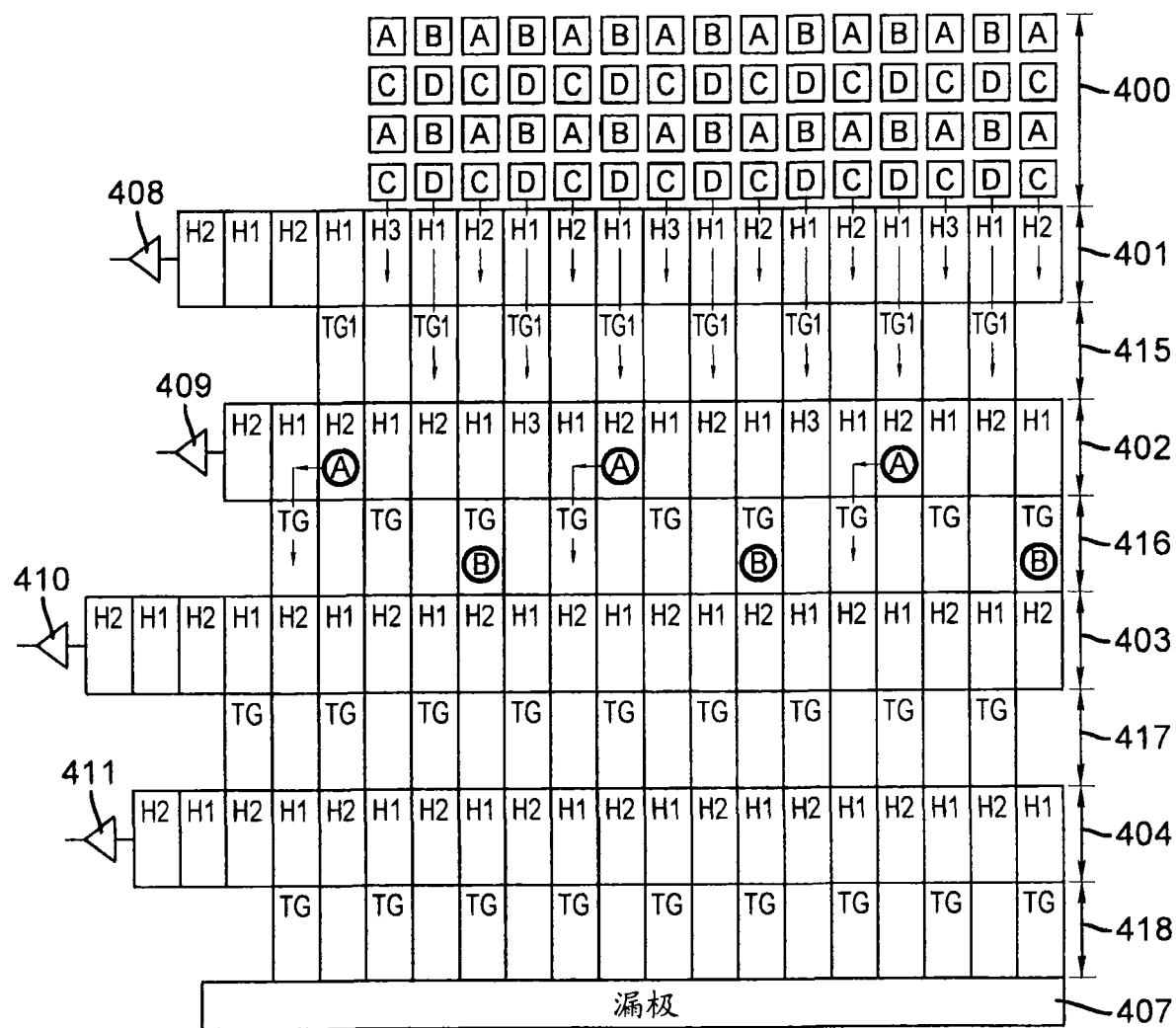
时间 T4

图 21



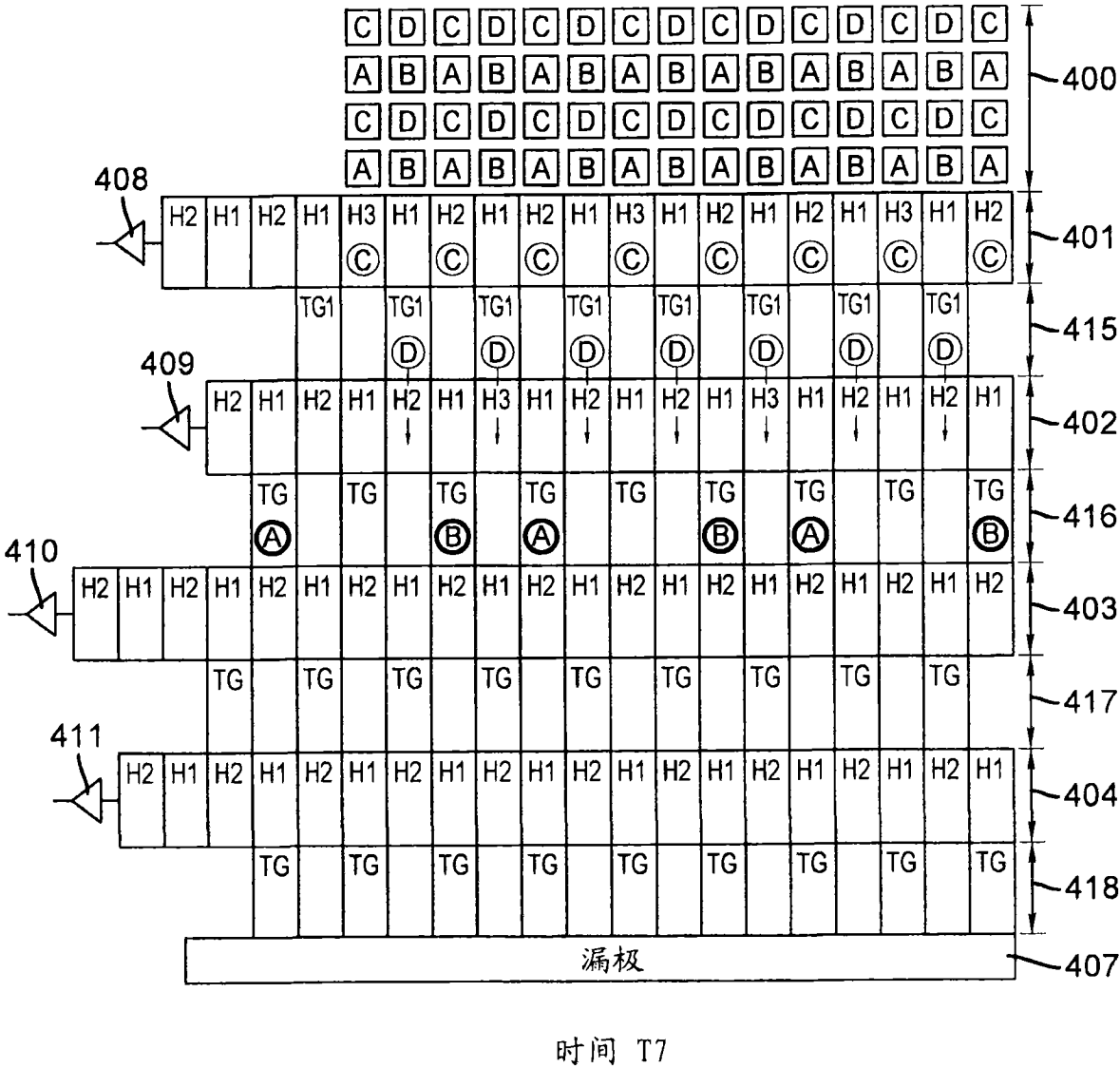
时间 T5

图 22



时间 T6

图 23



时间 T7

图 24

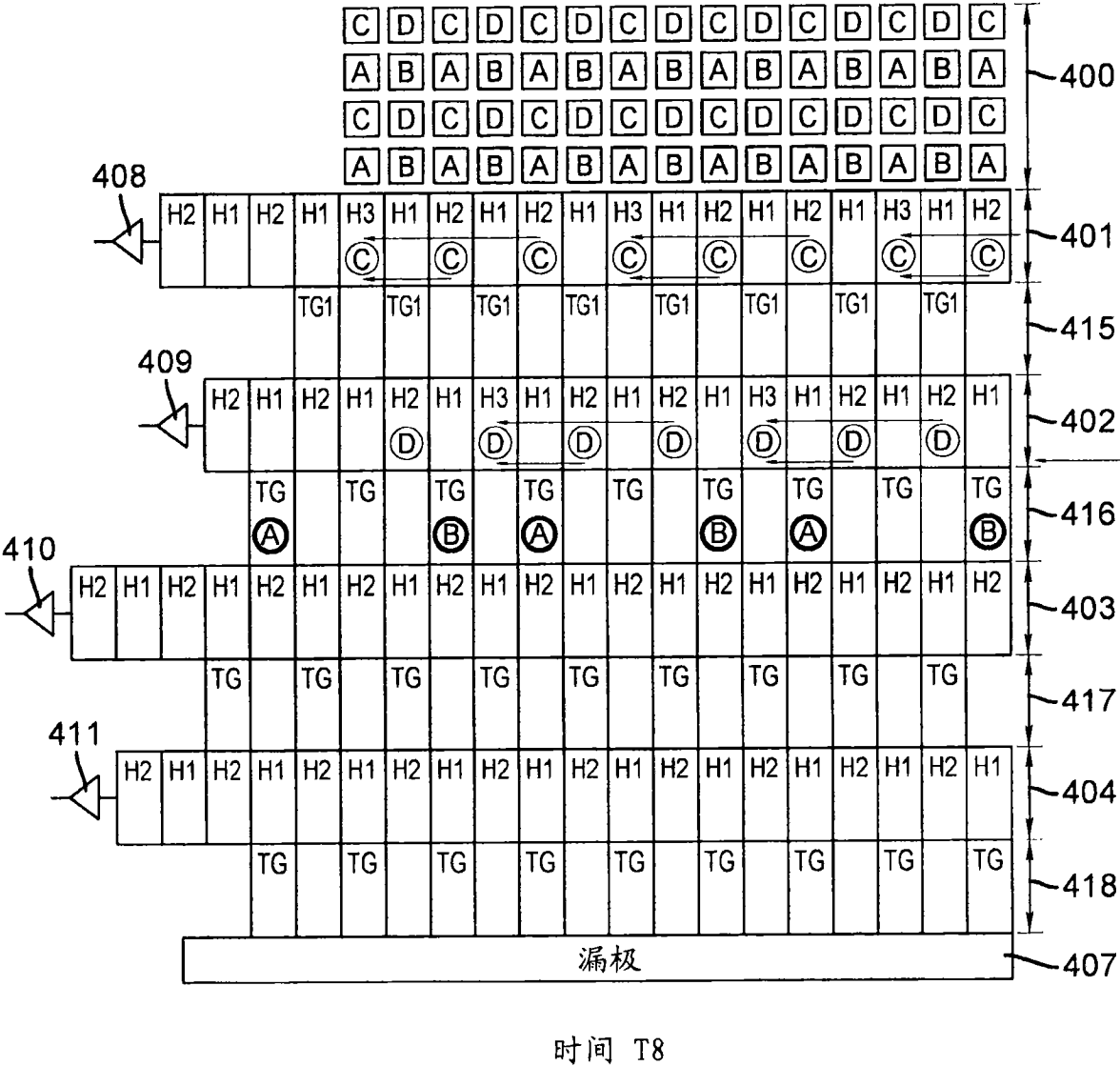


图 25

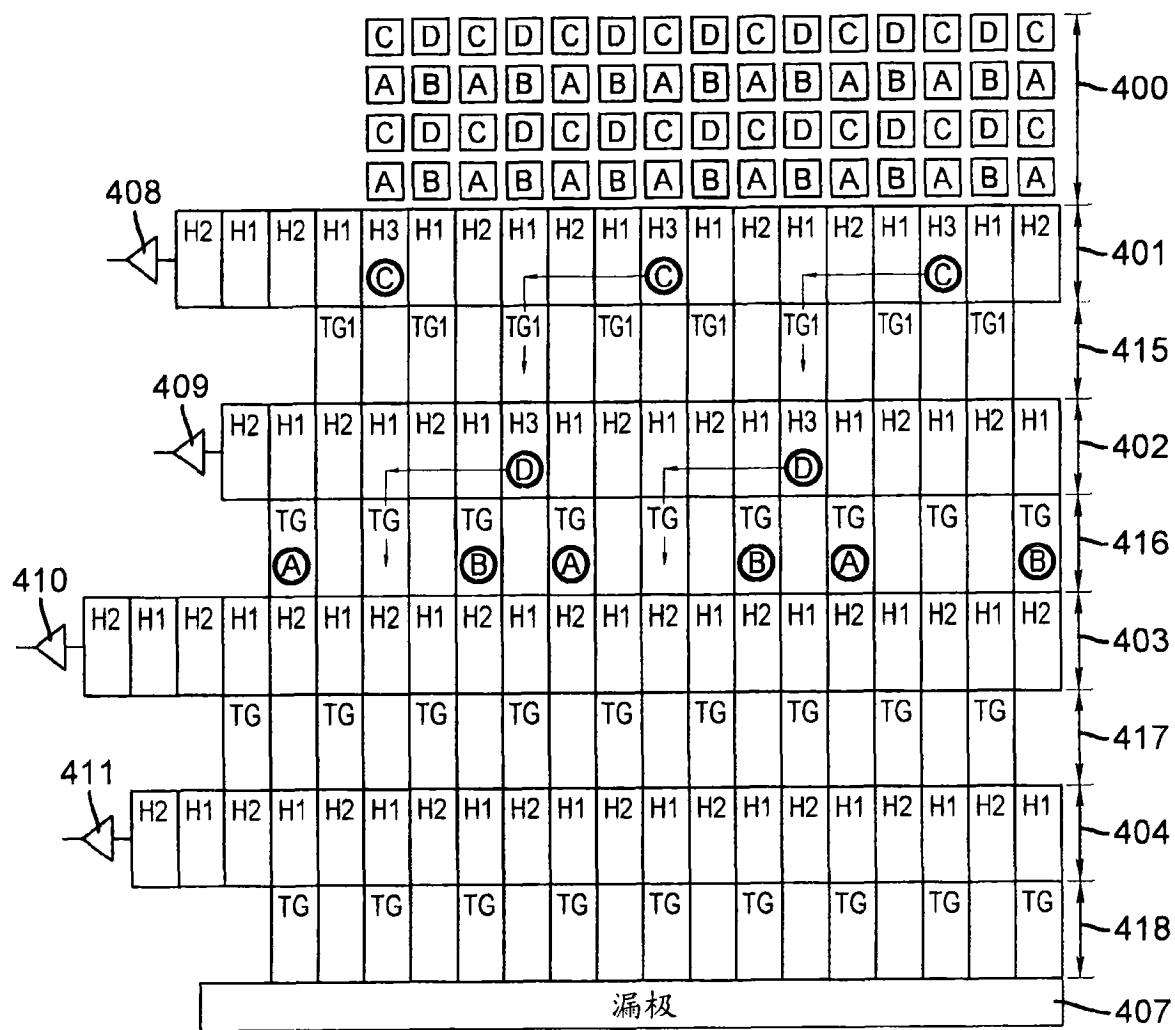
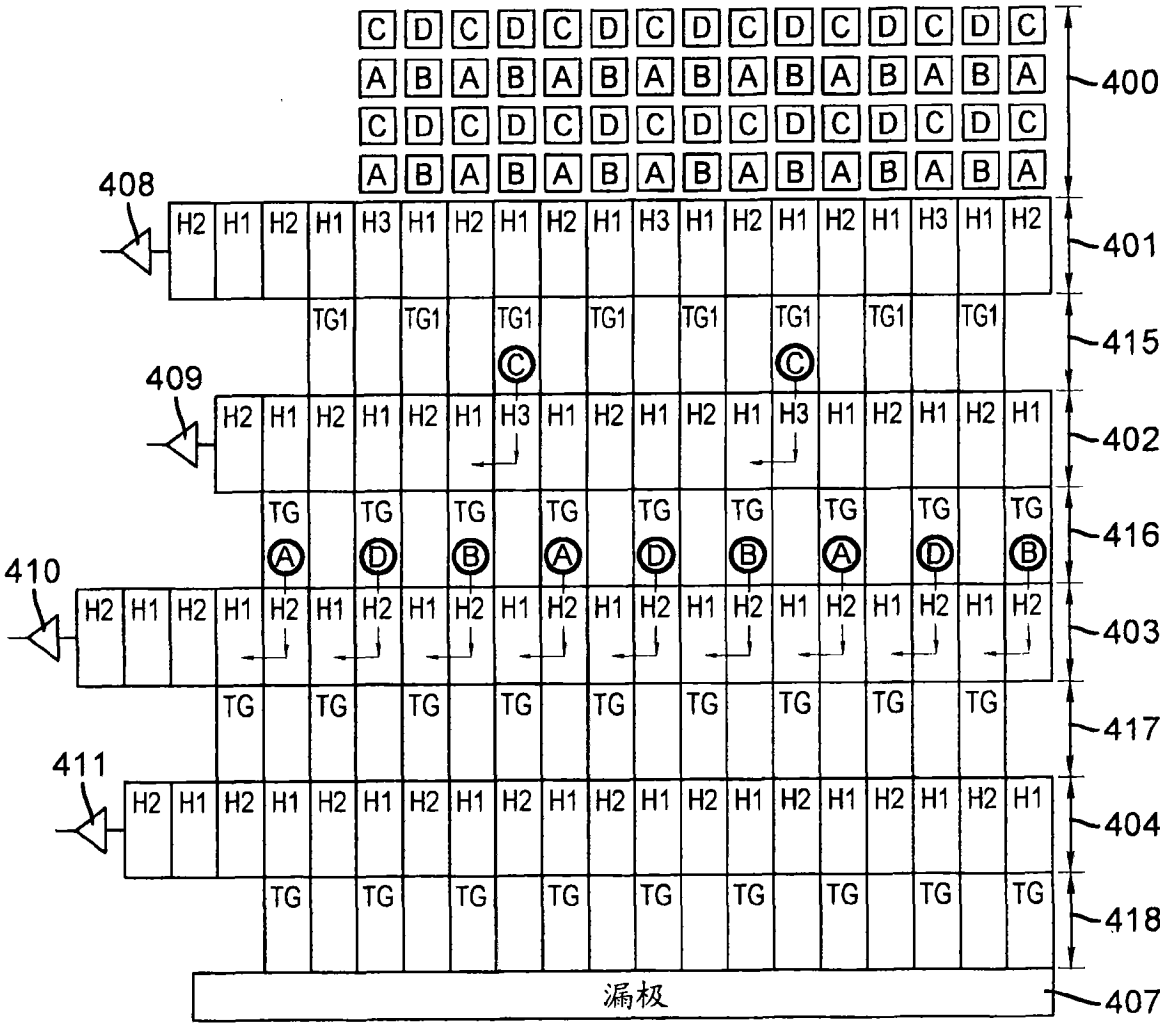
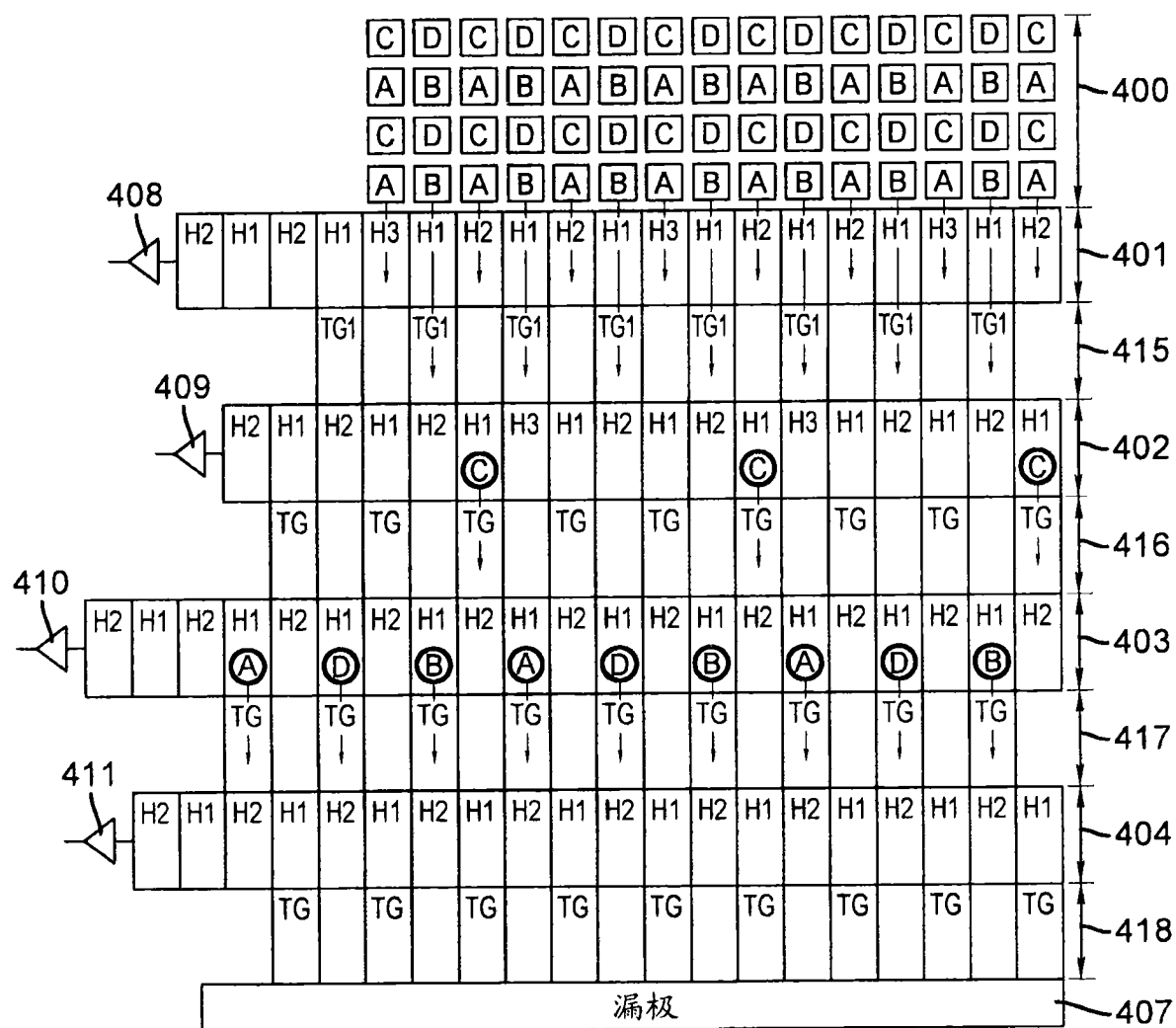


图 26



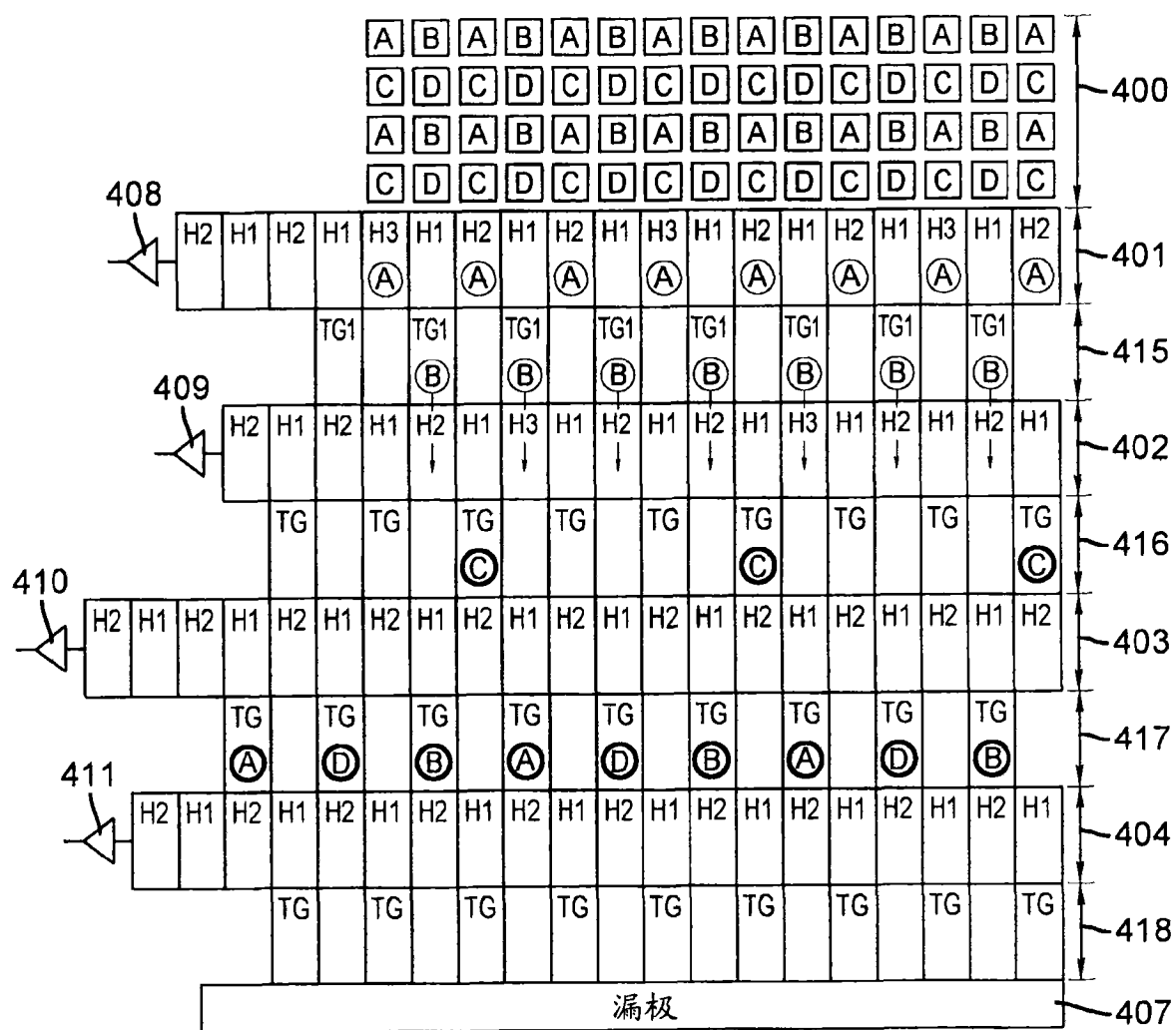
时间 T10

图 27



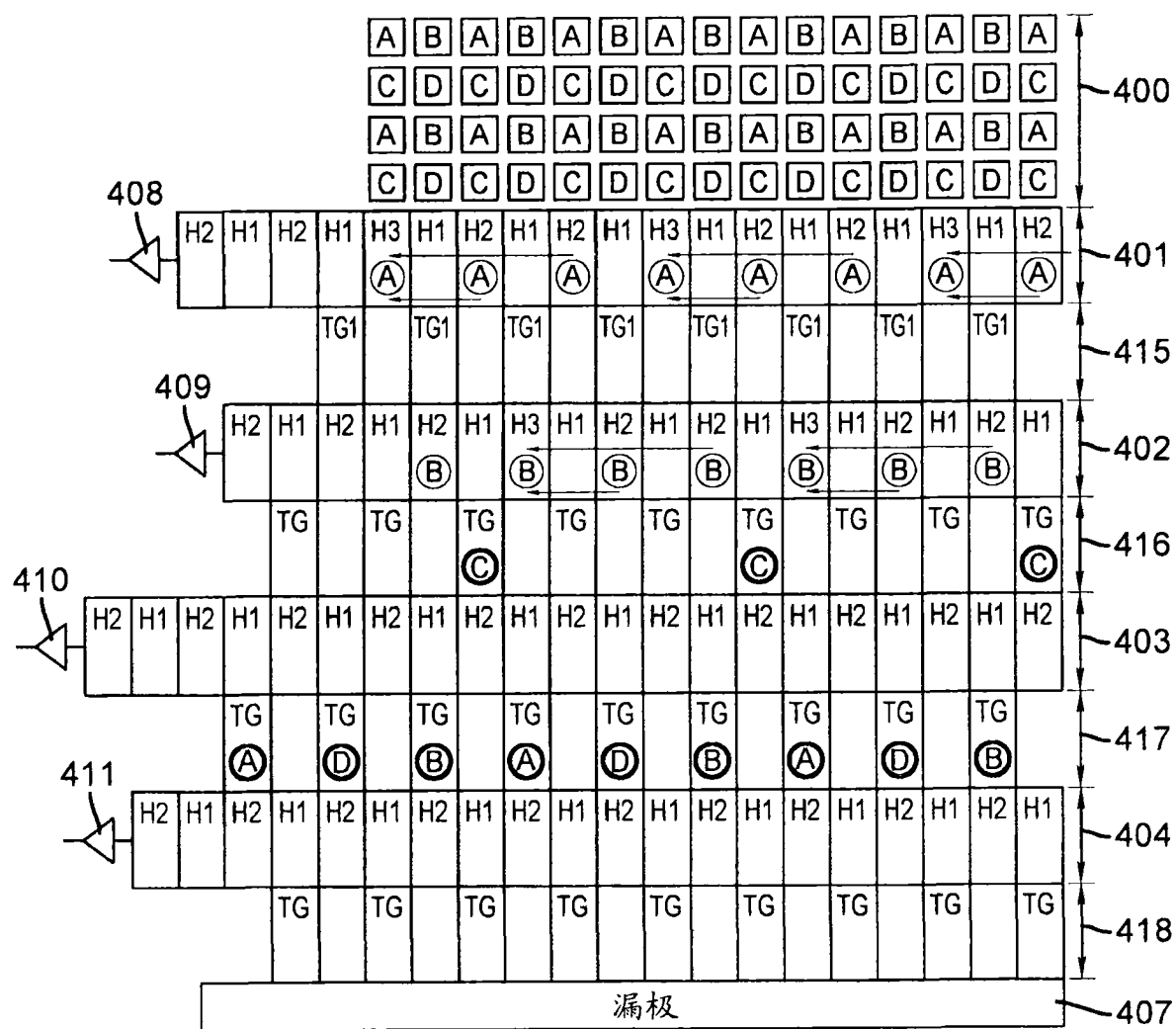
时间 T11

图 28



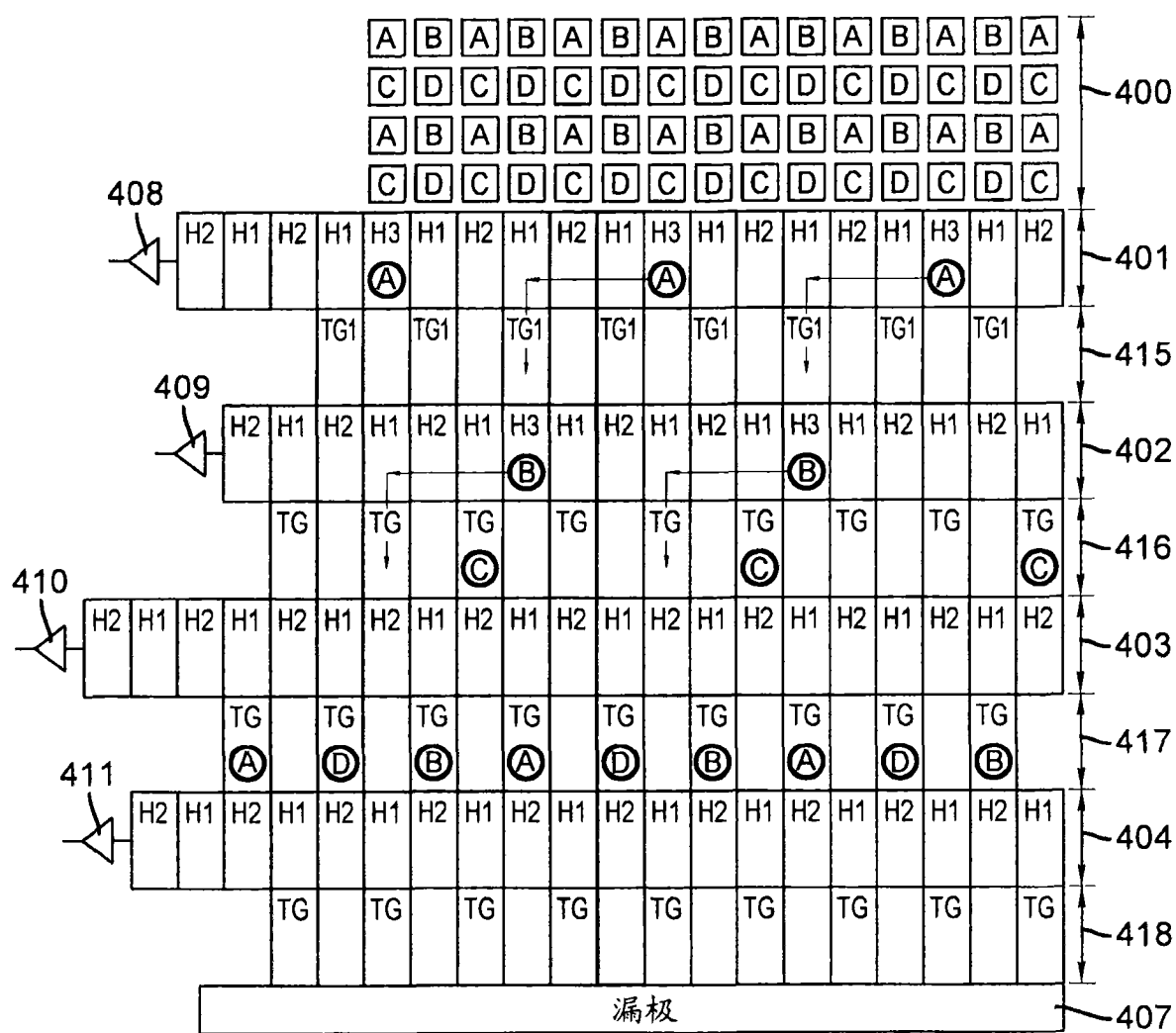
时间 T12

图 29



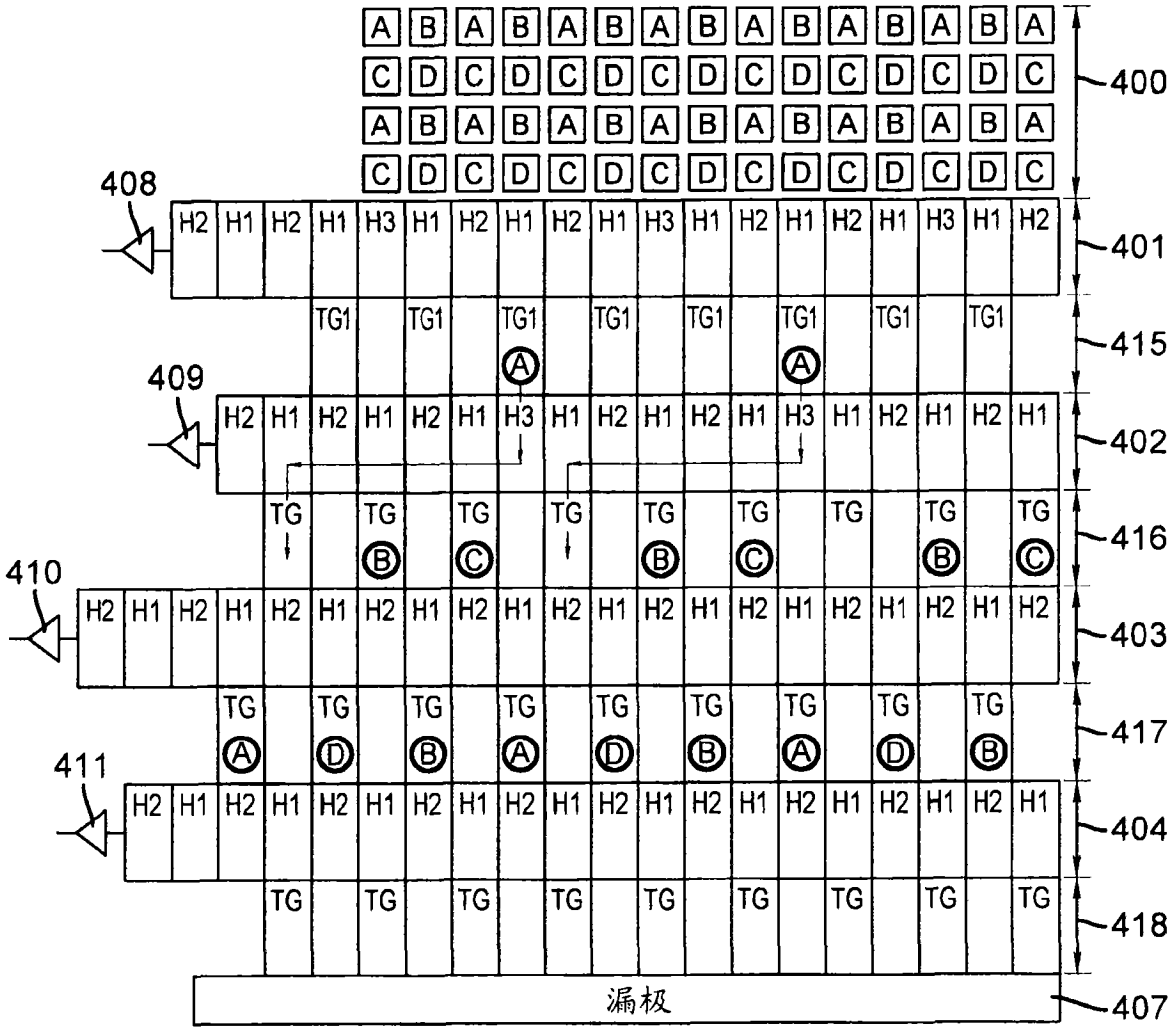
时间 T13

图 30



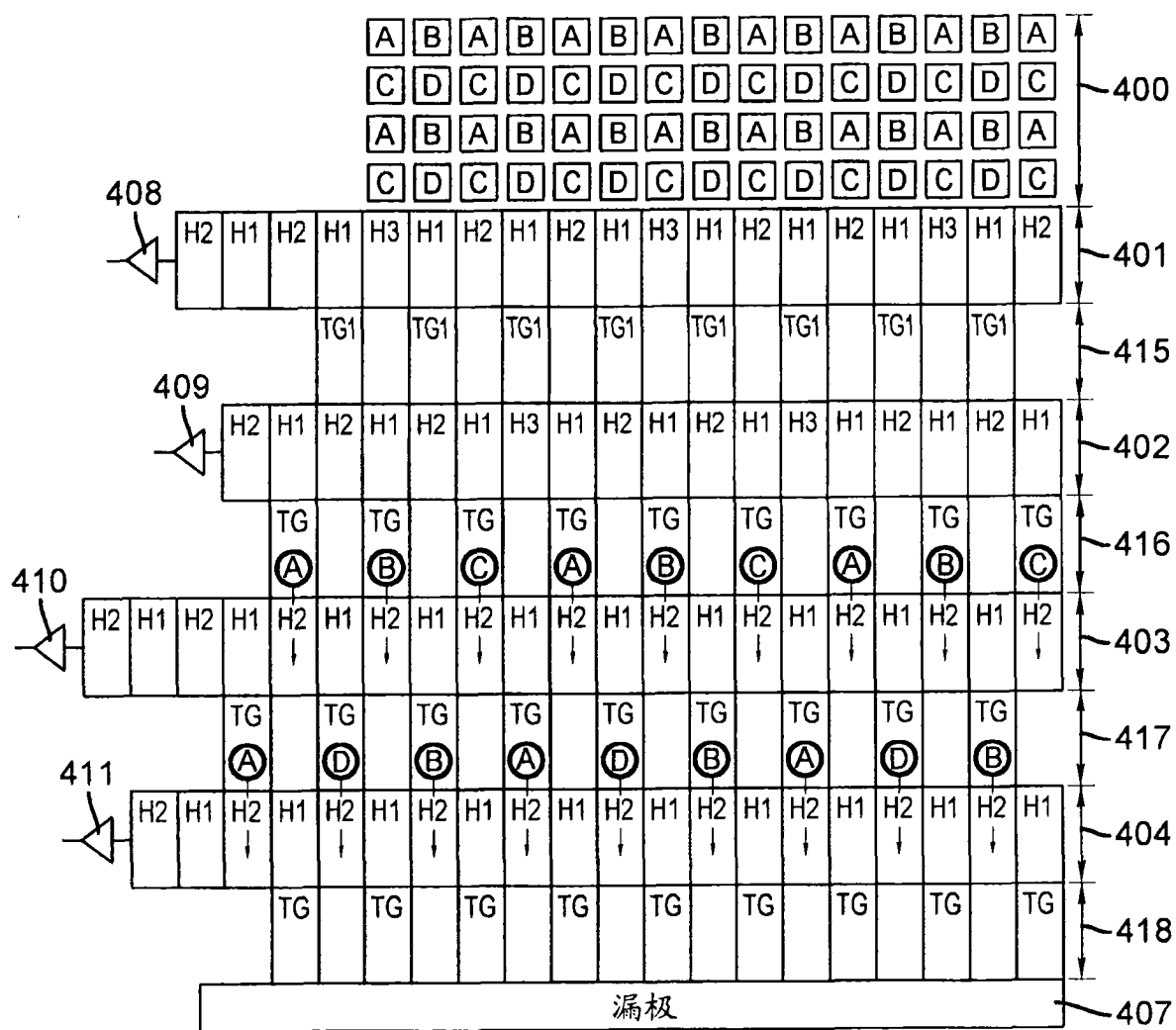
时间 T14

图 31



时间 T15

图 32



时间 T16

图 33

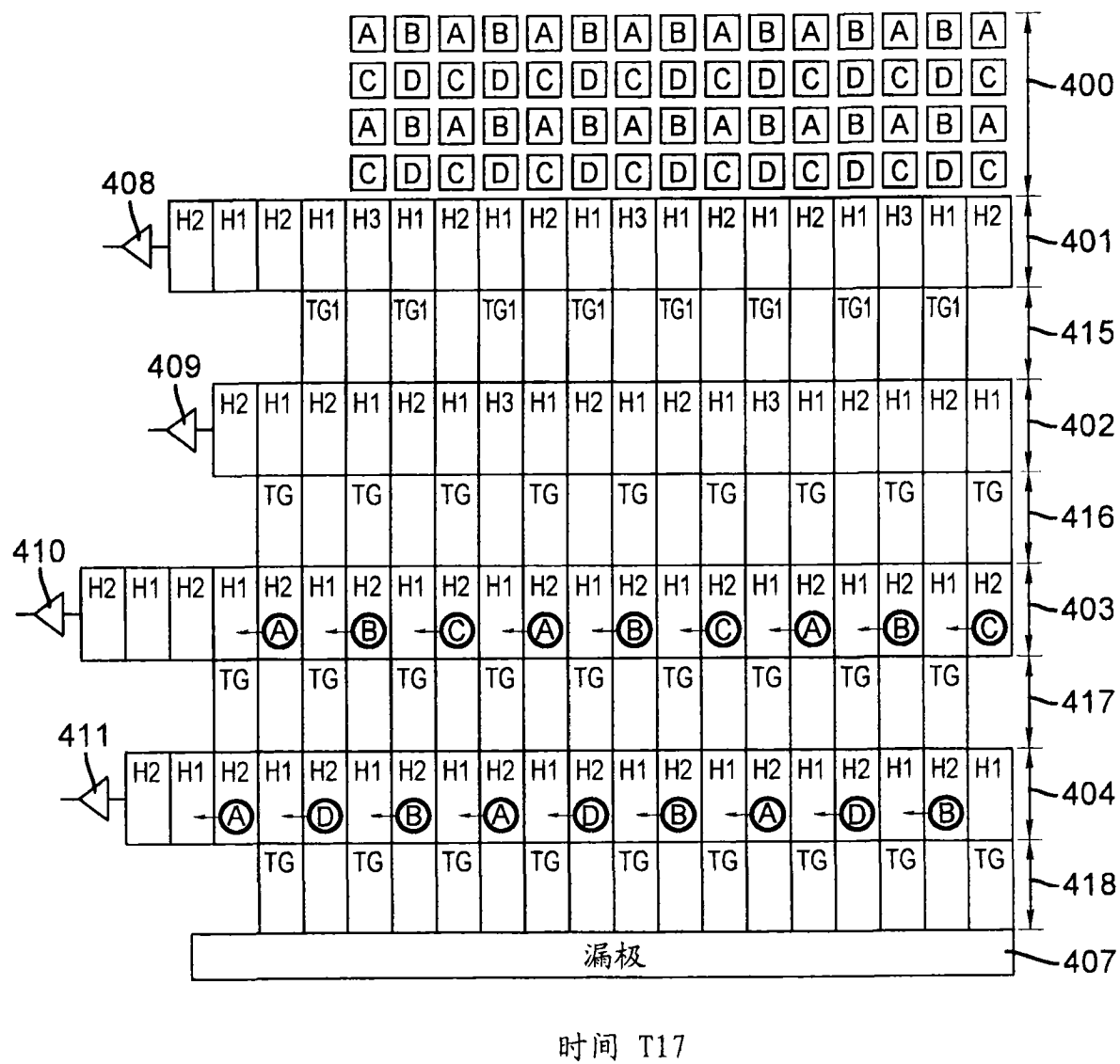


图 34

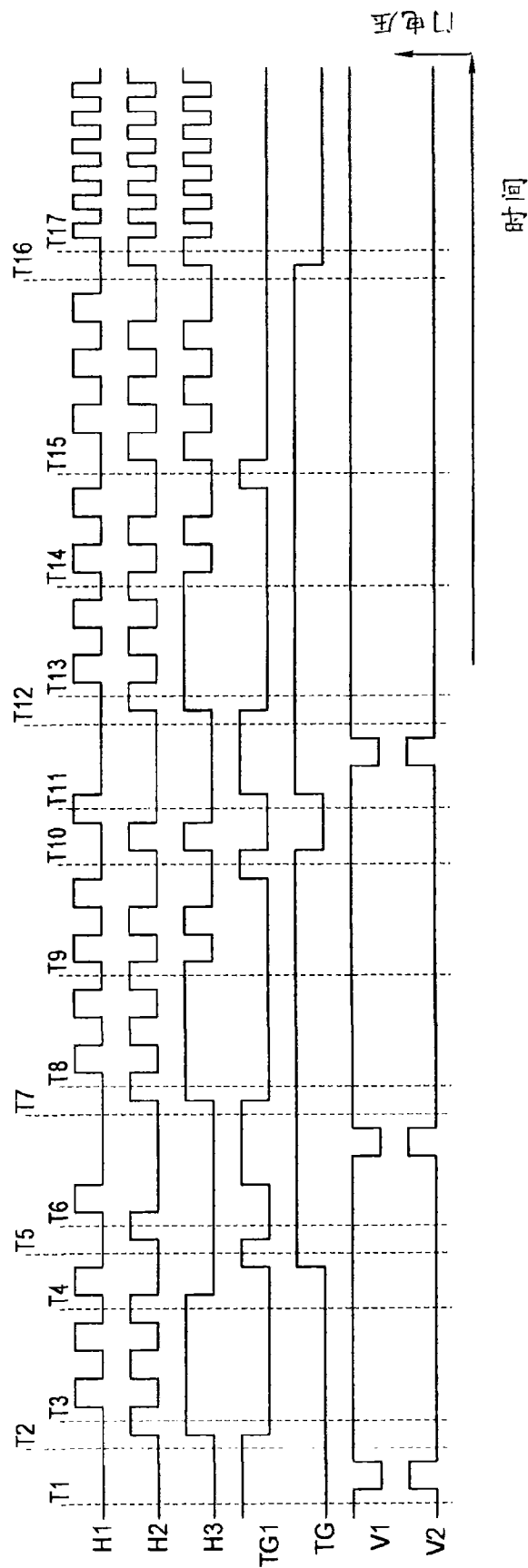


图 35

