



(12)发明专利

(10)授权公告号 CN 106910464 B

(45)授权公告日 2020.04.24

(21)申请号 201611047953.9

(22)申请日 2012.05.26

(65)同一申请的已公布的文献号
申请公布号 CN 106910464 A

(43)申请公布日 2017.06.30

(30)优先权数据
61/490,870 2011.05.27 US
61/556,972 2011.11.08 US

(62)分案原申请数据
201280026000.8 2012.05.26

(73)专利权人 伊格尼斯创新公司
地址 加拿大安大略

(72)发明人 戈尔拉玛瑞扎·恰吉

(74)专利代理机构 北京信慧永光知识产权代理
有限责任公司 11290

代理人 卫李贤 曹正建

(51)Int.Cl.
G09G 3/3233(2016.01)
G09G 3/3266(2016.01)

(56)对比文件
US 2008036706 A1,2008.02.14,
CN 101261808 A,2008.09.10,
US 2010039458 A1,2010.02.18,
CN 101449311 A,2009.06.03,
CN 102057418 A,2011.05.11,
CN 102024418 A,2011.04.20,

审查员 刘想玲

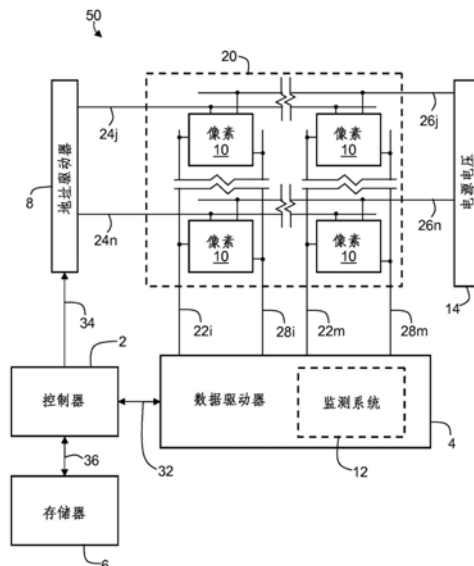
权利要求书3页 说明书19页 附图10页

(54)发明名称

补偿显示器阵列中像素的系统 and 驱动发光器件的像素电路

(57)摘要

本发明涉及补偿显示器阵列中像素的系统 and 驱动发光器件的像素电路。其中，一种用于补偿显示器阵列中的像素的系统包括：像素电路、驱动器和控制器。所述像素电路包括：发光器件、驱动晶体管、存储电容，以及发光控制晶体管，所述发光控制晶体管连接至所述发光器件、所述驱动晶体管和所述存储电容中的至少两者，并且所述发光控制晶体管用于断开所述发光器件、所述驱动晶体管和所述存储电容中的所述至少两者，从而防止所述驱动晶体管和所述发光器件中的至少一者在所述编程周期期间对所述存储电容的充电的扰乱，所述存储电容和所述发光控制晶体管串联连接，并且直接连接到所述驱动晶体管和所述发光器件之间的节点。



1. 一种显示系统,所述系统包括:

像素电路,在编程周期期间根据编程信息对所述像素电路编程,且在发光周期期间根据所述编程信息驱动所述像素电路以发光,所述像素电路包括:

发光器件,所述发光器件在所述发光周期期间发光,

驱动晶体管,所述驱动晶体管在所述发光周期期间传输经过所述发光器件的电流,

存储电容,在所述编程周期期间,所述存储电容被充电有至少部分地基于所述编程信息的电压,以及

发光控制晶体管,所述发光控制晶体管连接至所述发光器件、

所述驱动晶体管和所述存储电容中的至少两者,并且所述发光控制晶体管用于断开所述发光器件、所述驱动晶体管和所述存储电容中的所述至少两者,从而防止所述驱动晶体管和所述发光器件中的至少一者在所述编程周期期间对所述存储电容的充电的扰乱,

所述存储电容和所述发光控制晶体管串联连接,并且直接连接到所述驱动晶体管和所述发光器件之间的节点;

驱动器,所述驱动器通过根据所述编程信息对所述存储电容充电来经由数据线编程所述像素电路;以及

控制器,所述控制器用于操作所述驱动器,并且所述控制器被设置用于:

接收用于指示将从所述发光器件发出的亮度的量的数据输入;并且

将所述编程信息提供至所述驱动器以编程所述像素电路,其中,所述编程信息至少部分地基于所接收的所述数据输入。

2. 根据权利要求1所述的系统,其中,所述发光控制晶体管还用于连接所述驱动晶体管、所述发光器件和所述存储电容中的所述至少两者,使得在所述发光周期期间,根据所述存储电容上被充电的电压传输经过所述驱动晶体管和所述发光器件的电流。

3. 根据权利要求1所述的系统,其中,所述发光器件的电容在所述编程周期期间对所述存储电容的充电造成的扰乱被防止,并且所述像素电路以与所述发光器件的所述电容无关的方式被编程。

4. 根据权利要求3所述的系统,其中,所述发光控制晶体管连接在所述存储电容和所述发光器件之间,所述驱动晶体管、所述发光器件和所述存储电容中的所述至少两者包括所述存储电容和所述发光器件。

5. 根据权利要求1所述的系统,其中,所述驱动晶体管生成的电流在所述编程周期期间对所述存储电容的充电造成的扰乱被防止。

6. 根据权利要求5所述的系统,其中,施加至所述存储电容的端子的电压中的漂移在所述编程周期期间对所述存储电容的充电造成的扰乱被防止,所述漂移取决于所述驱动晶体管生成的流经另外的电路元件的电流。

7. 根据权利要求6所述的系统,其中,所述另外的电路元件包括开关晶体管,并且所述像素电路以与所述开关晶体管的电阻无关的方式被编程。

8. 根据权利要求5所述的系统,其中,所述发光控制晶体管连接在所述存储电容和所述驱动晶体管之间,所述驱动晶体管、所述发光器件和所述存储电容中的所述至少两者包括所述存储电容和所述驱动晶体管。

9. 根据权利要求1所述的系统,进一步包括监测器,所述监测器提取用于指示在监测周

期间所述像素电路的劣化的电压或电流,其中,所述像素电路还包括至少一个开关晶体管,所述至少一个开关晶体管用于在所述监测周期期间将经过所述驱动晶体管的电流路径连接至所述监测器,并且其中,所述控制器还用于操作所述监测器并且被设置用于:

从所述监测器接收劣化量的指示;

基于所述劣化量,确定补偿量以提供至所述像素电路;

其中,所述编程信息至少部分地还基于所确定的所述补偿量。

10. 根据权利要求9所述的系统,进一步包括:

数据开关晶体管,所述数据开关晶体管根据选择线进行操作,用于在所述编程周期期间将所述数据线连接至所述存储电容的端子;并且

其中,所述至少一个开关晶体管是监控开关晶体管,所述监控开关晶体管根据所述选择线或另一选择线操作,用于在所述监测周期期间将指示所述像素电路的所述劣化的电流或电压传输至所述监测器。

11. 根据权利要求1所述的系统,其中,所述发光器件包括有机发光二极管。

12. 一种用于驱动发光器件的像素电路,所述像素电路包括:

驱动晶体管,所述驱动晶体管用于根据施加在所述驱动晶体管两端的驱动电压来驱动经过发光器件的电流;

存储电容,在编程周期期间所述存储电容被充电有所述驱动电压;

发光控制晶体管,所述发光控制晶体管连接至所述驱动晶体管、所述发光器件和所述存储电容中的至少两者,并且所述发光控制晶体管用于断开所述发光器件、所述驱动晶体管和所述存储电容中的所述至少两者,从而防止所述驱动晶体管和所述发光器件中的至少一者在所述编程周期期间对所述存储电容的充电的扰乱,

所述存储电容和所述发光控制晶体管串联连接,并且直接连接到所述驱动晶体管和所述发光器件之间的节点。

13. 根据权利要求12所述的像素电路,其中,所述发光控制晶体管还用于连接所述驱动晶体管、所述发光器件和所述存储电容中的所述至少两者,使得在发光周期期间,根据所述存储电容上被充电的电压传输经过所述驱动晶体管和所述发光器件的电流。

14. 根据权利要求12所述的像素电路,其中,所述发光器件的电容在所述编程周期期间对所述存储电容的充电造成的扰乱被防止,并且所述像素电路以与所述发光器件的所述电容无关的方式被编程。

15. 根据权利要求14所述的像素电路,其中,所述发光控制晶体管连接在所述存储电容和所述发光器件之间,所述驱动晶体管、所述发光器件和所述存储电容中的所述至少两者包括所述存储电容和所述发光器件。

16. 根据权利要求12所述的像素电路,其中,所述驱动晶体管生成的电流在所述编程周期期间对所述存储电容的充电造成的扰乱被防止。

17. 根据权利要求16所述的像素电路,其中,施加至所述存储电容的端子的电压中的漂移在所述编程周期期间对所述存储电容的充电造成的扰乱被防止,所述漂移取决于所述驱动晶体管生成的流经另外的电路元件的电流。

18. 根据权利要求17所述的像素电路,其中,所述另外的电路元件包括开关晶体管,并且所述像素电路以与所述开关晶体管的电阻无关的方式被编程。

19. 根据权利要求16所述的像素电路,其中,所述发光控制晶体管连接在所述存储电容和所述驱动晶体管之间,所述驱动晶体管、所述发光器件和所述存储电容中的所述至少两者包括所述存储电容和所述驱动晶体管。

20. 根据权利要求12所述的像素电路,进一步包括至少一个开关晶体管,所述至少一个开关晶体管用于在监测周期期间将经过所述驱动晶体管的电流路径连接至监测器,以提取指示所述像素电路的劣化的电压或电流。

21. 根据权利要求20所述的像素电路,进一步包括:

数据开关晶体管,所述数据开关晶体管根据选择线进行操作,用于在所述编程周期期间将数据线连接至所述存储电容的端子;并且

其中,所述至少一个开关晶体管是监控开关晶体管,所述监控开关晶体管根据所述选择线或另一选择线操作,用于在所述监测周期期间将指示所述像素电路的所述劣化的所述电流或电压传输至所述监测器。

22. 根据权利要求21所述的像素电路,其中,所述发光器件包括有机发光二极管。

补偿显示器阵列中像素的系统 and 驱动发光器件的像素电路

[0001] 分案申请

[0002] 本申请是申请日为2012年5月26日、发明名称为“用于AMOLED 显示器的老化补偿的系统和方法”的申请号为201280026000.8的专利申请的分案申请。

技术领域

[0003] 本发明大致上涉及用于显示器的电路以及对显示器进行驱动、校准和编程的方法,尤其是对有源矩阵有机发光二极管(active matrix organic light emitting diode, AMOLED)显示器进行驱动、校准和编程的方法。

背景技术

[0004] 能够由均受控于单独的电路(即,像素电路)的发光器件的阵列来形成显示器,其中上述电路具有这样的晶体管:所述晶体管用于选择性地控制这些电路以用显示信息对这些电路进行编程并且使这些电路根据显示信息发光。能够在这类显示器中结合有被制造在基板上的薄膜晶体管(TFT)。随着显示器的老化,TFT随着时间推移易于在整个显示面板上表现出不均匀的性能。在显示器老化时,可以将补偿技术应用到这类显示器,以在整个显示器上实现图像均匀性并消除显示器中的劣化。

[0005] 关于用于向显示器进行补偿以消除整个显示面板上的以及随时间产生的差异的一些方案,它们利用监测系统来测量与像素电路的老化(即,劣化)相关的依赖时间参数。接着,能够使用所测量的信息来通知像素电路的随后的编程,以此确保通过对编程进行调整来消除任何测量到的劣化。这样的被监测的像素电路可能需要使用额外的晶体管和/或线路,以选择性地像素电路连接至监测系统并将信息读出。令人不满的是,额外的晶体管和/或线路的并入可能减小了像素节距(即,像素密度)。

发明内容

[0006] 在各个方面,本发明提供了适于在受监测的显示器中使用的用于对像素老化提供补偿的像素电路。本文披露的像素电路构造使得监视器能够经由监测开关晶体管来访问像素电路的节点,使得监视器能够测量用于指示像素电路的劣化量的电流和/或电压。在各个方面,本发明还提供了能够以与开关晶体管的电阻无关的方式编程像素的像素电路构造。本文披露的像素电路构造包括用于使像素电路内的存储电容与驱动晶体管隔离的晶体管,使得存储电容上的电荷在编程操作期间不受流经驱动晶体管的电流的影响。

[0007] 根据本发明的一些实施例,提供了一种用于补偿显示器阵列中的像素的系统。所述系统可以包括像素电路、驱动器、监测器和控制器。在编程周期期间根据编程信息对所述像素电路编程,且在发光周期期间根据所述编程信息驱动所述像素电路以发光。所述像素电路包括:发光器件、驱动晶体管、存储电容和发光控制晶体管。所述发光器件在所述发光周期期间发光。所述驱动晶体管在所述发光周期期间传输经过所述发光器件的电流。在所述编程周期期间,所述存储电容被充电有至少部分地基于所述编程信息的电压。所述发光

控制晶体管被布置为在所述发光周期期间选择性地连接所述发光器件、所述驱动晶体管和所述存储电容中的至少两者,使得根据所述存储电容上的电压,经由所述驱动晶体管传输流经所述发光器件的电流。所述驱动器通过根据所述编程信息对所述存储电容充电来经由数据线编程所述像素电路。所述监测器提取用于指示所述像素电路的老化劣化的电压或电流。所述控制器操作所述监测器和所述驱动器。所述控制器被设置用于:从所述监测器接收劣化量的指示;接收用于指示将从所述发光器件发出的亮度的量的数据输入;基于所述劣化量,确定补偿量以提供至所述像素电路;并且将所述编程信息提供至所述驱动器以编程所述像素电路。所述编程信息至少部分地基于所接收的数据输入和所确定的补偿量。

[0008] 根据本发明的一些实施例,提供了一种用于驱动发光器件的像素电路。所述像素电路包括驱动晶体管、存储电容、发光控制晶体管和至少一个开关晶体管。所述驱动晶体管用于根据施加在所述驱动晶体管两端的驱动电压来驱动流经发光器件的电流。在编程周期期间以所述驱动电压对所述存储电容充电。所述发光控制晶体管连接所述驱动晶体管、所述发光器件和所述存储电容中的至少两者,使得在所述发光周期期间根据所述存储电容上被充电的电压传输流经所述驱动晶体管的电流。在监测周期期间,所述至少一个开关晶体管将经过所述驱动晶体管的电流路径连接至监视器以接收基于流经所述驱动晶体管的电流的老化信息的指示。

[0009] 根据本发明的一些实施例,提供了一种像素电路。所述像素电路包括驱动晶体管、存储电容、一个或多个开关晶体管和发光控制晶体管。所述驱动晶体管用于根据施加在所述驱动晶体管两端的驱动电压来驱动流经发光器件中的电流。在编程周期期间以所述驱动电压来充电所述存储电容。所述一个或多个开关晶体管在所述编程周期期间将所述存储电容连接至一个或多个数据线或参考线,所述数据线或参考线提供这样的电压:该电压用于使所述存储电容充电有所述驱动电压。所述发光控制晶体管根据发光线进行操作。所述发光控制晶体管在所述编程周期期间使所述存储电容与所述发光器件断开连接,使得所述存储电容以与所述发光器件的电容无关地被充电。

[0010] 根据本发明的一些实施例,提供了一种显示系统。所述显示系统包括像素电路、驱动器、监测器和控制器。在编程周期期间根据编程信息对所述像素电路编程,且在发光周期期间根据所述编程信息驱动所述像素电路以发光。所述像素电路包括发光器件,所述发光器件在所述发光周期期间发光。所述像素电路还包括驱动晶体管,所述驱动晶体管在所述发光周期期间传输流经所述发光器件的电流。所述电流是根据所述驱动晶体管的栅极端子和源极端子之间的电压而被传输的。所述像素电路还包括存储电容,在所述编程周期期间以至少部分地基于所述编程信息的电压对所述存储电容充电。所述存储电容连接在所述驱动晶体管的栅极端子与源极端子之间。所述像素电路还包括第一开关晶体管,所述第一开关晶体管将所述驱动晶体管的源极端子连接至数据线。所述驱动器通过向所述存储电容的与所述驱动晶体管的源极端子相连接的端子施加电压来经由所述数据线对所述像素电路编程。所述监测器提取用于指示所述像素电路的老化劣化的电压或电流。所述控制器操作所述监测器和所述驱动器。所述控制器被设置用于:从所述监测器接收劣化量的指示;接收用于指示将从所述发光器件发出的亮度的量的数据输入;基于所述劣化量,确定补偿量以提供至所述像素电路;并且向所述驱动器提供所述编程信息以编程所述像素电路。所述编程信息至少部分地基于所接收的数据输入和所确定的补偿量。

[0011] 对于本领域普通技术人员而言,通过参照附图(接下来将对它们进行简要说明)对本发明的各种实施例和/或方面进行的详细说明,本发明的前述的和其它的方面和实施例将变得更加明显。

附图说明

[0012] 在阅读了下面的详细说明并参照附图之后,本发明的上述优点和其它优点将变得更加明显。

[0013] 图1示出了用于监测像素中的劣化并因而提供补偿的系统的示例性构造。

[0014] 图2A是用于像素的示例性驱动电路的电路图。

[0015] 图2B是图2A所示的用于像素的示例性操作周期的示意时序图。

[0016] 图3A是用于像素的示例性像素电路构造的电路图。

[0017] 图3B是用于操作图3A所示的像素的时序图。

[0018] 图4A是用于像素的示例性像素电路构造的电路图。

[0019] 图4B是用于操作图4A所示的像素的时序图。

[0020] 图5A是用于像素的示例性像素电路构造的电路图。

[0021] 图5B是用于在编程阶段和发光阶段中操作图5A所示的像素的时序图。

[0022] 图5C是用于在TFT监测阶段中操作图5A所示的像素以测量驱动晶体管的各方面的时序图。

[0023] 图5D是用于在OLED监测阶段中操作图5A所示的像素以测量 OLED的各方面的时序图。

[0024] 图6A是用于像素的示例性像素电路构造的电路图。

[0025] 图6B是用于在编程阶段和发光阶段中操作图6A所示的像素240的时序图。

[0026] 图6C是用于操作图6A所示的像素以监测驱动晶体管的各方面的时序图。

[0027] 图6D是用于操作图6A所示的像素以测量OLED的各方面的时序图。

[0028] 图7A是用于像素的示例性像素驱动电路的电路图。

[0029] 图7B是用于在编程阶段和发光阶段中操作图7A所示的像素的时序图。

[0030] 图7C是用于在TFT监测阶段中操作图7A所示的像素以测量驱动晶体管的各方面的时序图。

[0031] 图7D是用于在OLED监测阶段中操作图7A所示的像素以测量 OLED的各方面的时序图。

[0032] 虽然本发明可具有各种变形和替代形式,但在附图中以示例的方式示出了具体的实施例,并在本文中对这些实施例进行详细说明。然而,应当理解,本发明不限于本文所披露的特定形式,而是覆盖了落入所附权利要求限定的发明精神和范围内的所有变形、等同物和替代物。

具体实施方式

[0033] 图1是示例性显示系统50的示图。显示系统50包括地址驱动器8、数据驱动器4、控制器2、存储器6和显示面板20。显示面板20包括成行和成列地布置的像素10的阵列。每个像素10可单独编程以发出具有可单独编程的亮度值的光。控制器2接收用于指示要被显示在

显示面板 20 上的信息的数字数据。控制器 2 向数据驱动器 4 发送信号 32 并向地址驱动器 8 发送调度信号 34, 以驱动显示面板 20 中的像素 10 从而使像素 10 显示所指示的信息。因而, 与显示面板 20 相关的多个像素 10 包括适于根据由控制器 2 接收的输入数字数据来动态地显示信息的显示器阵列 (显示屏)。显示屏例如能够根据由控制器 2 接收的视频数据流来显示视频信息。电压源 14 可以提供恒定的电源电压或者可以由来自控制器 2 的信号控制的可调节电压源。显示系统 50 还可以包含有来自电流源或电流阱 (未图示) 的特征以向显示面板 20 中的像素 10 提供偏置电流, 以此减小像素 10 的编程时间。

[0034] 出于说明的目的, 图 1 中的显示系统 50 被图示为在显示面板 20 中仅具有四个像素 10。应当理解, 显示系统 50 可被实施为具有包括诸如像素 10 的类似像素的阵列的显示屏, 且显示屏不限于特定数量的行和列的像素。例如, 显示系统 50 可被实施为具有如下显示屏, 该显示屏具有通常在用于移动设备、基于监测的设备和/或投影设备的显示器中使用的一定数量的行和列的像素。

[0035] 像素 10 由驱动电路 (像素电路) 操作, 该驱动电路通常包括驱动晶体管和发光器件。在下文中, 像素 10 可称作像素电路。发光器件可选地是有机发光二极管, 但本发明的实施适用于具有包括电流驱动型发光器件在内的其它电致发光器件的像素电路。像素 10 中的驱动晶体管可选地是 n 型或 p 型非晶硅薄膜晶体管, 但本发明的实施不限于具有特定极性晶体管的像素电路或不仅限于具有薄膜晶体管的像素电路。像素 10 也可包括用于存储编程信息且使得像素 10 能够在被寻址后驱动发光器件的存储电容。因而, 显示面板 20 可以是有源矩阵显示器阵列。

[0036] 如图 1 所示, 如显示面板 20 中的左上侧像素所示的像素 10 连接至选择线 24j、电源线 26j、数据线 22i 和监测线 28i。在实施中, 电压源 14 也可向像素 10 提供第二电源线。例如, 每个像素连接到被充电有 V_{dd} 的第一电源线和被充电有 V_{ss} 的第二电源线, 且像素电路 10 可位于第一电源线和第二电源线之间, 以利于在像素电路的发光阶段期间在这两个电源线之间驱动电流。显示面板 20 中的左上侧像素 10 可对应于显示面板 20 的第 j 行第 i 列的像素。类似地, 显示面板 20 中的右上侧像素 10 表示第 j 行第 m 列; 左下侧像素 10 表示第 n 行第 i 列; 且右下侧像素 10 表示第 n 行第 m 列。每个像素 10 连接到适当的选择线 (如, 选择线 24j 和 24n)、电源线 (如, 电源线 26j 和 26n)、数据线 (如, 数据线 22i 和 22m) 和监测线 (如, 监测线 28i 和 28m)。注意, 本发明的各个方面适用于具有其它连接的像素 (例如, 连接至其它选择线的连接), 且适用于具有更少连接的像素 (例如, 像素不具有至监测线的连接)。

[0037] 参照显示面板 20 所示的左上侧像素 10, 选择线 24j 由地址驱动器 8 提供, 且用于例如通过激活开关或晶体管以允许数据线 22i 编程像素 10, 从而启动像素 10 的编程操作。数据线 22i 将来自数据驱动器 4 的编程信息传递至像素 10。例如, 数据线 22i 可用于向像素 10 施加编程电压或编程电流以对像素 10 进行编程, 从而使像素 10 发出期望量的亮度。数据驱动器 4 经由数据线 22i 提供的编程电压 (或编程电流) 是适于使像素 10 根据控制器 2 所接收的数字数据而发出具有期望亮度量的光的电压 (或电流)。可以在像素 10 的编程操作期间将编程电压 (或编程电流) 施加至像素 10, 以此对像素 10 内的诸如存储电容器等存储器件充电, 从而能够使像素 10 在编程操作之后的发光操作期间发出具有期望亮度量的光。例如, 可以在编程操作器件对像素 10 中的存储器件充电, 以在发光操作期间向驱动晶体管的源极端子或源极端子施加电压, 由此使驱动晶体管根据存储在存储器件上的电压来传输经过发光器件的

驱动电流。

[0038] 一般而言,在像素10中,在像素10的发光操作期间由驱动晶体管传输的流经发光器件的驱动电流是由第一电源线26j提供的电流,并且该电流被排出至第二电源线(未示出)。第一电源线26j和第二电源线连接到电压源14。第一电源线26j可提供正电源电压(如,在电路设计中通常被称为V_{dd}的电压),且第二电源线可提供负电源电压(如,在电路设计中通常被称为V_{ss}的电压)。在电源线(如,电源线26j)中的一者或另一者被固定在接地电压或另一参考电压的情况下,能够实现本发明的实施。

[0039] 显示系统50还包括监测系统12。再次参照显示面板20中的左上侧像素10,监测线28i将像素10连接至监测系统12。监测系统12可以与数据驱动器4集成在一起,或者可以是分离的单独系统。特别地,可选地,可通过在像素10的监测操作期间监测数据线22i的电流和/或电压来可选地实现监测系统12,并且可完全省略监测线28i。另外,可以将显示系统50实施成不具有监测系统12和监测线28i。监测线28i使得监测系统12能够测量与像素10相关的电流或电压,并由此提取用于指示像素10的劣化的信息。例如,监测系统12可经由监测线28i提取流过像素10内的驱动晶体管的电流,并由此基于所测量的电流且基于在测量期间施加至驱动晶体管的电压来确定驱动晶体管的阈值电压或阈值电压的漂移。

[0040] 监测系统12还可以提取发光器件的操作电压(如,在发光器件进行发光操作时,发光器件两端的电压降)。然后,监测系统12可以将信号32发送到控制器2和/或存储器6,以允许显示系统50将所提取的劣化信息存储在存储器6中。在像素10的随后的编程和/或发光操作期间,控制器2凭借存储信号36从存储器6中获取劣化信息,且控制器2随后在像素10的后续的编程或发光操作期间对于所提取的劣化信息进行补偿。例如,一旦提取了劣化信息,能够在像素10的后续的编程操作期间适当地调整经由数据线22i传输到像素10的编程信息,使得像素10发出具有与像素10的劣化无关的期望亮度量的光。在示例中,能够通过适当地增大施加至像素10的编程电压来补偿像素10内的驱动晶体管的阈值电压的增大。

[0041] 图2A是像素100的示例性驱动电路的电路图。图1所示的驱动电路用于编程、监测和驱动像素100,并包括用于传输流经有机发光二极管(OLED)110的驱动电流的驱动晶体管114。OLED 110根据通过OLED 110的电流发光,并可由任何电流驱动型发光器件替代。像素100能够被用于结合图1描述的显示系统50的显示面板20中。

[0042] 像素100的驱动电路还包括存储电容118、开关晶体管116和数据开关晶体管112。像素100连接至参考电压线102、选择线104、电压电源线106和数据/监测(data/monitor)线108。驱动晶体管114根据驱动晶体管114的栅极端子和驱动晶体管114的源极端子之间的栅极-源极电压(V_{gs})从电压电源线106抽取电流。例如,在驱动晶体管114的饱和模式下,流过驱动晶体管的电流可由 $I_{ds} = \beta (V_{gs} - V_t)^2$ 给出,其中 β 是取决于驱动晶体管114的器件特性的参数, I_{ds} 是从驱动晶体管114的漏极端子到驱动晶体管114的源极端子的电流,且 V_t 是驱动晶体管114的阈值电压。

[0043] 在像素100中,存储电容118跨接于驱动晶体管114的栅极端子和源极端子。存储电容118具有第一端子118g(为方便起见,称之为栅极侧端子118g)和第二端子118s(为方便起见,称之为源极侧端子118s)。存储电容118的栅极侧端子118g与驱动晶体管114的栅极端子电连接。存储电容118的源极侧端子118s与驱动晶体管114的源极端子电连接。因而,驱动晶体管114的栅极-源极电压V_{gs}也是存储电容118上被充电的电压。如在下文将进一步说明,

存储电容118能够由此在像素100的发光阶段期间维持驱动晶体管114两端的驱动电压。

[0044] 驱动晶体管114的漏极端子电连接至电压电源线106。驱动晶体管 114的源极端子电连接至OLED 110的阳极端子。OLED 110的阴极端子可以接地或者可选地连接至诸如电源线V_{SS}等第二电压电源线。因而，OLED 110与驱动晶体管114的电流路径串联连接。一旦OLED的阳极端子和阴极端子之间的电压降达到OLED 110的操作电压(V_{OLED})，OLED 110根据流经OLED 110的电流发光。也就是说，当阳极端子上的电压与阴极端子上的电压之间的差值大于操作电压V_{OLED}时，则OLED 110开启并发光。当阳极至阴极的电压小于V_{OLED}时，电流不穿过OLED 110。

[0045] 开关晶体管116根据选择线104进行操作(例如，当选择线104处于高电平时，开关晶体管116开启，且当选择线104处于低电平时，开关晶体管116关断)。当开启时，开关晶体管116将驱动晶体管的栅极端子(和存储电容118的栅极侧端子)电连接至参考电压线102。如下文结合图 1将进一步说明地，参考电压线102能够被保持在接地电压或其它固定参考电压(V_{ref})，并且能够在像素100的编程阶段期间可选地调节参考电压线102以提供对像素100的劣化的补偿。以与开关晶体管116相同的方式，由选择线104操作数据开关晶体管112。尽管如此，应注意，在像素100的实施中，数据开关晶体管112可选地可由第二选择线操作。当开启时，数据开关晶体管112将驱动晶体管的源极端子(和存储电容118 的源极侧端子)电连接至数据/监测线108。

[0046] 图2B是图2A所示的像素100的示例性操作周期的示意时序图。像素100可以在监测阶段121、编程阶段122和发光阶段中进行操作。在监测阶段121期间，选择线104为高电平，且开关晶体管116和数据开关晶体管112都导通。数据/监测线108被固定于校准电压(V_{cal})。由于数据开关晶体管112导通，所以校准电压V_{cal}被施加至OLED 110的阳极端子。选择V_{cal}的值使得：施加在OLED 110的阳极端子和阴极端子之间的电压小于OLED 110的操作电压V_{OLED}，并且因此OLED 110不抽取电流。通过将V_{cal}设置在足以关闭OLED 110(即，充分确保OLED 110 不抽取电流)的电平，在监测阶段121期间流经驱动晶体管114的电流不会流过OLED 110，而是流经数据/监测线108。因而，通过在监测阶段 121期间将数据/监测线108固定在V_{cal}，数据/监测线108上的电流是经过驱动晶体管114抽取的电流。随后，数据/监测线108可连接至监测系统(例如，图1所示的监测系统12)，以在监测阶段121期间测量电流并由此提取用于指示像素100的劣化的信息。例如，通过使用参考电流值对在监测阶段121期间测量的数据/监测线108上电流进行分析，能够确定驱动晶体管的阈值电压(V_t)。通过基于分别施加至驱动晶体管114的栅极端子和源极端子的参考电压V_{ref}和校准电压V_{cal}的值将测量的电流与期望电流进行比较，来执行阈值电压的上述确定。例如，可以对关系

$$[0047] \quad I_{meas} = I_{ds} = \beta (V_{gs} - V_t)^2 = \beta (V_{ref} - V_{cal} - V_t)^2$$

[0048] 进行重组以获得

$$[0049] \quad V_t = V_{ref} - V_{cal} - (I_{meas}/\beta)^{1/2}.$$

[0050] 额外地或替代地，可根据分段法(stepwise method)来提取像素100的劣化(如，V_t的值)，其中在I_{meas}和期望电流之间进行比较，并根据比较(如，基于I_{meas}是否小于或大于期望电流的确定结果)来逐渐地更新 I_{meas}的值。注意，虽然上文说明了在监测阶段121期间测量数据/监测线108上的电流，但监测阶段121可包括在固定数据/监测线108上的电流的同时测量数据/监测线108上的电压。而且，监测阶段121还可包括通过例如测量负载两端

的电压降、测量经由电流传送器提供的与数据/监测线108上的电流有关的电流,或者通过测量从接收数据/监测线108上的电流的电流控制电压源输出的电压来间接地测量数据/监测线108上的电流。

[0051] 在编程阶段122期间,选择线104保持为高电平,且开关晶体管116 和数据开关晶体管112因此保持导通。参考电压线102能够保持被固定于 V_{ref} 或能够可选地调整了适于消除像素100的劣化(例如,在监测阶段 121期间确定的劣化)的补偿电压(V_{comp})。例如, V_{comp} 可以是足以消除驱动晶体管114的阈值电压 V_t 的漂移的电压。电压 V_{ref} (或 V_{comp}) 被施加至存储电容118的栅极侧端子118g。而且,在编程阶段122期间,数据/监测线108被调整为编程电压(V_{prog}),该编程电压 V_{prog} 被施加至存储电容118的源极侧端子118s。在编程阶段122期间,通过由参考电压线102上的 V_{ref} (或 V_{comp})和数据/监测线108上的 V_{prog} 之间的差值给定的电压对存储电容118充电。

[0052] 根据本发明的一个方面,通过在编程阶段122期间将补偿电压 V_{comp} 施加至存储电容118的栅极侧端子118g来补偿像素100的劣化。随着像素100由于例如机械应力、老化、温度差异等而劣化,驱动晶体管114的阈值电压 V_t 可能漂移(例如,增大),且因此驱动晶体管114两端需要更大的栅极-源极电压 V_{gs} 以保持流经OLED 110的期望驱动电流。在实施中,可以在监测阶段121期间首先经由数据/监测线108测量 V_t 的漂移,并接着在编程阶段122期间通过将独立于编程电压 V_{prog} 的补偿电压 V_{comp} 施加至存储电容118的栅极侧端子118g来补偿 V_t 的漂移。额外地或替代地,可通过调整施加至存储电容118的源极侧端子118s 的编程电压 V_{prog} 来进行补偿。此外,编程电压 V_{prog} 优选地是在编程阶段122期间足以关闭OLED 110的电压,以能够在编程阶段122期间防止OLED 110发光。

[0053] 在像素100的发光阶段123期间,选择线104为低电平,且开关晶体管116和数据开关晶体管112都关断。存储电容118保持被充电有如下驱动电压:该驱动电压是由在编程阶段122期间施加在存储电容118 两端的 V_{ref} (或 V_{comp})与 V_{prog} 之间的差值给定的。在开关晶体管116 和数据开关晶体管112关断之后,存储电容118保持驱动电压,并且驱动晶体管114从电压电源线106提取驱动电流。接着,驱动电流经由 OLED 110而被传输,从而OLED 110根据流经OLED 110的电流量发光。在发光阶段123期间,OLED 110的阳极端子(和存储电容的源极侧端子 118s)可以从在编程阶段122期间施加的编程电压 V_{prog} 变化为OLED 110的操作电压 V_{OLED} 。此外,随着驱动电流流经OLED 110,OLED 110 的阳极端子的电压可能在发光阶段123的整个过程中变化(例如,增大)。然而,在发光阶段123期间,即使OLED 110的阳极上的电压可能变化,存储电容118仍自调整驱动晶体管114的栅极端子上的电压以保持驱动晶体管114的栅极-源极电压。例如,源极侧端子118s上的调节(例如,增大)被反映在栅极侧端子118g上以保持在编程阶段122期间被充电至存储电容118上的驱动电压。

[0054] 虽然使用n型晶体管(其可以是薄膜晶体管并且可以由非晶硅形成) 图示了图2A所示的驱动电路,但也可以将图2A所示的驱动电路和图2B 所示的操作周期扩展成具有一个或多个p型晶体管且具有薄膜晶体管之外的其它晶体管的互补电路。

[0055] 图3A是像素130的示例性像素电路构造的电路图。像素130的驱动电路用于编程、监测和驱动像素130。像素130包括用于传输流经OLED 146的驱动电流的驱动晶体管148。OLED 146类似于图2A所示的OLED 110且根据流经OLED 146的电流发光。OLED 146可由任何电流驱动型发光器件代替。具有适当修改以包含结合像素130所描述的连接线的像素130可

在结合图1所描述的显示系统50的显示面板20中使用。

[0056] 像素130的驱动电路还包括存储电容156、第一开关晶体管152和第二开关晶体管154、数据开关晶体管144和发光晶体管150。像素130 连接至参考电压线140、数据/参考线132、电压电源线136、数据/监测 (data/monitor) 线138、选择线134和发光线142。驱动晶体管148根据驱动晶体管148的栅极端子和驱动晶体管148的源极端子之间的栅极-源极电压(V_{gs})以及驱动晶体管148的阈值电压(V_t)从电压电源线136提取电流。驱动晶体管148的漏极-源极电流和栅极-源极电压之间的关系类似于结合图2A和2B所描述的驱动晶体管114的操作。

[0057] 在像素130中,存储电容156通过发光晶体管150而跨接于驱动晶体管148的栅极端子和漏极端子。存储电容156具有第一端子156g(为方便起见,称之为栅极侧端子156g)和第二端子156s(为方便起见,称之为源极侧端子156s)。存储电容156的栅极侧端子156g通过发光晶体管150 而电连接至驱动晶体管148的栅极端子。存储电容156的源极侧端子156s 电连接至驱动晶体管148的源极端子。因此,当发光晶体管150导通时,驱动晶体管148的栅极-源极电压 V_{gs} 是存储电容156上的充电电压。发光晶体管150根据发光线142进行操作(例如,在发光线142被设定为高电平时发光晶体管150导通,且反之亦然)。如下文将进一步说明,存储电容156能够由此在像素130的发光阶段期间保持驱动晶体管148两端的驱动电压。

[0058] 驱动晶体管148的漏极端子电连接至电压电源线136。驱动晶体管 148的源极端子电连接到OLED 146的阳极端子。OLED 146的阴极端子可以接地或者能够可选地连接至诸如电源线 V_{ss} 等第二电压电源线。因而,OLED 146与驱动晶体管148的电流路径串联连接。类似于结合图 2A和2B对OLED 110的说明,一旦OLED 146的阳极端子和阴极端子之间的电压降达到OLED 146的操作电压(V_{oled}),OLED 146根据流经 OLED 146的电流发光。

[0059] 第一开关晶体管152、第二开关晶体管154和数据开关晶体管144 均根据选择线134进行操作(例如,当选择线134处于高电平时,晶体管144、152和154导通,且当选择线134处于低电平时,晶体管144、152 和154关断)。当导通时,第一开关晶体管152将驱动晶体管148的栅极端子电连接至参考电压线140。如下文结合图3B所说明地,参考电压线 140可保持在固定的第一参考电压(V_{ref1})。在像素130的实施中,数据开关晶体管144和/或第二开关晶体管154能够可选地由第二选择线操作。当导通时,第二开关晶体管154将存储电容156的栅极侧端子156g 电连接至数据/参考线132。当导通时,数据开关晶体管144将数据/监测线138电连接至存储电容156的源极侧端子156s。

[0060] 图3B是用于操作图3A所示的像素130的时序图。如图3B所示,像素130可在监测阶段124、编程阶段125和发光阶段126中进行操作。

[0061] 在像素130的监测阶段124期间,选择线134被设定为高电平而发光线142被设定为低电平。第一开关晶体管152、第二开关晶体管154 和数据开关晶体管144都导通且发光晶体管150关断。数据/监测线138 被固定在校准电压(V_{cal}),且参考电压线140被固定在第一参考电压 V_{ref1} 。参考电压线140通过第一开关晶体管152将第一参考电压 V_{ref1} 施加至驱动晶体管148的栅极端子,且数据/监测线138通过数据开关晶体管144将校准电压 V_{cal} 施加到驱动晶体管148的源极端子。因此,第一参考电压 V_{ref1} 和校准电压 V_{cal} 固定了驱动晶体管148的栅极-源极电压 V_{gs} 。驱动晶体管148根据由此限定的栅极-源极电位差从电压电源线 136抽取电流。校准电压 V_{cal} 也被施加至OLED 146的阳极,并且校准电压 V_{cal} 有利地被

选择为足以关闭OLED 146的电压。例如,校准电压 V_{cal} 能够使OLED 146的阳极端子与阴极端子之间的电压降小于OLED 146的操作电压 V_{OLED} 。通过关闭OLED 146,流经驱动晶体管148的电流全部被引导至数据/监测线138而不流经OLED 146。类似于结合图2A 和2B中的像素100对监测阶段121的说明,能够将在像素130的数据/ 监测线138上测量的电流用于提取像素130的劣化信息,例如用于指示驱动晶体管148的阈值电压 V_t 的信息。

[0062] 在编程阶段125期间,选择线134被设定为高电平且发光线142被设定为低电平。类似于监测阶段124,第一开关晶体管152、第二开关晶体管154和数据开关晶体管144都导通,且同时发光晶体管150关断。数据/监测线138被设定成编程电压(V_{prog}),参考电压线140被固定在第一参考电压 V_{ref1} ,且数据/参考线132被设定成第二参考电压(V_{ref2})。在编程阶段125期间,第二参考电压 V_{ref2} 因而被施加至存储电容156 的栅极侧端子156g,且同时编程电压 V_{prog} 被施加至存储电容156的源极侧端子156s。在实施中,在编程阶段125期间,数据/参考线132被设定(调整)成补偿电压(V_{comp}),而不是保持固定于第二参考电压 V_{ref2} 。然后,根据第二参考电压 V_{ref2} (或补偿电压 V_{comp})与编程电压 V_{prog} 之间的差值对存储电容156充电。本发明的实施还包括编程阶段125的如下操作:编程电压 V_{prog} 被施加到数据/参考线132,且同时数据/监测线 138被固定于第二参考电压 V_{ref2} 或补偿电压 V_{comp} 。在任一操作中,存储电容156被充电有由 V_{prog} 与 V_{ref2} (或 V_{comp})之间的差值给定的电压。类似于结合图2A和2B所描述的像素100的操作,施加至栅极侧端子156g的补偿电压 V_{comp} 是用于消除像素电路130的诸如在监测阶段 124期间测量到的劣化等劣化(例如,驱动晶体管148的阈值电压 V_t 的增大)的适当电压。

[0063] 在编程阶段125期间编程电压 V_{prog} 被施加至OLED 146的阳极端子。在编程阶段125期间编程电压 V_{prog} 有利地被选择成足以关闭OLED 146。例如,编程电压 V_{prog} 能够有利地使OLED 146的阳极端子与阴极端子之间的电压降小于OLED 146的操作电压 V_{OLED} 。额外地或替代地,在第二参考电压 V_{ref2} 被施加至数据/监测线138的实施中,第二参考电压 V_{ref2} 能够被选择为将OLED 146保持在关闭状态的电压。

[0064] 在编程阶段125期间,驱动晶体管148有利地与存储电容156隔离,且同时存储电容156经由数据/参考线132和/或数据/监测线138接收编程信息。通过使用在编程阶段125期间关断的发光晶体管150将驱动晶体管148与存储电容156隔离,有利地防止了驱动晶体管148在编程阶段125期间导通。图2A中的像素电路100提供了的电路示例缺少用于在编程阶段122期间使驱动晶体管114与存储电容118隔离的构件。通过此示例,在像素100中,在编程阶段122期间,在存储电容两端建立了足以导通驱动晶体管114的电压。一旦存储电容118上的电压变得足够,驱动晶体管114开始从电压电源线106抽取电流。电流不流经在编程阶段122期间被反向偏置的OLED 110,而是来自驱动晶体管114的电流流经数据开关晶体管112。因此,当电流经过数据开关晶体管112传输时,由于数据开关晶体管112的非零电阻而在数据开关晶体管112两端形成电压降。数据开关晶体管112两端的电压降使得施加至存储电容118的源极侧端子118的电压不同于数据/监测线108上的编程电压 V_{prog} 。该差异是由流经数据开关晶体管112的电流和数据开关晶体管112的内部电阻确定的。

[0065] 再次参照图3A和3B,像素130的发光晶体管150通过确保在编程阶段125期间在存储电容156上建立的电压不会在编程阶段125期间被施加在驱动晶体管148的栅极端子和源极端子之间而解决了上述影响。发光晶体管150使存储电容156的一个端子与驱动晶体管断

开连接,以确保驱动晶体管在像素130的编程阶段125期间不被导通。发光晶体管 150使得能够以不取决于开关晶体管144的电阻的电压来编程像素电路 130(如,对存储电容156充电)。此外,可按照以下方式选择施加至参考电压线140的第一参考电压 V_{ref1} :由 V_{ref1} 与 V_{prog} 之间的差值给定的栅极-源极电压足以防止驱动晶体管148在编程阶段125期间导通。

[0066] 在像素130的发光阶段126期间,选择线134被设定为低电平,且同时发光线142被设定为高电平。第一开关晶体管152、第二开关晶体管 154和数据开关晶体管144都关断。发光晶体管150在发光阶段126期间导通。通过导通发光晶体管150,存储电容156被连接于驱动晶体管148 的栅极端子和源极端子之间。驱动晶体管148根据存储在存储电容156 上且被施加在驱动晶体管148的栅极端子和源极端子之间的驱动电压从电压电源线136抽取驱动电流。由于数据开关晶体管144关断,OLED 146 的阳极端子不再被数据/监测线138设定为编程电压,并且OLED 146因此被开启且OLED 146的阳极端子处的电压调整为OLED 146的操作电压 V_{OLED} 。通过存储电容156自调整驱动晶体管148的源极端子的电压和 /或栅极端子的电压以消除这两个电压中一者或另一者的变化,存储电容 156保持存储电容156上被充电的驱动电压。例如,如果源极侧端子156s 上的电压在发光阶段126期间由于例如OLED 146的阳极端子处于操作电压 V_{OLED} 而变化,存储电容156调整驱动晶体管148的栅极端子上的电压,以保持驱动晶体管148的栅极端子与源极端子之间的驱动电压。

[0067] 虽然使用n型晶体管(其可以是薄膜晶体管并且可以由非晶硅形成) 图示了图3A所示的驱动电路,但也可以将图3A所示的像素130的驱动电路和图3B所示的操作周期扩展成具有一个或多个p型晶体管且具有除薄膜晶体管之外的其它晶体管的互补电路。

[0068] 图4A是像素160的示例性像素电路构造的电路图。像素160的驱动电路用于编程、监测和驱动像素160。像素160包括用于传输流经OLED 172的驱动电流的驱动晶体管174。OLED 172类似于图2A所示的OLED 110,且根据流经OLED 172的电流发光。OLED 172可以由任何电流驱动型发光器件代替。具有连接至数据驱动器和地址驱动器等的合适的连接线的像素160可被用于结合图1所描述的显示系统50的显示面板20。

[0069] 像素160的驱动电路还包括存储电容182、数据开关晶体管180、监测晶体管178和发光晶体管176。像素160连接到数据线162、电压电源线166、监测(monitor)线168、选择线164和发光线170。驱动晶体管174 根据驱动晶体管174的栅极端子与驱动晶体管174的源极端子之间的栅极-源极电压(V_{gs})以及驱动晶体管174的阈值电压(V_t)从电压电源线166 提取电流。驱动晶体管174的漏极-源极电流和栅极-源极电压之间的关系类似于结合图2A和2B所描述的驱动晶体管114的操作。

[0070] 在像素160中,存储电容182通过发光晶体管176而跨接于驱动晶体管174的栅极端子和漏极端子。存储电容182具有第一端子182g(为方便起见,称之为栅极侧端子182g)和第二端子182s(为方便起见,称之为源极侧端子182s)。存储电容182的栅极侧端子182g电连接至驱动晶体管174的栅极端子。存储电容182的源极侧端子182s通过发光晶体管176 电连接至驱动晶体管174的源极端子。因而,当发光晶体管176被导通时,驱动晶体管174的栅极-源极电压 V_{gs} 是存储电容182上的充电电压。发光晶体管176根据发光线170进行操作(例如,在发光线170被设定为高电平时,发光晶体管176被导通,且反之亦然)。如下文将进一步说明,存储电容182能够由此在像素160的发光阶段期间保持驱动晶体管174 两端的驱动电压。

[0071] 驱动晶体管174的漏极端子电连接至电压电源线166。驱动晶体管 174的源极端子

电连接至OLED 172的阳极端子。OLED 172的阴极端子可以接地或能够可选地连接至诸如电源线V_{SS}等第二电压电源线。因而，OLED 172与驱动晶体管174的电流路径串联连接。类似于结合图2A和 2B对OLED 110的说明，一旦OLED 172的阳极端子与阴极端子之间的电压降达到OLED 172的操作电压(V_{OLED})，OLED 172根据流过OLED 172的电流发光。

[0072] 数据开关晶体管180和监测晶体管178均根据选择线168进行操作（例如，当选择线168处于高电平时，晶体管178和180被导通，且当选择线168处于低电平时，晶体管178和180关断）。当导通时，数据开关晶体管180将驱动晶体管174的栅极端子电连接至数据线162。在像素 160的实施中，数据开关晶体管180和/或监测晶体管178能够可选地由第二选择线操作。当导通时，监测晶体管178将存储电容182的源极侧端子182s电连接至监测线164。当导通时，数据开关晶体管180将数据线162电连接至存储电容182的栅极侧端子182g。

[0073] 图4B是用于操作图4A所示的像素160的时序图。如图4B所示，像素160可在监测阶段127、编程阶段128和发光阶段129中进行操作。

[0074] 在像素160的监测阶段127期间，选择线164和发光线170都被设定为高电平。数据开关晶体管180、监测晶体管178和发光晶体管170 都被导通。数据线162被固定在第一校准电压(V_{cal1})，且监测线168被固定在第二校准电压(V_{cal2})。第一校准电压V_{cal1}通过数据开关晶体管 180被施加至驱动晶体管174的栅极端子。第二校准电压V_{cal2}通过监测晶体管178和发光晶体管176被施加至驱动晶体管174的源极端子。因此，第一校准电压V_{cal1}和第二校准电压V_{cal2}固定了驱动晶体管174 的栅极-源极电压V_{gs}，且驱动晶体管174根据它的栅极-源极电压V_{gs} 从电压电源线166抽取电流。第二校准电压V_{cal2}还被施加至OLED 172的阳极，且有利地被选择为足以关闭OLED 172的电压。通过在监测阶段127期间关闭OLED 172，确保了流经驱动晶体管174的电流不流过 OLED 174，而是经由发光晶体管176和监测晶体管178被传输至监测线 168。类似于结合图2A和2B中的像素100对监测阶段121的说明，能够在监测线168上测量的电流用于提取像素160的劣化信息，例如用于指示驱动晶体管174的阈值电压V_t的信息。

[0075] 在编程阶段128期间，选择线164被设定为高电平且发光线170被设定为低电平。数据开关晶体管180和监测晶体管178被导通，且同时发光晶体管176关断。数据线162被设定成编程电压(V_{prog})，且监测线 168被固定在参考电压(V_{ref})。监测线164能够可选地被设定成补偿电压 (V_{comp}) 而不是参考电压V_{ref}。存储电容182的栅极侧端子182g被设定成编程电压V_{prog}，且源极侧端子182s被设定成参考电压V_{ref} (或补偿电压V_{comp})。由此，根据编程电压V_{prog}和参考电压V_{ref} (或补偿电压 V_{comp}) 之间的差值对存储电容182充电。在编程阶段128期间对存储电容182充电的电压被称为驱动电压。驱动电压是这样的电压：其适于施加在驱动晶体管172两端以产生将使OLED 172发出期望量的光的期望驱动电流。类似于结合图2A和2B所描述的像素100的操作，施加至源极侧端子182s的补偿电压V_{comp}是用于消除像素电路160的诸如在监测阶段127期间测量到的劣化等劣化 (如，驱动晶体管174的阈值电压 V_t的增大) 的适当电压。额外地或替代地，能够通过调整施加至栅极侧端子182g的编程电压V_{prog}来补偿像素160的劣化。

[0076] 在编程阶段128期间，驱动晶体管174通过发光晶体管176而与存储电容182隔离，发光晶体管176在编程阶段128期间使驱动晶体管174 的源极端子与存储电容182断开连接。类似于结合图3A和3B对发光晶体管150的操作的说明，通过在编程阶段128期间使驱动

晶体管174和存储电容182隔离,有利地防止了驱动晶体管174在编程阶段128期间被导通。通过防止驱动晶体管174导通,由于没有电流经过开关晶体管传输,所以在编程阶段128期间施加至存储电容182的电压有利地与开关晶体管的电阻无关。在像素160的构造中,发光晶体管176还有利地在编程阶段128期间使存储电容182与OLED 172断开连接,这防止了在编程阶段128期间存储电容182受到OLED 172的内部电容的影响。

[0077] 在像素160的发光阶段129期间,选择线164被设定为低电平而发光线170被设定为高电平。在发光阶段129期间,数据开关晶体管180 和监测晶体管178关断并且发光晶体管176导通。通过导通发光晶体管 176,存储电容182连接在驱动晶体管174的栅极端子和源极端子之间。驱动晶体管174根据存储在存储电容182上的驱动电压从电压电源线166 抽取驱动电流。OLED 172开启且OLED 172的阳极端子处的电压调整成 OLED 172的操作电压 V_{OLED} 。存储电容182自调整驱动晶体管174的源极端子的电压和/或栅极端子的电压以消除这两个电压中一者或另一者的变化,由此存储电容182保持驱动电压。例如,如果源极侧端子182s上的电压在发光阶段129期间由于例如OLED 172的阳极端子处于操作电压 V_{OLED} 而变化,存储电容182调整驱动晶体管174的栅极端子上的电压,以保持驱动晶体管174的栅极端子与源极端子之间的驱动电压。

[0078] 虽然使用n型晶体管(其可以是薄膜晶体管并且可以由非晶硅形成) 图示了图4A所示的驱动电路,但也可以将图4A所示的像素160的驱动电路和图4B所示的操作周期扩展成具有一个或多个p型晶体管且具有除薄膜晶体管之外的其它晶体管的互补电路。

[0079] 图5A是像素200的示例性像素电路构造的电路图。像素200的驱动电路用于编程、监测和驱动像素200。像素200包括用于传输流经OLED 220的驱动电流的驱动晶体管214。OLED 220类似于图2A所示的OLED 110,且根据流经OLED 220的电流发光。OLED 220可以由任何电流驱动型发光器件代替。具有连接至数据驱动器和地址驱动器等的适当连接线的像素200可在结合到图1所描述的显示系统50的显示面板20中。

[0080] 像素200的驱动电路还包括存储电容218、数据开关晶体管216、监测晶体管212和发光晶体管222。像素200连接到数据线202、电压电源线206、监测(monitor)线208、选择线204和发光线210。驱动晶体管214 根据驱动晶体管214的栅极端子与驱动晶体管214的源极端子之间的栅极-源极电压(V_{gs})和驱动晶体管214的阈值电压(V_t)从电压电源线206提取电流。驱动晶体管214的漏极-源极电流和栅极-源极电压之间的关系类似于结合图2A和2B所描述的驱动晶体管114的操作。

[0081] 在像素200中,存储电容218通过发光晶体管222而跨接于驱动晶体管214的栅极端子和漏极端子。存储电容218具有第一端子218g(为方便起见,称之为栅极侧端子218g)和第二端子218s(为方便起见,称之为源极侧端子218s)。存储电容218的栅极侧端子218g电连接至驱动晶体管214的栅极端子。存储电容218的源极侧端子218s通过发光晶体管222 而电连接至驱动晶体管214的源极端子。因而,当发光晶体管222被导通时,驱动晶体管214的栅极-源极电压 V_{gs} 是存储电容218上的充电电压。发光晶体管222根据发光线210进行操作(如,在发光线210被设定为高电平时发光晶体管222被导通,反之亦然)。如下文将进一步说明,存储电容218能够由此在像素200的发光阶段期间保持驱动晶体管214 两端的驱动电压。

[0082] 驱动晶体管214的漏极端子电连接至电压电源线206。驱动晶体管 214的源极端子通过发光晶体管222电连接至OLED 220的阳极端子。OLED 220的阴极端子可以接地或能够

可选地连接到诸如电源线 V_{SS} 等第二电压电源线。因而，OLED 220与驱动晶体管214的电流路径串联连接。类似于结合图2A和2B对OLED 110的说明，一旦OLED 220的阳极端子和阴极端子之间的电压降达到OLED 220的操作电压(V_{OLED})，OLED 220根据流经OLED 220的电流发光。

[0083] 数据开关晶体管216和监测晶体管212均根据选择线204进行操作（例如，当选择线204处于高电平时，晶体管212和216被导通，且当选择线204处于低电平时，晶体管212和216被关断）。当导通时，数据开关晶体管216将驱动晶体管214的栅极端子电连接至数据线202。在像素 200的实施中，数据开关晶体管216和/或监测晶体管212能够可选地由第二选择线操作。当导通时，监测晶体管212将存储电容218的源极侧端子218s电连接至监测线208。当导通时，数据开关晶体管216将数据线202电连接至存储电容218的栅极侧端子218g。

[0084] 图5B是用于在编程阶段和发光阶段中操作图5A所示的像素200的时序图。如图5B所示，像素200可在编程阶段223和发光阶段224中进行操作。图5C是用于在TFT监测阶段225中操作图5A所示的像素200以测量驱动晶体管214的各个方面的时序图。图5D是用于在OLED监测阶段226中操作图5A所示的像素200以测量OLED 220的各个方面的时序图。

[0085] 在操作（驱动）像素200的示例性实施中，可针对视频显示的各帧在编程阶段223和发光阶段224中操作像素200。还可可选地在监测阶段 225和监测阶段226中的一者或两者中操作像素200以监测像素200由于驱动晶体管214而产生的劣化或OLED 220的劣化，或监测上述两种劣化。像素200可在监测阶段225和226中间歇地、周期性地进行操作或根据排序和优先级算法(sorting and prioritization algorithm)进行操作，以动态地确定和识别显示器中的需要更新劣化信息以用于提供补偿的像素。因此，与经由像素200显示的单个帧相对应的驱动顺序可包括编程阶段223和发光阶段224，且能够可选地包括监测阶段225和226中的一者或两者。

[0086] 在编程阶段223期间，选择线204被设定为高电平且发光线210被设定为低电平。数据开关晶体管216和监测晶体管212导通，而发光晶体管222关断。数据线202被设定为编程电压(V_{prog})，并且监测线208 被固定在参考电压(V_{ref})。监测线208能够可选地被设定成补偿电压 (V_{comp})而不是参考电压 V_{ref} 。存储电容218的栅极侧端子218g被设定成编程电压 V_{prog} 且源极侧端子218s被设定成参考电压 V_{ref} （或补偿电压 V_{comp} ）。由此，根据编程电压 V_{prog} 与参考电压 V_{ref} （或补偿电压 V_{comp} ）之间的差对存储电容218充电。在编程阶段223期间对存储电容 218充电的电压被称为驱动电压。驱动电压是这样的电压：其适于施加在驱动晶体管两端以产生将使OLED 220发出期望量的光的期望驱动电流。类似于结合图2A和2B所描述的像素100的操作，可选地施加至源极侧端子218s的补偿电压 V_{comp} 是用于消除像素电路200的诸如在监测阶段225和226期间测量到的劣化等劣化（如，驱动晶体管214的阈值电压 V_t 的增大）的适当电压。额外地或替代地，能够通过调整施加到栅极侧端子218g的编程电压 V_{prog} 来补偿像素200的劣化。

[0087] 此外，类似于结合图3A和3B所描述的像素130，发光晶体管222 确保了驱动晶体管214在编程阶段223期间与存储电容218隔离。通过使存储电容218的源极侧端子218s与驱动晶体管214断开连接，发光晶体管222确保了驱动晶体管在编程期间不被导通，以使得没有电流流经开关晶体管。如先前所讨论，通过经由发光晶体管222使驱动晶体管214 与存储电容218隔离，确保了在编程阶段223期间在存储电容218上充电的电压与开关晶体管的电阻

无关。

[0088] 在像素200的发光阶段224期间,选择线204被设定为低电平而发光线210被设定为高电平。在发光阶段224期间,数据开关晶体管216 和监测晶体管212关断且发光晶体管222被导通。通过导通发光晶体管 222,存储电容218被连接在驱动晶体管214的栅极端子与源极端子之间。驱动晶体管214根据存储在存储电容218上的驱动电压从电压电源线206 抽取驱动电流。OLED 220开启且OLED 220的阳极端子处的电压调整成 OLED 220的操作电压 V_{OLED} 。存储电容218通过自调整驱动晶体管214 的源极端子的电压和/或栅极端子的电压以消除这两个电压中一者或另一者的变化,由此保持驱动电压。例如,如果源极侧端子218s上的电压在发光阶段224期间由于例如OLED 220的阳极端子处于操作电压 V_{OLED} 而变化,存储电容218调整驱动晶体管214的栅极端子上的电压,以保持驱动晶体管214的栅极端子与源极端子之间的驱动电压。

[0089] 在像素200的TFT监测阶段225期间,选择线204和发光线210都被设定成高电平。数据开关晶体管216、监测晶体管212和发光晶体管 222都导通。数据线202被固定在第一校准电压(V_{cal1}),且监测线208 被固定在第二校准电压(V_{cal2})。第一校准电压 V_{cal1} 通过数据开关晶体管216被施加至驱动晶体管214的栅极端子。第二校准电压 V_{cal2} 通过监测晶体管212和发光晶体管222被施加至驱动晶体管214的源极端子。因此,第一校准电压 V_{cal1} 和第二校准电压 V_{cal2} 固定了驱动晶体管214 的栅极-源极电压 V_{gs} ,且驱动晶体管214根据它的栅极-源极电压 V_{gs} 从电压电源线206抽取电流。第二校准电压 V_{cal2} 也被施加至OLED 220的阳极,且有利地被选择为足以关闭OLED 220的电压。通过在TFT监测阶段225期间关闭OLED 220,确保了流经驱动晶体管214的电流不流过OLED 220,而是经由发光晶体管222和监测晶体管212被传输至监测线208。类似于结合图2A和2B中的像素100对监测阶段121的说明,能够将在监测线208上测量的电流用于提取像素200的劣化信息,例如用于指示驱动晶体管214的阈值电压 V_t 的信息。

[0090] 在像素200的OLED监测阶段226期间,选择线204被设定成高电平而发光线210被设定为低电平。数据开关晶体管216和监测晶体管212 导通,而发光晶体管222关断。数据线202被固定在参考电压 V_{ref} ,且监测线拉出(source)或灌入(sink)监测线208上的固定电流。监测线208 上的固定电流通过监测晶体管212被施加至OLED 220,且使OLED 220 处于它的操作电压 V_{OLED} 。因此,通过将固定电流施加至监测线208并测量监测线208的电压,能够提取OLED 220的操作电压 V_{OLED} 。

[0091] 还需注意,在图5B至图5D中,在每个操作阶段内,与选择线被设定成特定电平相比,通常以更长的持续时间来设定发光线的电平。通过在操作周期期间延迟、缩短或延长选择线204和/或发光线210所保持的值的持续时间,能够在后续的操作周期之前将像素200的各个方面更精确地位于稳定的点。例如,对于编程操作周期223,通过在将选择线204 设定为高电平之前将发光线210设定为低电平,使得驱动晶体管214能够在经由数据开关晶体管216将新的编程信息施加至驱动晶体管之前停止驱动电流。虽然针对像素200图示了在像素200的不同操作周期之前和之后延迟或设置稳定时间(settling time)的特征,但也可对本文所披露的其它电路(例如,像素100、130、170等)的操作周期进行类似的修改。

[0092] 虽然使用n型晶体管(其可以是薄膜晶体管并且可以由非晶硅形成) 图示了图5A所示的驱动电路,但也可以将图5A所示的像素200的驱动电路和图5B至图5D所示的操作周

期扩展成具有一个或多个p型晶体管且具有除薄膜晶体管之外的其它晶体管的互补电路。

[0093] 图6A是像素240的示例性像素电路构造的电路图。像素240的驱动电路用于编程、监测和驱动像素240。像素240包括用于传输流经OLED 256的驱动电流的驱动晶体管252。OLED 256类似于图2A所示的OLED 110,且根据流过OLED 256的电流发光。OLED 256可以由任何电流驱动型发光器件代替。具有连接至数据驱动器、地址驱动器和监测系统等的连接线的像素240可被用于结合图1所描述的显示系统50的显示面板 20中。

[0094] 像素240的驱动电路还包括存储电容262、数据开关晶体管260、监测晶体管258和发光晶体管254。像素240连接至数据/监测 (data/monitor) 线242、电压电源线246、第一选择线244、第二选择线245和发光线250。驱动晶体管252根据驱动晶体管252的栅极端子和驱动晶体管252的源极端子两端的栅极-源极电压 (V_{gs}) 和驱动晶体管252的阈值电压 (V_t) 从电压电源线246提取电流。驱动晶体管252的漏极-源极电流和栅极-源极电压之间的关系类似于结合图2A和2B所描述的驱动晶体管114的操作。

[0095] 在像素240中,存储电容262通过发光晶体管254而跨接于驱动晶体管252的栅极端子和漏极端子。存储电容262具有第一端子262g (为方便起见,称之为栅极侧端子262g) 和第二端子262s (为方便起见,称之为源极侧端子262s)。存储电容262的栅极侧端子262g电连接至驱动晶体管252的栅极端子。存储电容262的源极侧端子262s通过发光晶体管254 而电连接至驱动晶体管252的源极端子。因而,当发光晶体管254导通时,驱动晶体管252的栅极-源极电压 V_{gs} 是存储电容262上的充电电压。发光晶体管254根据发光线250进行操作 (例如,在发光线250被设定为高电平时,发光晶体管254被导通,反之亦然)。如下文将进一步说明地,存储电容262能够由此在像素240的发光阶段期间保持驱动晶体管252 两端的驱动电压。

[0096] 驱动晶体管252的漏极端子电连接至电压电源线246。驱动晶体管 252的源极端子通过发光晶体管254电连接至OLED 256的阳极端子。OLED 256的阴极端子可以接地或者能够可选地连接至诸如电源线 V_{ss} 等第二电压电源线。因而,OLED 256与驱动晶体管252的电流路径串联连接。类似于结合图2A和2B对OLED 110的说明,一旦OLED 256的阳极端子和阴极端子之间的电压降达到OLED 256的操作电压 (V_{oled}), OLED 256根据流过OLED 256的电流发光。

[0097] 数据开关晶体管260根据第一选择线244进行操作 (例如,当第一选择线244被设定为高电平时,数据开关晶体管260被导通;当第一选择线244被设定为低电平时,数据开关晶体管260被关断)。类似地,监测晶体管258根据第二选择线245进行操作。当导通时,数据开关晶体管 260将存储电容262的栅极侧端子262g电连接至数据/监测线242。当导通时,监测晶体管258将存储电容262的源极侧端子262s电连接至数据 /监测线242。

[0098] 图6B是用于在编程阶段和发光阶段中操作图6A所示的像素240的时序图。如图6B所示,像素240可在编程阶段227和发光阶段228中进行操作。图6C是用于操作图6A所示的像素240以测量驱动晶体管252 的各个方面的时序图。图6D是用于操作图6A所示的像素240以测量 OLED 256的各个方面的时序图。

[0099] 在操作 (驱动) 像素240的示例性实施中,可针对视频显示的各帧在编程阶段227和发光阶段228中操作像素240。还可以可选地在监测阶段一者或两者中操作像素240以监测像素240由于驱动晶体管252而产生的劣化或OLED 256的劣化,或监测上述两种劣化。

[0100] 在编程阶段227期间,第一选择线244被设定为高电平,第二选择线245被设定为低

电平且发光线250被设定为低电平。数据开关晶体管 260导通,而发光晶体管254和监测晶体管258关断。数据/监测线242 被设定成编程电压 (V_{prog})。能够根据补偿信息可选地调整编程电压 V_{prog} ,以补偿像素240的劣化。存储电容262的栅极侧端子262g被设定成编程电压 V_{prog} ,并且在没有电流流经OLED 256时源极侧端子262s 处于与OLED 256的阳极端子相对应的电压。由此,根据编程电压 V_{prog} 对存储电容262充电。在编程阶段227期间对存储电容262充电的电压被称为驱动电压。驱动电压是这样的电压:其适于施加在驱动晶体管252两端以产生将使OLED 256发出期望量的光的期望驱动电流。

[0101] 此外,类似于结合图4A和4B所描述的像素160,发光晶体管254 确保了驱动晶体管252在编程阶段227期间与存储电容262隔离。通过使存储电容262的源极侧端子262s与驱动晶体管252断开连接,发光晶体管254确保了驱动晶体管252在编程期间不被导通,以使得没有电流流经开关晶体管。如先前所讨论,通过经由发光晶体管254使驱动晶体管252与存储电容262隔离,确保了在编程阶段227期间在存储电容262 上充电的电压与开关晶体管的电阻无关。

[0102] 在像素240的发光阶段228期间,第一选择线244和第二选择线245 被设定为低电平而发光线250被设定为高电平。在发光阶段228期间,数据开关晶体管260和监测晶体管258关断且发光晶体管254导通。通过导通发光晶体管254,存储电容262连接于驱动晶体管252的栅极端子和源极端子两端。驱动晶体管252根据存储在存储电容262上的驱动电压从电压电源线246抽取驱动电流。OLED 256开启且OLED 256的阳极端子处的电压调整成OLED 256的操作电压 V_{OLED} 。存储电容262通过自调整驱动晶体管252的源极端子的电压和/或栅极端子的电压以消除这两个电压中一者或另一者的变化,由此保持驱动电压。例如,如果源极侧端子262s上的电压在发光阶段228期间由于例如OLED 256的阳极端子处于操作电压 V_{OLED} 而变化,存储电容262调整驱动晶体管252的栅极端子上的电压,以保持驱动晶体管252的栅极端子和源极端子两端的驱动电压。

[0103] TFT监测操作包括充电阶段229和读取阶段230。在充电阶段229 期间,第一选择线244被设定为高电平而第二选择线245和发光线250 被设定为低电平。类似于编程阶段227,使用被施加至数据/监测线242 的第一校准电压 (V_{cal1}) 来对存储电容262的栅极侧端子262g充电。接下来,在读取阶段230期间,第一选择线244被设定为低电平,且第二选择线245和发光线250被设定为高电平。数据/监测线242被设定成第二校准电压 (V_{cal2})。第二校准电压 V_{cal2} 有利地反向偏置OLED 256,使得流经驱动晶体管252的电流流至数据/监测线242。在测量电流的同时将数据/监测线242保持在第二校准电压值 V_{cal2} 。类似于上面的说明,通过将所测量的电流与第一校准电压 V_{cal1} 和第二校准电压 V_{cal2} 进行比较,使得能够提取与驱动晶体管252相关的劣化信息。

[0104] OLED监测阶段也包括充电阶段231和读取阶段232。在充电阶段 231期间,第一选择线244被设定为高电平而第二选择线245被设定为低电平。数据开关晶体管260导通并将校准电压 (V_{cal}) 施加至存储电容262 的栅极侧端子262g。在读取阶段232期间,将数据/监测线242上电流固定,并同时测量电压以提取OLED 256的操作电压 (V_{OLED})。

[0105] 像素240有利地将数据线和监测线合并成一根线,与不具有上述合并的像素相比,这使得像素240能够被封装在更小的区域中,并由此增加了像素密度和显示屏分辨率。

[0106] 虽然使用n型晶体管(其可以是薄膜晶体管并且可以由非晶硅形成) 图示了图6A

所示的驱动电路,但也可以将图6A所示的像素240的驱动电路和图6B至6D所示的操作周期扩展成具有一个或多个p型晶体管且具有除薄膜晶体管之外的其它晶体管的互补电路。

[0107] 图7A是像素270的示例性像素电路构造的电路图。除了像素270在驱动晶体管284和OLED 288之间包括额外的发光晶体管286以及数据线272和监测 (monitor) 线278的构造不同于像素100之外,像素270在结构上类似于图2A中的像素100。发光晶体管286也位于存储电容292和OLED 288之间,使得在像素270的编程阶段期间,能够使存储电容292不与OLED 288电连接。通过在编程期间使存储电容292与OLED 288断开连接,防止了存储电容292的编程由于OLED 288的电容而受到影响或扰乱。除了由发光晶体管286及数据和监测线带来的差异之外,如下文将进一步说明地,像素270还能够以不同于像素100的方式操作。

[0108] 图7B是用于在编程阶段和发光阶段中操作图7A所示的像素270的时序图。如图7B所示,像素270可在编程阶段233和发光阶段234中进行操作。图7C是用于在TFT监测阶段235中操作图7A所示的像素270以测量驱动晶体管284的各个方面的时序图。图7D是用于在OLED监测阶段236中操作图7A所示的像素270以测量OLED 288的各个方面的时序图。

[0109] 在操作(驱动)像素270的示例性实施中,可针对视频显示的各帧在编程阶段233和发光阶段234中操作像素270。还可以可选地在监测阶段235和236中的一者或两者中操作像素270以监测像素270由于驱动晶体管284而产生的劣化或OLED 288的劣化,或监测上述两种劣化。像素270可在监测阶段235和236中间歇地、周期性地进行操作,或者根据排序和优先级算法进行操作,以动态地确定和识别显示器中的需要更新劣化信息以用于提供补偿的像素。因此,与通过像素270显示的单个帧相对应的驱动顺序可以包括编程阶段233和发光阶段234,且能够可选地包括监测阶段235和236中的一者或两者。

[0110] 在编程阶段233期间,选择线274被设定为高电平且发光线280被设定为低电平。数据开关晶体管290和监测晶体管282被导通,而发光晶体管286被关断。数据线272被设定成编程电压(V_{prog}),且监测线278被固定在参考电压(V_{ref})。监测线278能够可选地被设定成补偿电压(V_{comp})而不是参考电压 V_{ref} 。存储电容292的栅极侧端子292g被设定成编程电压 V_{prog} 且源极侧端子292s被设定成参考电压 V_{ref} (或补偿电压 V_{comp})。由此,根据编程电压 V_{prog} 和参考电压 V_{ref} (或补偿电压 V_{comp})之间的差对存储电容292充电。在编程阶段233期间对存储电容292充电的电压被称为驱动电压。驱动电压是这样的电压:其适于施加在驱动晶体管两端以产生将使OLED 288发出期望量的光的期望驱动电流。类似于结合图2A和2B所描述的像素100的操作,可选地被施加至源极侧端子292s的补偿电压 V_{comp} 是用于消除像素电路270的诸如在监测阶段235和236期间测量到的劣化等劣化(如,驱动晶体管284的阈值电压 V_t 的增大)的适当电压。额外地或替代地,能够通过对施加至栅极侧端子292g的编程电压 V_{prog} 的调整来补偿像素270的劣化。

[0111] 在像素270的发光阶段234期间,选择线274被设定为低电平而发光线280被设定为高电平。在发光阶段234期间,数据开关晶体管290和监测晶体管282被关断且发光晶体管286被导通。通过导通发光晶体管286,存储电容292被连接于驱动晶体管284的栅极端子和源极端子之间。驱动晶体管284根据存储在存储电容292上的驱动电压从电压电源线276抽取驱动电流。OLED 288开启且OLED 288的阳极端子处的电压调整成OLED 288的操作电压 V_{OLED} 。存储电容292通过自调整驱动晶体管284的源极端子的电压和/或栅极端子的电压以消除这两个电压中一者或另一者的变化,由此保持驱动电压。例如,如果源极侧端子292s上

的电压在发光阶段234期间由于例如OLED 288的阳极端子处于操作电压 V_{OLED} 而变化,存储电容292调整驱动晶体管284的栅极端子上的电压,以保持驱动晶体管284的栅极端子和源极端子之间的驱动电压。

[0112] 在像素270的TFT监测阶段235期间,选择线274被设定成高电平而发光线280被设定成低电平。数据开关晶体管290和监测晶体管282 被导通,而发光晶体管286关断。数据线272被固定在第一校准电压 (V_{cal1}),且监测线278被固定在第二校准电压(V_{cal2})。第一校准电压 V_{cal1} 通过数据开关晶体管290被施加至驱动晶体管284的栅极端子。第二校准电压 V_{cal2} 通过监测晶体管282被施加至驱动晶体管284的源极端子。因此,第一校准电压 V_{cal1} 和第二校准电压 V_{cal2} 固定了驱动晶体管284的栅极-源极电压 V_{gs} ,并且驱动晶体管284根据它的栅极-源极电压 V_{gs} 从电压电源线276抽取电流。发光晶体管286关断,这使得在 TFT监测阶段235期间将OLED 288从驱动晶体管284的电流路径中移除。因而,来自驱动晶体管284的电流经由监测晶体管282被传输至监测线278。类似于结合图2A和2B中的像素100对监测阶段121的说明,能够将在监测线278上测量的电流用于提取像素270的劣化信息,例如用于指示驱动晶体管284的阈值电压 V_t 的信息。

[0113] 在像素270的OLED监测阶段236期间,选择线274和发光线280 被设定为高电平。数据开关晶体管290、监测晶体管282和发光晶体管 286都被导通。数据线272被固定在参考电压 V_{ref} ,且监测线拉出或灌入监测线278上的固定电流。监测线278上的固定电流通过监测晶体管 282被施加至OLED 288,且使OLED 288处于它的操作电压 V_{OLED} 。因此,通过将固定电流施加到监测线278并测量监测线278的电压,能够提取OLED 288的操作电压 V_{OLED} 。

[0114] 虽然使用n型晶体管(其可以是薄膜晶体管并且可以由非晶硅形成) 图示了图7A所示的驱动电路,但也可以将图7A所示的像素270的驱动电路和图7B至图7D所示的操作周期扩展成具有一个或多个p型晶体管且具有除薄膜晶体管之外的其它晶体管的互补电路。

[0115] 这里披露的电路通常是指彼此连接或耦合的电路元器件。在多数情况下,这里所指的连接是通过直接连接实现的,即在连接点之间除了导线之外不存在任何电路元件。尽管没有总是明确地说明,但这类连接能够通过显示面板的基板上限定的导电沟道来实现(例如,通过沉积在各种连接点之间的导电透明氧化物来实现)。铟锡氧化物是一种此类导电透明氧化物。在一些情况下,耦合和/或连接的元器件可通过连接点之间的电容性耦合来进行耦合,以使得连接点通过该电容元件串联连接。虽然没有直接连接,但此类电容性耦合连接仍使得这些连接点能够电压变化而相互影响,上述电压变化通过经由电容性耦合作用且不存在DC偏置的情况下而被反映在另一连接点处。

[0116] 此外,在一些情况下,本文所述的各种连接和耦合能够通过借助两个连接点之间的其它电路元件的非直接连接来实现。一般而言,布置在连接点之间的一个或多个电路元件可以是二极管、电阻、晶体管、开关等。在连接是非直接连接的情况下,两个连接点之间的电压和/或电流经由用于连接的电路元件而充分相关,以至于这两个连接点能够(经由电压变化、电流变化等)相互影响,同时仍能够实现与本文所述的效果相同的效果。电路设计领域的普通技术人员应当理解,在一些示例中,可以对电压和/或电流进行调节,以应对于提供非直接连接的额外的电路元件。

[0117] 这里披露的任何电路可根据多种不同的制造技术来制造,这些技术包括例如多晶硅、非晶硅、有机半导体、金属氧化物和传统的CMOS。这里披露的任何电路可通过相对应的

互补电路结构来进行修改(如,n型晶体管可被转换成p型晶体管,反之亦然)。

[0118] 可使用两个或多个计算系统或设备来替换这里披露的任何一个控制器。因此,需要时还可以实施诸如冗余、复制等分布式处理的原理和优点,以提高这里披露的控制器的鲁棒性和性能。

[0119] 本文中披露的示例性确定方法和处理的操作可通过机器可读指令来实施。在这些示例中,机器可读指令包括如下设备的执行算法:(a) 处理器、(b) 控制器、和/或(c) 一个或多个其它合适的处理设备。所述算法可以包含在诸如闪存、CD-ROM、软盘、硬盘驱动器、数字视频(多功能)磁盘(DVD)或其它存储设备等有形介质所存储的软件中,但本领域普通技术人员应当容易理解,整个和/或部分算法也可按照公知的方式由处理器之外的设备执行且/或包含在固件或专用硬件中(如,它可由专用集成电路(ASIC)、可编程逻辑设备(PLD)、现场可编程逻辑器件(FPLD)、现场可编程门阵列(FPGA)、离散逻辑元件等实施)。例如,基线数据确定方法中的任何或所有组成部分可由软件、硬件和或固件来实施。而且,这里阐述的机器可读指令中的一些或所有指令可手动地实施。

[0120] 虽然已经图示和说明了本发明的特定实施例和应用,但应当理解,本发明不限于本文中披露的精确结构和组成,且在不脱离所附的权利要求所限定的精神和范围的情况下,各种变形、改变和变化根据上述说明是显而易见的。

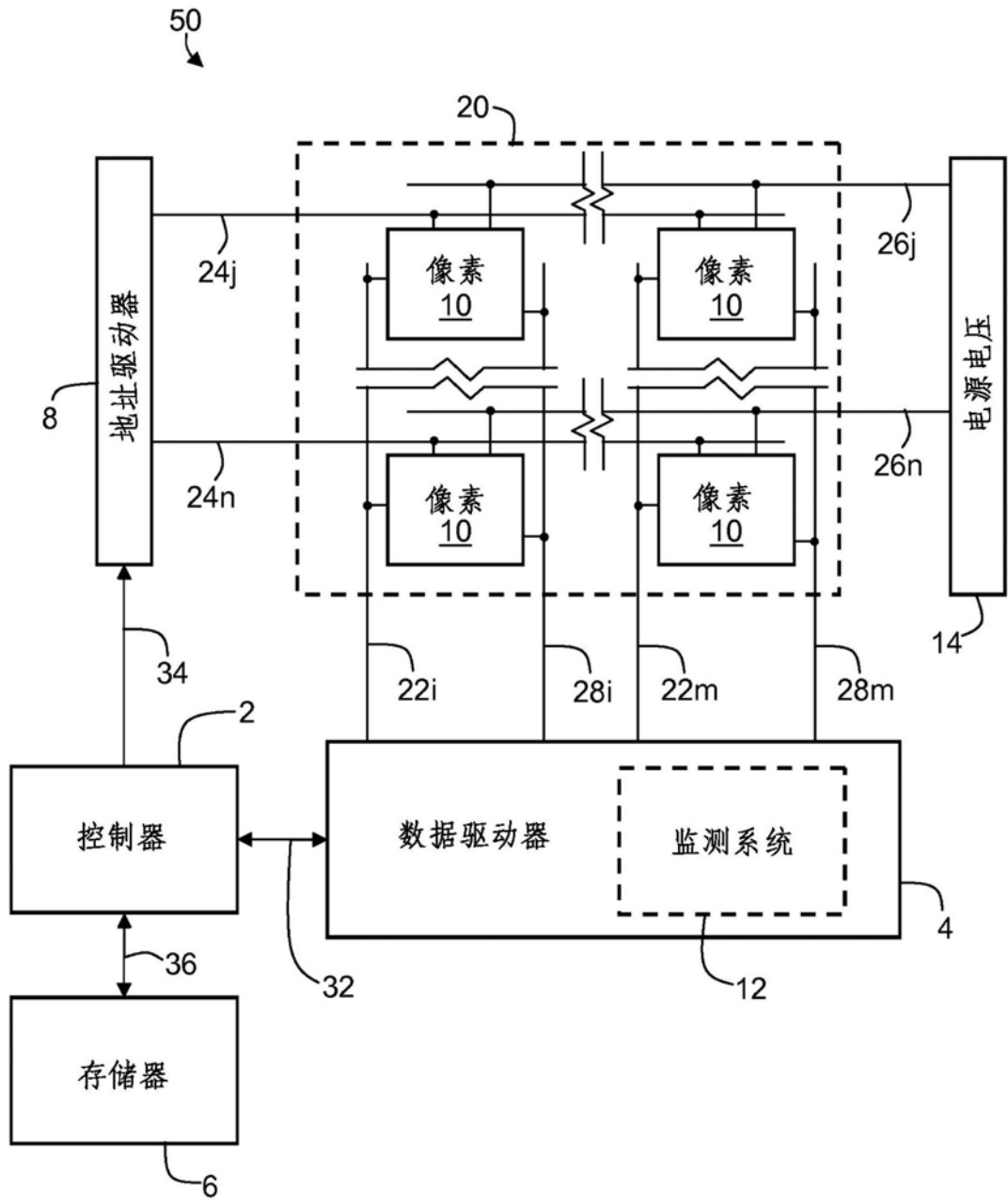


图1

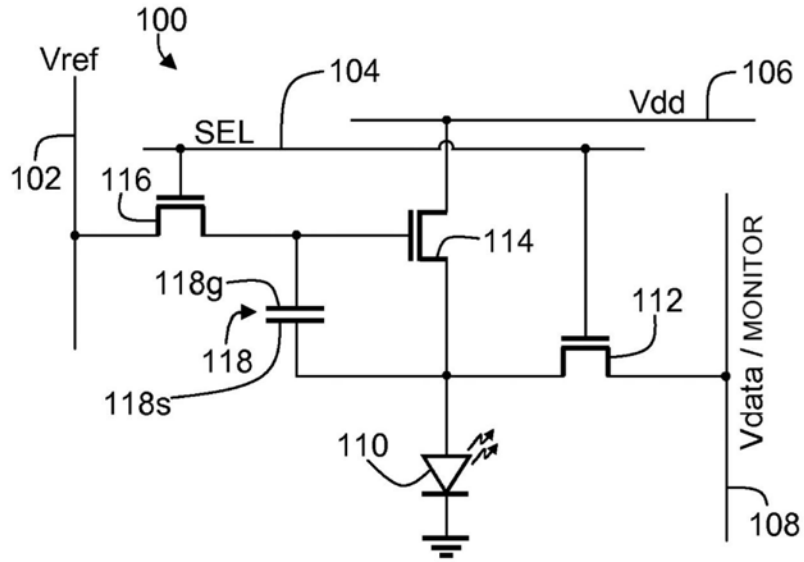


图2A

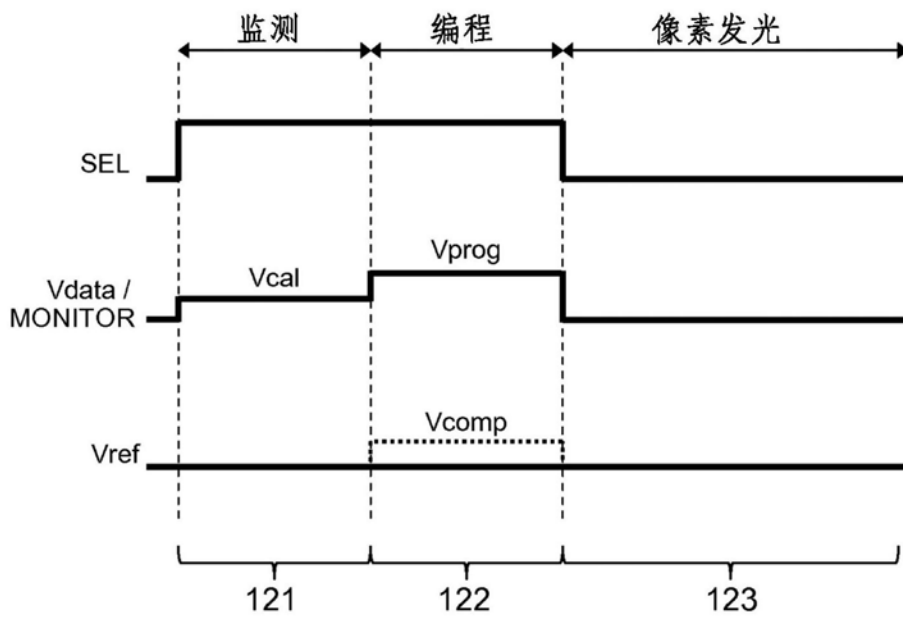


图2B

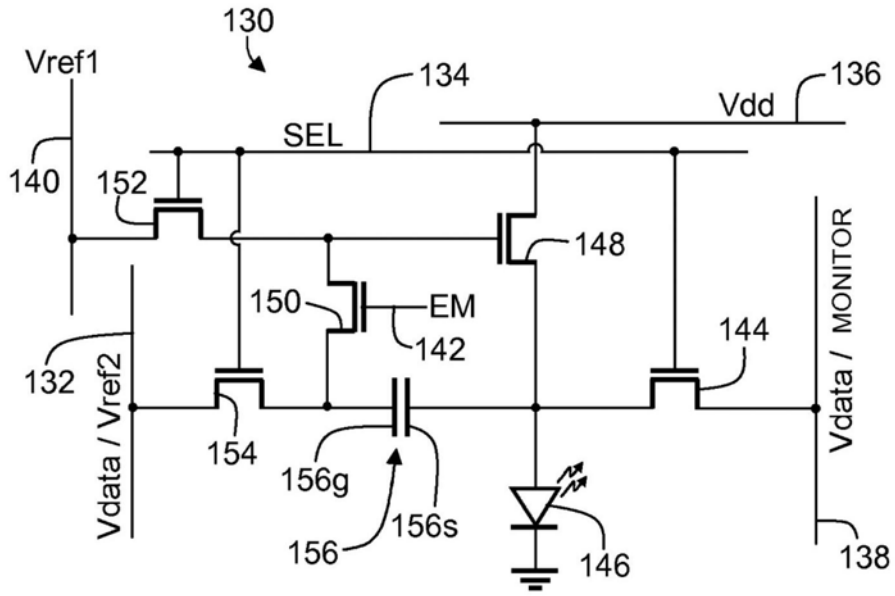


图3A

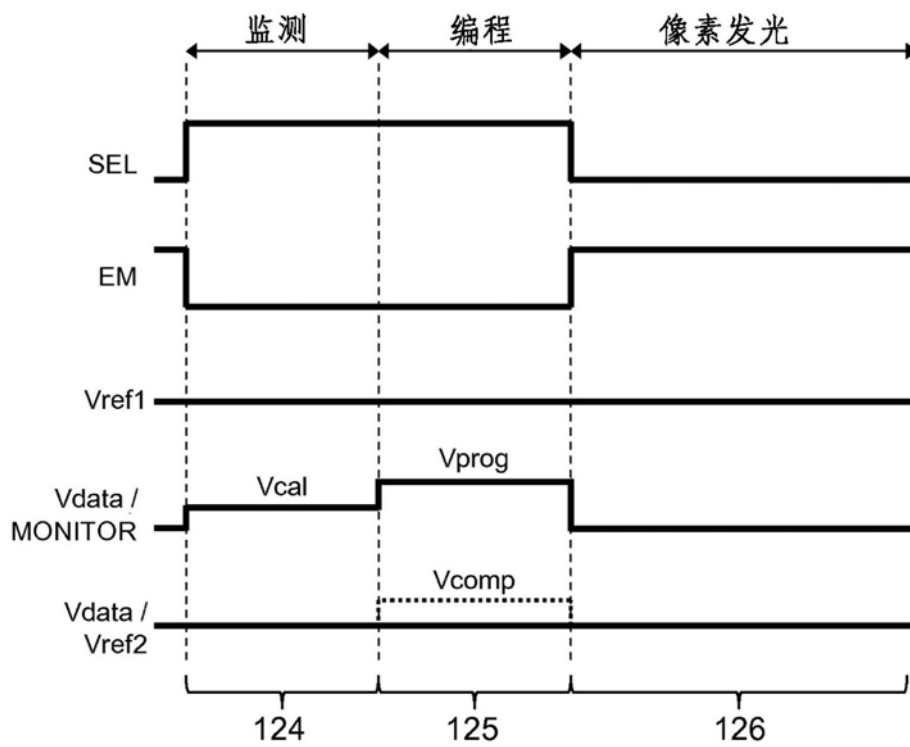


图3B

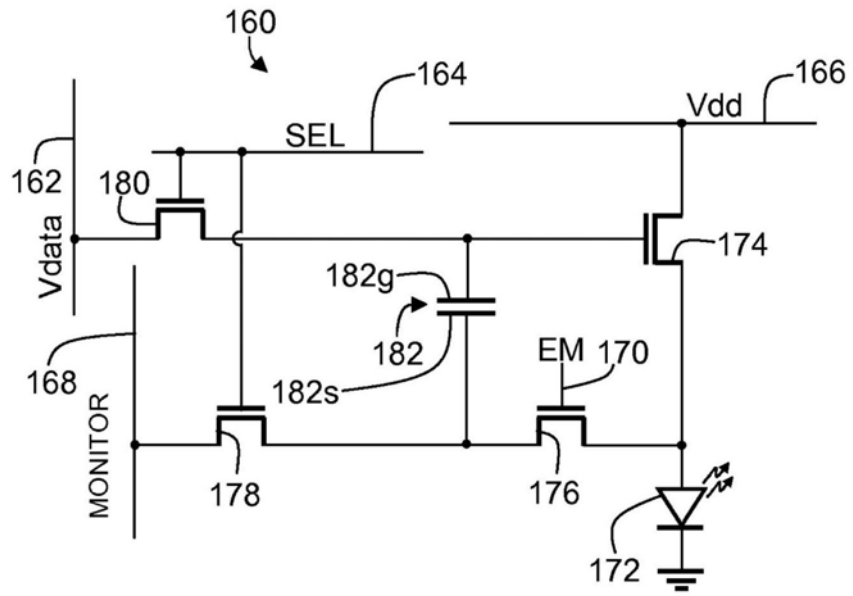


图4A

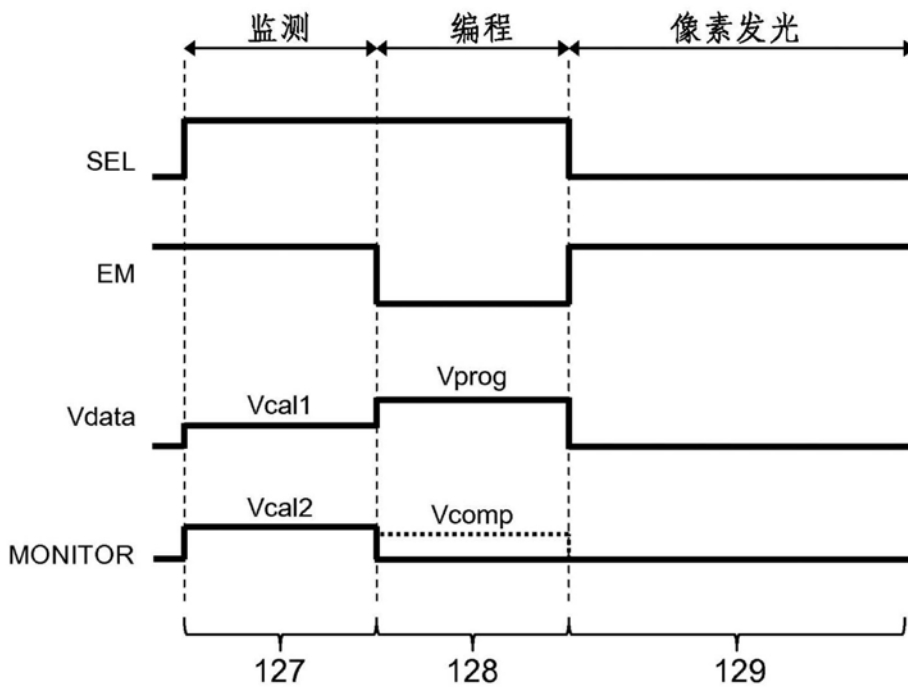


图4B

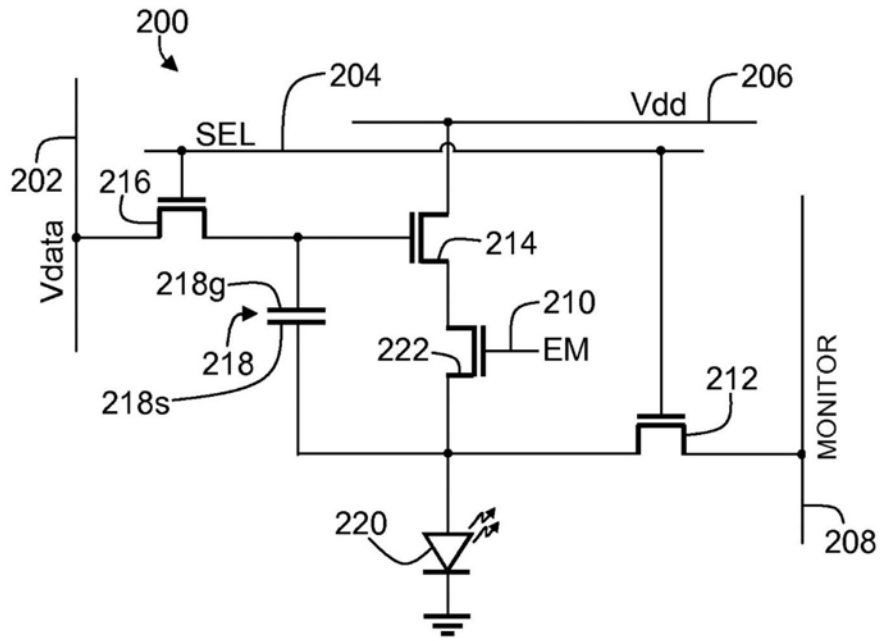


图5A

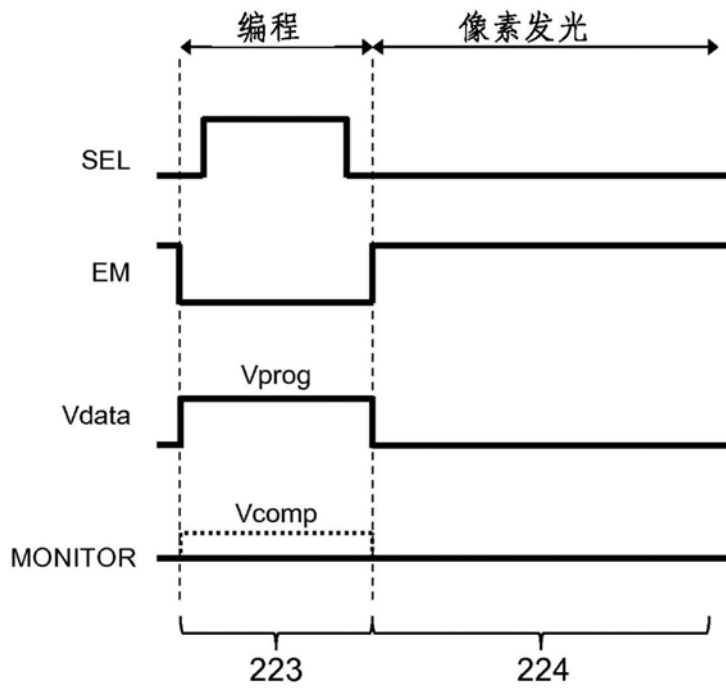


图5B

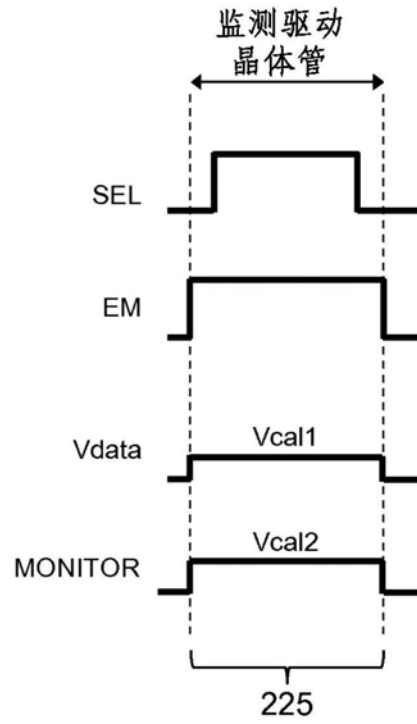


图5C

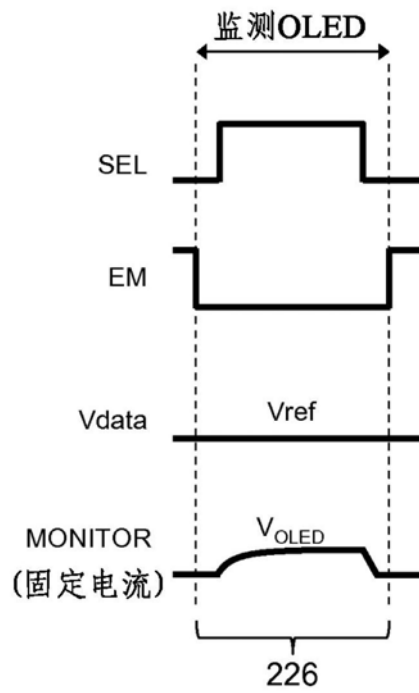


图5D

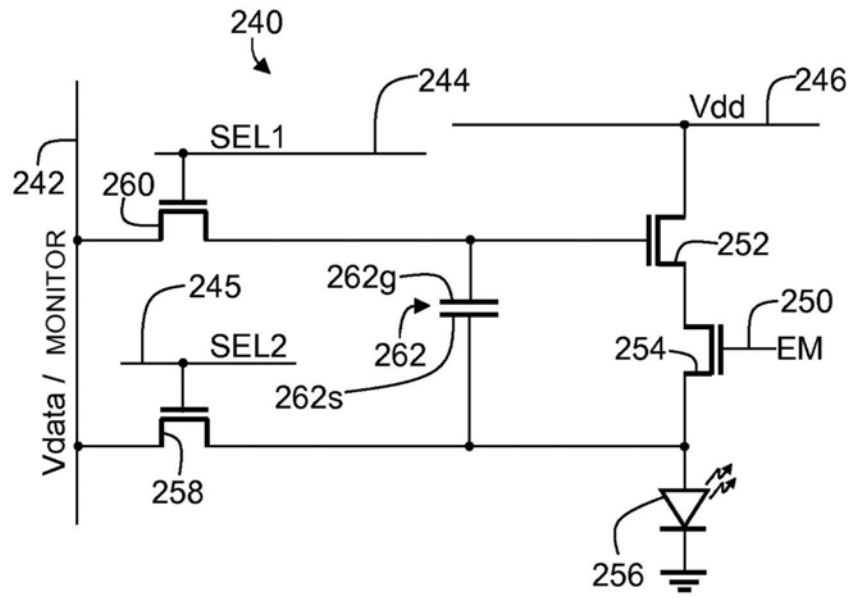


图6A

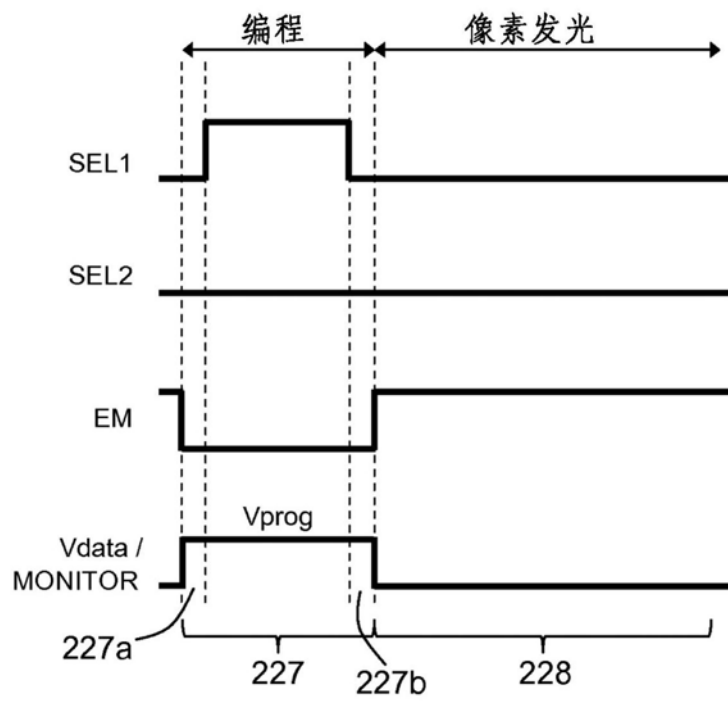


图6B

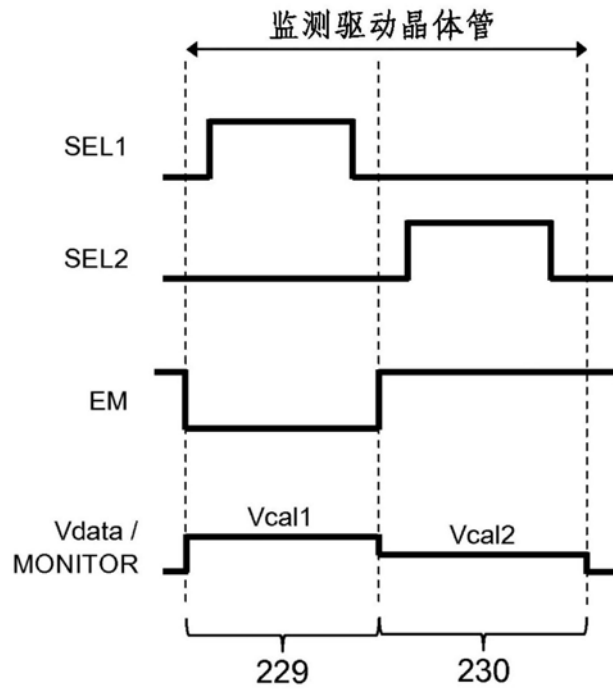


图6C

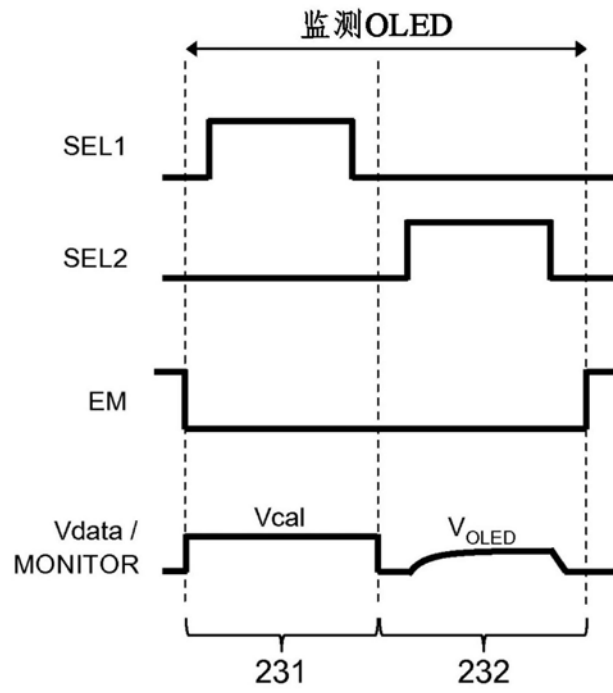


图6D

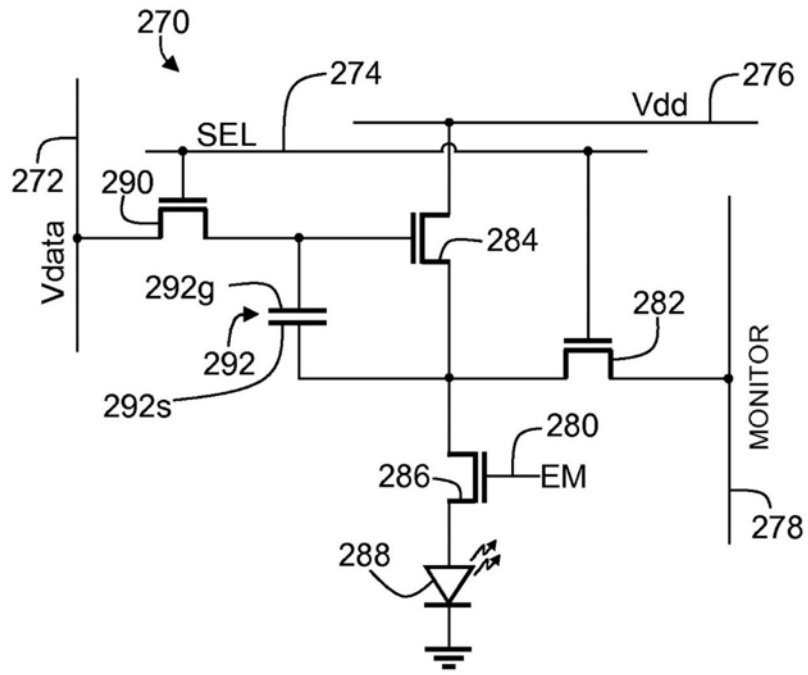


图7A

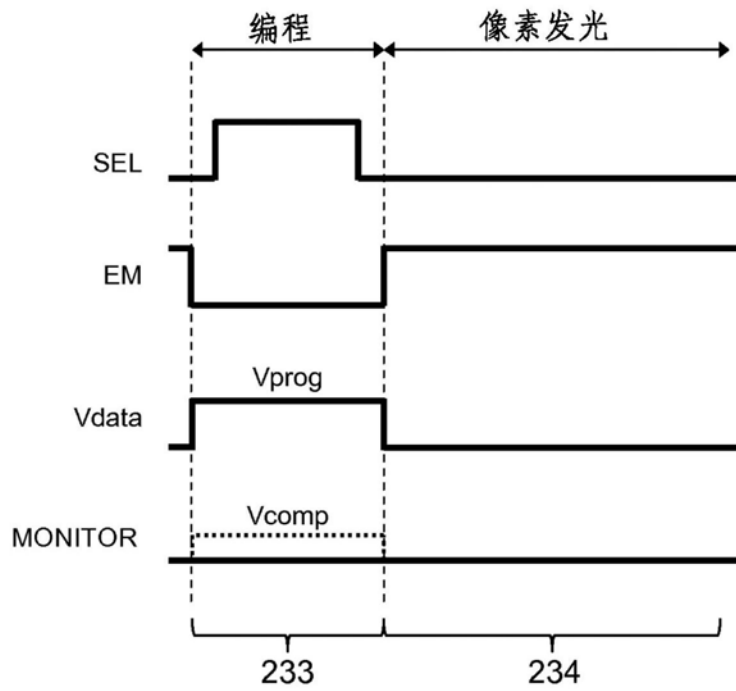


图7B

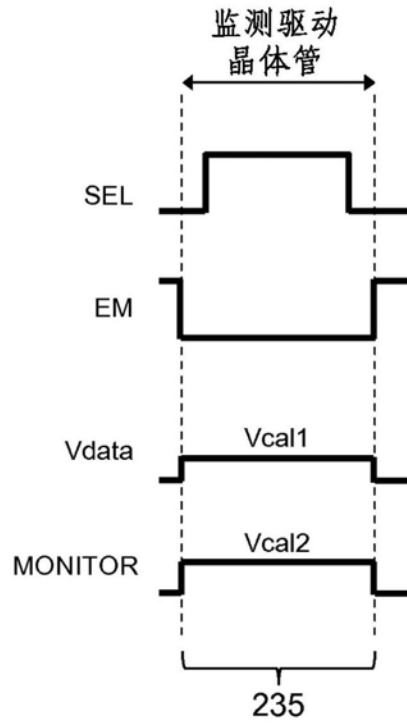


图7C

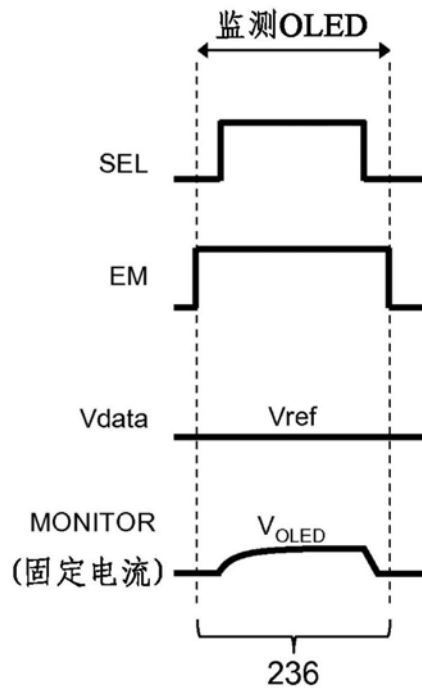


图7D