

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5320511号
(P5320511)

(45) 発行日 平成25年10月23日(2013.10.23)

(24) 登録日 平成25年7月19日(2013.7.19)

(51) Int.Cl.	F I
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 1 3
G 1 1 C 17/14 (2006.01)	G 1 1 C 17/00 6 0 1 E
	G 1 1 C 17/00 6 0 1 B
	G 1 1 C 17/06 B
	G 1 1 C 17/00 6 4 1

請求項の数 10 (全 9 頁)

(21) 出願番号	特願2012-544515 (P2012-544515)	(73) 特許権者	507318624
(86) (22) 出願日	平成22年11月5日(2010.11.5)		サンディスク スリーディー, エルエルシ
(65) 公表番号	特表2013-515330 (P2013-515330A)		ー
(43) 公表日	平成25年5月2日(2013.5.2)		アメリカ合衆国、95035、カリフォル
(86) 国際出願番号	PCT/US2010/055547		ニア州、ミルピタス、マッカシー ブルバ
(87) 国際公開番号	W02011/078917		ード 601
(87) 国際公開日	平成23年6月30日(2011.6.30)	(74) 代理人	110000110
審査請求日	平成24年7月5日(2012.7.5)		特許業務法人快友国際特許事務所
(31) 優先権主張番号	12/643,561	(72) 発明者	シェウアーライン ロイ イー,
(32) 優先日	平成21年12月21日(2009.12.21)		アメリカ合衆国 95014、カリフォル
(33) 優先権主張国	米国 (US)		ニア州、クパチーノ、オーチャード コー
早期審査対象出願			ト 22145

最終頁に続く

(54) 【発明の名称】 マルチレベル・ライトワンス・メモリ・セルを備える書き換え可能メモリデバイス

(57) 【特許請求の範囲】

【請求項1】

複数のマルチレベル・ライトワンス・メモリ・セルを備えるメモリアレイであって、各メモリセルは、複数の抵抗レベルの1つにプログラム可能である、メモリアレイと、

メモリアレイと通信する回路であって、該回路は、

メモリアレイからメモリセルのグループを選択し、

メモリセルのグループと関連しており、メモリセルのグループが書き込まれた回数を示す1組のフラグビットを読み出し、

メモリセルのグループが書き込まれた回数に対する適切な閾値読出しレベル及び読出し電圧を選択し、

メモリセルのグループ内の各メモリセルに対して、選択された閾値読出しレベルに基づいて、読出し電圧が印加されたメモリセルを、プログラムされていない単一ビットメモリセル又はプログラムされた単一ビットメモリセルとして読み出す、

ように構成される、前記メモリアレイと通信する回路と、を備える、メモリデバイス。

【請求項2】

回路は、さらに、

メモリセルのグループをプログラムし、

メモリセルのグループが書き込まれた回数の増加を示すために、第2の組のフラグビットをプログラムする、

ように構成される、請求項 1 に記載のメモリデバイス。

【請求項 3】

メモリセルのグループは、プログラミング前に読み出され、抵抗の調整を必要とするメモリセルのみがプログラムされる、請求項 2 に記載のメモリデバイス。

【請求項 4】

1 組のフラグビットを記憶するメモリセルは、一度書き込まれただけである、請求項 1 に記載のメモリデバイス。

【請求項 5】

回路は、メモリセルの導電性パスを破壊してさらに高い抵抗率レベルを形成するために、パルスを印加するようにさらに機能する、請求項 1 に記載のメモリデバイス。

10

【請求項 6】

マルチレベル・ライトワンス・メモリ・セルを読み出す方法であって、複数のマルチレベル・ライトワンス・メモリ・セルを備えるメモリアレイからメモリセルのグループを選択するステップであって、各メモリセルは、複数の抵抗率レベルの 1 つにプログラム可能であるステップと、

メモリセルのグループに関連する 1 組のフラグビットを読み出すステップであって、1 組のフラグビットは、メモリセルのグループが書き込まれた回数を示すステップと、

メモリセルのグループが書き込まれた回数に対する適切な閾値読出しレベル及び読出し電圧を選択するステップと、

メモリセルのグループ内の各メモリセルに対して、選択された閾値読出しレベルに基づいて、読出し電圧が印加されたメモリセルを、プログラムされていない単一ビットメモリセル又はプログラムされた単一ビットメモリセルとして読み出すステップと、を備える、方法。

20

【請求項 7】

メモリセルのグループをプログラムするステップと、

メモリセルのグループが書き込まれた回数の増加を示すために、第 2 の組のフラグビットをプログラムするステップと、をさらに備える、請求項 6 に記載の方法。

【請求項 8】

メモリセルのグループはプログラミング前に読み出され、抵抗の調整を必要とするメモリセルのみがプログラムされる、請求項 7 に記載の方法。

30

【請求項 9】

1 組のフラグビットを記憶するメモリセルは一度書き込まれただけである、請求項 6 に記載の方法。

【請求項 10】

メモリセルの導電性パスを破壊してさらに高い抵抗率レベルを形成するために、パルスを印加するステップをさらに備える、請求項 6 に記載の方法。

【発明の詳細な説明】

【背景技術】

【0001】

40

典型的なライトワンス・メモリ・セルは、最初は、プログラムされていない状態で製造され、後で、プログラムされた状態にプログラムされ得る。ライトワンス・メモリ・セルは、メモリセルが一旦プログラムされると、メモリセルは、初期のプログラムされていない状態には戻りえない、という意味で「ライトワンス」である。ライトワンス・メモリ・セルは、書き換え可能なメモリセルに比べて低コストな記憶装置ソリューションを提供するが、書き換え可能な記憶装置が望まれる利用が多い。この問題に対処するためのこれまでのアプローチは、書き換え可能性をシミュレーションするために、プログラムされていないメモリセルを指示するコントローラ論理の使用を含む。例えば、米国特許第 7,051,251 号及び米国特許第 7,062,602 号を参照されたい。しかしながら、書き換え可能性をシミュレーションするために、メモリセルの数を 2 倍にするためのコストは

50

、ライトワンス・メモリ・セルに関連するコストの優位性を、損なう可能性がある。米国特許第7,177,183号には、単一ビットのデータを表わすために、ライトワンス・メモリ・セルのグループが使用される代替アプローチが記載されている。データを「書き換える」ために、グループ内の新たなメモリセルがプログラムされる。他のアプローチと同様に、このアプローチは、新たなメモリセルを必要とする犠牲が伴う。

【発明の概要】

【発明が解決しようとする課題】

【0002】

近年、2ビット以上のデータを記憶して、「ワンタイム書き換え可能性」を持たせるために使用し得るライトワンス・メモリ・セルが開示されている。例えば、米国特許出願公開第2007/0090425号には、適切なプログラミングパルスを印加して、メモリセルの抵抗を下げることによって、2つ以上の状態を記憶し得るライトワンス・メモリ・セルが記載されている。各低抵抗状態は、異なるプログラム状態に対応しており、メモリセルは、2ビット以上のデータを記憶するためのマルチレベルセル(「MLC」)として使用される。適切なプログラミングパルスが印加されると、メモリセルの抵抗が低抵抗状態から永久的な高抵抗状態に変化され得る。従って、2ビット以上のデータを記憶するために、一度書き込んで(MLCとしての機能を果たすメモリセルで)、後でメモリセルを高抵抗に永久的に設定して異なる状態を表わすことができることから、このようなメモリセルは「ワンタイム書き換え可能性」を持つと考えられる。この高抵抗状態は永久的であるので、メモリセルは「書き換え」が一度しか可能でなく、書き換え可能な環境に対するこのようなメモリセルの適用性は制限される。

【課題を解決するための手段】

【0003】

本発明の実施形態は特許請求の範囲によって定義され、本節におけるいかなる記載もこれらの特許請求の範囲に対する制限とみなされるべきではない。

【0004】

前置きとして、以下で説明する実施形態は、マルチレベル・ライトワンス・メモリ・セルを備えるメモリデバイスに関する。一実施形態では、メモリデバイスは、複数のマルチレベル・ライトワンス・メモリ・セルを備えるメモリアレイを有し、各メモリセルは、複数の抵抗率レベルの1つにプログラム可能である。また、メモリデバイスは、メモリアレイからメモリセルのグループを選択し、メモリセルのグループに関連する1組のフラグビットを読み出すように構成された回路を含む。1組のフラグビットは、メモリセルのグループが書き込まれた回数を示す。また、回路は、メモリセルのグループが書き込まれた回数に対する適切な閾値読出しレベルを選択し、グループ内の各メモリセルに対して、メモリセルを選択された閾値読出しレベルに基づいてプログラムされていない単一ビット・メモリ・セル、又は、プログラムされた単一ビット・メモリ・セルとして読み出すように構成される。

【0005】

他の実施形態が可能であり、実施形態の各々は単独で、又は、組み合わせて一緒に採用され得る。従って、添付図面を参照して様々な実施形態をここで説明する。

【図面の簡単な説明】

【0006】

【図1】ある実施形態のメモリデバイスのブロック図である。

【0007】

【図2A】実施形態のメモリセルの電流対電圧曲線のグラフである。

【図2B】実施形態のメモリセルの電流対電圧曲線のグラフである。

【図2C】実施形態のメモリセルの電流対電圧曲線のグラフである。

【図2D】実施形態のメモリセルの電流対電圧曲線のグラフである。

【0008】

【図3】マルチレベル・ライトワンス・メモリ・セルを備えるメモリデバイスからデータ

10

20

30

40

50

を読み出すための実施形態の方法のフローチャートである。

【0009】

【図4】実施形態のメモリセルの電流対電圧曲線のグラフである。

【発明を実施するための形態】

【0010】

ここで図面を参照すると、図1は、実施形態のメモリデバイス100のブロック図である。メモリデバイス100は、ホストに着脱自在に接続可能である携帯型メモリカード、組込型メモリカード（例えば、ホストに組み込まれたセキュアモジュール）、ユニバーサル・シリアル・バス（USB）デバイス、あるいは、半導体ドライブ等の着脱式又は非着脱式ハードドライブ等、任意の適切な形態を採ることができるが、これらに限定されない。図1に示すように、メモリデバイス100は、メモリチップ110及びコントローラ120を備える。メモリチップ110は、複数のマルチレベル・ライトワンス・メモリ・セル135を備えるメモリアレイ130を含む。各メモリセルは、複数の抵抗率レベルの1つにプログラム可能である。2つの状態の1つに一度だけプログラムされるメモリセルを、本明細書ではバイナリ・メモリ・セル140と呼ぶ。これらのメモリセルの使用を、以下でさらに詳しく説明する。

10

【0011】

また、メモリチップ110は、列デコーダ及びビット・ライン・ドライバ155に加えて、行デコーダとページ選択制御回路150によって制御されるワード・ライン・ドライバ145を含む。プログラミング回路160は（IprogおよびVprog制御回路165の制御の下で）、データをメモリアレイ130にプログラムするために使用され、センシング回路170は（IrefおよびVread制御回路175の制御の下で）、データをメモリアレイ130から読み出すために使用される。また、メモリチップ110は、コントローラ120に接続されるチップ入力・出力回路185を含み、コントローラ120は、メモリチップ110の一般的動作と、例えばウェアレベリング（これに限らない）等の、他の機能性を制御する。また、コントローラ120は、ホストデバイス（例えば、パーソナルコンピュータ、携帯型メディアプレイヤー、携帯電話、ゲーム機等）から、読出しコマンド、プログラムコマンド、及びその他のコマンドを受け取るために、インターフェース（図示せず）と通信する。

20

【0012】

これまでに列挙した要素の機能は、典型的なメモリチップの機能と同様である。しかしながら、この実施形態のメモリチップ110は、データ及びフラグビット制御回路180を含み、制御回路180は、後述する「書き換え可能性」機能を実現するために使用される。本明細書において「回路」とは、マイクロプロセッサ又はプロセッサ、並びに、例えば、（マイクロ）プロセッサ、論理ゲート、スイッチ、特定用途向け集積回路（ASIC）、プログラマブル・ロジック・コントローラ、及び、組込型マイクロコントローラによって実行可能なコンピュータ可読プログラムコード（例えば、ソフトウェア又はファームウェア）を記憶するコンピュータ可読媒体の1つ又は複数の形をとり得る。特許請求の範囲で列挙する「回路」とは、図1に示す回路要素の一部又は全部だけでなく、図1に示さないさらなる要素も含みうることを理解されたい。

30

40

【0013】

前述のように、メモリアレイ130は、複数のマルチレベル・ライトワンス・メモリ・セルを備えており、各メモリセルは、複数の抵抗率レベルの1つにプログラム可能である。一部の過去のメモリデバイスでは、4つ又はそれ以上のレベルが使用できる場合に、メモリセルを2ビット以上のデータでプログラムする能力が利用される。この種のメモリセルは、「ライトワンス」であるので、メモリセルが、一旦特定の抵抗率レベルにプログラムされると、その抵抗率レベルを「プログラムされていない状態」にすることはできない。しかしながら、メモリセルが2ビット以上のデータを記憶するために使用された後、異なる状態を表わすためにさらに高抵抗に設定され得るという意味では、メモリセルは「ワライム書き換え可能」である。

50

【 0 0 1 4 】

これらの実施形態のメモリデバイス100では、2ビット以上のデータを記憶するために、メモリセルを使用する代わりに、メモリデバイス100は、メモリセルのマルチレベル性を利用して、単一ビットのデータを複数回記憶する。これによって、メモリセル自体が例え「ライトワンス」であっても、「多数回書き換え可能な」単一ビットのメモリセルが提供される。図2A~2Cのグラフは、この能力を示す。これらのグラフの各々は、メモリセルの4つの抵抗率レベル(状態)の電流(I)対電圧(V)曲線を示す。これらのグラフによって示すように、所与のV_{read}に対する適切なI_{ref}閾値を選定することによって、種々の状態を区別することができ、I_{ref}閾値を調整することによって、種々の組の2つの状態を区別することができる。例えば、図2Aの第1のI_{ref}は、状態1と状態2を区別することができ、図2Bの第2のI_{ref}は、状態2と状態3を区別することができ、図2Cの第3のI_{ref}は、状態3と状態4を区別することができる。

10

【 0 0 1 5 】

2ビットのデータを表わすために、4つすべての状態を使用する代わりに、状態の対を用いて、1ビットのデータを表わすことができる。これによって、3つ以上の状態を記憶できるマルチレベルセルは、書き換え可能な単一ビット(すなわち、バイナリ)メモリセルを模倣することができる。図2Aを参照すると、メモリセルが初めてプログラムされる時、状態1は論理1を表わし、状態2は論理0を表わし、状態3及び4は適用されていない。メモリセルが2回目にプログラムされる時、状態1及び2は論理1を表わし、状態3は論理0を表わし、状態4は適用されない(図2B)。同様に、メモリセルが3回目にプログラムされる時、状態1、2、及び3は論理1を表わし、状態4は論理0を表わす(図2C)。従って、いつでもメモリセル当たり1ビットを記憶することによって、4状態マルチレベル・メモリ・セルは、3つの異なる単一ビットのデータを時を異にして記憶することができるので、単一ビットのデータで3回書き換えることができる。さらに、図2Dに示すように、メモリセルへの4回目の書込みを得るために、メモリデバイス100は、メモリセルの導電性パスを破壊する(例えば、ダイオード接点を「ブローアップ」する)ためのより強力なプログラミングパルスを印加して、さらに高抵抗率レベル(状態5)を形成することができる。この代替形態では、状態5が論理0を表わすことになり、さらに高い状態が論理1を表わすことになる。

20

【 0 0 1 6 】

実施された書込みの回数、及びこれに応じて採用すべき閾値レベルを記録するために、一実施形態では、1組の(即ち、1つ又は複数の)フラグビットが、メモリセルのグループ(例えば、データのページ)に関連付けられて、メモリセルが使用された回数を示す。従って、採用すべき閾値読出しレベルについて不確かさがないようにするために、1組のフラグビットは、一度書き込まれただけのバイナリ・メモリ・セルに記憶されることが好ましい。そのようなセルは、製造や回路におけるばらつきに対して、よりロバストであるためである。図3は、フラグビットを用いたメモリセルを読み出す実施形態の方法のフローチャート300である。図3に示すように、メモリデバイス100の回路は、メモリアレイ130からメモリセルのグループ(ここでは、データのページ)を選択する(動作310)。次に、メモリセルのグループに関連する1組のフラグビットが読み出される(動作320)。ここで、ページの「サイドバンド」領域におけるバイナリ・メモリ・セルは、1組のフラグビットを記憶するために使用される。また、サイドバンド領域は、例えば、メモリのスเปアブロックに対するエラー補正コードビット及びポインタ等の他の情報も記憶し得る。上記のように、1組のフラグビットは、メモリセルのグループが書き込まれた回数を示す。メモリデバイス100は、この後、メモリセルのグループが書き込まれた回数に対する適切な閾値読出しレベル(例えば、電流または電圧)を選択し(動作330)、グループ内の各メモリセルに対して、メモリデバイス100は、選択された閾値読出しレベルに基づいて、メモリセルをプログラムされていない単一ビット・メモリ・セル又はプログラムされた単一ビット・メモリ・セルとして読み出す(動作340)。

30

40

【 0 0 1 7 】

50

プログラム動作に関して、メモリセルのグループがプログラムされた後、(例えば、図1におけるデータ及びフラグビット制御回路180を用いて)第2の組のフラグビットがプログラムされて、メモリセルのグループが書き込まれた回数の増加が示される。上記のように、最初の組のフラグビットを再プログラムする代わりに、異なる組のフラグビットを使用することは、この情報のロバスト性を確保するために好ましい場合がある。しかしながら、他の実施形態では、最初の組のフラグビットを再プログラムするために、本明細書に記載する書き換え技術が採用され得る。さらに、性能を改善するために、メモリセルのグループをプログラミング前に読み出すことができ、従って、抵抗の調整を必要とするメモリセルのみがプログラムされる。

【0018】

10

これらの実施形態はいくつかの利点を有する。三次元メモリマトリクスにおけるアンチヒューズ・メモリ・セル等のライトワンス・メモリ・セルは、低コストであるが、このようなセルに含まれるデータは、更新することができない。上記実施形態もまた、低コストのバイナリ・メモリ・セルを提供するが、これらの実施形態は、書き換え可能性という利点を有する。また、これらの実施形態では、複数のレベルが所与の読み出し操作で使用されても、単一の読み出しサイクルが採用され得る。このため高性能が維持される。さらに、これらの実施形態では、直接上書き操作が可能であり、NANDフラッシュ書き換え可能セルに必要な消去操作を必要としない。さらに、1つの論理状態をプログラミング中に、必ずスキップすることができるので、その時点でプログラミングを必要とする論理状態は1つのみである。このため、優れた性能も得られる。

20

【0019】

上記の実施形態ではいくつかの代替形態が採用され得る。例えば、種々の状態を検出するために、同じVread値を用いてIref値を変更する代わりに、ある状態に対して異なるVread値を使用することができる。この代替形態を図4のグラフに示す。このグラフに示すように、2回目及び3回目の使用では、メモリデバイス100は同じIrefを保つがVreadを変更する。このアプローチの利点は、センシング回路170内のセンスアンプがある電力レベルで(即ち、あるIrefで)最大の利得と最高の精度を提供するように設計できることである。従って、メモリデバイス100で使用されるIrefが低すぎる場合、センシング回路170は、最適に動作しない場合がある。

【0020】

30

別の代替形態では、コントローラ120は、メモリデバイス100を、3回以上書き換えるように、ウェアレベリングを行なうことができる。動作中、3回の使用後、データのページを不良として表示することができ、他のページを新たなデータに使用することができる。さらに別の代替形態では、メモリセルを複数回使用すると、複数回の書き込み使用よりもむしろ高い(従来のワンタイムプログラマブルセルよりもさらに高い)読み出し耐性を提供することができる。読み出し耐性の問題が、オンチップエラー訂正コード(ECC)アルゴリズムによって検出されると、メモリデバイス100は、読み出し、訂正、及び書き換えの動作を、同じ場所で実施して強力な読み出しマージンを提供することができる。最初の論理1は、まだ高抵抗レベルであり、プログラムされないが、読み出し論理1は、さらに大きいマージンを有するように基準レベルが上げられる。論理0は、十分なマージンを有する低抵抗レベルにプログラムされ得る。

40

【0021】

また、上述の例は、2回書き込み可能な単調に抵抗が減少する3つのレベルを示すが、さらなるレベルが使用されうる(例えば、単調に抵抗が減少する5つのレベルは、4回書き込みが可能である等)。さらに、上記の実施例では、様々な状態を記述するために「論理0」及び「論理1」が採用されたが、反対の論理値が割り当てられ、かつ「論理0」及び「論理1」が、1組のフラグビットに基づいて使用するたびにさらに変更されうることを理解されたい。

【0022】

最後に、任意の適切なメモリセルが採用されうることに留意されたい。以下の特許文献

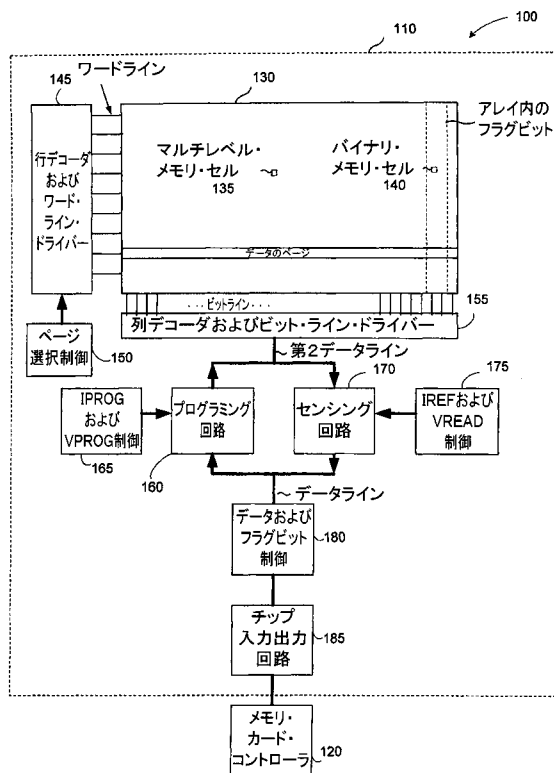
50

、米国特許第6,490,218号、米国特許出願公開第2007/0090425号、及び米国特許出願公開第2009/0086521号は、参照により本明細書に組み込まれ、いくつかの適切なメモリセルの実施例である。これらは単なる実施例であり、各請求項を特定タイプのメモリセルの記述であると解釈すべきでないことに留意されたい。

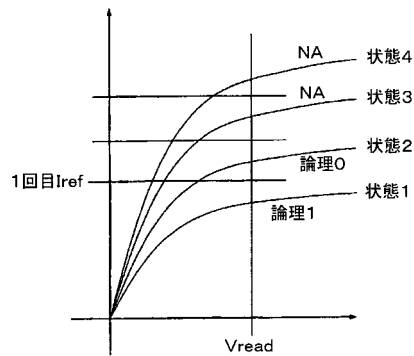
【0023】

前述の詳細な説明は、本発明の定義付けとしてでなく、本発明が受け入れ可能な選択された形態の例として理解されることが意図されている。特許請求の範囲の発明の範囲を定めるものは、すべての等価物を含む、以下の特許請求の範囲のみである。最後に、本明細書に記載した好ましい実施形態のいずれのいかなる態様も単独で、あるいは互いに組み合わせて使用されうること留意されたい。

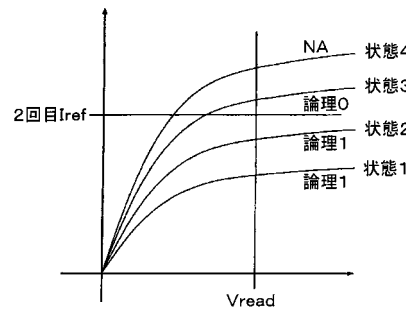
【図1】



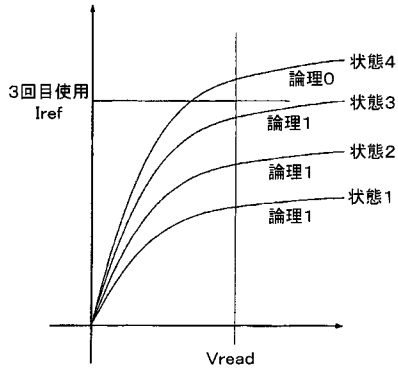
【図2A】



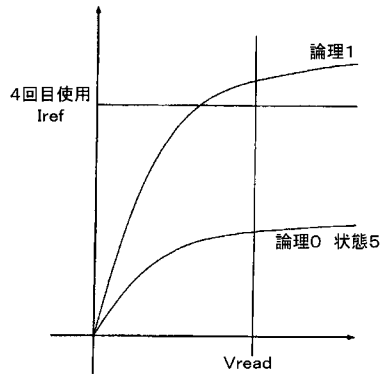
【図2B】



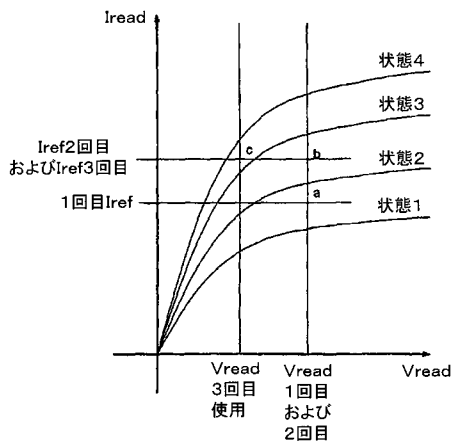
【図2C】



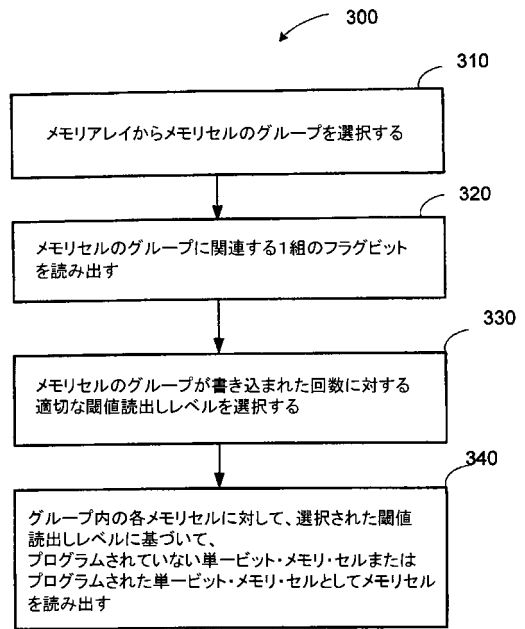
【図2D】



【図4】



【図3】



フロントページの続き

(72)発明者 ファゾーリ ルカ

アメリカ合衆国 95131、カリフォルニア州、サン ホセ、アルティッシモ プレイス 12
29

審査官 滝谷 亮一

(56)参考文献 欧州特許出願公開第01503384(E P, A1)

特開平10-112193(J P, A)

特開2009-252255(J P, A)

特開2000-348493(J P, A)

特表2009-510664(J P, A)

米国特許出願公開第2005/0086440(US, A1)

米国特許出願公開第2008/0144353(US, A1)

米国特許出願公開第2005/0259495(US, A1)

米国特許出願公開第2009/0085153(US, A1)

(58)調査した分野(Int.Cl., DB名)

G11C 16/02

G11C 17/14