



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2009년09월25일  
(11) 등록번호 10-0919349  
(24) 등록일자 2009년09월21일

(51) Int. Cl.

*H01L 21/28* (2006.01) *H01L 21/3205* (2006.01)

(21) 출원번호 10-2007-0138769

(22) 출원일자 2007년12월27일

심사청구일자 2007년12월27일

(65) 공개번호 10-2009-0070674

(43) 공개일자 2009년07월01일

(56) 선행기술조사문헌

KR1019980054746 A\*

KR1020070116108 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

정우영

서울 광진구 자양3동 현대아파트 704동 801호

(74) 대리인

신영무

전체 청구항 수 : 총 10 항

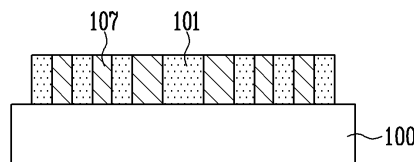
심사관 : 부경호

(54) 반도체 소자의 금속 배선 형성 방법

(57) 요약

본 발명은 반도체 소자의 금속 배선 형성 방법에 관한 것으로, 반도체 기판 상에 절연막을 형성하는 단계와, 상기 절연막을 포함한 전체 구조 상에 다수의 평행한 포토 레지스트 패턴을 형성하는 단계와, 상기 포토 레지스트 패턴 측벽에 스페이서를 형성하는 단계와, 상기 포토 레지스트 패턴을 제거하여 상기 절연막을 노출시키는 단계와, 상기 노출되는 절연막을 식각하여 다마신 패턴을 형성하는 단계와, 상기 스페이서를 제거하는 단계, 및 상기 다마신 패턴을 포함한 전체 구조 상에 금속물질을 형성한 후, 평탄화하여 금속 배선을 형성하는 단계를 포함한다.

대표도 - 도5a



**특허청구의 범위**

**청구항 1**

반도체 기판 상에 절연막을 형성하는 단계;

상기 절연막을 포함한 전체 구조 상에 다수의 평행한 포토 레지스트 패턴을 형성하되, 상기 다수의 포토 레지스트 패턴 중에서 연결이 끊어져 생긴 단부들을 서로 어긋나도록 형성하는 단계;

상기 포토 레지스트 패턴 측벽에 스페이서를 형성하는 단계;

상기 포토 레지스트 패턴을 제거하여 상기 절연막을 노출시키는 단계;

상기 노출되는 절연막을 식각하여 다마신 패턴을 형성하는 단계;

상기 스페이서를 제거하는 단계; 및

상기 다마신 패턴을 포함한 전체 구조 상에 금속물질을 형성한 후, 평탄화하여 금속 배선을 형성하는 단계를 포함하는 반도체 소자의 금속 배선 형성 방법.

**청구항 2**

삭제

**청구항 3**

제 1 항에 있어서,

상기 단부 사이의 거리는 상기 스페이서 폭의 2배보다 작은 반도체 소자의 금속 배선 형성 방법.

**청구항 4**

제 1 항에 있어서,

상기 포토 레지스트 패턴의 피치는 상기 금속 배선의 피치의 두배인 반도체 소자의 금속 배선 형성 방법.

**청구항 5**

제 1 항에 있어서,

상기 절연막을 형성한 후, 상기 절연막 상에 제1, 제2 하드 마스크막, 및 반사 방지막을 형성하는 단계를 더 포함하는 반도체 소자의 금속 배선 형성 방법.

**청구항 6**

제 5 항에 있어서,

상기 제1 하드 마스크막 및 상기 제2 하드 마스크막은 각각 SOC막, 및 MFHM(Si를 함유한 BARC)막으로 형성하는 반도체 소자의 금속 배선 형성 방법.

**청구항 7**

반도체 기판 상에 절연막을 형성하는 단계;

상기 절연막을 포함한 전체 구조 상에 다수의 평행한 포토 레지스트 패턴을 형성하되, 상기 포토 레지스트 패턴 중에서 일부 포토 레지스트 패턴은 양쪽이 마주보는 방향으로 돌출된 부분을 갖도록 형성하는 단계;

상기 포토 레지스트 패턴 측벽에 스페이서를 형성하는 단계;

상기 포토 레지스트 패턴을 제거하여 상기 절연막을 노출시키는 단계;

상기 노출되는 절연막을 식각하여 다마신 패턴을 형성하는 단계;

상기 스페이서를 제거하는 단계; 및

상기 다마신 패턴을 포함한 전체 구조 상에 금속물질을 형성한 후, 평탄화하여 금속 배선을 형성하는 단계를 포

함하는 반도체 소자의 금속 배선 형성 방법.

**청구항 8**

제 7 항에 있어서,

상기 돌출된 부분 사이의 간격은 상기 스페이서 폭의 2배보다 작은 반도체 소자의 금속 배선 형성 방법.

**청구항 9**

제 7 항에 있어서,

상기 포토 레지스트 패턴의 피치는 상기 금속 배선의 피치의 두배인 반도체 소자의 금속 배선 형성 방법.

**청구항 10**

제 7 항에 있어서,

상기 절연막을 형성한 후, 상기 절연막 상에 제1, 제2 하드 마스크막, 및 반사 방지막을 형성하는 단계를 더 포함하는 반도체 소자의 금속 배선 형성 방법.

**청구항 11**

제 10 항에 있어서,

상기 제1 하드 마스크막 및 상기 제2 하드 마스크막은 각각 SOC막, 및 MFHM(Si를 함유한 BARC)막으로 형성하는 반도체 소자의 금속 배선 형성 방법.

**명세서**

**발명의 상세한 설명**

**기술분야**

<1> 본 발명은 반도체 소자의 금속 배선 형성 방법에 관한 것으로, 특히 미세한 금속 배선 피치를 갖는 반도체 소자의 금속 배선 형성 방법에 관한 것이다.

**배경기술**

<2> 일반적으로, 반도체 소자 제조시 금속배선의 형성방법으로는 크게 다마신(Damascene) 스킴(scheme)과 텅스텐(W) 식각 스킴으로 나뉠 수 있다. 특히, 현재에는 반도체 소자의 고집적화 추세에 따라 선폭이 미세화되어가고 있다.

<3> 금속 배선의 선폭을 미세하게 형성하기 위해서는 다마신 패턴을 미세하게 형성하여야 한다. 그러나 반도체 소자의 제조공정 중 광을 이용하는 사진 공정에서 형성되는 패턴의 최소 피치(pitch)는 노광장치에 사용되는 노광광의 파장에 따라 결정된다. 따라서, 반도체 장치의 고집적화가 가속화되는 현 상황에서 더욱 작은 피치의 패턴을 형성하기 위해서는 현재 사용되는 광보다 파장이 짧은 광을 사용해야 한다. 이를 위해 엑스 선(X-ray)나 전자빔(E-beam)을 사용하는 것이 바람직하겠으나, 기술적인 문제와 생산성 등에 의해 아직은 실험실 수준에 머무르고 있는 실정이다.

**발명의 내용**

**해결 하고자하는 과제**

<4> 본 발명이 이루고자 하는 기술적 과제는 포토 레지스트 패턴 측벽에 스페이서막을 형성하고, 스페이서를 식각 마스크로 이용하여 미세 금속 패턴을 형성함과 동시에 금속 배선의 단선된 부분은 상기 포토 레지스트 패턴 간의 간격을 좁혀 상기 스페이서가 맞게 하여 미세 금속 패턴이 형성되는 것을 방지하는 반도체 소자의 금속 배선 형성 방법을 제공하는 데 있다.

**과제 해결수단**

- <5> 본 발명의 제1 실시 예에 따른 반도체 소자의 금속 배선 형성 방법은 반도체 기판 상에 절연막을 형성하는 단계와, 상기 절연막을 포함한 전체 구조 상에 다수의 평행한 포토 레지스트 패턴을 형성하는 단계와, 상기 포토 레지스트 패턴 측벽에 스페이서를 형성하는 단계와, 상기 포토 레지스트 패턴을 제거하여 상기 절연막을 노출시키는 단계와, 상기 노출되는 절연막을 식각하여 다마신 패턴을 형성하는 단계와, 상기 스페이서를 제거하는 단계, 및 상기 다마신 패턴을 포함한 전체 구조 상에 금속물질을 형성한 후, 평탄화하여 금속 배선을 형성하는 단계를 포함한다.
- <6> 상기 다수의 포토 레지스트 패턴 중에서 연결이 끊어져 생긴 단부들이 서로 어긋나게 형성된다.
- <7> 상기 단부 사이의 거리는 상기 스페이서 폭의 2배보다 작다.
- <8> 상기 포토 레지스트 패턴의 피치는 상기 금속 배선의 피치의 두배이다.
- <9> 상기 절연막을 형성한 후, 상기 절연막 상에 제1, 제2 하드 마스크막, 및 반사 방지막을 형성하는 단계를 더 포함한다.
- <10> 상기 제1 하드 마스크막 및 상기 제2 하드 마스크막은 각각 SOC막, 및 MFHM(Si를 함유한 BARC)막으로 형성한다.
- <11> 본 발명의 제2 실시 예에 따른 반도체 소자의 금속 배선 형성 방법은 반도체 기판 상에 절연막을 형성하는 단계와, 상기 절연막을 포함한 전체 구조 상에 다수의 평행한 포토 레지스트 패턴을 형성하되, 상기 포토 레지스트 패턴 중에서 일부 포토 레지스트 패턴은 양쪽이 마주보는 방향으로 돌출된 부분을 갖도록 형성하는 단계와, 상기 포토 레지스트 패턴 측벽에 스페이서를 형성하는 단계와, 상기 포토 레지스트 패턴을 제거하여 상기 절연막을 노출시키는 단계와, 상기 노출되는 절연막을 식각하여 다마신 패턴을 형성하는 단계와, 상기 스페이서를 제거하는 단계, 및 상기 다마신 패턴을 포함한 전체 구조 상에 금속물질을 형성한 후, 평탄화하여 금속 배선을 형성하는 단계를 포함한다.
- <12> 상기 포토 레지스트 패턴 중 금속 배선이 분리되는 영역과 인접한 포토 레지스트 패턴들의 돌출부 사이의 간격은 상기 스페이서 폭의 2배보다 작다.
- <13> 상기 포토 레지스트 패턴의 피치는 상기 금속 배선의 피치의 두배이다.
- <14> 상기 절연막을 형성한 후, 상기 절연막 상에 제1, 제2 하드 마스크막, 및 반사 방지막을 형성하는 단계를 더 포함한다.
- <15> 상기 제1 하드 마스크막 및 상기 제2 하드 마스크막은 각각 SOC막, 및 MFHM(Si를 함유한 BARC)막으로 형성한다.

**효 과**

- <16> 본 발명의 일 실시 예에 따르면, 포토 레지스트 패턴 측벽에 스페이서막을 형성하고, 스페이서를 식각 마스크로 이용하여 미세 금속 패턴을 형성함과 동시에 금속 배선의 단선된 부분은 상기 포토 레지스트 패턴 간의 간격을 좁혀 상기 스페이서가 맞닿게 하여 미세 금속 패턴이 형성되는 것을 방지하여 노광 장비의 해상력 피치 이하의 선폭을 갖는 금속 배선을 형성할 수 있다.

**발명의 실시를 위한 구체적인 내용**

- <17> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명의 범위는 본원의 특허청구범위에 의해서 이해되어야 한다.
- <18> 도 1a 내지 도 5b는 본 발명의 일 실시 예에 따른 반도체 소자의 금속 배선 형성 방법을 설명하기 위한 소자의 단면도 및 평면도이다.
- <19> 도 1a를 참조하면, 반도체 기판(100) 상에 절연막(101), 제1 하드 마스크막(102), 제2 하드 마스크막(103), 및 반사 방지막(104)을 순차적으로 형성한다.
- <20> 절연막(101)은 산화막으로 형성하는 것이 바람직하다. 제1 하드 마스크막(102)은 SOC막(spin on carbon)으로 형성하는 것이 바람직하다. 제2 하드 마스크막(103)은 MFHM(Si를 함유한 BARC)막으로 형성하는 것이 바람직하다. MFHM막은 Si를 함유하고 있어 후속 식각 공정시 SOC막으로 형성된 제1 하드 마스크막(102)과 식각률 차이가 발

생하게 된다. 또한 MFHM막 투명하여 후속 포토 레지스트 패턴 형성 공정시 패턴 정렬을 위한 별도의 키오픈 공정이 생략된다.

- <21> 이 후, 반사 방지막(104)을 포함한 전체 구조 상에 포토 레지스트막을 도포한 후 노광 및 현상 공정을 진행하여 포토 레지스트 패턴(105, 105A, 105B)을 형성한다. 이때 포토 레지스트 패턴(105)의 피치는 최종 형성하려는 금속 배선의 피치의 두배이다.
- <22> 포토 레지스트 패턴 형성 공정시 금속 배선의 연결이 끊어지는 부분은 포토 레지스트 패턴(105A, 105B)의 간격(X)을 후속 형성되는 스페이서막의 두께의 두배보다 작게 형성하는 것이 바람직하다.
- <23> 도 1b를 참조하면, 다수의 포토 레지스트 패턴(105)은 서로 평행하게 형성되며, 포토 레지스트 패턴(105A, 105B)은 서로 동일한 선상에 위치하되 끊어지는 부분에서 서로 어긋나도록 형성된다.
- <24> 도 2a 및 도 2b를 참조하면, 포토 레지스트 패턴(105, 105A, 105B)의 측벽에 스페이서(106)을 형성한다. 이때 금속 배선의 연결이 끊어지는 부분은 포토 레지스트 패턴(105A, 105B)간의 공간이 스페이서(106)의 두께의 2배보다 작아 서로 맞닿게되어 스페이서(106)로 완전히 채워진다.
- <25> 스페이서(106)는 포토 레지스트 패턴(105, 105A, 105B)을 포함한 전체 구조 상에 산화막을 증착한 후, 식각 공정을 실시하여 포토 레지스트 패턴(105, 105A, 105B) 측벽에 산화막을 잔류시켜 형성하는 것이 바람직하다.
- <26> 도 3a 및 도 3b를 참조하면, 스트립 공정을 실시하여 포토 레지스트 패턴을 제거한다. 이 후, 노출되는 반사 방지막을 제거한다. 이로 인하여 스페이서(106)과 반사 방지막(104)이 적층된 식각 패턴(106, 104)이 형성된다. 식각 패턴(106, 104)의 피치는 상술한 포토 레지스트 패턴의 피치의 1/2이다.
- <27> 도 4a 및 도 4b를 참조하면, 식각 패턴을 식각 마스크로 이용하는 식각 공정으로 제1 및 제2 하드 마스크막(102, 및 103)을 순차적으로 식각하여 하드 마스크 패턴을 형성한다. 이 후, 하드 마스크 패턴을 이용한 식각 공정을 실시하여 절연막(101)일 패터닝하여 금속 배선을 형성하기 위한 다마신 패턴을 형성한다.
- <28> 도 5a 및 도 5b를 참조하면, 다마신 패턴이 형성된 절연막(101)을 포함한 전체 구조 상에 금속 물질을 형성한다. 이 후, 절연막(101) 상부가 노출되도록 평탄화 공정을 진행하여 다마신 패턴내에 금속 물질을 잔류시켜 금속 배선(107)을 형성한다.
- <29> 도 6a 내지 도 10b는 본 발명의 제2 실시 예에 따른 반도체 소자의 금속 배선 형성 방법을 설명하기 위한 소자의 단면도 및 평면도이다.
- <30> 도 6a를 참조하면, 반도체 기판(200) 상에 절연막(201), 제1 하드 마스크막(202), 제2 하드 마스크막(203), 및 반사 방지막(204)을 순차적으로 형성한다.
- <31> 절연막(201)은 산화막으로 형성하는 것이 바람직하다. 제1 하드 마스크막(202)은 SOC막(spin on carbon)으로 형성하는 것이 바람직하다. 제2 하드 마스크막(203)은 MFHM(Si를 함유한 BARC)막으로 형성하는 것이 바람직하다. MFHM막은 Si를 함유하고 있어 후속 식각 공정시 SOC막으로 형성된 제1 하드 마스크막(202)과 식각률 차이가 발생하게 된다. 또한 MFHM막 투명하여 후속 포토 레지스트 패턴 형성 공정시 패턴 정렬을 위한 별도의 키오픈 공정이 생략된다.
- <32> 이 후, 반사 방지막(204)을 포함한 전체 구조 상에 포토 레지스트막을 도포한 후 노광 및 현상 공정을 진행하여 포토 레지스트 패턴(205, 205A, 205B)을 형성한다. 이때 포토 레지스트 패턴(205)의 피치는 최종 형성하려는 금속 배선의 피치의 두배이다.
- <33> 포토 레지스트 패턴 형성 공정시 금속 배선의 연결이 끊어지는 부분에 인접한 포토 레지스트 패턴(205A, 205B)의 간격(X)을 후속 형성되는 스페이서막의 두께의 두배보다 작게 형성하는 것이 바람직하다.
- <34> 도 6b를 참조하면, 다수의 포토 레지스트 패턴(205, 205A, 205B)은 서로 평행하게 형성되며, 금속 배선의 연결이 끊어지는 부분과 인접한 포토 레지스트 패턴(205A, 205B)은 금속 배선의 연결이 끊어지는 부분이 들출되어 형성된다.
- <35> 도 7a 및 도 7b를 참조하면, 포토 레지스트 패턴(205, 205A, 205B)의 측벽에 스페이서(206)을 형성한다. 이때 금속 배선의 연결이 끊어지는 부분은 포토 레지스트 패턴(205A, 205B)간의 공간이 스페이서(206)의 두께의 2배보다 작아 서로 맞닿게되어 스페이서(206)로 완전히 채워진다.
- <36> 스페이서(206)는 포토 레지스트 패턴(205, 205A, 205B)을 포함한 전체 구조 상에 산화막을 증착한 후, 식각 공

정을 실시하여 포토 레지스트 패턴(205, 205A, 205B) 측벽에 산화막을 잔류시켜 형성하는 것이 바람직하다.

- <37> 도 8a 및 도 8b를 참조하면, 스트립 공정을 실시하여 포토 레지스트 패턴을 제거한다. 이 후, 노출되는 반사 방지막을 제거한다. 이로 인하여 스페이서(206)과 반사 방지막(204)이 적층된 식각 패턴(206, 204)이 형성된다. 식각 패턴(206, 204)의 피치는 상술한 포토 레지스트 패턴의 피치의 1/2이다.
- <38> 도 9a 및 도 9b를 참조하면, 식각 패턴을 식각 마스크로 이용하는 식각 공정으로 제1 및 제2 하드 마스크막(202, 및 203)을 순차적으로 식각하여 하드 마스크 패턴을 형성한다. 이 후, 하드 마스크 패턴을 이용한 식각 공정을 실시하여 절연막(201)을 패터닝하여 금속 배선을 형성하기 위한 다마신 패턴을 형성한다.
- <39> 도 10a 및 도 10b를 참조하면, 다마신 패턴이 형성된 절연막(201)을 포함한 전체 구조 상에 금속 물질을 형성한다. 이 후, 절연막(201) 상부가 노출되도록 평탄화 공정을 진행하여 다마신 패턴내에 금속 물질을 잔류시켜 금속 배선(207)을 형성한다.
- <40> 본 발명의 기술 사상은 상기 바람직한 실시 예에 따라 구체적으로 기술되었으나, 상기한 실시 예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야에서 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시 예가 가능함을 이해할 수 있을 것이다.

**도면의 간단한 설명**

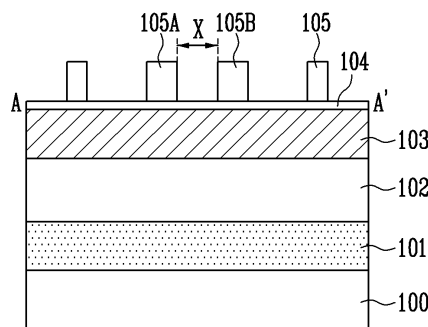
- <41> 도 1a 내지 도 5b는 본 발명의 일 실시 예에 따른 반도체 소자의 금속 배선 형성 방법을 설명하기 위한 소자의 단면도 및 평면도이다.
- <42> 도 6a 내지 도 10b는 본 발명의 제2 실시 예에 따른 반도체 소자의 금속 배선 형성 방법을 설명하기 위한 소자의 단면도 및 평면도이다.

<43> <도면의 주요 부분에 대한 부호 설명>

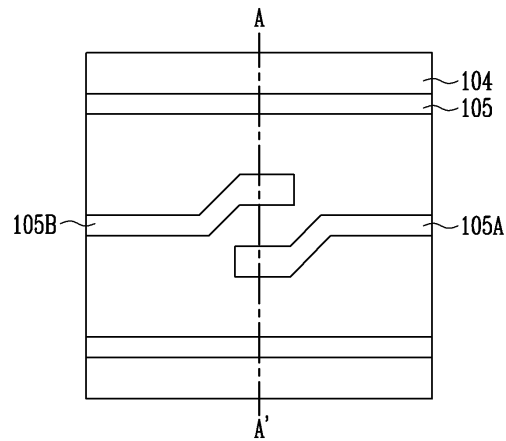
- <44> 100, 200 : 반도체 기판
- <45> 102, 202 : 제1 하드 마스크막
- <46> 104, 204 : 반사 방지막
- <47> 106, 206 : 스페이서
- 101, 201 : 절연막
- 103, 203 : 제2 하드 마스크막
- 105, 205 : 포토 레지스트 패턴
- 107, 207 : 금속 배선

**도면**

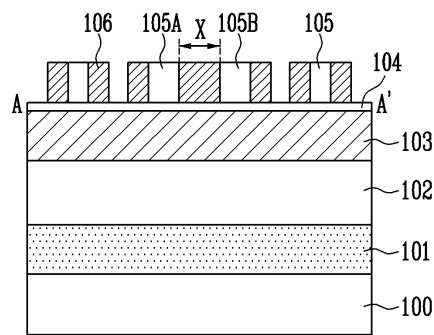
**도면1a**



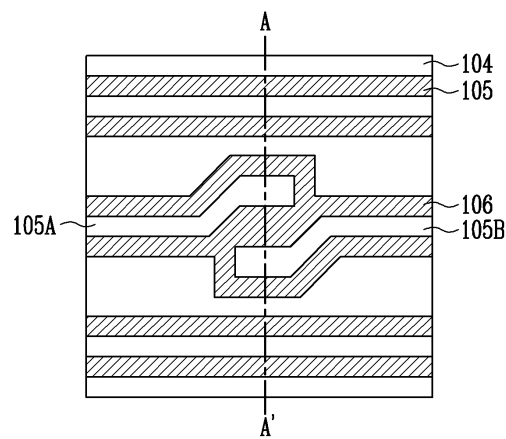
도면1b



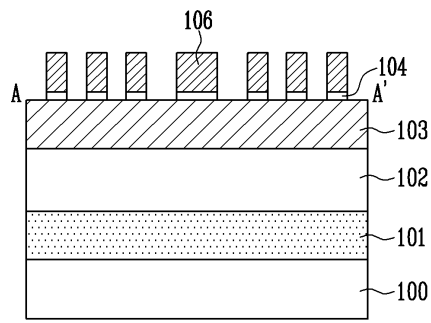
도면2a



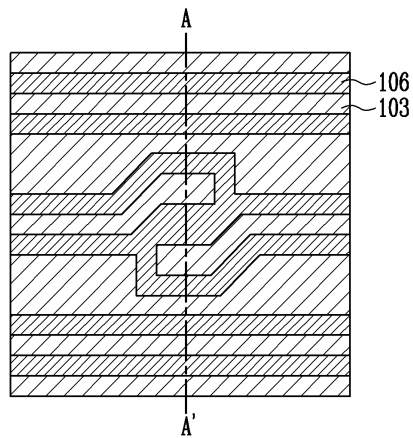
도면2b



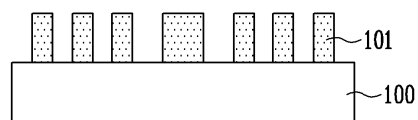
도면3a



도면3b

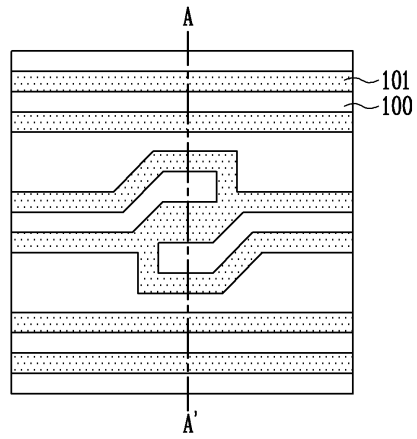


도면4a

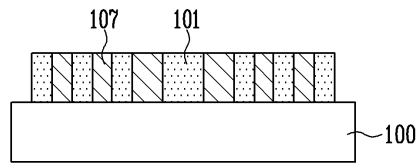




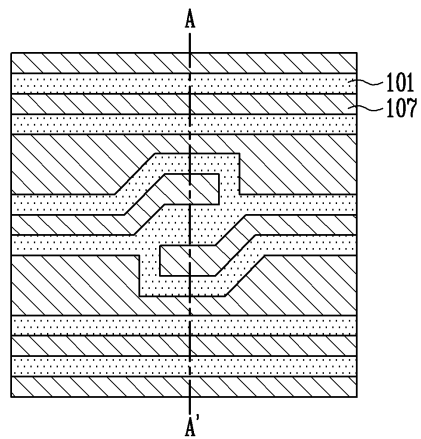
도면4b



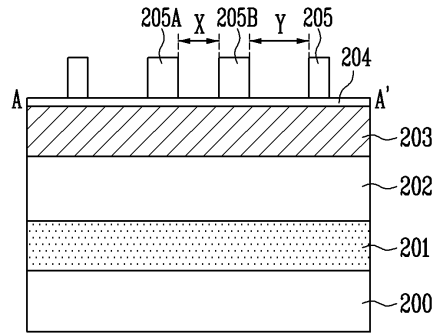
도면5a



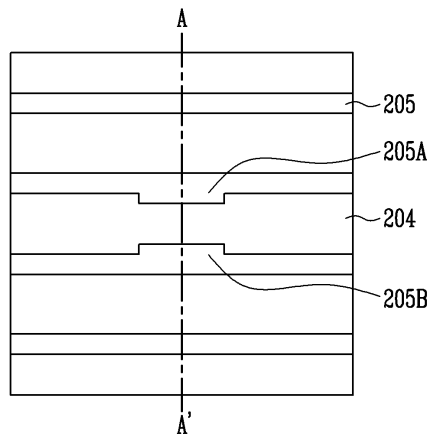
도면5b



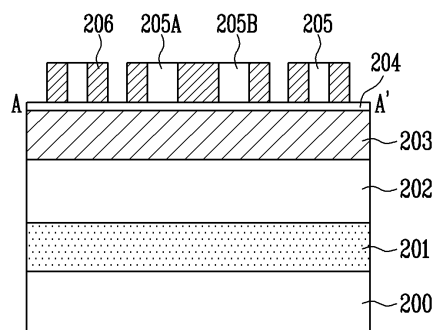
도면6a



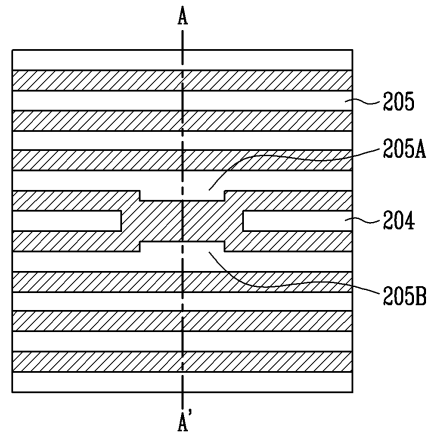
도면6b



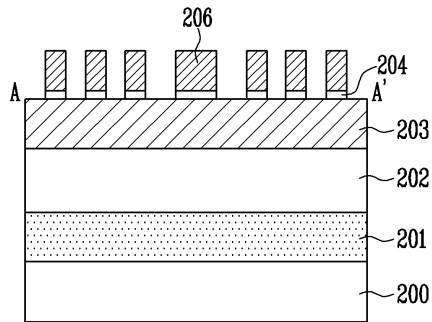
도면7a



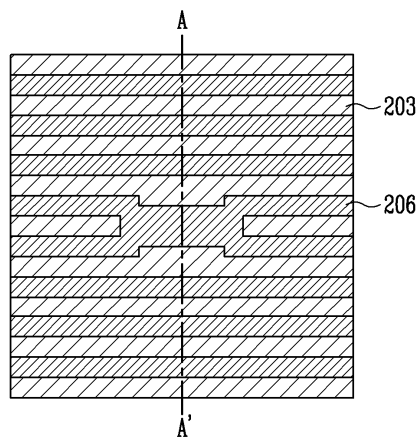
도면7b



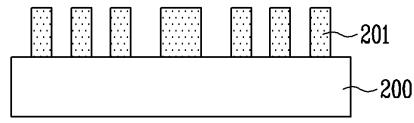
도면8a



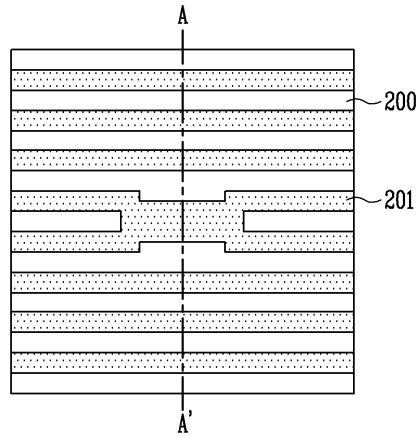
도면8b



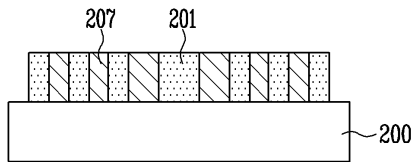
도면9a



도면9b



도면10a



도면10b

