

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2011/108768 A1

PCT

(43) 国際公開日
2011年9月9日(09.09.2011)

- (51) 国際特許分類:
H01L 29/80 (2006.01) H01L 29/00 (2006.01)
H01L 21/337 (2006.01) H01L 29/808 (2006.01)
- (21) 国際出願番号: PCT/JP2011/055718
- (22) 国際出願日: 2011年3月4日(04.03.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-048002 2010年3月4日(04.03.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): 独立行政法人産業技術総合研究所(National Institute of Advanced Industrial Science and Technology) [JP/JP]; 〒1008921 東京都千代田区霞が関一丁目3番1号 Tokyo (JP).
- (71) 出願人 (日本についてのみ): 国立大学法人山梨大学(University of Yamanashi) [JP/JP]; 〒4008510 山梨県甲府市武田四丁目4番37号 Yamanashi (JP).

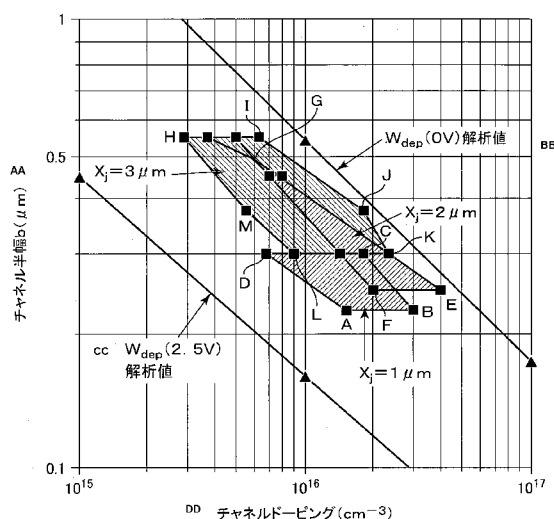
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 八尾 勉 (YATSUO Tsutomu) [JP/JP]; 〒3058568 茨城県つくば市梅園1-1-1 中央第2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 田中 保宣(TANAKA Yasunori) [JP/JP]; 〒3058568 茨城県つくば市梅園1-1-1 中央第2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 高塚 章夫(TAKATSUKA Akio) [JP/JP]; 〒3058568 茨城県つくば市梅園1-1-1 中央第2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 矢野 浩司(YANO Koji) [JP/JP]; 〒4008510 山梨県甲府市武田四丁目4番37号 国立大学法人山梨大学 Yamanashi (JP).
- (74) 代理人: 福田 賢三, 外(FUKUDA Kenzo et al.); 〒1050003 東京都港区西新橋一丁目6番13号 柏屋ビル Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,

[続葉有]

(54) Title: EMBEDDED GATE TYPE SILICON CARBIDE STATIC INDUCTION TRANSISTOR AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 埋め込みゲート型炭化珪素静電誘導トランジスタおよびその製造方法

FIG.5



AA CHANNEL HALF WIDTH b (μm)
BB $W_{dep}(OV)$ ANALYTICAL VALUE
CC $W_{dep}(2.5V)$ ANALYTICAL VALUE
DD CHANNEL DOPING (cm^{-3})

(57) Abstract: Disclosed is an embedded gate SiC-SIT which is provided with a transistor structure that is configured of: a first conductivity type drift layer (3) formed on a first conductivity type high-concentration SiC substrate (2); a second conductivity type high-concentration gate region (5) and a first conductivity type low-concentration channel region (4), which are substantially parallel to each other, and which are disposed adjacent to each other in the horizontal direction; a first conductivity type layer (7), which is formed on the high-concentration gate region and the low-concentration channel region; and a first conductivity type high-concentration source region (8) formed on the first conductivity type layer. The transistor structure is a normally-off type, and the length of the low-concentration channel region, the half width and the impurity concentration are determined by analyzing the conduction characteristics and yield characteristics of the transistor structure using semiconductor device simulation such that the transistor structure has the characteristics of having a breakdown voltage of 600 V or higher, and a characteristic on-resistance of $4.0 m\Omega cm^2$ or lower.

(57) 要約:

[続葉有]



MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

本発明の埋め込みゲート SiC-SIT は、第 1 伝導型の高濃度 SiC 基板上 (2) に形成された第 1 伝導型のドリフト層 (3) と、該ドリフト層上に略平行な横方向に隣接して配列された第 2 伝導型の高濃度ゲート領域 (5) 及び第 1 伝導型の低濃度チャネル領域 (4) と、該高濃度ゲート領域及び低濃度チャネル領域上に形成された第 1 伝導型層 (7) と、該第 1 伝導型層上に形成された第 1 伝導型の高濃度ソース領域 (8) からなるトランジスタ構造を備えている。そして、該トランジスタ構造はノーマリーオフ型であって、その降伏電圧及び特性オン抵抗がそれぞれ 600 V 以上及び $4.0 \text{ m}\Omega\text{cm}^2$ 以下の特性を有するように、上記のトランジスタ構造の導通特性および降伏特性を半導体デバイスシミュレーションを用いて解析することによって、上記の低濃度チャネル領域の長さ、半幅及び不純物濃度が決定される。

明 細 書

埋め込みゲート型炭化珪素静電誘導トランジスタおよびその製造方法

技術分野

本発明は、炭化珪素（ SiC ）半導体を用いた埋め込みゲート型静電誘導トランジスタに関するものであり、特に、ノーマリーオフの特性を有する埋め込みゲート型炭化珪素静電誘導トランジスタに関するものである。

背景技術

炭化珪素、特に 4H-SiC は、シリコンに比べて絶縁破壊電界が約 10 倍、電子の飽和ドリフト速度が約 2 倍、熱伝導率が約 3 倍あるため、炭化珪素基板上に作られたトランジスタが注目されている。また、炭化珪素のエネルギーギャップは 3 eV 以上であって、シリコンの約 3 倍である。このため、絶縁破壊電界が約 1 桁大きい。従って、シリコンデバイスに比べて、1 桁高耐圧化できる、あるいは、サイズを 1 桁小さくできる。また、より高温での動作が可能となる。さらに、上記したように、 SiC の絶縁破壊電界はシリコンの 10 倍であるので、同耐圧のデバイスを作製する場合、 SiC からなる半導体基板を備えた半導体デバイスの空乏層は、 Si からなる半導体基板を用いた半導体デバイスの空乏層幅の $1/10$ に低減される。そのため、 SiC からなる半導体基板が利用された場合、空乏層が形成される領域に添加する不純物のドーピング濃度は、シリコンからなる半導体基板に比べて 100 倍程度に高めることができる。同時に、不純物であるドナーやアクセプターのエネルギー準位が比較的浅いため、同じ降伏電圧のシリコン素子と比較してドリフト領域の抵抗を二桁以上小さくできる。以上のように炭化珪素が有する上記の優れた電子物性を利用することによって、低パワー損

失のデバイスを実現できる。

このように、炭化珪素はシリコンと比較してバンドギャップが広く絶縁破壊電界強度が10倍以上大きいことから、特にパワー半導体素子の半導体材料として注目されている。

また、埋め込みゲート型静電誘導トランジスタ（SIT：Static Induction Transistor）は、ゲート領域を素子の活性領域内部に埋め込み、素子の周囲でゲート引出電極を形成する「埋め込みゲート構造（BG：Buried Gate）」を備える。埋め込みゲート構造は、その半導体バルク中にチャネルが形成されることから、金属－酸化膜－半導体（MOS：Metal-Oxide-Semiconductor）ゲート構造と比較して炭化珪素中の高い電子移動度を毀損することなくそのまま生かすことができ、高性能デバイスが開発できると期待されている。また、上記の埋め込みゲート構造は、表面電極を形成する際のフォトリソグラフィ工程におけるアライメントマージンを取る必要が無い。そのため、埋め込みゲート構造は、半導体領域表面にゲート電極を配線する「表面ゲート構造（SG：Surface Gate）」と比較してチャネル密度を増加できオン抵抗を低減しやすい、という利点もある。

更に、一般に3端子パワー半導体素子をインバータ回路や電源回路などの電力変換装置に使用する場合、駆動回路等の予期せぬ故障の際に、上記パワー半導体素子が遮断状態（オフ状態）になることが、装置の安全措置の観点から望ましい。このためにはパワー半導体素子の電気的特性として、入力端子に電圧を印加しない場合に素子が遮断状態となるノーマリーオフ型の特性が必要である。

【特許文献1】

従来技術として、例えば、特許文献1には、SiC基板上でのSITの製造方法が開示されている。しかし、ノーマリーオフ型のSITの製造方法については、開示が無い。

【特許文献2】

また、特許文献2には、静電誘導トランジスタ構造の長所を生かしつつ、絶縁ゲート型電界効果トランジスタ構造の特徴とするノーマリーオフ型の利点が得られるように両者を組み合わせた構造が開示されている。開示された絶縁ゲート型炭化珪素半導体装置は、S I TとMOS F E TをモノリシックにS i C単結晶サブストレートに含めた構造を備える。該炭化珪素半導体装置は、埋め込まれたゲート領域に接続するようにオーミック電極が形成されており、表面にイオン注入により選択的に形成されたpウェル領域を有するMOS F E Tが形成されて、S I Tと横型MOS F E Tが接続される。しかし、この構造は、S I TとMOS F E Tを直列に配置してノーマリーオフ型とするものである。

[特許文献3]

また、特許文献3は、静電誘導トランジスタ構造と絶縁ゲート型電界効果トランジスタ構造をS i C基板上で組み合わせることによって構成されたノーマリーオフ型の炭化珪素絶縁ゲート型半導体装置を開示する。このS I T構造は、n⁺型S i C半導体基板上に堆積されたn型ドリフト層へのp⁺ゲート領域と該ゲート領域上部の前記n型ドリフト層の表面に堆積されるn⁺型第1ソース領域を備え、p⁺ゲート領域の間の間隔であるS I Tのチャネル領域9の幅は0.5～5 μm程度である。この例についても、静電誘導トランジスタ構造と絶縁ゲート型電界効果トランジスタ構造を直列に配置してノーマリーオフ型とするものである。

[特許文献4]

また、特許文献4には、高濃度n型炭化珪素基板表面上にエピタキシャル成長により低濃度n型ドリフト層、更に、該低濃度n型ドリフト層上に互いに離間した複数の高濃度p型ゲート領域を形成し、互いに隣り合った前記高濃度p型ゲート領域の間に位置する低濃度n型チャネル領域を形成し、該構造上に低濃度n型領域をエピタキシャル成長させ、イオン注入により高濃度n型ソース領域を形

成し、前記高濃度 n 型ソース領域上へソース電極、前記の高濃度 p 型層上へゲート電極、高濃度 n 型炭化珪素基板の裏面にドレイン電極を形成した炭化珪素トランジスタ装置が開示されている。しかし、この文献には、ノーマリーオフ型の構造の実現に関する開示が無い。

この炭化珪素トランジスタ装置においては、例えば $1.0 \times 10^{18} \sim 1.0 \times 10^{20} / \text{cm}^3$ の不純物濃度を有する n 型炭化珪素基板上に、例えば $1.0 \times 10^{14} / \text{cm}^3 \sim 1.0 \times 10^{17} / \text{cm}^3$ の不純物濃度を有する n 型ドリフト層が形成されている。また、前記 n 型ドリフト層の直上には互いに離間した、例えば $1.0 \times 10^{17} / \text{cm}^3 \sim 1.0 \times 10^{20} / \text{cm}^3$ の不純物濃度を有する p 型ゲート領域、及び互いに隣り合った前記 p 型ゲート領域の間にエピタキシャル成長により形成された、例えば $1.0 \times 10^{14} / \text{cm}^3 \sim 1.0 \times 10^{17} / \text{cm}^3$ の不純物濃度を有する n 型チャネル領域が備えられている。更に、前記 p 型ゲート領域及び前記 n 型チャネル領域の直上に前記 n 型チャネル領域と同じ不純物濃度を有する低濃度 n 型領域が備えられている。

【特許文献 5】

また、特許文献 5 には、ノーマリーオン型炭化珪素静電誘導トランジスタのチャネル構造の設計方法、およびそれを適用した炭化珪素トランジスタ装置が開示されている。

【非特許文献 1】

また、非特許文献 1 によって、図 16 に示す構造を持った炭化珪素静電誘導トランジスタ（以下、「SiC-SIT」ともいう。）が知られている。しかし、半導体材料としての SiC の物性から見ると、さらに改善の余地がある。例えば、チャネルやゲート構造を微細化することによって SIT の性能向上が期待できることはよく知られている。しかし、図 16 の構造は、 p^+ ゲート領域 5 の直上にゲート電極が設置されている表面ゲート電極構造である。この構造は、ゲート電

極とソース電極が確実に離間され、同時に、コンタクトホール（図示省略）が p^+ ゲート領域 5 及びソース n^+ 領域 8 に確実に形成される構造であるため、チャンネル領域 4 と p^+ ゲート領域 5 のさらなる微細化が困難な状況にある。

図 16 の構造において、前記低濃度 n 型ドリフト層と前記低濃度 n 型チャンネル領域は、同一不純物濃度で無い方が望ましい。この理由は、もし、これらが同じ濃度を有している場合、耐圧とブロッキングゲイン、及びオン特性に関するデバイス設計をそれぞれ独立に行うことができないためである。例えば、前記低濃度 n 型チャンネル領域の不純物濃度を前記低濃度 n 型ドリフト層の不純物濃度よりも低濃度にしてブロッキング特性を向上させるとともに、ノーマリーオフ特性を実現するための工夫を行うことは、図 16 の構造において不可能である。このように、図 16 に示す構造の $SiC-SIT$ は、デバイス設計の自由度が限定されてしまう。

【非特許文献 2】

また、図 17 に示す $SiC-SIT$ 構造も提案されている。同構造において、 p^+ ゲート領域の形成では数 MeV までの Al の多段イオン注入によって同領域は深さ $2.5\mu m$ の箱形ドーピング分布を実現している。しかし、この構造は、図 16 の構造と同様に低濃度 n 型ドリフト層と低濃度 n 型チャンネル領域が同一不純物濃度であるので、この構造はデバイス設計の自由度が限定される。また、ソース電極金属と p^+ ゲート領域が電氣的に接触しないように同金属の直上に SiO_2 膜を設置している。同素子をオフさせる場合、ソース電極に対してゲート電極に例えば $-15V$ の負の電圧を印加する。しかし、この印加電圧のほとんどは SiO_2 膜に印加されることになるので、 SiO_2 膜の品質が低い場合、素子の信頼性が低下するという問題が生じる。

一般に、パワー $MOSFET$ の性能を表す指標として耐圧とオン抵抗があることが知られている。まず、耐圧について、理想的な場合の素子耐圧（理論耐圧）

は n^- ドリフト層のキャリア密度と厚さにより決まる。しかし、S I Tの降伏現象は、上記に加え以下の要因に影響される。まずチャネル部に形成される電位障壁の高さがドレイン電圧の増加により低下してしまい、ソース領域からチャネルを介してドレイン側へ電子が注入されてしまう、いわゆる静電誘導効果（あるいはパンチスルー現象）によって降伏が起こる可能性がある。次に高濃度 p 型ゲート領域が低濃度 n 型チャネル領域および低濃度 n 型ドリフト領域に接するコーナー部に局所的に電界が集中してアバランシェ現象によっても降伏する。そのため、チャネル領域の幅、長さ、不純物濃度を厳密に調整し、電位障壁の高さの低下や高濃度 p 型領域コーナーの電界集中を抑制することが、同素子の高耐圧化のために重要である。

一方、オン抵抗に関しては、素子の微細化すること、例えばチャネル長を短くして単位面積当たりのチャネル幅を大きくすることでチャネル抵抗を低減し、それによってオン抵抗も低減できる。しかし、この場合、低濃度 n 型チャネル領域中に形成される電位障壁の高さが低くなり、前述した静電誘導効果が起こりやすくなり、耐圧の低下を招く。同時に、高濃度 p^+ 型ゲート領域から低濃度 n 型ドリフト領域と低濃度 n 型チャネル領域に広がる空乏層において、高濃度 p^+ ゲート領域が低濃度 n 型ドリフト領域と低濃度 n 型チャネル領域の両方の領域と接するコーナー周辺での同空乏層の曲率が増加し、高濃度 p 型領域コーナーの電界集中が促進され耐圧が低下してしまうという問題がある。

さらにノーマリーオフ型特性を有するS I Tを実現しようとする場合、ソース電極に対しゲート電極に印加する電圧 V_{GS} が0 Vの時に、 p^+ ゲート領域からの空乏層によってチャネル領域がピンチオフし、所望の降伏電圧を得るに十分な高さの電位障壁をチャネル部に形成する必要がある。このためにはチャネル部に添加する不純物の濃度を減少させるか、チャネル部の幅を減少させる必要がある。通常ノーマリーオフ型S I Tの場合、チャネル部の幅（以下、「チャネル幅」とい

う。)は $2\mu\text{m}$ 以下、場合によってはサブミクロンに設計することが要求される。一方でこのようにチャネル幅やチャネル不純物濃度を減少させることはオン抵抗を増加させる。従って、ノーマリーオフ型の埋め込みゲート構造SiC-SITを実現させるためには、チャネル幅やチャネル不純物濃度を含むチャネル構造を最適化する必要がある。更に、製造後の素子特性のばらつきを低減し、製造歩留まりを向上させるには、サブミクロンオーダー（例えば $0.1\sim0.2\mu\text{m}$ 以下）でのチャネル幅の精度が必要になる。これと同時にチャネル不純物濃度の正確な制御も必要となる。

以上のようにノーマリーオフ型の埋め込みゲート構造SiC-SITを実現させるためには、降伏時の静電誘導効果やゲート領域のコーナー部における電界集中を含む素子の物理現象を踏まえた $0.1\sim0.2\mu\text{m}$ の精度を有する設計方法を決定し、この設計方法に従って導出された素子構造を正確に再現する素子製造方法が必要である。

しかし、これまでに、素子動作における複雑な物理現象を厳密に考慮してノーマリーオフ型炭化珪素静電誘導トランジスタの設計方法が示された例はない。

先行技術文献

特許文献

特許文献1： 米国特許第6767783号明細書

特許文献2： 特開2008-172007号公報

特許文献3： 特開2008-177335号公報

特許文献4： 特開2006-253292号公報

特許文献5： 再表2007/004528号明細書

非特許文献

非特許文献1： 第16回 SI デバイスシンポジウム

SSID-03-2,pp.7-12,2003

非特許文献 2： 第 17 回 SI デバイスシンポジウム

SSID-04-7, pp.41-46, 2004

非特許文献 3： IEEE Trans. Electron Devices, ED-24,

No.8 pp.1061-1069, 1977, Fig.13, 14, 15

発明の概要

発明が解決しようとする課題

本発明は、炭化珪素の電氣的特性の利点を十分に引き出し、降伏電圧が高く、特性オン抵抗 (R_{on}) が低いノーマリーオフ型の埋め込みゲート型 SiC-SIT を実現することを課題とする。すなわち、降伏電圧が 600 V 以上、特性オン抵抗が $4.0 \text{ m}\Omega \text{ cm}^2$ 以下の特性を有するノーマリーオフ型の SiC-SIT 及びその製造方法の提供である。

課題を解決するための手段

上記課題を解決するために、本発明の埋め込みゲート SiC-SIT は、第 1 伝導型の高濃度 SiC 基板と、該高濃度基板上に形成された第 1 伝導型のドリフト層と、該ドリフト層上に略平行な横方向に隣接して配列された第 2 伝導型の高濃度ゲート領域及び第 1 伝導型の低濃度チャネル領域と、該高濃度ゲート領域及び低濃度チャネル領域上に形成された第 1 伝導型層と、該第 1 伝導型層上に形成された第 1 伝導型の高濃度ソース領域と、該ソース領域の最上面に形成されたソース電極と、前記高濃度 SiC 基板の裏面側に形成されたドレイン電極と、前記高濃度ゲート領域の表面露出部に接続されたゲート電極からなるトランジスタ構造を備えている。そして、上記のトランジスタ構造はノーマリーオフ型であって、該トランジスタ構造の降伏電圧及び特性オン抵抗がそれぞれ 600 V 以上及び $4.0 \text{ m}\Omega \text{ cm}^2$ 以下の特性を有するように、上記のトランジスタ構造の導通特性および降伏特性を半導体デバイスシミュレーションで解析することによって

導出されたチャネル層の長さ、半幅及び不純物濃度を有するように、上記の低濃度チャネル領域は形成される。

また、本発明の埋め込みゲートSiC-SITの製造方法は、第1伝導型の高濃度SiC基板上に第1伝導型のドリフト層を形成する工程と、前記ドリフト層上に第2伝導型の高濃度ゲート層を形成する工程と、前記高濃度ゲート層を略平行な横方向に所定の幅で除去することにより、前記ドリフト層上に溝構造を形成する工程と、前記溝構造上に第1伝導型の低濃度チャネル領域を形成する工程と、前記高濃度ゲート層及び低濃度チャネル領域上に第1伝導型の高濃度ソース層を形成する工程と、前記高濃度ソース層の最上面にソース電極を形成する工程と、前記高濃度SiC基板の裏面側にドレイン電極を形成する工程と、前記高濃度ゲート領域の表面露出部に導通するゲート電極を設ける工程と、を有する。上記工程によって製造されるトランジスタの構造は、ノーマリーオフ型であって、本発明の上記の製造方法は、上記工程に加えて、該構造の降伏電圧及び特性オン抵抗がそれぞれ600V以上及び $4.0\text{ m}\Omega\text{ cm}^2$ 以下の特性を有するように、半導体デバイスシミュレーションで前記低濃度チャネル領域の長さ、半幅及び不純物濃度を決定するシミュレーション工程を含む。そして、本発明の上記の製造方法は、低濃度チャネル領域を形成する工程において、前記低濃度チャネル領域が、前記シミュレーションで決定された前記長さ、半幅及び不純物濃度を有するような条件で、前記低濃度チャネル領域が形成されることを、特徴とする。

発明の効果

このように、本発明によれば、所望の降伏電圧においてシリコンパワーデバイスを凌駕する低い特性オン抵抗のノーマリーオフ型のスイッチング素子を実現できる。

図面の簡単な説明

図1 A及び図1 Bは、本発明の設計方法を適用する埋め込みゲート型SiC-SITの断面構造を示す模式図であって、図1 Aは、該構造の4分の1カットの斜視図を、図1 Bは、図1 Aの繰り返し部分の単位構造を示す。

図2は、ドナー不純物濃度、チャンネル幅、チャンネル長のチャンネル構造パラメータを、コンピュータシミュレーションによる最適チャンネル設計を行って導き出す際に用いたデバイス構造を示す模式図である。

図3 Aから図3 Eは、本発明の設計方法を適用する埋め込みゲート型SiC-SITを製造するためのプロセスを示す図である。

図4 Aは、コンピュータを利用した上記シミュレーションによって得られた $R_{on}S$ のチャンネルドーピング依存性を、半チャンネル幅を変えた場合について示す図である。図4 Bは、降伏電圧（ブレイクダウン電圧）のチャンネルドーピング依存性を、半チャンネル幅を変えた場合について示す図である。

図5は、チャンネル長が1、2、3 μm の場合における、 $R_{on}S$ が $2.0\text{ m}\Omega\text{ cm}^2$ 以下で降伏電圧が600-1200 Vのノーマリーオフnチャンネル型埋め込みゲートSiC-SITを実現するためのチャンネル半幅とチャンネルドーピングの最適領域を示す図である。

図6は、チャンネルドーピング濃度 N_{ch} を横軸、チャンネル領域の半幅 b を縦軸として、特性オン抵抗の上限に関数（直線1）及び降伏電圧の下限に関する関数（直線2）を両対数グラフに表示した図である。

図7は、降伏電圧が1200 Vに設定された場合、本発明において最適とされるチャンネル長さ X_j とチャンネル領域の半幅 b の最大値（ b_{MAX} ）との関係を示す図である。

図8 A及び図8 Bは、チャンネル長 $X_j=1.5\text{ }\mu\text{m}$ の場合において、チャンネルドナー不純物濃度 N_{ch} に対する降伏電圧及び特性オン抵抗を、様々な半チャンネル幅 b の条件下でシミュレーションにより導出した図である。

図9は、チャンネル長 $X_j = 1 \mu\text{m}$ の場合において、シミュレーションによって得られた、チャンネル領域の半幅 b とチャンネルドーピング濃度 $N_{c,h}$ の設計範囲を示す。

図10は、図8Bに示された半幅 b 及び $N_{c,h}$ のデータのうち、特性オン抵抗が $2.5 \text{ m}\Omega \text{ cm}^2$ 或いは $3 \text{ m}\Omega \text{ cm}^2$ になる半幅 b 及び $N_{c,h}$ を両対数平面にプロットした図である。

図11は、チャンネル長 $X_j = 2.0 \mu\text{m}$ の場合において、シミュレーションによって得られた、チャンネル領域の半幅 b とチャンネルドーピング濃度 $N_{c,h}$ の設計範囲を示す。

図12は、特性オン抵抗が $2.5 \text{ m}\Omega \text{ cm}^2$ になるシミュレーション結果及び降伏電圧が 1200 V になるシミュレーション結果を、半幅 b が縦軸且つ $N_{c,h}$ が横軸である両対数グラフで表示したものである。

図13は、特性オン抵抗が $4.0 \text{ m}\Omega \text{ cm}^2$ になるシミュレーション結果と、降伏電圧が 1200 V になるシミュレーション結果を、半幅 b が縦軸且つ $N_{c,h}$ が横軸である両対数グラフで表示したものである。

図14は、図6の直線1及び2を図13に表示したものである。

図15は、問題領域を含まない、本願発明の埋込ゲート型SiC-SITのチャンネル構造の有効な設計領域のみを定義する図である。

図16は、非特許文献1に開示された表面ゲート電極構造SiC-SITの断面構造を示す模式図である。

図17は、非特許文献2に開示されたSiC-SITの断面構造を示す模式図である。

符号の説明

1・・・ドレイン電極

2・・・SiC基板上（ドレイン領域）

- 3 . . . ドリフト層
- 4 . . . チャネル領域
- 5 . . . ゲート領域
- 6 . . . ゲート電極
- 7 . . . n型層
- 8 . . . ソース領域
- 9 . . . ソース電極

発明を実施するための最良の形態

以下に、本発明の実施の形態について添付図面を参照しながら説明する。降伏電圧が600V以上であり、かつ特性オン抵抗が $4.0\text{ m}\Omega\text{ cm}^2$ 以下の特性を有するノーマリーオフ型の埋め込みゲート型SiC-SITを実現するのに必要なチャネル領域の半幅 b 、長さ X_j 、ドナー不純物濃度 N_{ch} を決定する。

図1は、本発明の設計方法を適用するSiC-SITの断面構造の模式図である。図1Aは4分の1カットを、図1Bは繰り返し部分の単位構造を示す。この構造は、従来のSITの構造を示す図16との比較から、本発明の想定するSITの場合は、ゲート領域の上にn型層があり、ゲート領域が完全に埋め込まれていることが分かる。

本発明で実現しようとするチャネル構造は、ドリフト拡散モデルに基づく2次元デバイスシミュレーションによって決定される。このシミュレーションに於いて、図2に示すデバイス構造が繰り返されるものとして、境界条件に関する制約が緩和されている。ここで、符号 a は半ゲート幅を、符号 b は半チャネル幅を表す。また、符号 X_j はチャネル長であり、符号 N_{ch} は、チャネルドーピング濃度を表す。図2に示すデバイス構造は、シミュレーションに用いた構造であり、ドレイン電極1を引出電極とするドレイン領域2と、ドレイン領域2とチャネル

領域 4 間の電界を緩和するドリフト層 3 と、チャネル領域 3 を流れる電流を制御するゲート領域 5 と、ゲート領域 5 からの引出電極であるゲート電極 6 と、チャネル領域 4 とソース領域 8 間に設けた n 型層 7 と、ソース領域 8 からの引出電極であるソース電極 9 を備えている。ここでシミュレーションの都合上、ゲート電極 6 はゲート領域 5 の側壁に設置している。尚、上記 n 型層 7 及びチャネル領域 4 は同一の組成で形成することができるので、それぞれ別個に形成することも、一体的に形成することもできる。

図 3 A 乃至図 3 E は、本発明の対象となる埋込ゲート型 SiC-SIT の製造工程の概略図である。図 3 E は、完成された本発明の素子を示す。チャネル領域 4 は、 p^+ ゲート層 5 及び p^+ ゲート層 5 の間の溝内だけでなく、 p^+ ゲート層 5 及びソース領域 8 の間に形成されており、図 2 に示すデバイス構造の上記 n 型層 7 としての機能も備える。

まず、(a) 高濃度 n 型 4H-SiC 基板 2 上に n^- ドリフト層 3、 p^+ ゲート層 5 をエピタキシャル成長させる (図 3 A)。

次に、(b) ドライエッチング法により、上記 n^- ドリフト層 3 の表面が露出するように p^+ ゲート層 5 の中央部を除去して p^+ ゲート層 5 を所定の間隔で離間させる (図 3 B)。この工程によって、微細な溝構造が、上記の n^- ドリフト層 3 上に形成される。尚、図 1 A の SiC-SIT を製造する場合、工程 (b) によって、 p^+ ゲート層 5 を略平行な横方向に所定の間隔で除去し、ストライプ状の溝が上記の n^- ドリフト層 3 上に周期的に形成される。このエッチングプロセスにおいて決まる寸法 (p^+ ゲート領域の幅 $x (= 2a)$ 、隣り合った p^+ ゲート領域の間隔 $y (= 2b)$ 、チャネル長 X_j) により素子特性がほぼ決定されるため、一定の素子特性を実現するためには、このエッチングプロセスを再現性良く行うことが重要である。

この溝構造上に、(c) n^- チャネル領域 4 をエピタキシャル成長により形成

する（図 3 C）。通常、エピタキシャル成長は平坦な基板上行われるが、SiC 基板の結晶方位やエピタキシャル成長の条件（温度、ガス流量等）を最適化することにより、微細な溝構造上のエピタキシャル成長が可能である。尚、図 1 の SiC-SIT を製造する場合、工程（c）によって、 p^+ ゲート層 5 及びチャンネル領域 4 が、上記の n^- ドリフト層 3 上に略平行な横方向に隣接して周期的に配列される。

その後、(d) n^+ ソース領域 8 をイオン注入により形成し、活性化熱処理（例えば 1600℃）後（図 3 D）、(e) ソース電極 9 及びドレイン電極 1 を形成し（図 3 E）、本発明の素子が完成する。この様にして作製した埋込ゲート型 SiC-SIT 素子では、 p^+ ゲート領域 5 が完全に埋め込まれ、水平方向に所定の間隔で隣り合う p^+ ゲート領域 5、5 の間に n^- チャンネル領域 4 が形成される。

半導体デバイスシミュレーションによる素子設計工程においては、電界集中が発生する箇所や SIT の動作で重要となるチャンネル領域では特にメッシュ間隔を細かく設定し、精度良くアバランシェ降伏や静電誘導効果をシミュレートできるように工夫している。半導体材料は結晶構造が 4 周期六方晶 SiC（4H-SiC）を仮定し、精度良いシミュレーション結果を得るためにキャリア移動度、禁制帯幅、イオン化係数等の材料の物性パラメータは 4H-SiC の実験データとフィッティングしたモデル式を用いている。

SIT のチャンネル構造の明確な設計技術は、未だに確立されていない。しかし、非特許文献 3 のように、半導体 pn 接合の完全空乏近似に基づいた空乏層の幅を目安にしてチャンネル構造が決定されることがしばしばある。完全空乏近似とは、半導体 pn 接合などの接合部に形成される空乏層の内部の電界や電位の分布を導出する際に、空乏層中では電子及び正孔の濃度はゼロであると仮定する完全空乏化の状況を仮定して計算を進めることである。

しかし、実際の半導体 pn 接合の空乏層と非空乏層の境界部には遷移領域が

存在する。従って、チャネル構造を微細化する程、完全空乏近似を用いる場合、その設計精度は悪くなる。更に、アバランシェ降伏現象は空乏層中から発生するキャリアが同層の電界からエネルギーを得て価電子帯の電子と衝突し、その電子が自由電子になるという過程による現象であるため、完全空乏近似を用いた場合、素子の降伏電圧を正確に求めることは困難である。

従って、サブミクロンオーダーの微細寸法精度を必要とするノーマリーオフ型埋め込みゲートSiC静電誘導トランジスタの設計を、上記完全空乏近似を用いた従来の設計手法で実施した場合、大幅な製造歩留まりの低下が容易に予測できる。

これに対して、本願発明に用いるシミュレーションは、完全空乏近似を用いない。すなわち、チャネル領域の半幅 b 、長さ X_j 及びドナー不純物濃度 $N_{d,h}$ に関し、本願発明の課題を達成できる上限及び下限を示す限界線は、ノーマリーオフ型のSiC-SITの導通特性および降伏特性を半導体デバイスシミュレーションで解析することによって導出される。該半導体デバイスシミュレーションのために、半導体の基本方程式であるPoisson式、電子の連続方程式及び正孔の連続方程式が、有限差分法によって離散化され、ニュートン法を用いて解かれる。そして、様々なチャネル領域の半幅 b およびチャネル長 X_j の条件の下で、これらの方程式から得られた解の式を用いてチャネルドナー不純物濃度 $N_{d,h}$ に対する特性オン抵抗および降伏電圧がシミュレーションされ、これらの上限及び下限の限界線が導出される。今日、こうした半導体シミュレーションを行うソフトウェアは市販されており、それを購入すれば誰もが使用することが可能である。しかし、対象となる半導体デバイスを精度良く解析し、より正確な設計方法を確立するには、下記の事項が必要となる。

まず、シミュレーション対象となる半導体デバイスの材料（例えばSiやSiC）のキャリア移動度、アバランシェ増倍係数、禁制帯幅などの物性値を正確

に把握し、これらの物性値をシミュレータに組み込む作業が必要である。これらの物性値は半導体に添加する不純物の密度、半導体の面方位、温度に複雑に依存する。Si半導体の場合、研究開発の歴史が長いため、信頼できる物性データを誰もが容易に入手できる。これに対し、SiCは開発の歴史が浅いため、SiCに関する正確な物性データの多くは、明らかにされていない。従って、測定された物性データに基づいたモデル式をシミュレータに組み込んでシミュレーションした結果と実デバイスの特性が一致するように、シミュレーションによる物性値のモデル式を調整する「フィッティング」という作業を繰り返し、シミュレータの精度を上げる必要がある。

次に、一般的な半導体シミュレーションの手法として、有限差分法や有限要素法を用いるが、この際、対象となるデバイス構造領域内をメッシュで区切るプロセスが存在する。数値解析理論によれば、メッシュの間隔を細かく設定すれば計算誤差は減少するが、シミュレーション時間が増大する。このため、通常の半導体シミュレーションでは、デバイス領域中でキャリア分布や電界強度の変化が大きい領域はメッシュ間隔を細かく設定し、その他の領域はメッシュを粗く設定する、所謂不均一メッシュが生成される。このようなメッシュの設定によって、解析領域全体でメッシュ総数が大きくなりすぎないようにする手法が用いられる。

また、本願発明において扱うノーマリーオフ型埋め込みゲート構造SiC-SITのように、静電誘導効果やゲート領域コーナーでの電界集中を含む複雑な動作原理を有する場合には、その動作が正確に再現できるよう、メッシュをアレンジすることが必要になる。最終的には、物性値を決定する際と同様に、シミュレーション結果と実デバイス特性を一致させるようにメッシュ調整を繰り返す作業を行う。

本願発明では、上記を考慮し精度良いシミュレーション結果を得るために、実験結果に基づいて、SiC材料特有の物性値であるキャリア移動度、アバラン

シェ増倍係数のモデル式中のパラメータを決定し、フィッティング作業を行い、精度の高い物性値をシミュレータに組み込んでいる。

また、メッシュ生成においては、降伏時に発生するゲートコーナー部での電界集中や静電誘導効果（パンチスルー現象）、オン時のチャネルやドリフト領域のキャリアの流れを正確に解析する必要がある。

そこで、本願発明では、図2のデバイス構造における p^+ ゲート領域5の右下コーナー部、同領域5とドリフト領域3が接する箇所、 p^+ ゲート領域5の側壁部、チャネル領域4、ドリフト領域3、基板領域2などで、上記の物性値を調整する場合と同様にフィッティング作業によって、図2のデバイス構造に関するメッシュのプロファイルを作成し、評価している。この方法を用いれば、上述した降伏時に起こる静電誘導効果やゲートコーナー部での電界集中を含む複雑な素子動作メカニズムを正確に解析できるため、上記完全空乏近似の問題点が解決され、精度良いチャネル部の設計が可能である。

すなわち、目的とする特性オン抵抗の上限及び降伏電圧の下限を満たすチャネル領域の半幅 b をそれぞれ、コンピュータを用いてドリフト拡散モデルに基づく2次元デバイスシミュレーションによって、チャネル長さ X_j 及びチャネルドーピング濃度 $N_{c,h}$ の関数として決定する。そして、目的とする特性オン抵抗の上限を表す、チャネル長さ X_j 及びドーピング濃度 $N_{c,h}$ の関数としてのチャネル領域の半幅 b のグラフと、降伏電圧の下限を表す、チャネル長さ X_j 及びドーピング濃度 $N_{c,h}$ の関数としてのチャネル領域の半幅 b のグラフで囲まれる領域を特定する。この特定された領域が、本願発明の埋込ゲート型SiC-SITのチャネル構造の有効な設計範囲である。

(実施例)

以下、第1実施例及び第2実施例による埋込ゲート型SiC-SITの製造

方法におけるチャネル構造の設計方法について詳述する。

[実施例 1]

図 2 のデバイス構造の各領域が以下の(i)及び(ii)のように不純物ドーピングされている場合において、降伏電圧が 600 から 1200 V、特性オン抵抗が $2 \text{ m}\Omega \text{ cm}^2$ 以下の特性を有するノーマリーオフ型の SiC-SIT を製造するためのチャネル構造を上記シミュレーションにより求める。

(i) ソース領域 8 のドーパントは窒素または磷でドーピング濃度は $2.0 \times 10^{20} \text{ cm}^{-3}$ 、ドレイン 2 のドーピング濃度は $1 \times 10^{19} \text{ cm}^{-3}$ であり、ゲート領域 5 のドーパントはアルミニウムまたはボロンでドーピングは $2.0 \times 10^{18} \text{ cm}^{-3}$ である。

(ii) ドリフト層 3 の厚みは $8.5 \mu\text{m}$ であり、チャネル 4 とソース領域 8 との間にある n 型層 7 のドーピング濃度は $1.3 \times 10^{16} \text{ cm}^{-3}$ であり、その厚みは $1.1 \mu\text{m}$ である。上記ドリフト層 3 や n 型層 7 のドーパントは窒素または磷である。

図 4 A に、コンピュータを利用した上記シミュレーションによって得られた $R_{on}S$ のチャネルドーピング依存性を、半チャネル幅が、0.3、0.375、0.45、 $0.5 \mu\text{m}$ のそれぞれの場合について示す。この場合チャネル長さ X_j は $1.0 \mu\text{m}$ である。半チャネル幅 b の減少に従って、また、チャネルドーピング濃度の減少に従って、 $R_{on}S$ が増加することが分かる。

また、図 4 B に、同様に得られた降伏電圧（ブレークダウン電圧）のチャネルドーピング依存性を、半チャネル幅が、0.2、0.3、 $0.45 \mu\text{m}$ のそれぞれの場合について示す。上記と同様にチャネル長さ X_j は $1.0 \mu\text{m}$ である。半チャネル幅の減少に従って、また、チャネルドーピング濃度の減少に従って、降伏電圧が増加することが分かる。尚、図 4 A 及び図 4 B の横軸は、チャネルドーピング濃度 N_{ch} (cm^{-3}) を対数表記されている。

他のチャネル長についても、上記と同様なシミュレーションを行った。図5に、チャネル長が $1\ \mu\text{m}$ 、 $2\ \mu\text{m}$ 及び $3\ \mu\text{m}$ のそれぞれの場合について、 $R_{\text{on}}S$ が $2.0\ \text{m}\Omega\text{cm}^2$ 以下で降伏電圧が $600\ \text{V}$ 乃至 $1200\ \text{V}$ のNチャネルノーマリーオフ埋め込みゲートSiC-SITを実現するためのチャネル構造、つまりチャネル幅とチャネルドーピング濃度の最適領域を示す。尚、図5の横軸のチャネルドーピング濃度(cm^{-3})及び縦軸のチャネル幅(μm)の大きさは、それぞれ対数表記されている。

ノーマリーオフ型のトランジスタを実現するためには、ゲート電圧が $0\ \text{V}$ でチャネルが完全に空乏化している必要があるので、ゲート電圧が $0\ \text{V}$ における空乏層の幅を $W_{\text{dep}}(0\ \text{V})$ と表すと、以下の条件が必要になる。

$$0.5 \times W_{\text{dep}}(0\ \text{V}) > b$$

一方、オン動作時($2.5\ \text{V}$)にはチャネルに非空乏領域が存在する必要があるので、ゲート電圧が $2.5\ \text{V}$ における空乏層の幅を $W_{\text{dep}}(2.5\ \text{V})$ と表すと、以下の条件が必要になる。

$$0.5 \times W_{\text{dep}}(2.5\ \text{V}) < b$$

従来の完全空乏近似を用いた解析手法において、 $W_{\text{dep}}(V_{\text{app}})$ の解析値の式は、

$$W_{\text{dep}}(V_{\text{app}}) = \sqrt{\frac{2\varepsilon_s\varepsilon_0}{qN_{\text{ch}}}(V_{\text{bi}} - V_{\text{app}})}$$

と表される。ここで q は素電荷(C)、 ε_s は半導体の比誘電率、 ε_0 は真空の誘電率(F/cm)、 V_{bi} はゲート領域5とチャネル領域4の接合間の内蔵電位(V)、 V_{app} はソース端子に対してゲート端子に印加する電圧(V)である。

図5に示された $W_{\text{dep}}(0\ \text{V})$ の解析値および $W_{\text{dep}}(2.5\ \text{V})$ の解析値に関する直線は、上記 $W_{\text{dep}}(V_{\text{app}})$ の解析値の式を使用して求めた従来設計手法によるものである。

すなわち、 $W_{dep}(0V)$ 及び $W_{dep}(2.5V)$ に関する上記関係式を満足する領域、すなわち、図5の $W_{dep}(0V)$ 及び $W_{dep}(2.5V)$ の直線で囲まれた領域が、解析的手法に基づく従来の手法による有効な設計範囲であり、空乏層ではキャリアがゼロであると仮定する完全空乏近似に基づいて、Nチャネルノーマリーオフ埋め込みゲートSiC-SITを設計できる範囲である。

これに対して、下記に説明する図5中のハッチングで示された領域は本願発明の埋込ゲート型SiC-SITのチャネル構造の有効な設計範囲である。この設計領域の導出は、上述した完全空乏近似に基づく従来の設計手法ではなく、上述したような半導体シミュレーションによる厳密な素子解析により導出したものである。

すなわち、上記したように、実デバイスの電気的特性データを使用しながら図2のデバイス構造についてフィッティング作業によってメッシュのプロファイルを作成し、該作成されたプロファイルを用いたシミュレーションにおいて、物性値を調整するためのフィッティング作業を繰り返した。このようにして得られた精度の高い半導体シミュレータを用いて、(i)及び(ii)のように不純物ドーピングされている場合において上記の特性を有するノーマリーオフ型のSiC-SITのチャネル構造の設計範囲を導出した。

具体的には、上記の特性を有するノーマリーオフ型のSiC-SITのチャネル構造は、チャネルドーピングとチャネル幅の組み合わせが、チャネルドーピング ($\times 10^{16} \text{ cm}^{-3}$) 及びチャネル幅 (μm) を両対数表示したグラフにおいて、

(i) チャネル長が $1 \mu\text{m}$ の場合には、

A (1.4、0.22)、B (3.0、0.22)、C (1.8、0.30)、D (0.7、0.30) の各点をA-B-C-D-Aと順に結ぶ領域 (領域I) 内であり、

(ii) チャネル長が $2 \mu\text{m}$ の場合には、

E (4. 0、0. 24)、F (2. 0、0. 24)、G (0. 6、0. 48) の各点をE－F－G－Eと順に結ぶ領域（領域II）内であり、

(iii) チャネル長が3 μ mの場合には、

H (0. 3、0. 53)、I (0. 6、0. 53)、J (1. 8、0. 38)、K (2. 3、0. 3)、L (0. 9、0. 3)、M (0. 53、0. 38) の各点をH－I－J－K－L－M－Hと順に結ぶ領域（領域III）内になるように設計すれば良いことが分かる。

図5において、完全空乏近似に基づく従来設計手法による有効な設計範囲内においても、本願発明の有効な設計範囲から外れる領域が顕著に存在することがわかる。このことから、チャネル構造を正確に決定するためには、従来設計手法では不十分であり、本願発明の設計手法の有効性が確認できる。

[実施例2]

降伏電圧が1200V以上であり、かつ特性オン抵抗が4. 0 m Ω cm²以下の特性を有するノーマリーオフ型のSiC-SITを実現するのに必要なチャネル領域の半幅b、チャネル長さX_j、チャネルドーピング濃度N_{ch}に関する設計範囲を上記シミュレーションにより求める。

このためには、チャネルドーピング濃度N_{ch}を横軸、チャネル領域の半幅bを縦軸として、特性オン抵抗の上限に関する以下の式（1）及び降伏電圧の下限に関する以下の式（2）の2つの式を両対数グラフに表示して、式（1）及び式（2）で囲まれる領域内に存在するドナー不純物濃度N_{ch}及びチャネルの半幅bの組合せ（N_{ch}， b）を決定する。

一方、上記組合せ（N_{ch}， b）のうち、次の式（3）によって与えられるb_{MAX}以下の半幅bを有するように、チャネル長さX_jを決定する必要がある。

[数1]

$$b = 4.56 \times 10^7 / (N_{ch})^{1/2} \quad \dots (1)$$

[数 2]

$$b = 2.74 \times 10^7 / (N_{ch})^{1/2} \quad \dots (2)$$

[数 3]

$$b_{MAX} = 0.109 + 0.290X_j - 0.0455X_j^2 \quad \dots (3)$$

ここで、図 6 において、直線 1 及び 2 は、上記の式 (1) 及び式 (2) をそれぞれ示す。図 7 の曲線 1 は、降伏電圧が 1200 V に設定された場合におけるチャネル長さ X_j と、半幅 b の上限値との関係を示す上記の式 (3) を示す。

図 6 及び図 7 に示される各々の限界線は、上記した半導体デバイスシミュレーションによるノーマリーオフ型の SiC-SIT の導通特性および降伏特性を解析することによって得られた。すなわち、半導体の基本方程式である Poisson 式、電子の連続方程式、正孔の連続方程式を有限差分法で離散化し、ニュートン法を用いて解いた後、得られた解を用いて上記の導通特性および降伏特性をシミュレートし、シミュレート結果を解析した。また、本発明による式 (3) は、特にドレイン電極とゲート電極の両電極からの静電誘導効果のチャネル領域の電位障壁への相互作用および p^+ ゲート領域のコーナー部での電界集中を正確にシミュレーションすることによって得られたものである。

後述するように、式 (1) 乃至式 (3) に基づいて上記の方法によって決定された組合せ (N_{ch} , b) 及びチャネル長さ X_j は、本願発明の目的とする SiC-SIT を実現するチャネル構造の有効な設計範囲を特定する。

図 6 及び図 7 に示される各限界線を求めるためには、まず図 8 A 及び図 8 B に示されるように、チャネルドーピング濃度 N_{ch} に対する降伏電圧および特性オン抵抗を、様々な半チャネル幅 b およびチャネル長 X_j の条件の下でシミュレーションにより導出する。

図 8 A ではノーマリーオフ特性を考慮して、ゲート-ソース間電圧 $V_{GS} = 0$ V を設定している。一方、図 8 B の計算では上記の V_{GS} は、素子をオンする為の

入力信号である 2.5 V を設定しており、ドレイン電流密度が 200 A/cm^2 の時のドレイン - ソース間電圧 V_{DS} によって特性オン抵抗 R_{on} を計算している。ここで V_{GS} を 2.5 V に設定しているのは、 V_{GS} を十分大きくし、図 2 に示すチャネル領域 4 に広がる空乏層の幅を小さくし、可能な限り R_{on} を低減するように意図している。また V_{GS} を 3.0 V 以上とすると p^+ ゲート領域 5 からホールがチャネル領域 4 およびドリフト領域 3 に注入されるため、ターンオフ時間が著しく増加する恐れがある。よって V_{GS} を、 p^+ ゲート領域 5 からホールが注入されない上限である 2.5 V に設定している。尚、図 8 A 及び図 8 B において、 $X_j = 1.5 \mu\text{m}$ としている。他の X_j に関しても図 8 A 及び図 8 B と同様の解析を行った。

図 8 B の特性オン抵抗対 N_{ch} の関係図では N_{ch} の減少と共に初めは徐々に特性オン抵抗が増加することがわかる。この理由は、 N_{ch} の減少と共に、 p^+ ゲート領域からチャネルに広がる空乏層の幅が増加するため、チャネル中の非空乏化領域である伝導チャネルの実効幅が徐々に減少するためである。

そして、ある N_{ch} では特性オン抵抗が急激に増加していることが図 8 B から確認できる。これはチャネルの両側の p^+ ゲート領域 5 からの空乏層によってチャネル領域が完全に空乏化しそこに電位障壁が形成されるため、電流が著しく減少するためである。

このように特性オン抵抗を急激に増加させる値の N_{ch} が、ノーマリーオフ型の SiC-SIT を導通させるための下限値であり、この素子に導通機能を持たせるためには、この下限値より大きい値で N_{ch} を設計することが必要となる。また下限値は半幅 b に依存していることが図 8 B でわかる。

図 8 B に示された半幅 b 及び N_{ch} のデータのうち、特性オン抵抗が $2.5 \text{ m}\Omega\text{cm}^2$ 或いは $3 \text{ m}\Omega\text{cm}^2$ になる半幅 b 及び N_{ch} を両対数平面にプロットすると、半幅 b が $0.4 \mu\text{m}$ 未満の範囲において同じ傾きを持った 2 つの実線が得ら

れる（図 10）。

一方、図 8 A の降伏電圧対 N_{c_h} の関係図では、 N_{c_h} を増加させると、ある N_{c_h} の値で急激に降伏電圧が低下していることがわかる。これは、 N_{c_h} の増加により、 p^+ ゲート領域 5 からチャネル領域 4 に広がる空乏層の幅が減少し、電流を遮断するための電位障壁が低下するためである。

この降伏電圧が急激に低下するときのチャネル不純物濃度が、素子が確実にオフ機能を持つためのチャネル不純物濃度の上限値である。この上限値の値は半幅 b が増加するに従い減少していくことが図 8 A より分かる。

この結果を踏まえ、降伏電圧が 1200 V になる半幅 b 及び N_{c_h} を両対数平面にプロットすると、図 9 及び図 10 に示される点線に示される降伏電圧の上限（Limit of V_{BR} (1200V)）となる。ここで N_{c_h} の減少にともない点線が直線から外れその勾配が緩やかになり、最終的に、半幅 b が N_{c_h} に依存しなくなるのは以下の 2 つの理由がある。一つは N_{c_h} の増加に伴い半幅 b を増加させようとした場合、ドレイン電極からの静電誘導効果が顕著に働くようになり、 N_{c_h} を減少してもノーマリーオフ特性を維持するのに十分な高さの電位障壁を形成できなくなる。これは N_{c_h} が減少するほど空乏層端における電界強度が低くなり、電位障壁を形成しにくくなるからである。他の一つは、 N_{c_h} の減少により半幅 b を増加させようとした場合、 p^+ ゲート領域 5 のコーナーにおける電界集中が促進され、降伏電圧が減少する傾向を示すためである。

結果として、降伏電圧が 1200 V になる半幅 b 及び N_{c_h} を両対数平面にプロットすると、図 9 および図 10 に示されるように、 N_{c_h} が低い値になる程、曲線の勾配が緩やかになり、最終的に半幅 b の値は N_{c_h} に依存しなくなる。図 10 において、降伏電圧 V_{BR} が 1200 V になる半幅 b 及び N_{c_h} の曲線は、 N_{c_h} の低い側において一点鎖線で示す半幅 $b = 0.45 \mu m$ に漸近していることが分かる。すなわち、降伏電圧 V_{BR} を所定の大きさ、例えば、1200 V に設定した場

合、 N_{ch} が低い範囲において、 N_{ch} の大きさに依存しない半幅 b の上限値 b_{MAX} が存在する。尚、チャンネル長さ $X_j = 1.5 \mu m$ の場合、降伏電圧 V_{BR} が1200Vに等しいという条件を満たす最大の半チャンネル幅、すなわち、半幅 b_{MAX} は $0.45 \mu m$ になる。

このように、図8Aから求められた、降伏電圧が1200Vになる半幅 b 及び N_{ch} の両対数平面上の曲線には、ドレイン電圧による静電誘導効果とゲート領域コーナーでの電界集中が強く作用することによって決まる、 N_{ch} に依存しない半幅 b の上限が存在することもある。この効果は、従来の完全空乏近似によって導出することは困難であり、本願発明において用いた半導体デバイスシミュレーション手法によって正確に導出することが可能となる。

N_{ch} に依存しない半幅 b の上限値である b_{MAX} は、上記したドリフト拡散モデルに基づく2次元デバイスシミュレーションによってチャンネル構造を設計する際の一つのパラメータとして考慮される必要がある。そのため、上記の半幅 b_{MAX} を、上記のシミュレーションによって、チャンネル長さ X_j 及び降伏電圧の関数として決定する必要がある。

図9及び図11はそれぞれ、チャンネル長 $X_j = 1 \mu m$ 及びチャンネル長 $X_j = 2 \mu m$ の場合において上記シミュレーションによって得られた設計範囲を示す。これらのチャンネル長の場合、半幅 b_{MAX} は、それぞれ $0.35 \mu m$ 及び $0.5 \mu m$ である。

次に、図12乃至図14に示されるように、図9乃至図11に記載されたシミュレーション結果を用いて、目的とする特性オン抵抗の上限及び降伏電圧 V_{BR} の下限を満たすチャンネル領域の半幅 b を、チャンネル長さ X_j 及び N_{ch} の関数として表す。尚、半幅 b_{MAX} は N_{ch} に依存しないが、チャンネル長さ X_j の関数として扱うことができる。

本願発明において、上記チャンネル構造の有効な設計範囲は、図7に示された

任意のチャネル長さ X_j に関し、この曲線によって与えられる半幅の上限値 b_{MAX} と、上記のシミュレーションによって得られた特性オン抵抗の曲線、降伏電圧の曲線によって囲まれる領域である。例えば、図 12 によれば、 $X_j = 1 \mu m$ における $R_{on}S$ 曲線、降伏電圧 $V_{BR} \geq 1200 V$ の曲線および $b = \text{半幅 } b_{MAX} (= 0.35)$ で囲まれる領域内の (N_{ch}, b) の組が、上記の有効な設計範囲である。同様にして、図 12 の $X_j = 1.5 \mu m$ 及び $X_j = 2.0 \mu m$ における有効な設計範囲も、上記の $R_{on}S$ 曲線と、降伏電圧 V_{BR} 曲線或いは $b = \text{半幅 } b_{MAX}$ で囲まれる領域内の (N_{ch}, b) の組として定義される。

図 13 は、チャネル長さ $X_j = 1 \mu m$ 、 $1.5 \mu m$ 及び $2 \mu m$ に関し、 $R_{on}S \leq 4.0 m\Omega cm^2$ 、 $V_{BR} \geq 1200 V$ の条件を満たす半幅 b 及び N_{ch} のシミュレーション結果を示す。図 13 に示された、チャネル長さ $X_j = 1 \mu m$ 、 $1.5 \mu m$ 及び $2 \mu m$ の各 $R_{on}S$ 曲線は、ほぼ直線状であるので、これらの曲線は同一の直線、すなわち、図 6 の直線 2 によって近似することができる。一方、図 13 に示された、チャネル長さ $X_j = 1 \mu m$ 、 $1.5 \mu m$ 及び $2 \mu m$ の各降伏電圧 V_{BR} 曲線は、 $N_{ch} > 2.0 \times 10^{16} (cm^{-3})$ の高濃度側で一つの直線に収束している。上記の降伏電圧 V_{BR} 曲線が N_{ch} の高濃度側で収束する当該直線は、図 6 の直線 1 によって近似することができる。

図 14 は、上記 $R_{on}S$ 曲線の近似直線及び上記降伏電圧 V_{BR} 曲線の近似曲線を図 13 上に、追加的に示した図である。直線 1 及び直線 2 は、チャネル長さ $X_j = 2.0 (\mu m)$ における降伏電圧 V_{BR} 曲線及び $R_{on}S$ 曲線を比較的に良く近似している。

しかし、チャネル長さ X_j が小さくなるに従い、直線 1 と $b = \text{半幅 } b_{MAX}$ が交差する近傍の領域において、降伏電圧 V_{BR} 曲線は、直線 1 及び $b = \text{半幅 } b_{MAX}$ の直線から乖離している。このような乖離した領域、すなわち、降伏電圧 V_{BR} 曲線と、直線 1 及び $b = \text{半幅 } b_{MAX}$ の直線で囲まれる領域（以下、「問題領域」という。）

は、本願発明の目的とする S i C - S I T を実現するチャネル構造を実現できない。

この問題領域は上述したように、S I T の降伏時における p^+ ゲート領域 5 のコーナーにおける電界集中およびドレイン電界による静電誘導効果に伴うチャネル領域の電位障壁の低下に起因するものであり、S I T の設計特有のものである。すなわちこの問題領域を排除した有効な設計領域を定義することが、所望の降伏電圧を有し電力損失の低いノーマリーオフ型埋め込みゲート S i C - S I T の設計において重要になる。

本願発明では、問題領域を含まない下記の様な設計領域を提案する。すなわち図 15 の横軸 N_{ch} 、縦軸 b の両対数平面において、直線 1、直線 2、直線 3、直線 4 で囲まれる領域を有効な設計領域とするものである。ここで直線 4 は点 $R(\beta, b_{MAX})$ および点 $Q(\alpha, b_{MAX} - 0.1)$ を通る直線であり、下記の式で与えられる。

$$b = A \times N_{ch}^x \quad \dots (4)$$

ここで A および x は下記で与えられる。

$$A = b_{MAX} \times \beta^{-x}$$

$$x = \frac{\log_{10} \frac{b_{MAX} - 0.1}{b_{MAX}}}{\log_{10} \frac{\alpha}{\beta}}$$

$$\alpha = \left(\frac{4.65 \times 10^7}{b_{MAX} - 0.1} \right)^2$$

$$\beta = 6 \times 10^{15}$$

図 14 に示されたシミュレーションの結果に基づき、点 R は、図 14 の降伏電圧 V_{BR} 曲線が直線 $b = b_{MAX}$ と交わる点および、点 Q は降伏電圧 V_{BR} 曲線が直線 1 から乖離する点として導出されている。直線 4 は、点 R と点 Q の間の降伏電圧 V_{BR} 曲線を直線で近似したものである。従って、直線 1 と直線 3 と直線 4 で囲

まれた領域が問題領域となる。式（４）において A および x は b_{MAX} の関数として与えられるので、任意の X_j に対して式（３）によって b_{MAX} が与えられ、これによって式（４）から直線４を求めることができる。この直線４と直線１、直線２、直線３で囲まれた領域によって、問題領域を含まない有効な設計領域を定義することができる。

産業上の利用可能性

埋め込みゲートSiC-SITは、高温環境や放射線環境でも使用できることが知られており、本発明によるトランジスタもまた、過酷な環境中で動作させることができる。埋め込みゲートSiC-SITは、インバータ回路や電源回路等各種電力変換回路の電力変換効率を、従来Siパワーデバイスを用いた場合よりも向上させることが可能である。また電力変換装置の小型化が容易になる。更に高温環境や放射線環境でも使用できることが知られており、過酷な環境中で動作させることが可能である。

請 求 の 範 囲

1. 第1伝導型の高濃度SiC基板と、該高濃度基板上に形成された第1伝導型のドリフト層と、該ドリフト層上に略平行な横方向に隣接して配列された第2伝導型の高濃度ゲート領域及び第1伝導型の低濃度チャネル領域と、該高濃度ゲート領域及び低濃度チャネル領域上に形成された第1伝導型層と、該第1伝導型層上に形成された第1伝導型の高濃度ソース領域と、該ソース領域の最上面に形成されたソース電極と、前記高濃度SiC基板の裏面側に形成されたドレイン電極と、前記高濃度ゲート領域の表面露出部に接続されたゲート電極からなるトランジスタ構造であって、

測定された物性データをシミュレータに組み込んでシミュレーションした結果と実デバイスの特性の実測値が一致するように、シミュレーションに組み込んだ物性値のモデル式のフィッティングを前記シミュレータに対して行うことによって得られたフィッティングされたシミュレータを用いて、上記の低濃度チャネル領域は、設計され、

上記のトランジスタ構造がノーマリーオフ型であって、該トランジスタ構造の降伏電圧及び特性オン抵抗がそれぞれ600V以上及び4.0 mΩcm²以下の特性を有するように、上記のトランジスタ構造の導通特性および降伏特性を上記フィッティングされたシミュレータを用いて半導体デバイスシミュレーションで解析することによって導出されたチャネル層の長さ、半幅及び不純物濃度を有するように、上記の低濃度チャネル領域が形成されたことを特徴とする、

埋め込みゲートSiC-SIT。

2. 前記の半導体デバイスシミュレーションによって導出されたチャネル領域のデータのうち、

前記のトランジスタ構造が上限の $R_{on}S$ (mΩcm²) 及び下限の降

伏電圧 V_{BR} (V) を有するように構成可能な、チャネル領域のチャネル長さ X_j 、チャネルドーピング N_{ch} 及び半幅 b の組からなるデータのみを、チャネルドーピング N_{ch} を横軸及び半幅 b を縦軸として両対数プロットを行い、

共通するチャネル長さ X_j 毎に、該対数プロットされたチャネルドーピング N_{ch} 及び半幅 b の座標点を連結してなる輪郭によって囲まれる両対数平面領域内で製造されることを特徴とする、請求項 1 に記載の埋め込みゲート $SiC-Si$ T。

3. 前記の半導体デバイスシミュレーションによって導出されたチャネル領域のデータのうち、

前記のトランジスタ構造が上限の特性オン抵抗 R_{on} S を有する半チャネル幅 b のデータと、

前記のトランジスタ構造が下限の降伏電圧 V_{BR} を有する半チャネル幅 b のデータと、

前記のトランジスタ構造が下限の降伏電圧 V_{BR} を有する最大の半チャネル幅 b_{MAX} のデータを、

それぞれ、チャネル長さ X_j 及び N_{ch} の関数として表し、

上記の半チャネル幅 b 及び b_{MAX} を、チャネルドーピング N_{ch} を横軸及び半幅 b を縦軸として両対数平面上にプロットして、

共通するチャネル長さ X_j 毎に、前記の R_{on} S を有する半チャネル幅 b のデータの座標点を連結して成る線分と、

共通するチャネル長さ X_j 毎に、前記の V_{BR} を有する半チャネル幅 b のデータの座標点を連結して成る線分と、

N_{ch} に依存しないで、チャネル長さ X_j に依存し、上記の両対数平面において $b = \text{半幅 } b_{MAX}$ なる水平な境界線と、によって囲まれる領域内

に存在する組 (X_j, N_{ch}, b) のデータを用いて構成されたチャネル領域を備えることを特徴とする、請求項 1 に記載の埋め込みゲート SiC-SIT。

4. 前記の半導体デバイスシミュレーションによって導出されたチャネル領域のデータについて、チャネルドーピング濃度 N_{ch} を横軸、チャネル領域の半幅 b を縦軸として、両対数グラフに表示したとき、下記の式 (1) 乃至 (4) によって囲まれるチャネル長さ、半チャネル幅及びチャネルドーピングの組 (X_j, b, N_{ch}) のデータを用いて構成されたチャネル領域を備えることを特徴とする、請求項 1 に記載の埋め込みゲート SiC-SIT。

$$b = 4.56 \times 10^7 / (N_{ch})^{1/2} \quad \dots (1)$$

$$b = 2.74 \times 10^7 / (N_{ch})^{1/2} \quad \dots (2)$$

$$b_{MAX} = 0.109 + 0.290X_j - 0.0455X_j^2 \quad \dots (3)$$

$$b = A \times N_{ch}^x \quad \dots (4)$$

但し、

$$A = b_{MAX} \times \beta^{-x}$$

$$x = \frac{\log_{10} \frac{b_{MAX} - 0.1}{b_{MAX}}}{\log_{10} \frac{\alpha}{\beta}}$$

$$\alpha = \left(\frac{4.65 \times 10^7}{b_{MAX} - 0.1} \right)^2$$

$$\beta = 6 \times 10^{15}$$

5. 第 1 伝導型の高濃度 SiC 基板上に第 1 伝導型のドリフト層を形成する工程と、

前記ドリフト層上に第 2 伝導型の高濃度ゲート層を形成する工程と、

前記高濃度ゲート層を略平行な横方向に所定の幅で除去することにより、

前記ドリフト層上に溝構造を形成する工程と、
前記溝構造上に第1伝導型の低濃度チャネル領域を形成する工程と、
前記高濃度ゲート層及び低濃度チャネル領域上に第1伝導型の高濃度ソース層を形成する工程と、
前記高濃度ソース層の最上面にソース電極を形成する工程と、
前記高濃度SiC基板の裏面側にドレイン電極を形成する工程と、
前記高濃度ゲート領域の表面露出部に導通するドレイン電極を設ける工程と、

を有する埋め込みゲートSiC-SITの製造方法であって、

測定された物性データをシミュレータに組み込んでシミュレーションした結果と実デバイスの特性の実測値が一致するように、シミュレーションに組み込んだ物性値のモデル式のフィッティングを行う工程と、

前記トランジスタの構造がノーマリーオフ型であって、該構造の降伏電圧及び特性オン抵抗がそれぞれ600V以上及び $4.0\text{ m}\Omega\text{ cm}^2$ 以下の特性を有するように、上記フィッティング工程によって得られたシミュレータを用いて半導体デバイスシミュレーションで前記低濃度チャネル領域の長さ、半幅及び不純物濃度を決定するシミュレーション工程を含み、

低濃度チャネル領域を形成する工程において、前記低濃度チャネル領域が、前記シミュレーションで決定された前記長さ、半幅及び不純物濃度を有するような条件で、前記低濃度チャネル領域が形成されることを特徴とする、

埋め込みゲートSiC-SITの製造方法。

6. 前記シミュレーション工程は、

前記静電誘導トランジスタが上限の R_{onS} 及び下限の降伏電圧 V_{BR} を有

するように構成可能な、チャネル領域のチャネル長さ X_j 、チャネルドーピング濃度 $N_{c,h}$ 及び半幅 b の組からなるデータを導出する工程と、
 前記導出されたデータを、チャネルドーピング濃度 $N_{c,h}$ を横軸及び半幅 b を縦軸として、両対数平面内にプロットを行う工程と、
 共通するチャネル長さ X_j 毎に、前記両対数プロットされたチャネルドーピング濃度 $N_{c,h}$ 及び半幅 b の座標点を連結して、前記両対数平面内に閉領域を形成する工程と、を含むことを特徴とする、
 請求項5に記載の埋め込みゲート型炭化珪素静電誘導トランジスタの製造方法。

7. 前記シミュレーション工程は、

前記静電誘導トランジスタが上限の特性オン抵抗 R_{on} を有する半チャネル幅 b のデータと、前記静電誘導トランジスタが下限の降伏電圧 V_{BR} を有する半チャネル幅 b のデータと、前記静電誘導トランジスタが下限の降伏電圧 V_{BR} を有する最大の半チャネル幅 b_{MAX} のデータを、それぞれ、チャネル長さ X_j 及び $N_{c,h}$ の関数として表す工程と、

上記の半チャネル幅 b 及び b_{MAX} を、チャネルドーピング $N_{c,h}$ を横軸及び半幅 b を縦軸として両対数平面上にプロットする工程と、

共通するチャネル長さ X_j 毎に、前記の R_{on} を有する半チャネル幅 b のデータの座標点を連結して成る線分と、

共通するチャネル長さ X_j 毎に、前記の V_{BR} を有する半チャネル幅 b のデータの座標点を連結して成る線分と、

$N_{c,h}$ に依存しないで、チャネル長さ X_j に依存し、上記の両対数平面において $b = \text{半幅 } b_{MAX}$ なる水平な境界線と、によって前記両対数平面内で囲まれる領域内に存在する組 $(X_j, N_{c,h}, b)$ のデータを特定する工程と、を含むことを特徴とする、

請求項 5 に記載の埋め込みゲート SiC-SIT の製造方法。

8. 前記シミュレーション工程は、

前記の半導体デバイスシミュレーションによって導出されたチャネル領域のデータについて、チャネルドーピング濃度 N_{ch} を横軸、チャネル領域の半幅 b を縦軸として、両対数グラフに表示する工程と、

両対数グラフに表示された上記チャネル領域のデータのうち、下記の式

(1) 乃至 (4) によって囲まれるチャネル長さ、半チャネル幅及びチャネルドーピングの組 (X_j 、 b 、 N_{ch}) のデータを特定する工程と、

を含むことを特徴とする、

請求項 5 に記載の埋め込みゲート SiC-SIT の製造方法。

$$b = 4.56 \times 10^7 / (N_{ch})^{1/2} \quad \dots (1)$$

$$b = 2.74 \times 10^7 / (N_{ch})^{1/2} \quad \dots (2)$$

$$b_{MAX} = 0.109 + 0.290X_j - 0.0455X_j^2 \quad \dots (3)$$

$$b = A \times N_{ch}^x \quad \dots (4)$$

但し、

$$A = b_{MAX} \times \beta^{-x}$$

$$x = \frac{\log_{10} \frac{b_{MAX} - 0.1}{b_{MAX}}}{\log_{10} \frac{\alpha}{\beta}}$$

$$\alpha = \left(\frac{4.65 \times 10^7}{b_{MAX} - 0.1} \right)^2$$

$$\beta = 6 \times 10^{15}$$

FIG.1A

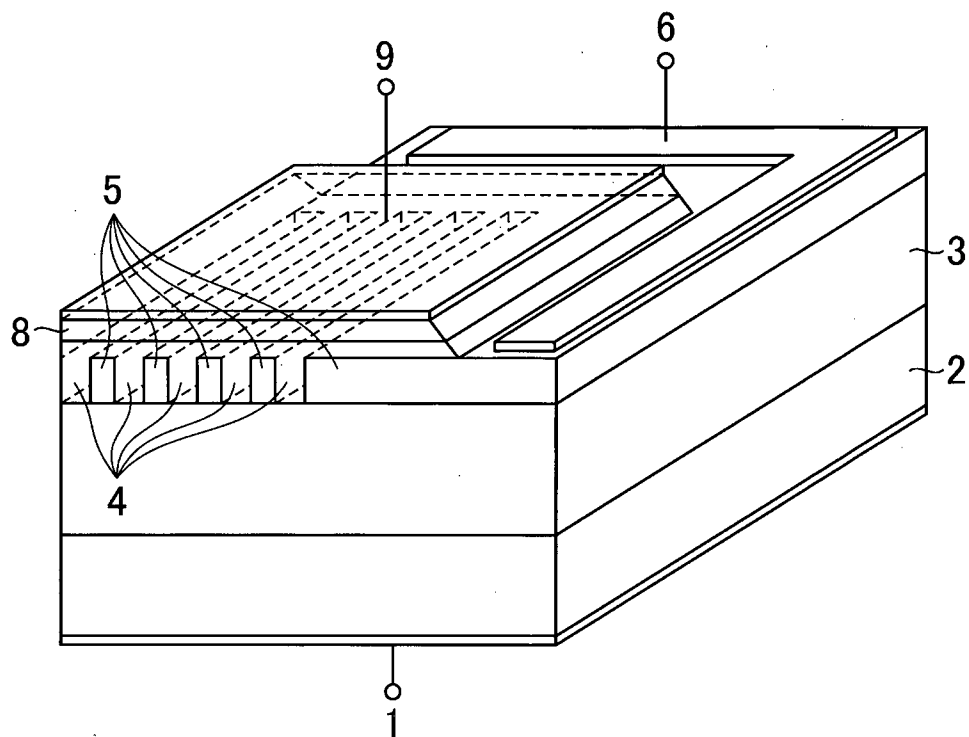
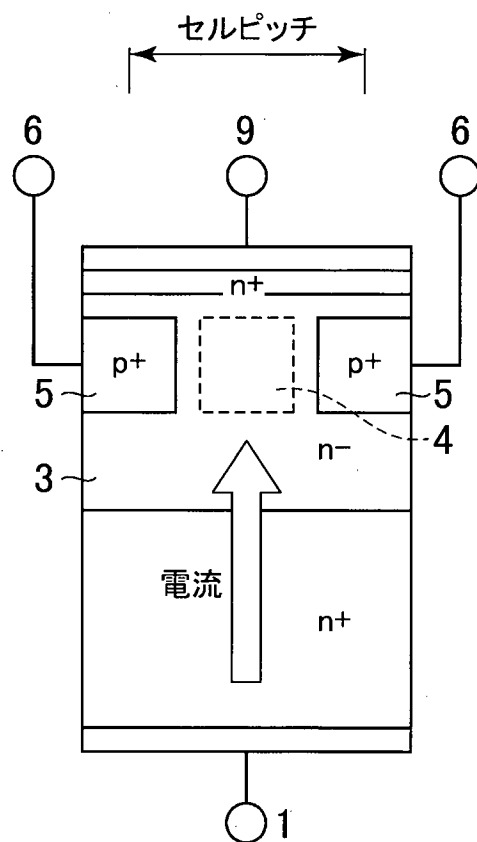
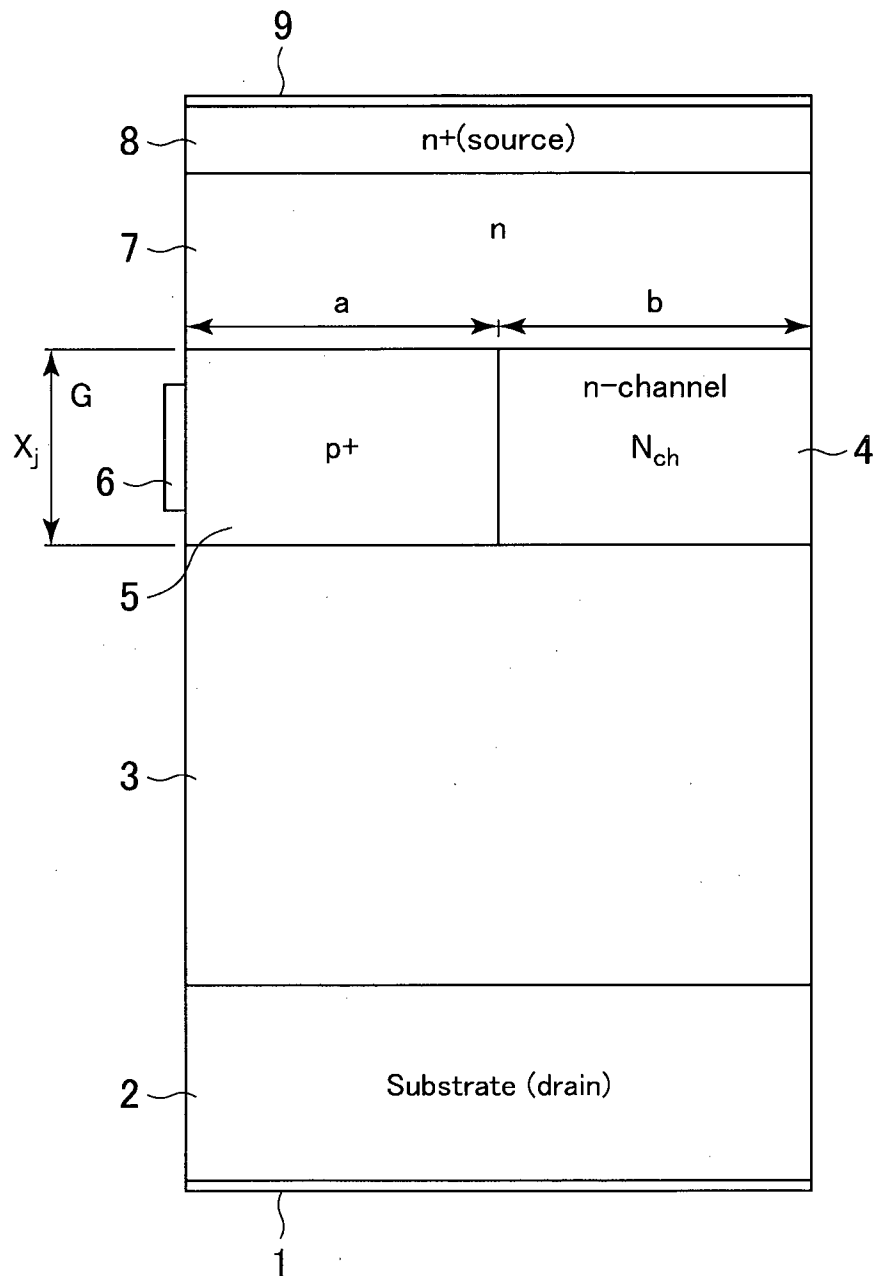


FIG.1B



2/17

FIG.2



4/17

FIG.4A

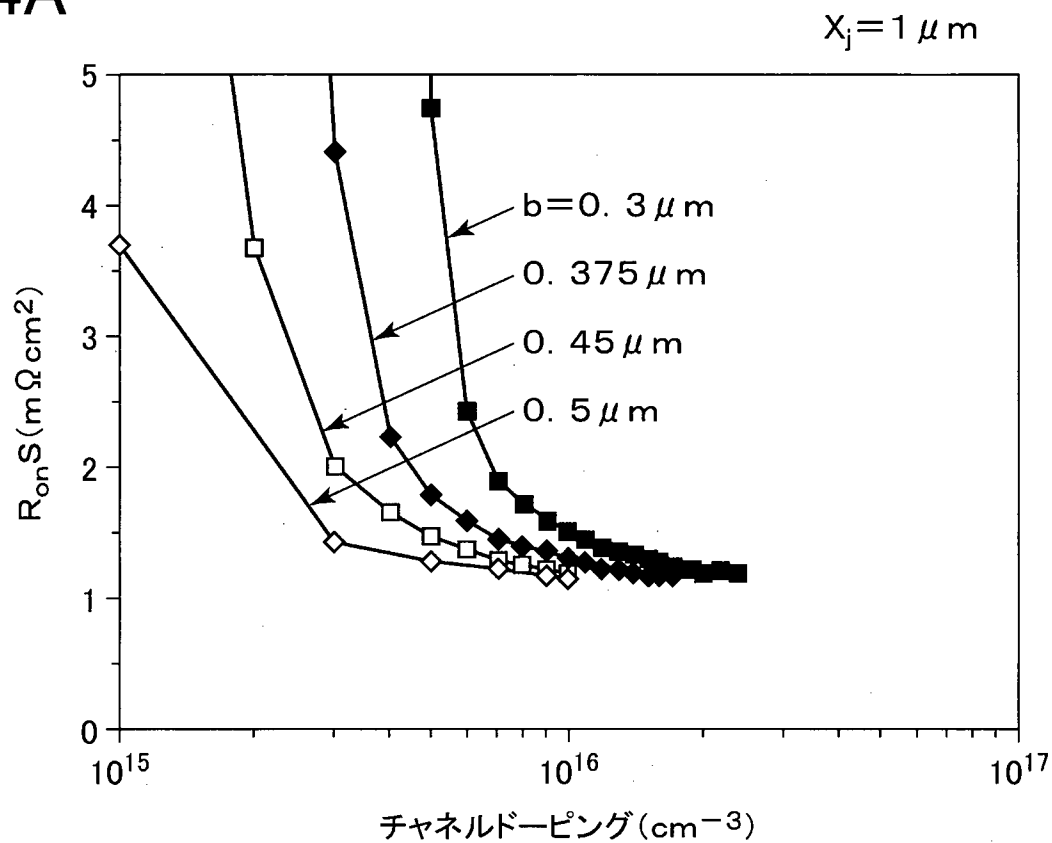
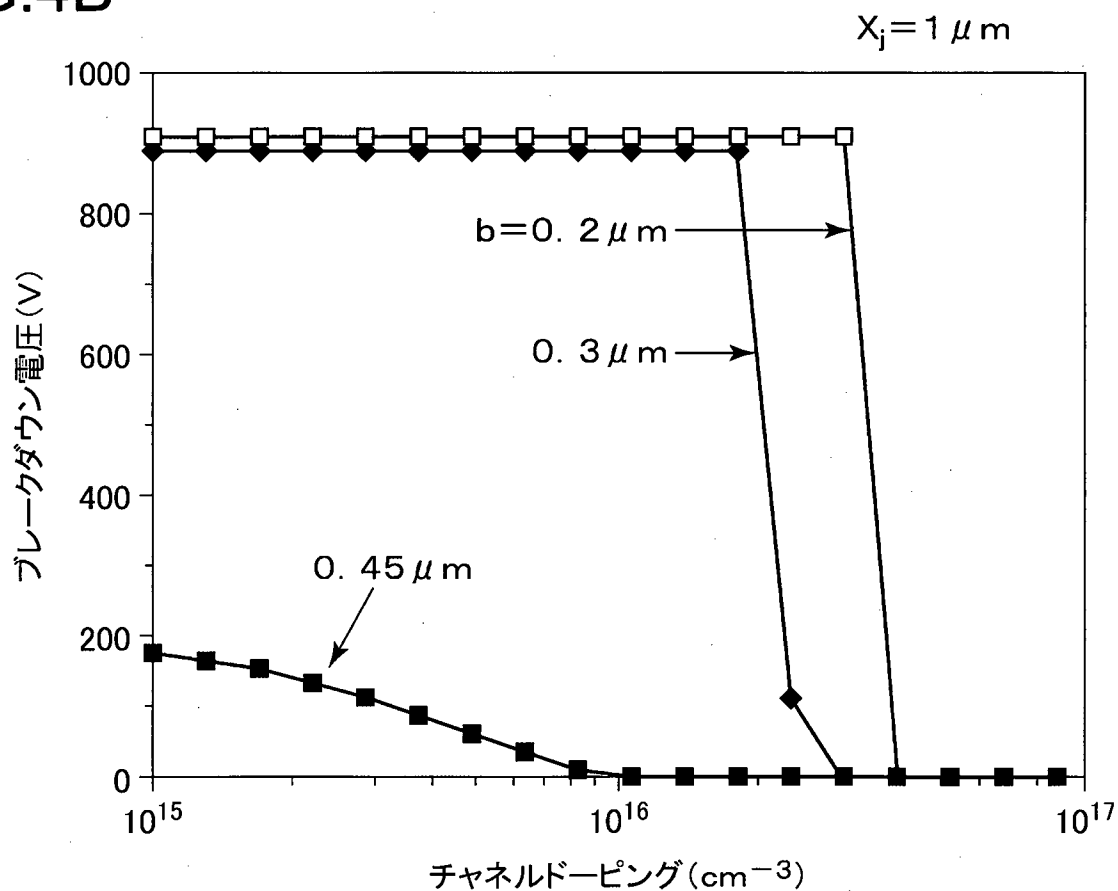


FIG.4B



5/17

FIG.5

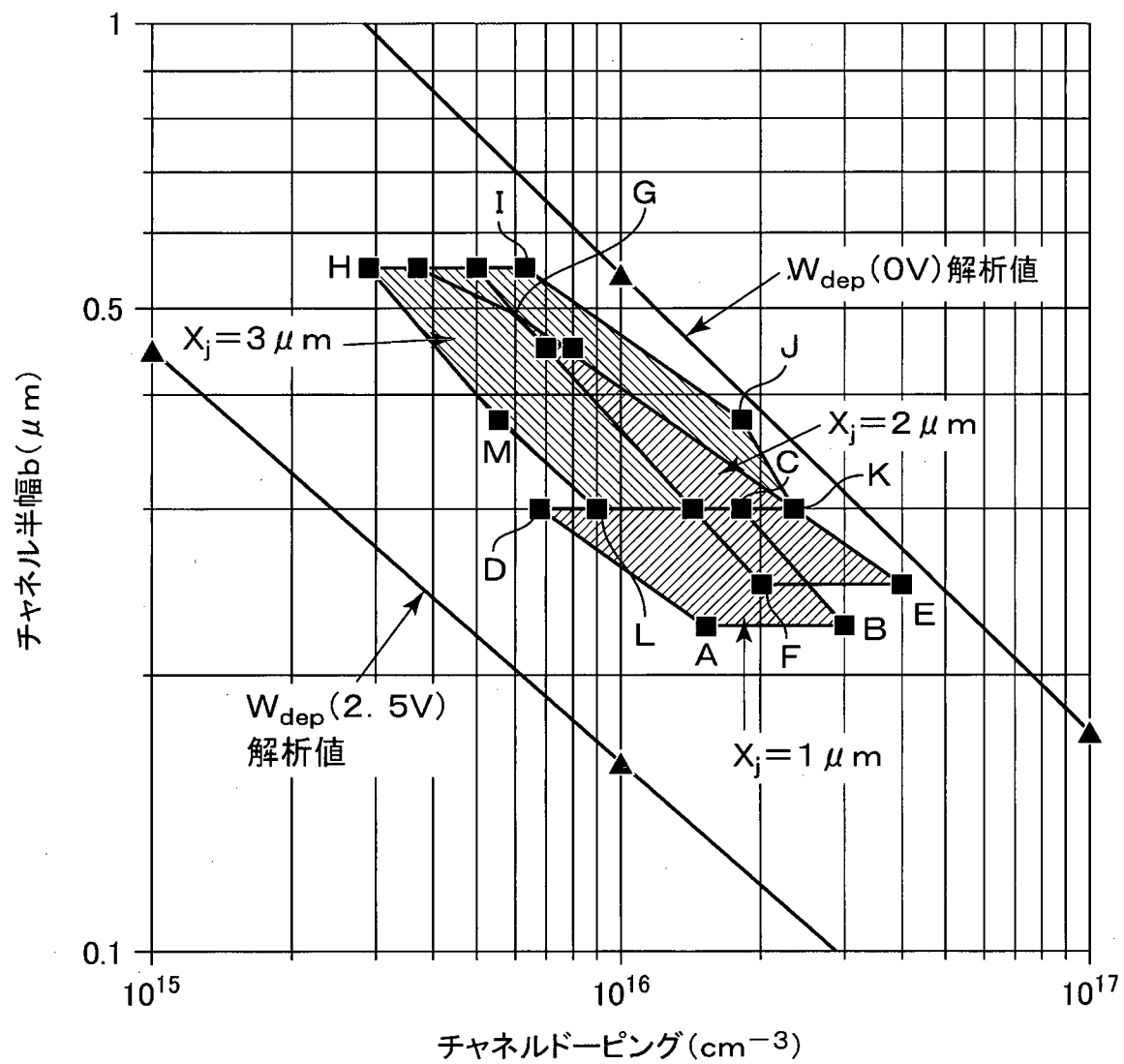


FIG.6

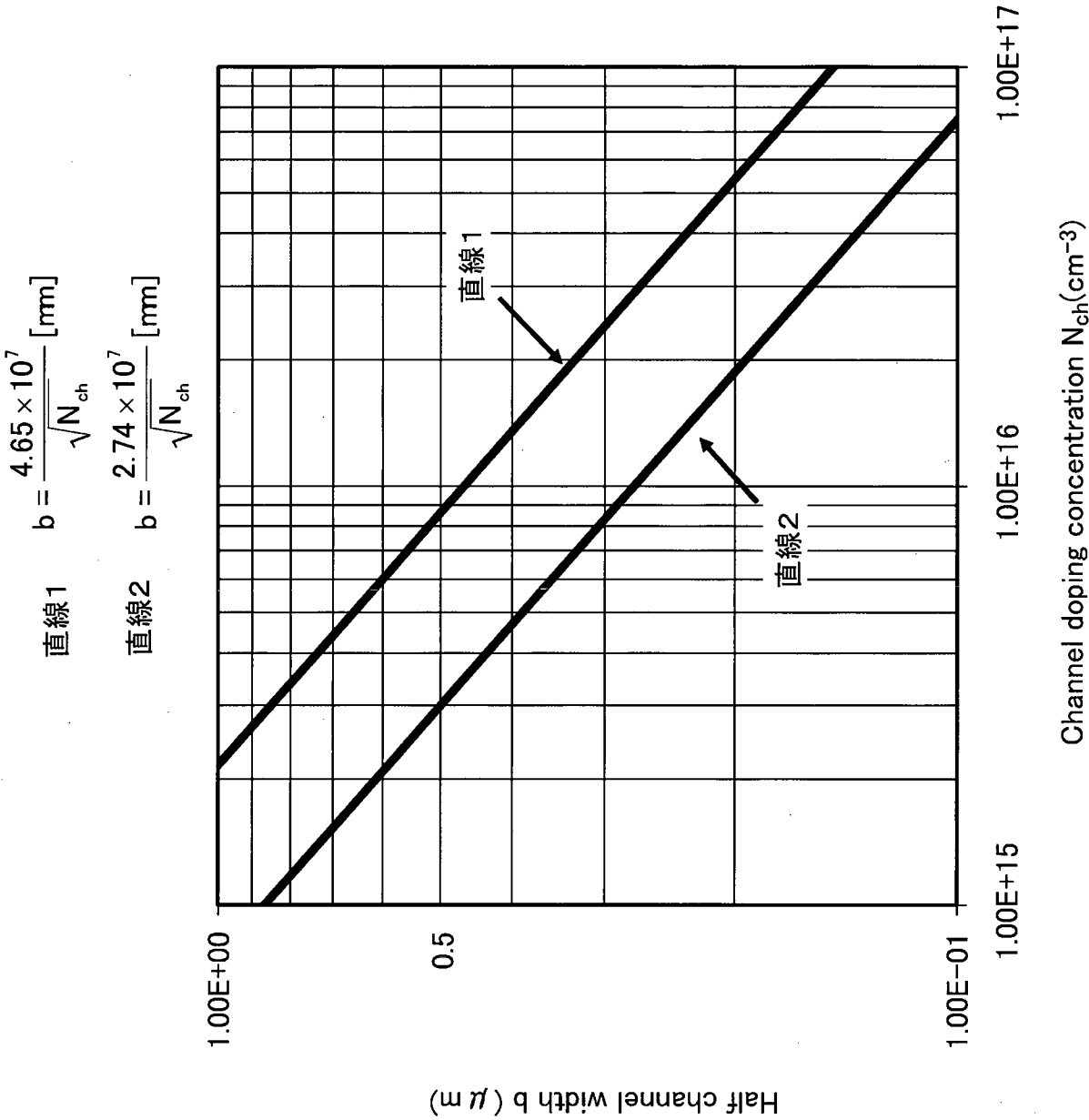
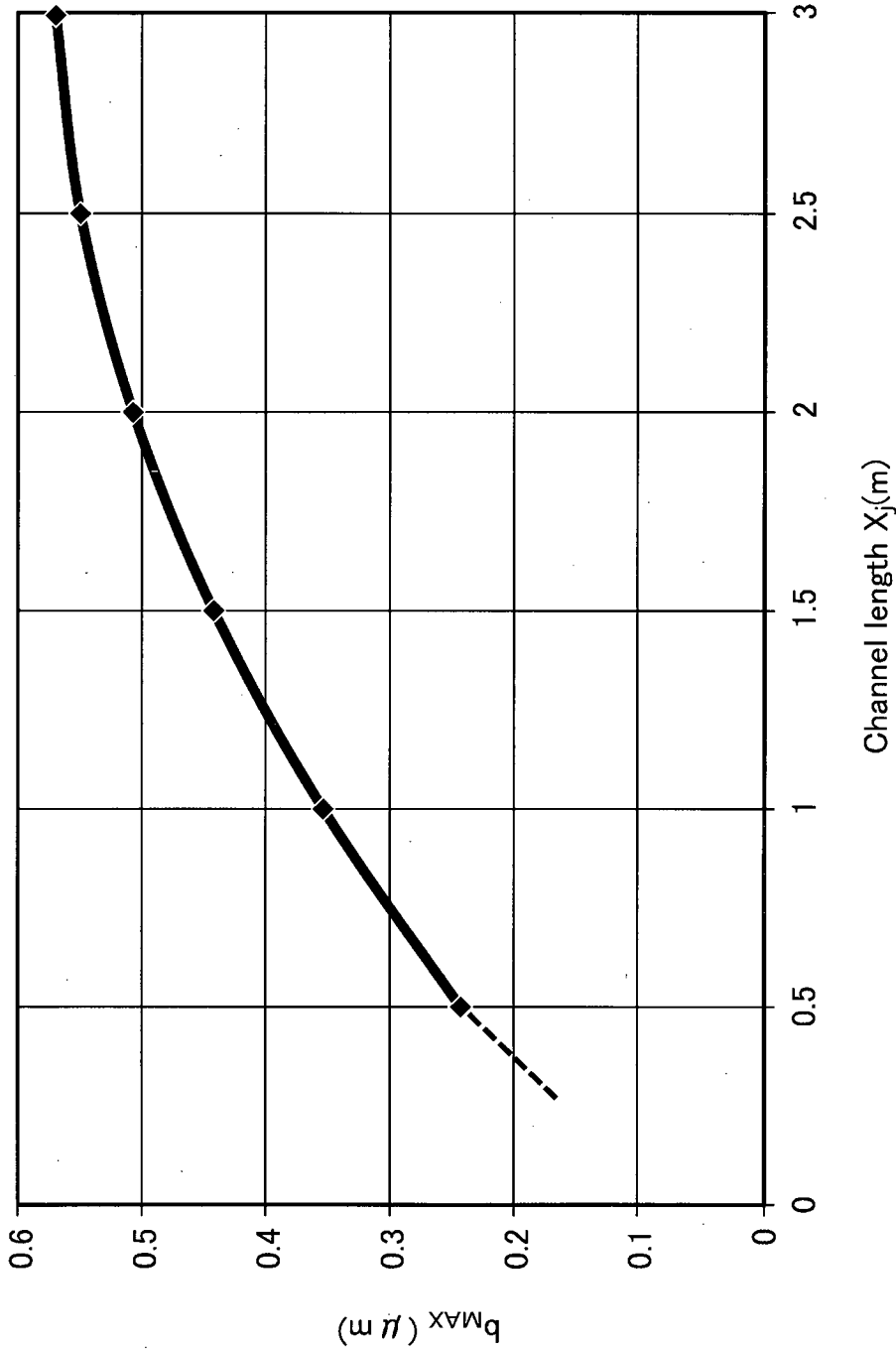


FIG.7

曲線の式 $b_{MAX}=0.109+0.290X_j-0.0455X_j^2$



8/17

FIG.8B

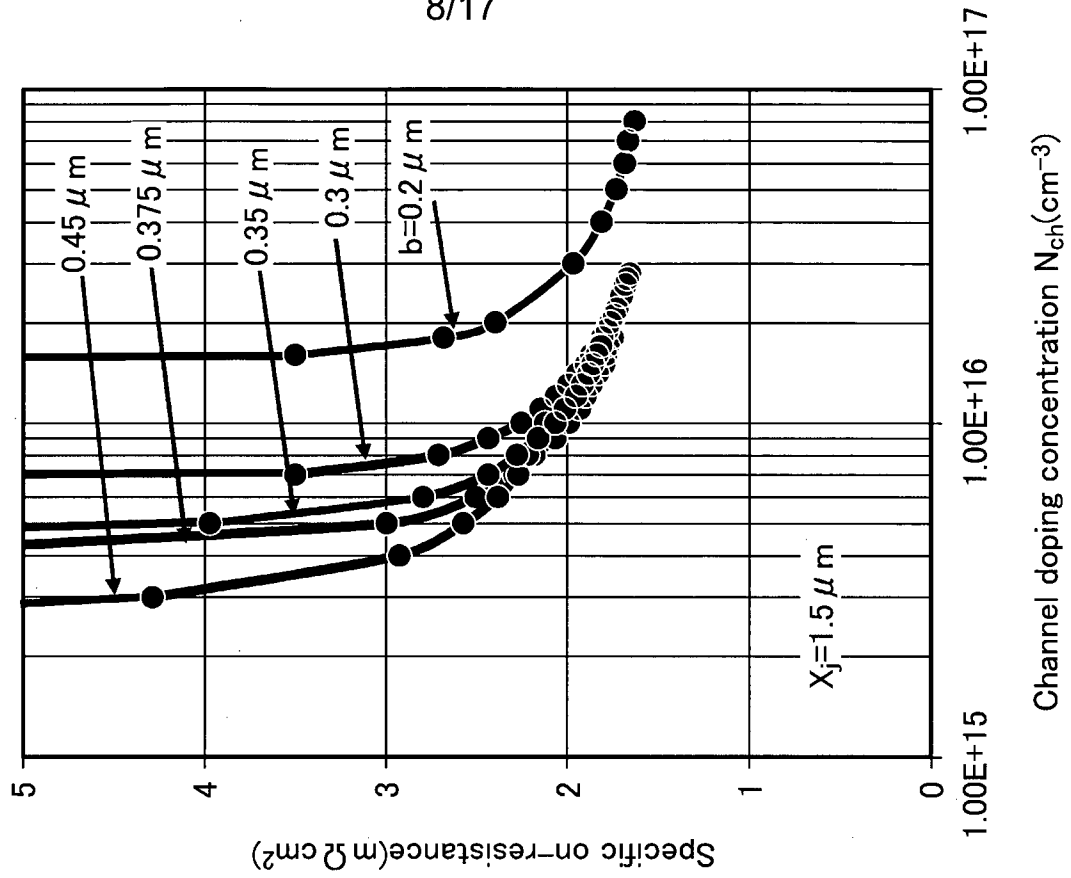


FIG.8A

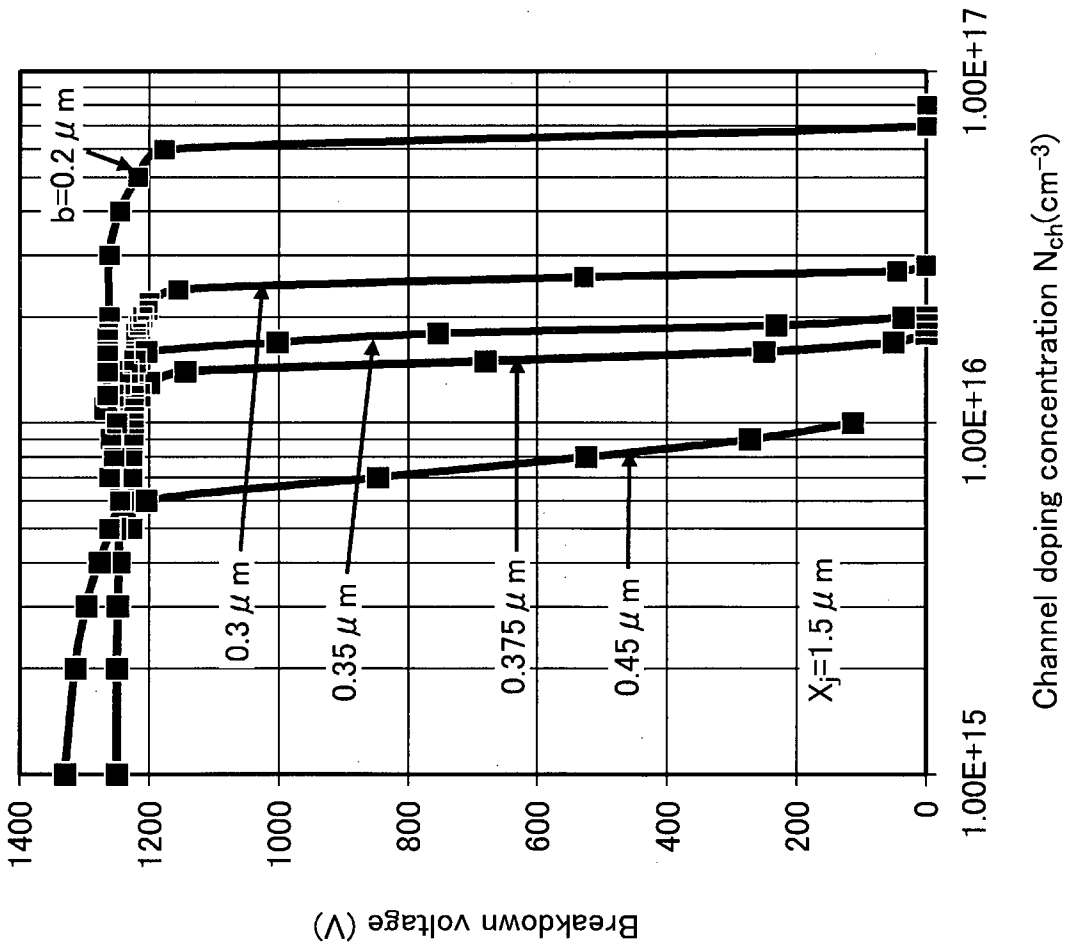
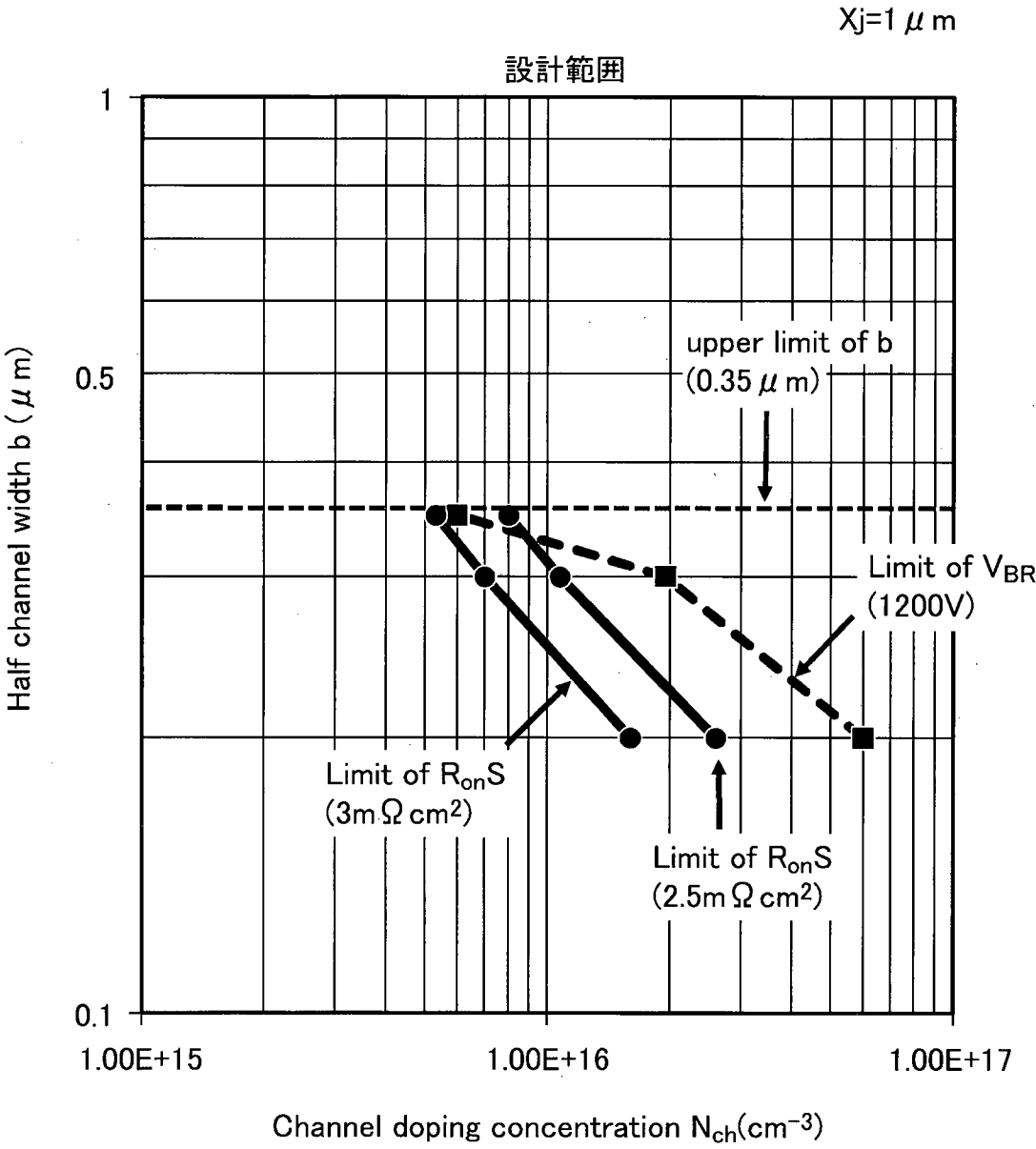


FIG.9



10/17

FIG.10

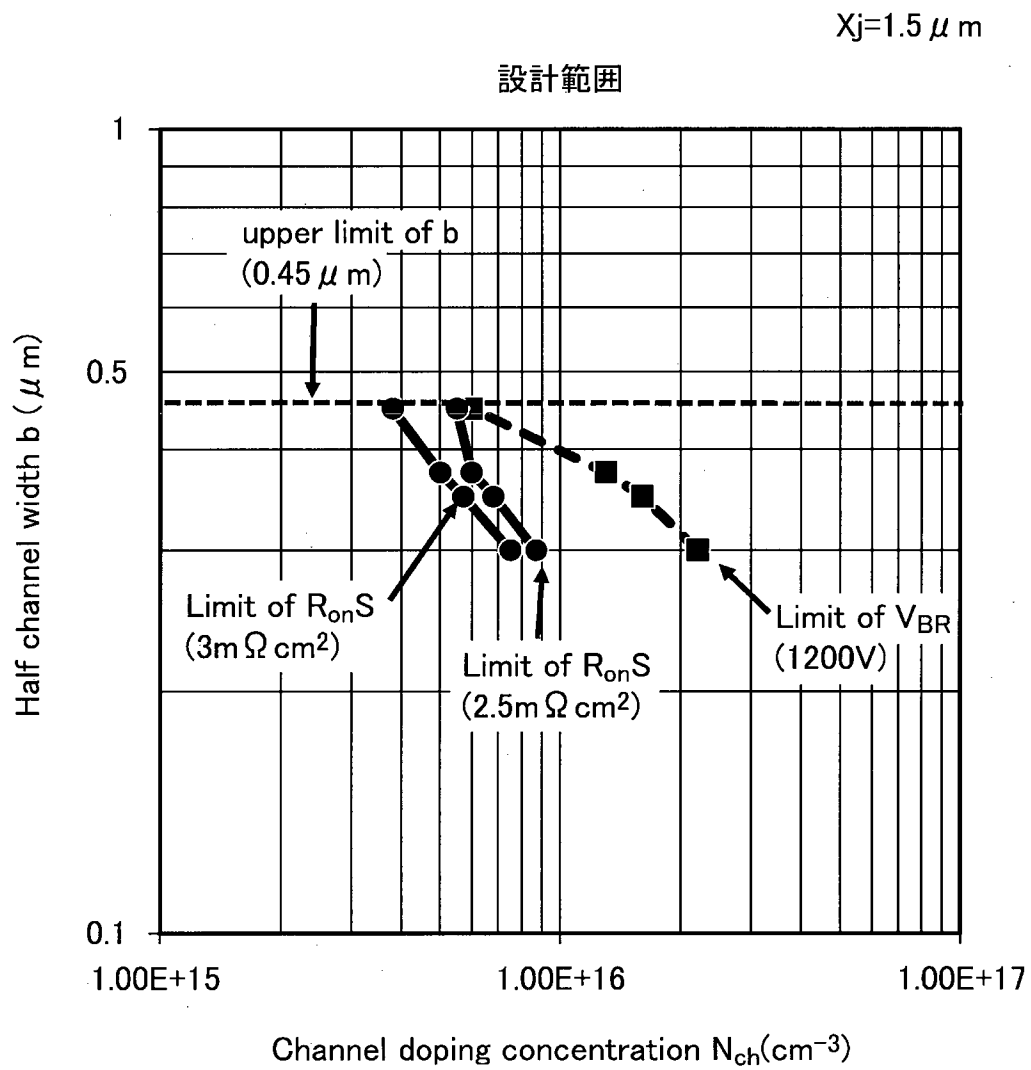
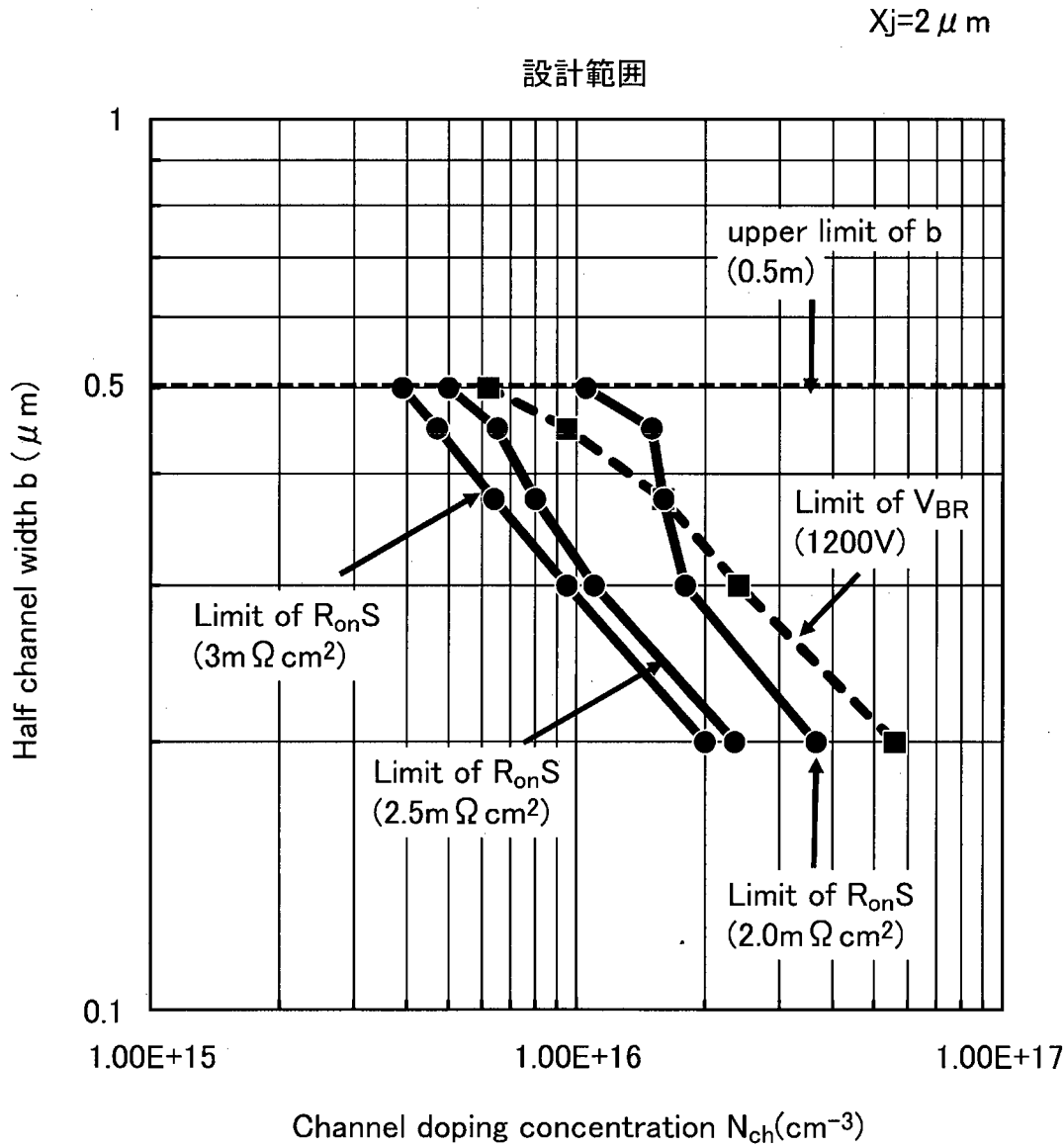


FIG.11



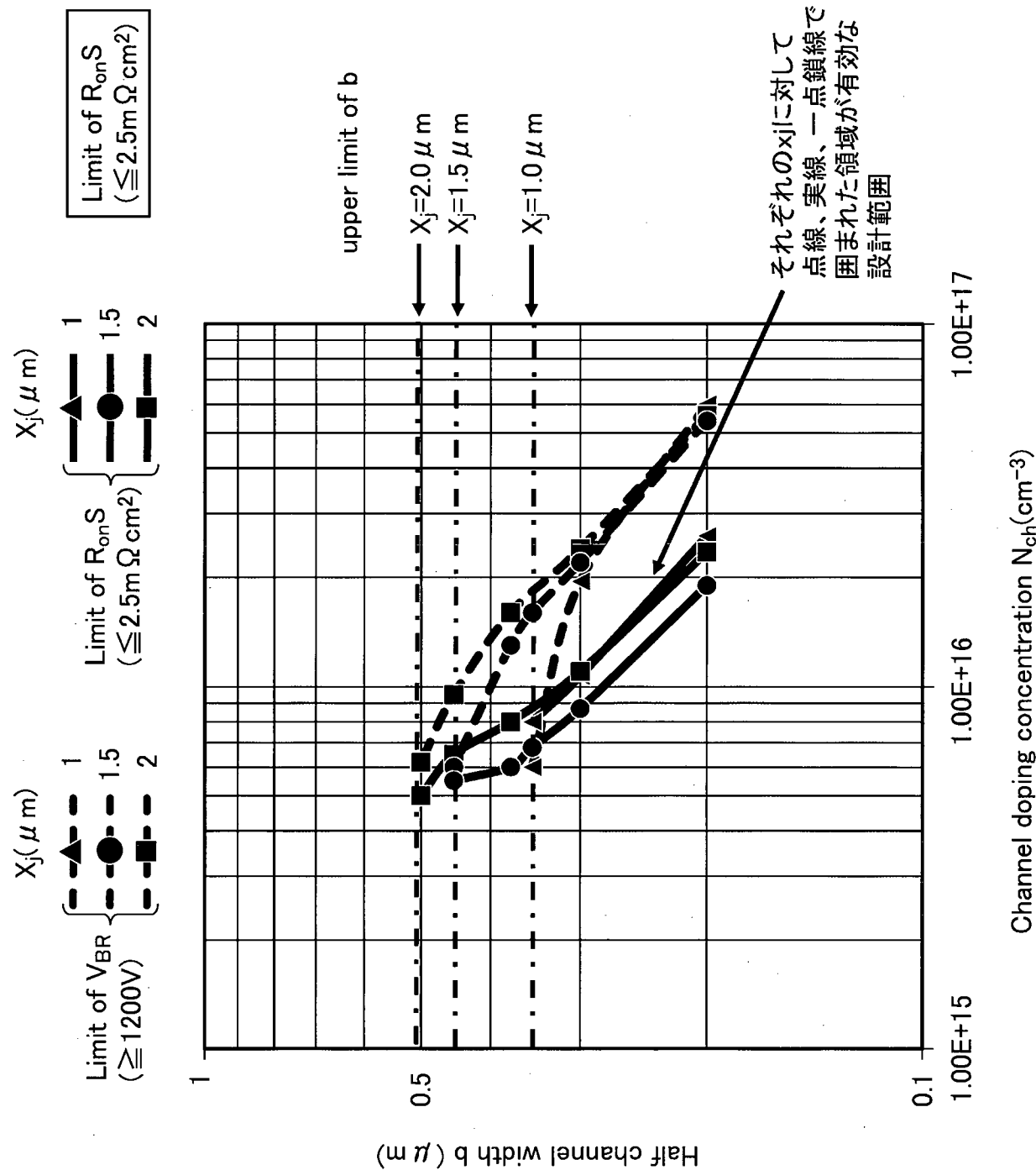


FIG.12

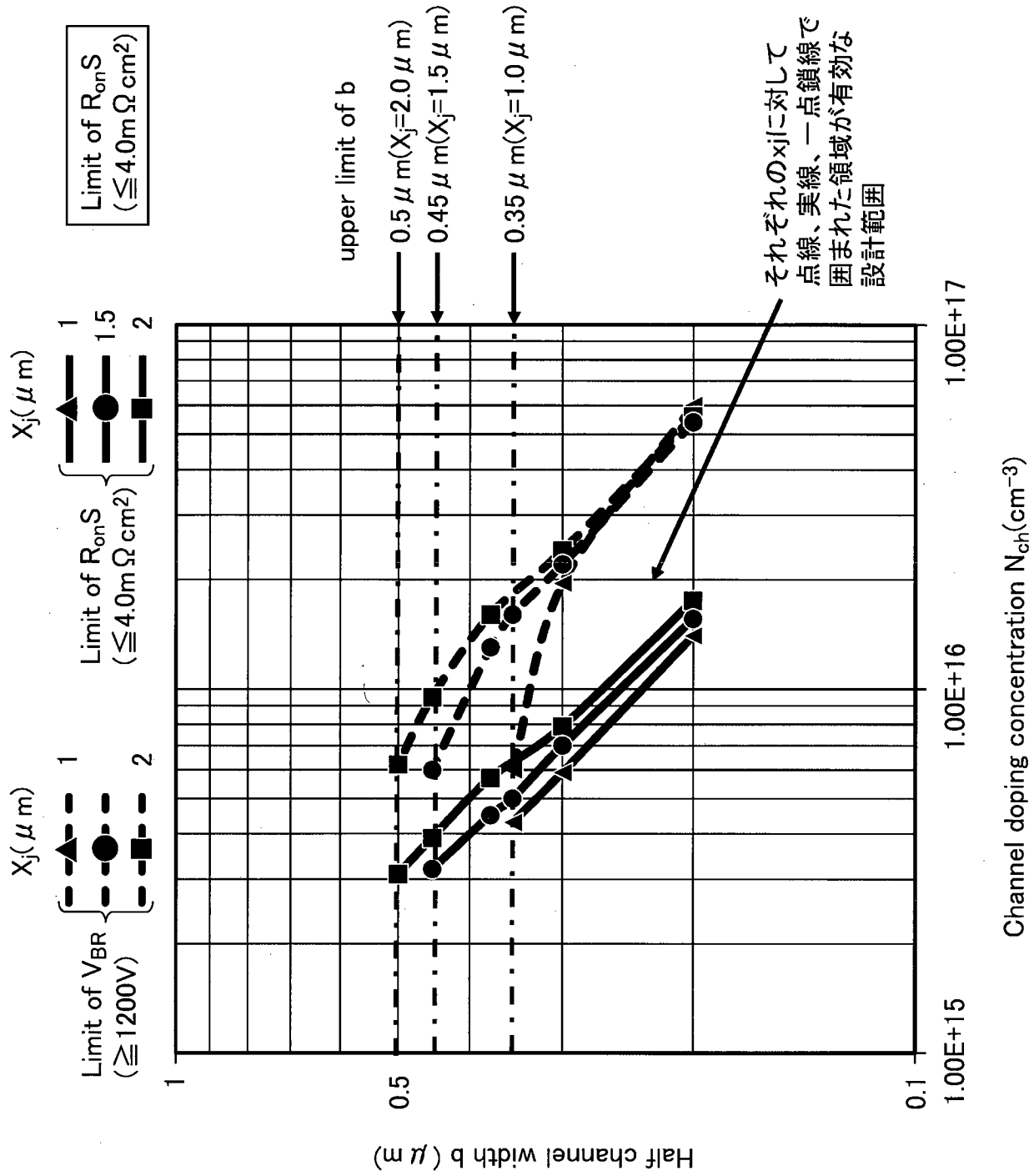


FIG.13

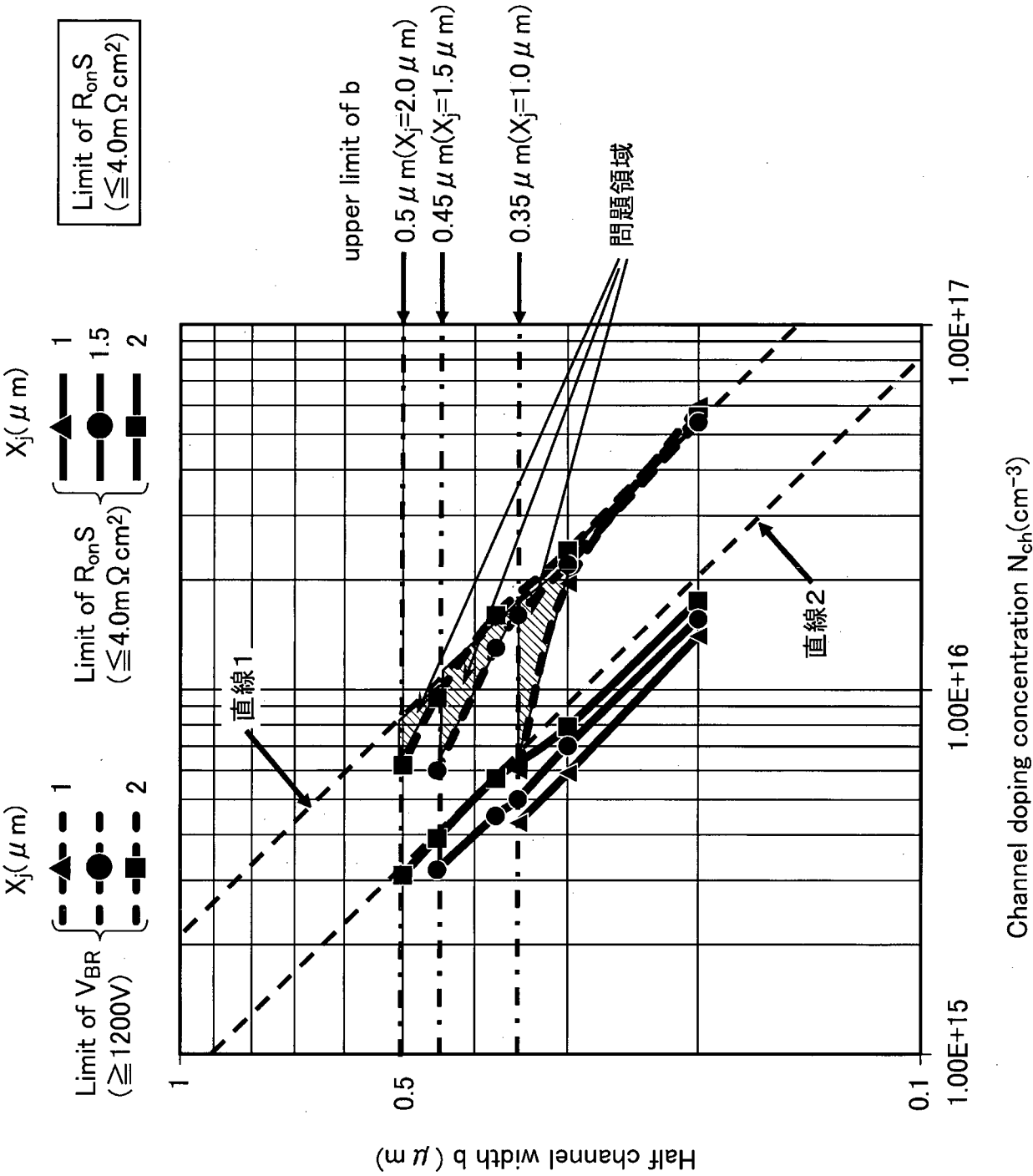


FIG.14

FIG. 15

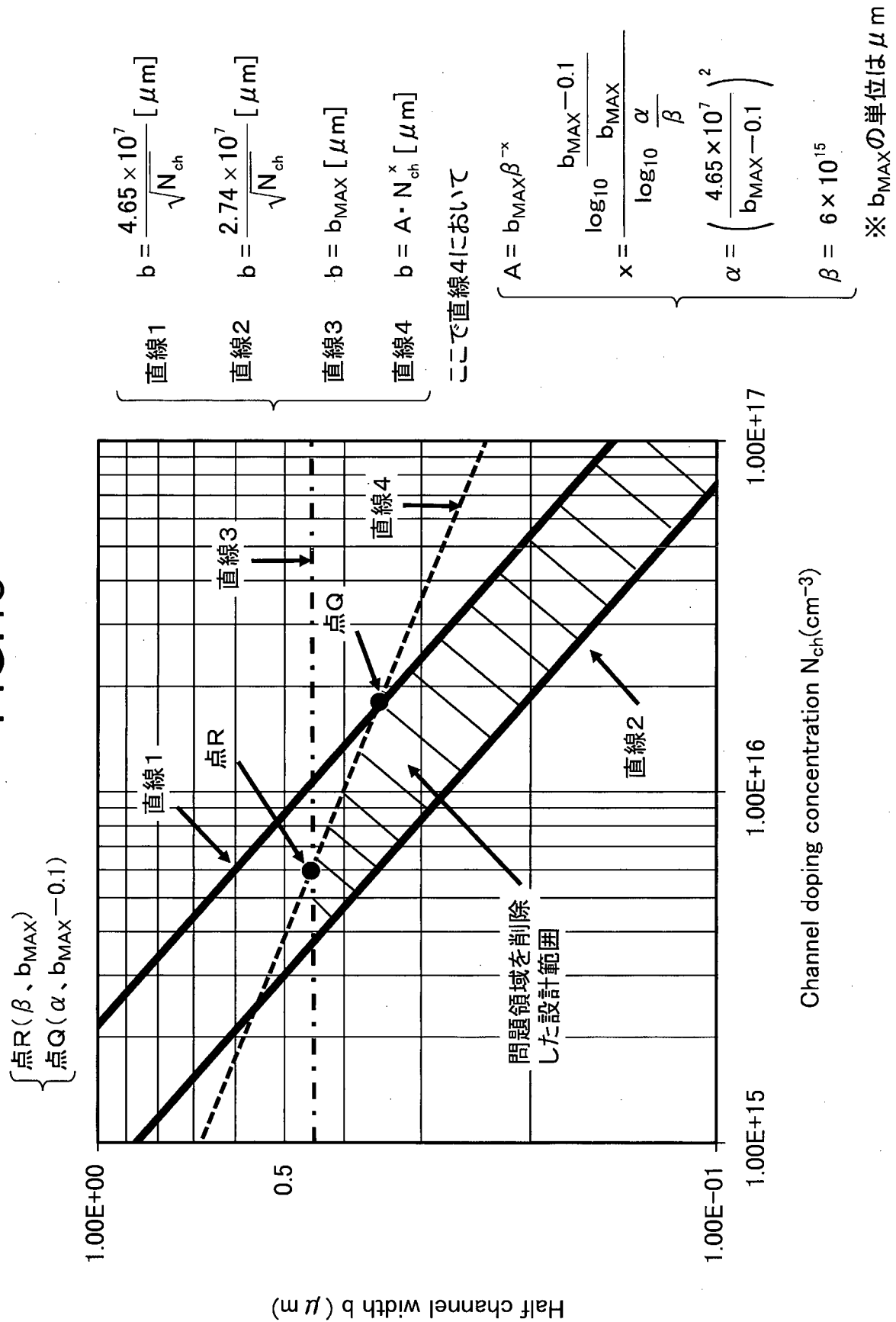
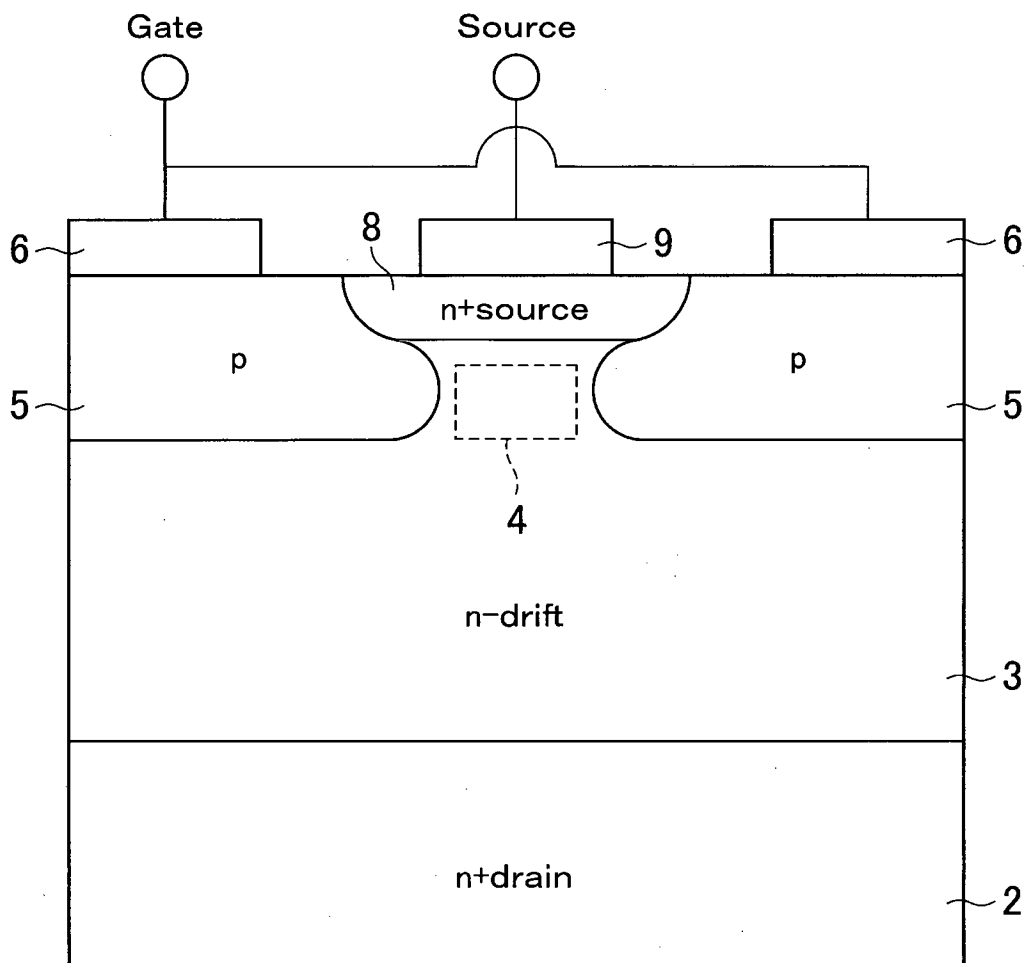


FIG.16



17/17

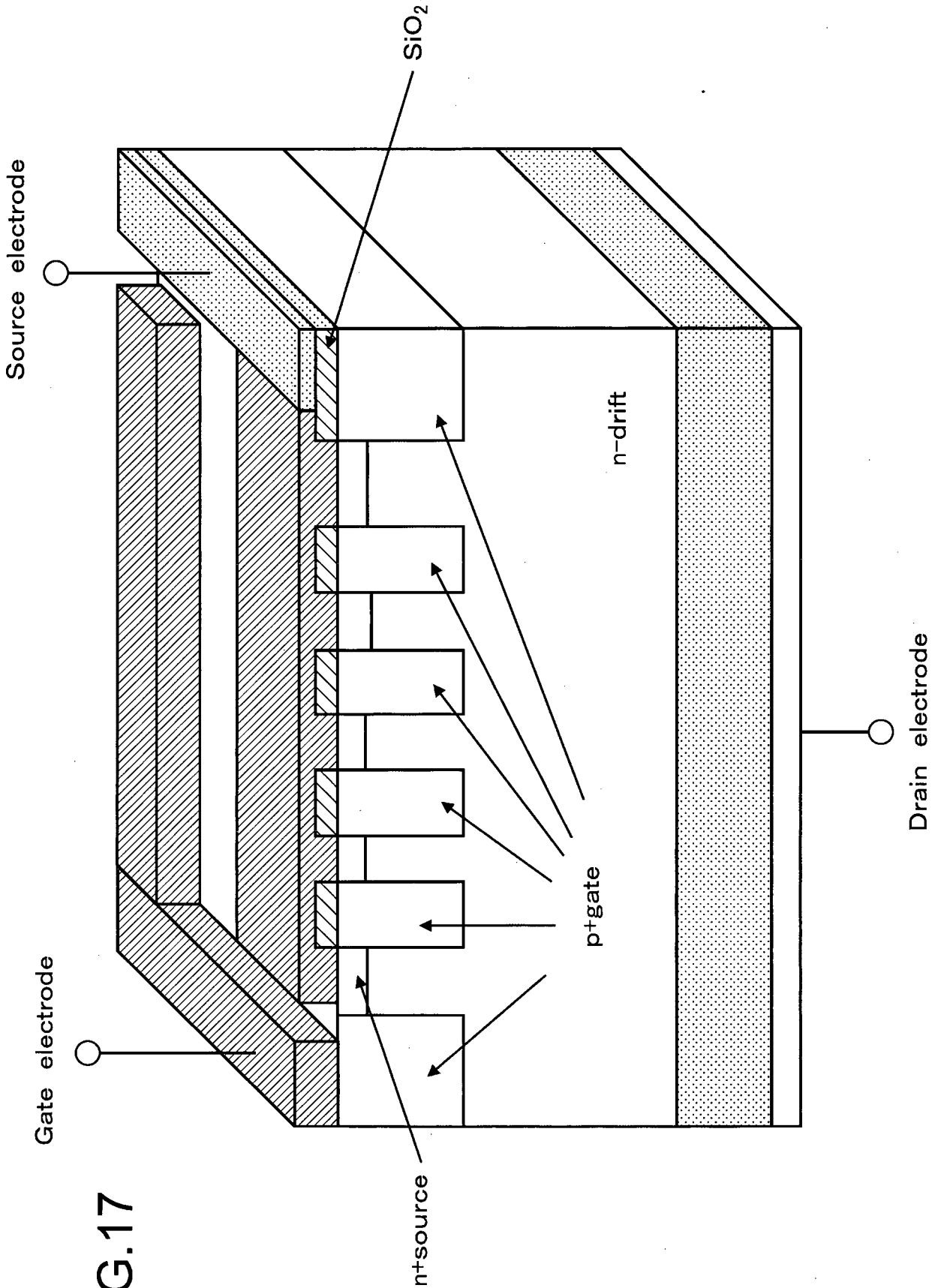


FIG.17

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/055718

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/80(2006.01)i, H01L21/337(2006.01)i, H01L29/00(2006.01)i,
H01L29/808(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/80, H01L21/337, H01L29/00, H01L29/808

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2007/004528 A1 (University of Yamanashi), 11 January 2007 (11.01.2007), paragraphs [0042] to [0071]; fig. 2 to 12 (Family: none)	1-8
Y	JP 2006-253292 A (National Institute of Advanced Industrial Science and Technology), 21 September 2006 (21.09.2006), paragraphs [0035] to [0060]; fig. 1, 2, 4 to 7 (Family: none)	1-8
A	Koji YANO et al., "SiC Umekomi Gate SIT no Channel Sekkei no Kento", SI Device Symposium Koen Ronbunshu, 29 June 2007 (29.06.2007), Dai 20 Kai, pages 29 to 34	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 June, 2011 (03.06.11)

Date of mailing of the international search report
14 June, 2011 (14.06.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/80(2006.01)i, H01L21/337(2006.01)i, H01L29/00(2006.01)i, H01L29/808(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/80, H01L21/337, H01L29/00, H01L29/808

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2007/004528 A1（国立大学法人山梨大学） 2007.01.11, 段落[0042]-[0071], 図 2-12 (ファミリーなし)	1-8
Y	JP 2006-253292 A（独立行政法人産業技術総合研究所） 2006.09.21, 段落[0035]-[0060], 図 1, 2, 4-7 (ファミリーなし)	1-8

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 3 . 0 6 . 2 0 1 1

国際調査報告の発送日

1 4 . 0 6 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

原 和秀

4 M

4 0 3 9

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	矢野 浩司他, SiC 埋め込みゲート SIT のチャネル設計の検討, SI デバイスシンポジウム 講演論文集, 2007.06.29, 第 20 回, 第 29-34 頁	1-8