СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1101823 A

3 (51) G 06 F 9/22

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

Всесоюзная 13 Библиотека

(21) 3496094/18-24
(22) 01.10.82
(46) 07.07.84. Бюл. № 25
(72) С.В. Горбачев, В.Д. Диденко, Е.А. Бурова и В.А. Торгашев
(71) Ленинградский институт авиационного приборостроения и Ленинградский научно-исследовательский вычислительный центр АН СССР
(53) 681.325(088.8)
(56) 1. Авторское свидетельство СССР № 525956, кл. G 06 F 9/22, 1965.
2. Авторское свидетельство СССР № 551648, кл. G 06 F 15/16, 1974 (прототип).

(54)(57) 1. СБОЕУСТОЙЧИВОЕ МИКРОПРОГРАММНОЕ УСТРОЙСТВО УПРАВЛЕНИЯ, содержащее блок адресации, коммутатор, блок памяти микрокоманд, блок синхронизации, первый триггер, блок обработки прерываний, блок адресации в режиме прерывания, выход которого объединен с выходом блока адресации и соединен с адресным входом блока памяти микрокоманд, первый, второй и третий управляющие выходы которого соединены соответственно с первым входом блока синхронизации, выходом управления устройства и с первым управляющим входом коммутатора, второй управляющий вход которого соединен с управляющим входом устройства, первый, второй и третий информационные входы коммутатора соединены соответственно с первым, вторым адресными выходами блока памяти микрокоманд и первым выходом блока обработки прерываний, второй выход которого соединен с единичным входом первого триггера, нулевой вход которого соединен с первым выходом блока синхронизации, второй и третий выходы которого соединены соответственно с первыми управляющими входами блоков адресации в режиме прерывания, первые информационные входы которых соединены с выходом коммутатора, четвертый информационный вход которого соединен с входом адреса устройства, с вторым информационным входом блока адресации в режиме прерывания и с первым входом блока обработки прерываний, второй вход которого соединен с входом запроса на прерывание устройства, выход второго триггера соединен с третьим входом блока обработки прерываний, четвертый вход которого соединен с вторым входом блока синхронизации, с единичным выходом первого триггера и с вторыми управляющими входами блоков адресации в режиме прерывания, третьи управляющие входы которых соединены с нулевым выходом первого триггера, выход генератора импульсов максимальной длительности соединен с единичным входом второго триггера, нулевой вход которого соединен с четвертым выходом блока синхронизации, о т л и ч а ю щ е е с я тем, что, с целью повышения коэффициента использования оборудования путем автоматического перезапуска процесса при однократных сбоях и зацикливания программ, устройство дополнительно содержит регистр адреса перезапуска, элемент И, элемент ИЛИ, третий триггер, причем информационный вход регистра адреса перезапуска соединен с входом адреса устройства, а управляющий вход - с пятым выходом блока син-

SU (11) 1101823 A

хронизации, а выход регистра адреса перезапуска соединен с вторым информационным входом блока адресации, шестой выход блока синхронизации соединен с входом третьего триггера, единичный выход которого соединен с первым входом элемента ИЛИ, второй вход которого соединен с выходом элемента И и с пятым входом блока обработки прерываний, шестой вход которого соединен с выходом элемента ИЛИ, выход генератора импульсов максимальной длительности соединен с первым входом элемента И, второй вход которого соединен с выходом второго триггера.

2. Устройство по п.1, о т л и ч а ю щ е е с я тем, что блок обработки прерываний содержит первый, второй регистры, шифратор и схему сравнения, первый и второй информационные входы которой соединены соответственно с выходами шифратора и первого регистра, управляющий вход схемы сравнения соединен с шестым входом блока, а выход - с вторым выходом блока, управляющие входы первого и второго регистров соединены с четвертым входом блока, информационный вход первого регистра соединен с первым входом блока, второй, третий и пятый входы блока объединены и подключены к информационному входу второго регистра, выход которого соединен с входом шифратора, выход которого подключен к первому выходу блока.

1

Изобретение относится к вычислительной технике и может найти применение при создании микропрограммируемых специализированных и универсальных высокопроизводительных цифровых вычислительных машин, а именно устройств управления работой процессоров с микропрограммной реализацией.

Известно микропрограммное устройство управления, которое предусматривает вхождение в режим прерывания при обнаружении зависания вычислительного процесса [1]

Однако существующие методы обнарушения и вхождения в режим прерывания существенно снижают коэффициент использования оборудования и, в конечном итоге, увеличивают время прохождения задачи.

Наиболее близким к изобретению является устройство, содержащее блок адресации, коммутатор, блок хранения микрокоманд, блок управления и синхронизации, первый триггер, генератор импульсов максимальной длительности, второй триггер, блок обработки прерываний, блок адресации в режиме прерывания, шину управления выбором прямого и альтернативного адреса, шину начальной установки, шину внешних запросов на прерывания,

2

шину управления элементами процессора, причем выход блока адресации подключен к выходу блока адресации в режиме прерывания и к входу блока хранения микрокоманд, второй и пятый входы которого соединены соответственно с шиной управления элементами процессора и с шестым входом коммутатора, четвертый вход которого подключен к третьему выходу блока хранения микрокоманд, первый и четвертый выходы которого соединены соответственно с первым входом блока управления и синхронизации и пятым входом коммутатора, первый и второй входы которого подключены соответственно к шине управления выбором прямого и альтернативного адреса и первым выходом блока обработки прерываний, третий вход которого соединен с вторым входом управления и синхронизации, с третьим входом блока адресации, с четвертым входом блока адресации в режиме прерывания и с первым выходом первого триггера, второй и первый входы которого подключены к третьему выходу блока управления и синхронизации и второму выходу блока обработки прерываний, четвертый вход которого соединен с шиной начальной установки, с третьим входом комму-

татора и пятым входом блока адресации в режиме обработки прерываний, первый вход которого соединен с выходом коммутатора и первым входом блока адресации, четвертый вход которого подключен к второму выходу первого триггера и к третьему входу блока адресации в режиме прерывания, второй вход которого соединен с четвертым выходом блока управления и синхронизации, второй и первый выходы которого подключены соответственно к выходу генератора импульсов максимальной длительности и к второму входу блока обработки прерываний, первый вход которого соединен с шиной внешних прерываний [2].

В известном микропрограммном устройстве наибольшие трудности появляются при определении состояния "зависания" программы. Если состояние зависания определяется оператором, время решения задачи увеличивается, так как среднее время реакции оператора при определении "зависания" и повторный запуск с начала, составляет несколько десятков секунд (30 с). Использование генератора сигналов максимальной длительности (он формирует сигнал запроса прерывания по таймеру) усложняет обработку прерывания программными способами. Кроме того, прерывание процесса вычисления по таймеру не связано с состоянием процесса - находится ли он в состоянии "зависания" или в состоянии правильного выполнения (поэтому в изобретении предлагается автоматическое определение состояния зависания без участия оператора и возможности формирования прерывания работы устройства только в случае зависания).

Целью изобретения является повышение коэффициента использования оборудования путем автоматического перезапуска процесса при однократных сбоях и зацикливании программ.

Поставленная цель достигается тем, что в сбоеустойчивое микропрограммное устройство управления, содержащее блок адресации, коммутатор, блок памяти микрокоманд, блок синхронизации, первый триггер, генератор импульсов максимальной длительности, второй триггер, блок обработки прерывания, блок адресации в режиме прерывания, выход которого объединен с выходом блока адресации и соединен с адресным входом блока памяти микрокоманд, первый, второй и третий управляющие выходы которого соединены соответственно с первым входом блока синхронизации, выходом управления устройства и с первым управляющим входом коммутатора, второй управляющий вход которого соединен с управляющим входом устройства, первый, второй и третий информационные входы коммутатора соединены соответственно с первым, вторым адресными выходами блока памяти микрокоманд и первым выходом блока обработки прерываний, второй выход которого соединен с единичным входом первого триггера, нулевой вход которого соединен с первым выходом блока синхронизации, второй и третий выходы которого соединены соответственно с первыми управляющими входами блока адресации и адресации в режиме прерывания, первые информационные входы которых соединены с выходом коммутатора, четвертый информационный вход которого соединен с входом адреса устройства, с вторым информационным входом блока адресации в режиме прерывания и с первым входом блока обработки прерываний, второй вход которого соединен с входом запроса на прерывание устройства, выход второго триггера соединен с третьим входом блока обработки прерываний, четвертый вход которого соединен с вторым входом блока синхронизации, единичным выходом первого триггера и с вторыми управляющими входами блоков адресации в режиме прерывания, третьи управляющие входы которых соединены с нулевым выходом первого триггера, выход генератора импульсов максимальной длительности соединен с единичным входом второго триггера, нулевой вход которого соединен с четвертым выходом блока синхронизации, введены регистр адреса перезапуска, элемент И, элемент ИЛИ, третий триггер, причем информационный вход регистра адреса перезапуска соединен с входом адреса устройства, а управляющий вход - с пятым выходом блока синхронизации, выход регистра адреса перезапуска - с вторым информационным входом блока адресации, шестой выход блока синхронизации - с входом третьего триггера, единичный выход

которого соединен с первым входом элемента ИЛИ, второй вход которого соединен с выходом элемента И и с пятым входом блока обработки прерываний, шестой вход которого соединен с выходом элемента ИЛИ, выход генератора импульсов максимальной длительности соединен с первым входом элемента И, второй вход которого соединен с выходом второго триггера.

При этом блок обработки прерываний содержит первый, второй регистры, шифратор и схему сравнения, первый и второй информационные входы которой соединены соответственно с выходами шифратора и первого регистра, управляющий вход схемы сравнения соединен с шестым входом блока, а выход - с вторым выходом блока, управляющие входы первого и второго регистров - с четвертым входом блока, информационный вход первого регистра - с первым входом блока, второй, третий и пятый входы блока объединены и подключены к информационному входу второго регистра, выход которого соединен с входом шифратора, выход которого подключен к первому входу блока.

Таким образом, введение регистра адреса перезапуска, схемы И, схемы ИЛИ, триггера обеспечивает выявление "зависания" программы, автоматический ее перезапуск и формирование сигнала прерывания только при зависании программы.

На фиг. 1 изображена блок-схема предлагаемого устройства; на фиг.2 - блок-схема коммутатора; на фиг.3 - блок-схема обработки прерываний; на фиг. 4 - блок-схема блока синхронизации; на фиг. 5 - блок-схема блока адресации; на фиг. 6 - временные диаграммы основного цикла работы устройства; на фиг. 7 - временные диаграммы работы устройства в режиме обработки прерывания; на фиг. 8 - временные диаграммы работы устройства при зависании программы.

Предлагаемое микропрограммное устройство содержит (фиг. 1) блок 1 адресации, коммутатор 2, блок 3 памяти микрокоманд, блок 4 синхронизации, триггер 5, генератор 6 импульсов максимальной длительности, триггер 7, блок 8 обработки прерываний, блок 9 адресации в режиме прерывания, управляющий вход 10 устройства, вход 11 адреса устройства, вход 12 запроса на прерывание устройства, выход 13 управления устройства, регистр 14 адреса перезапуска, элемент И 15, элемент ИЛИ 16, триггер 17.

Входящий в микропрограммное устройство управления коммутатор (фиг.2) содержит коммутатор 18, группу 19 элементов И, группу 20 элементов ИЛИ, группу 21 элементов И, элемент НЕ 22.

Входящий в микрограммное устройство управления блок обработки прерываний (фиг. 3) содержит регистр 23, шифратор 24, регистр 25, схему 26 сравнения.

Входящий в микропрограммное устройство управления блок синхронизации содержит генератор 27, формирователь 28, элемент НЕ 29, дешифратор 30, элементы 2И 31-34, элементы 3И 35 и 36, элементы 2ИЛИ 37 и 38.

Входящий в микропрограммное устройство управления блок 1 адресации (фиг. 5) содержит группу 39 элементов И, регистр 40, группу 41 элементов ИЛИ, группу 42 элементов И, группу 43 элементов И.

Регистр 14 адреса перезапуска предназначен для хранения начального адреса микропрограммы и может быть реализован на регистровых схемах К589ИР12.

Элемент И 15 предназначен для формирования запроса на прерывание в случае однократного сбоя и зацикливания и может быть реализован на схеме К155ЛИ1.

Элемент ИЛИ 16 предназначен для формирования сигнала разрешения обработки прерывания и может быть реализован на схеме К155ЛЛ1.

Третий триггер 17 предназначен для обеспечения запрещения обработки прерываний и может быть реализован на схеме К155ТМ2.

Микропрограммное устройство работает следующим образом.

При включении устройства на вход блока 3 памяти микрокоманд поступает определенный адрес (обычно нулевой), с которого начинается микропрограмма, назначение которой - загрузка начального адреса с внешней шины в качестве начального адреса микропрограммы. Адрес с выхода блока 1 адресации поступает на адресный вход блока 3, с которого считывается первая микрокоманда. Один из возможных фор-

матов микрокоманды для реализации предлагаемого технического решения может выглядеть так:

поле адреса следующей микрокоманды(может включить прямой и альтернативный адрес);

поле управления выбором подключения входа коммутатора 2;

поле управления дешифратора;

поле для управления отдельными элементами процессора.

Коммутатор 2 осуществляет выбор адреса следующей микрокоманды. В обычном режиме работы (не в режиме прерывания) к выходу коммутатора подключен блок 1 адресации, а выход этого блока подключен к входу блока памяти микрокоманд, вход блока 9 в этом режиме - к входу начальной установки (по ней в этот блок загружается начальный адрес микропрограммы обработки прерываний).

Задающая последовательность синхросигналов (диагр. а , фиг. 6) с выхода генератора 27 (фиг. 4) поступает на вход формирователя 28 (фиг. 4). Тактовые импульсы с выхода формирователя участвуют в формировании управляющих сигналов для блоков 1 и 9 адресации, с выхода блока 1 первый адрес (диагр. б , фиг. 6) поступает на блок 3 хранения микрокоманд, с выхода которого новая микрокоманда (диагр. г , фиг. 6) поступает на вход блока 4 синхронизации, обеспечивая управление устройством в новом такте.

Во время выполнения любой микропрограммы генератор 6 сигналов максимальной длительности формирует на своем выходе периодическую последовательность импульсов прямоугольной формы (диагр. а , фиг. 7).

По спадающему фронту этого импульса второй триггер переводится в единичное состояние (диагр. д , фиг. 7), что соответствует поступлению запроса на прерывание от таймера на вход блока 8 обработки прерываний. Для пояснения алгоритма функционирования устройства в режиме прерывания приведены диаграммы на фиг. 7. Обработка прерываний разрешается, когда на выходе третьего триггера 17 имеется единичный разрешающий сигнал, который через элемент ИЛИ 16 подается на вход блока 8. Если выполняемая микропрограмма разрешает обработку прерываний, то при поступлении, например, запроса на обработку прерывания от таймера происходит перевод устройства в режим прерывания, так как на выходе блока 8 вырабатывается управляющий сигнал, переводящий первый триггер 5 в единичное состояние, что соответствует режиму прерываний (диагр. г , фиг. 7).

Формируемый при этом на первом выходе первого триггера единичный сигнал отключает выход блока 1 адресации и подключает выход блока 9 адресации к адресному входу блока хранения микрокоманд, к первому входу 1 блока 9 подключается выход коммутатора, а в блоке 1 адресации остается адрес, с которого нужно будет возобновить прерванную программу. Этот же сигнал с первого выхода первого триггера подается на вход блока 8 обработки прерываний, запрещает изменение статуса в регистре 25 и запрещает изменение в регистре 23, что обеспечивает выдачу на первом выходе 1 двоичного кода прерывания. В регистр 40 блока 9 перед началом выполнения программы был загружен адрес начала программы обработки прерываний, который подается на адресный вход блока 3. В результате выполнения считанной по этому адресу микрокоманды к выходу коммутатора 2 подключается второй вход, т.е. двоичный код прерывания, выработанный блоком обработки прерываний, через коммутатор поступает в блок 9 адресации обработки прерываний, и начинает выполняться программа обработки конкретного прерывания (в рассматриваемом примере программа обработки прерывания по таймеру).

В конце каждой программы обработки прерываний в регистр блока адресации загружается адрес начала обработки прерываний для обеспечения выполнения последующих программ обработки прерываний. После окончания обработки очередного прерывания первый триггер 5 по управляющему сигналу с выхода блока 4 сбрасывается в ноль. На фиг. 7 приведены диаграммы, поясняющие работу устройства в режие обработки прерывания (диаграмма а - выход генератора импульсов максимальной длительности, д - выход второго триггера, б - выход схемы 26, г - выход первого триггера 5, ж - первый выход

блока 4, е - третий выход блока 4, ж - выход третьего триггера 17, з - выход элемента ИЛИ 16, и - выход 6 блока 4).

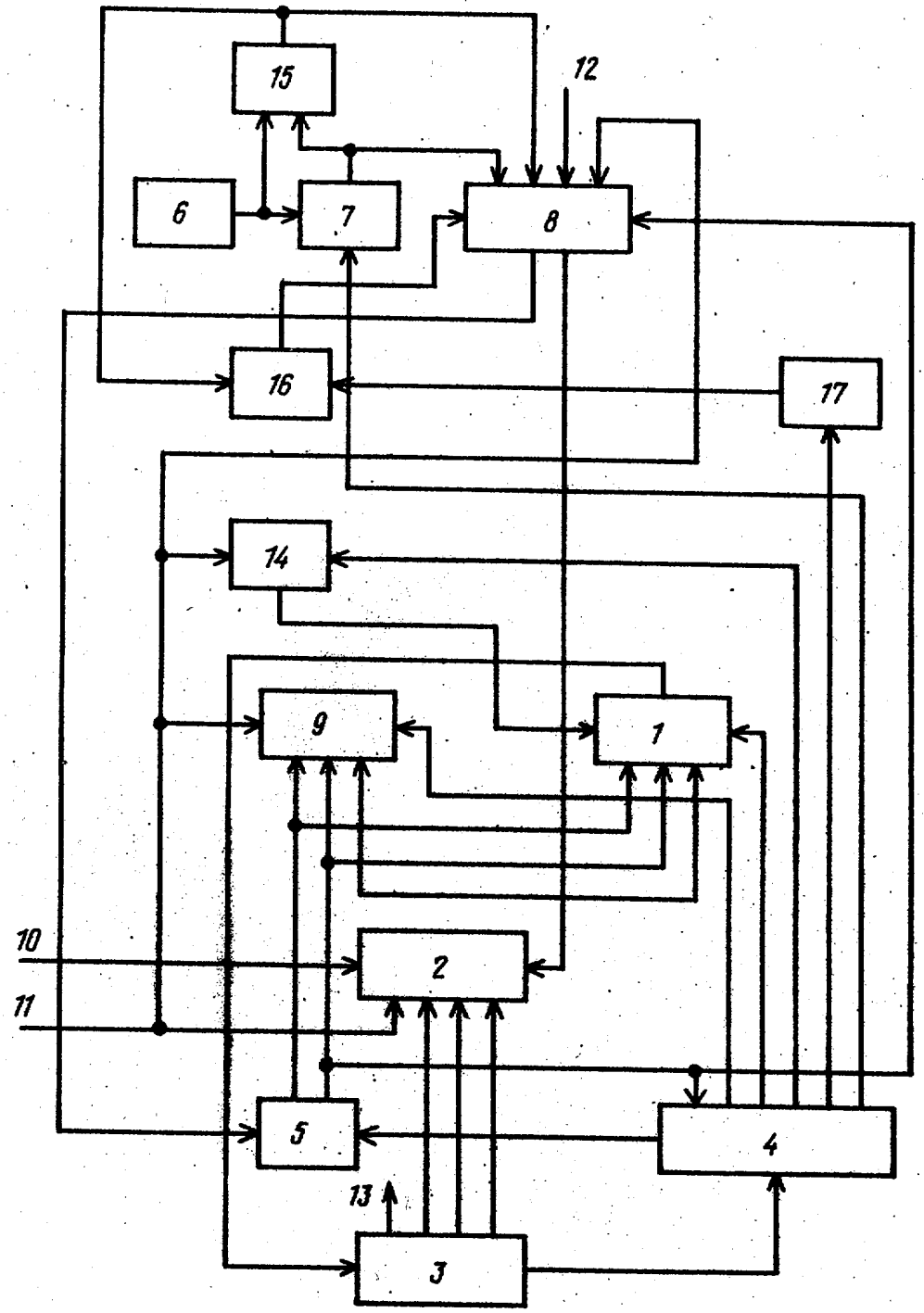
В начале каждой микропрограммы, требующей запрещения обработки прерываний, третий триггер 17 управляющим сигналом переводится в нулевое состояние, вследствие чего, запрещается срабатывание блока 8, и при правильной работе устройства прерывание возникнуть не может. Если есть запрос на обработку прерывания по таймеру, то в конце его обработки с первого выхода блока 4 на вход второго триггера подается сигнал сброса триггера 7 в нулевое состояние, при этом сбрасывается сигнал запроса на прерывание по таймеру. В случае "зависания" микропрограммы из-за однократных сбоев третий триггер 17 не переводится в единичное состояние в течение длительного промежутка времени, большего чем период сигналов максимальной длительности, вырабатываемых генератором 6. Запрос на прерывание по таймеру не обрабатывается, когда на выходе второго триггера 7 имеется единичный сигнал, так как через элемент ИЛИ 16 на вход 6 блока 8 не подается разрешающий сигнал. В этом случае при совпадении единичного полупериода сигнала (импульс кончился, фронт возрастающий) с выхода генератора 6 и единичного сигнала с выхода второго триггера 7 на выходе элемента И 15 формируется единичный сигнал, являющийся запросом на прерывание по "зависанию", который подается на вход блока 8.

Диаграммы на фиг. 8 поясняют работу устройства в случае зависания программы из-за однократных сбоев (диаграмма а - выход генератора импульсов максимальной длительности, б - выход второго триггера 7, в - выход схемы 26 сравнения, г - выход триггера 5, д - выход третьего триггера 17, е - выход элемента И 15, ж - выход элемента ИЛИ 16, з - первый выход блока 4, и - выход блока 4. Единичный сигнал с выхода элемента И 15 через элемент ИЛИ 16 поступает в качестве разрешающего сигнала на вход блока 8, благодаря чему обработка прерывания по "зависанию" становится возможной. При обработке прерывания по "зависанию" выход регистра адреса перезапуска подключается к входу блока 1 адресации, и адрес перезапуска записывается в регистр 40 блока 1, после окончания выполнения программы обработки прерывания по "зависанию" программа начинает выполняться с адреса, который был записан в регистр адреса перезапуска - тем самым обеспечивается полное повторное выполнение очередного участка программы, что позволит обеспечить правильное решение задачи в целом.

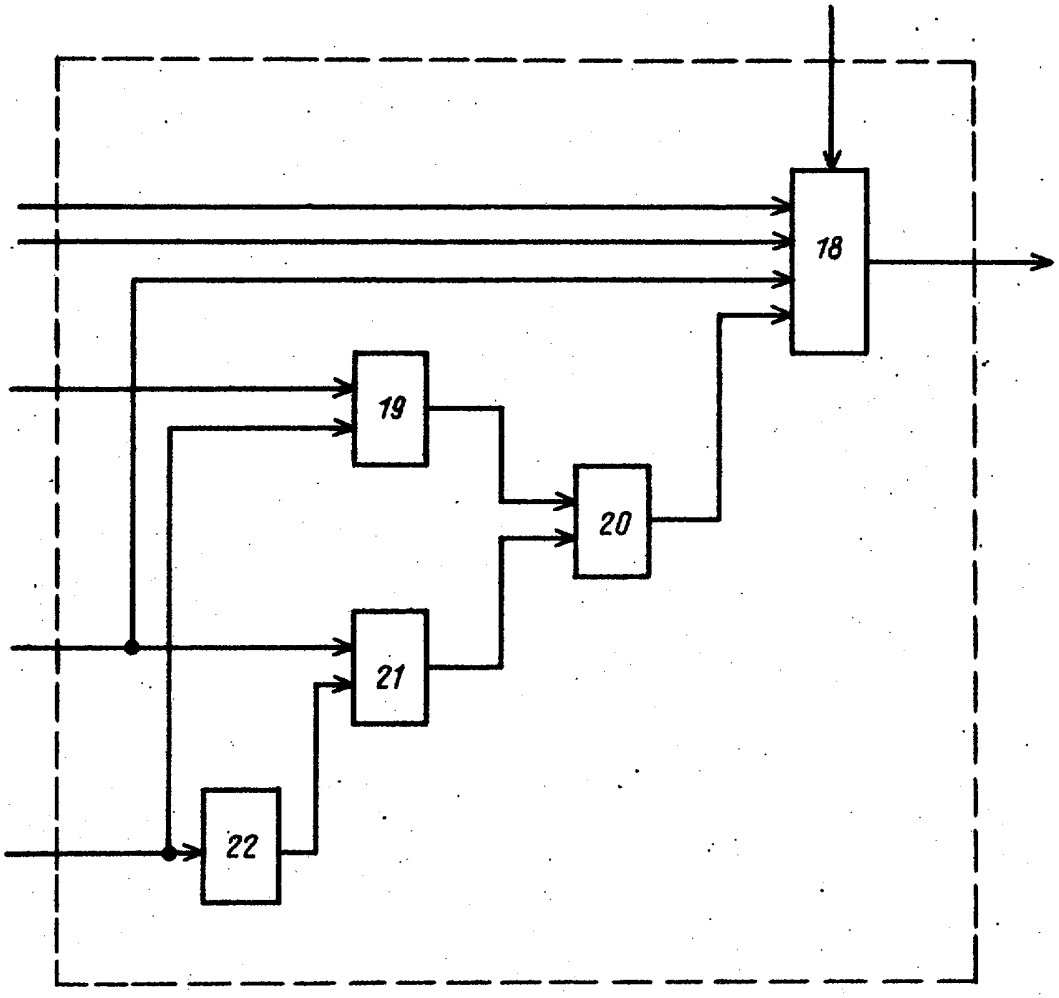
Предлагаемое техническое решение можно использовать при создании надежных и высокопроизводительных процессоров с микропрограммным управлением. Оно позволяет автоматически определить сбой процессора при "зависании" программы и автоматически перезапускать процесс, чем устраняется простой устройства, обусловленный либо временем определения состояния решения задачи оператором, либо увеличением времени использования аппаратуры устройства на обработку прерывания по таймеру, что обеспечивает повышение коэффициента использования процессора, в котором используется предлагаемое устройство.

Так, среднее время реакции оператора при определении "зависания" системы и повторный запуск задачи с начала для микропроцессорной системы Intellec фирмы ИНТЕЛ составляет несколько десятков секунд. Если принять период сигналов максимальной длительности, равный 10 мс, то очевидно, что временные потери из-за однократных сбоев при использовании предлагаемого технического решения уменьшаются на три порядка. За это время простоя устройство может выполнить большой объем вычислений (при быстродействии процессора в 5 миллионов операций в секунду за это время может быть выполнена программа, требующая 150 млн. элементарных действий.

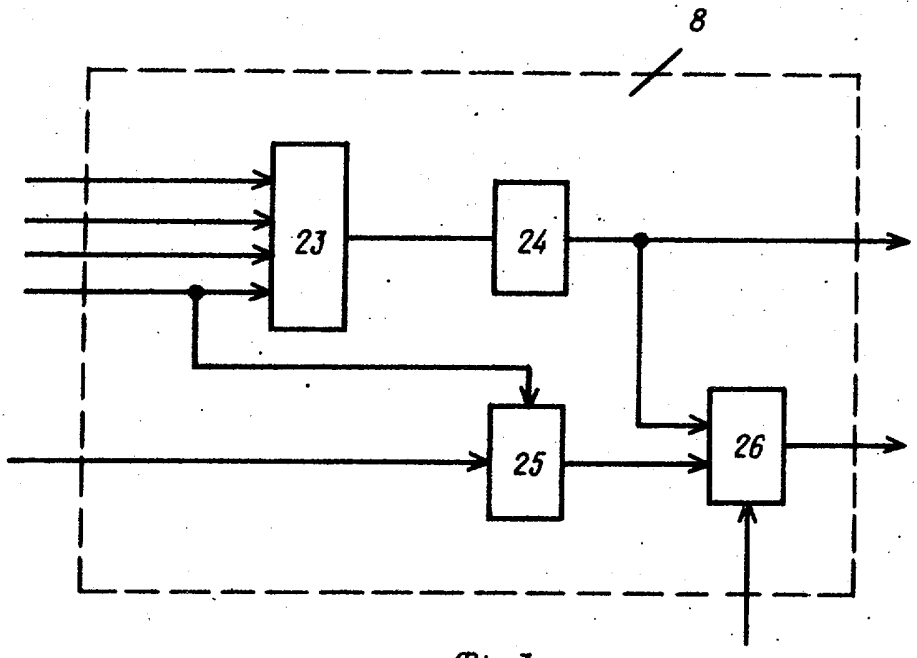
Предлагаемое техническое решение было использовано при построении на микропроцессорном наборе БИС серии К 589 экспериментальных операционных процессоров рекурсивной вычислительной машины.



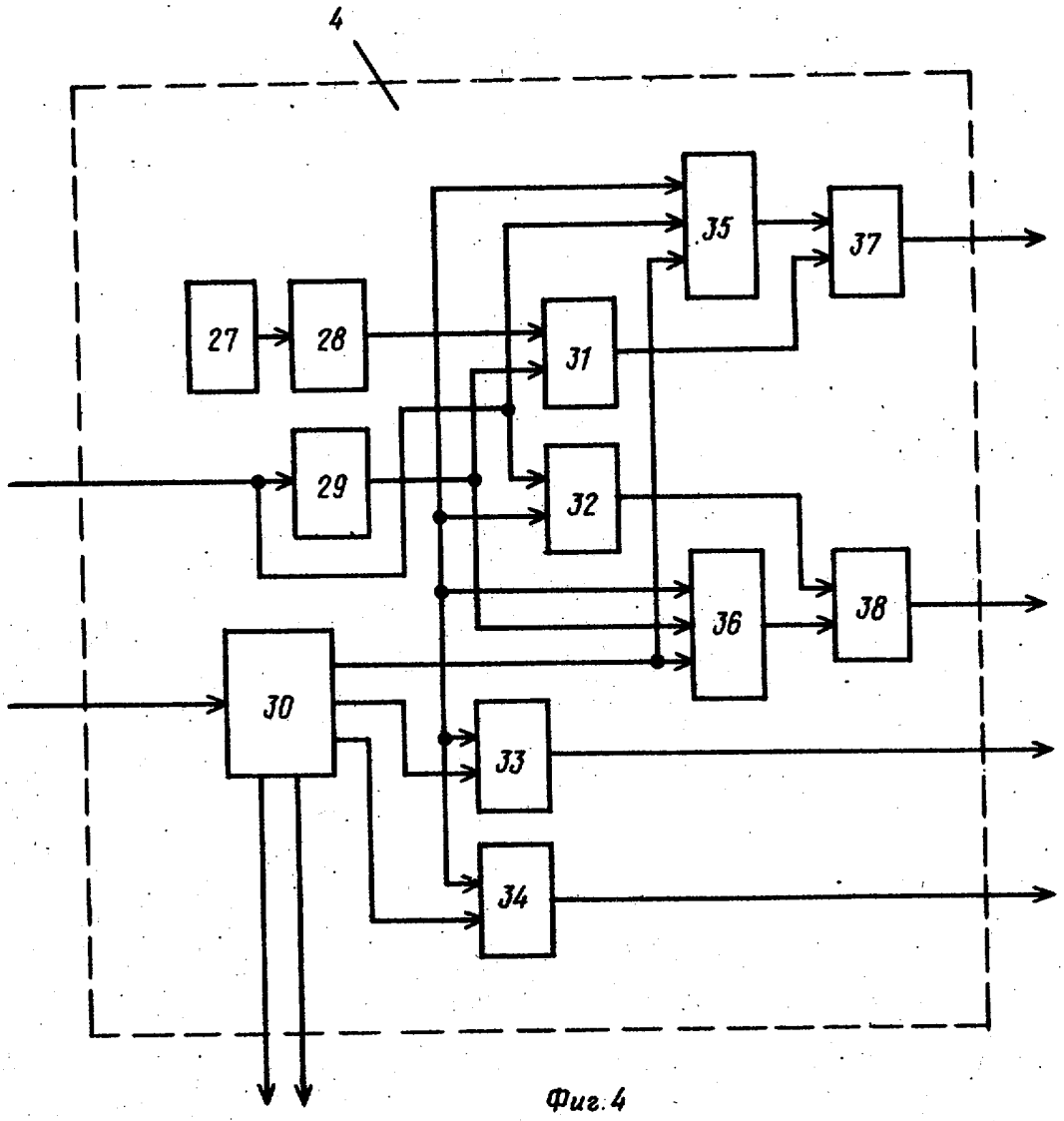
Фиг. 1



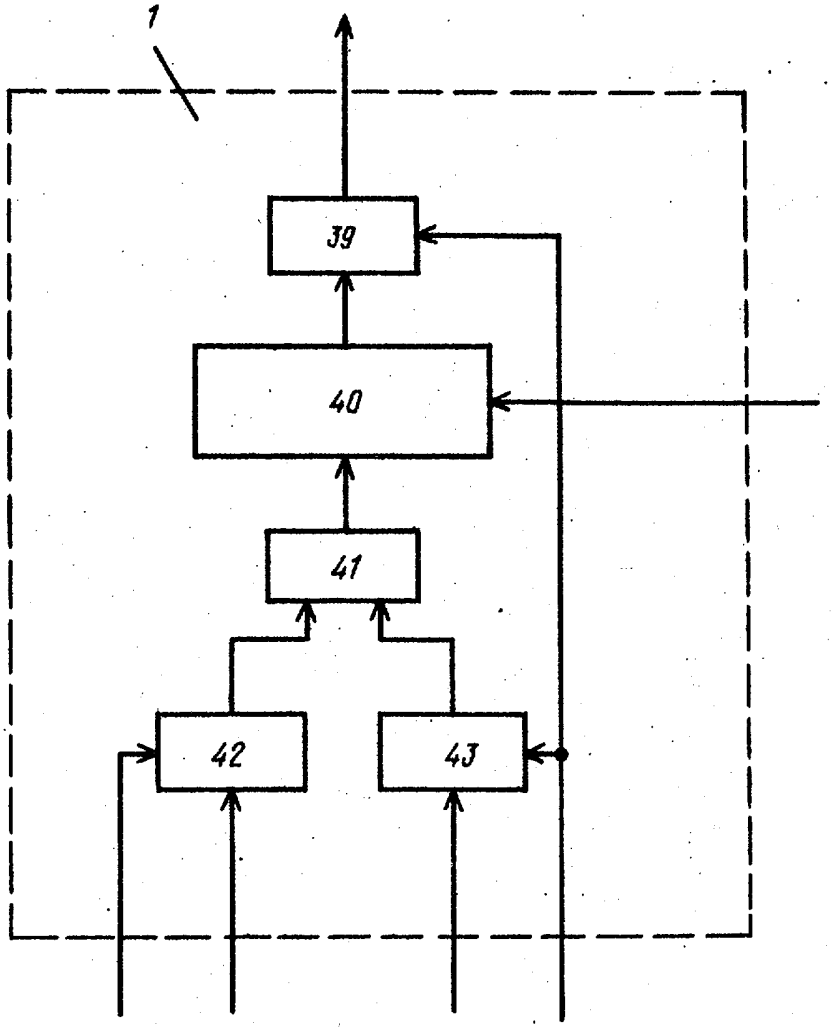
Фиг. 2



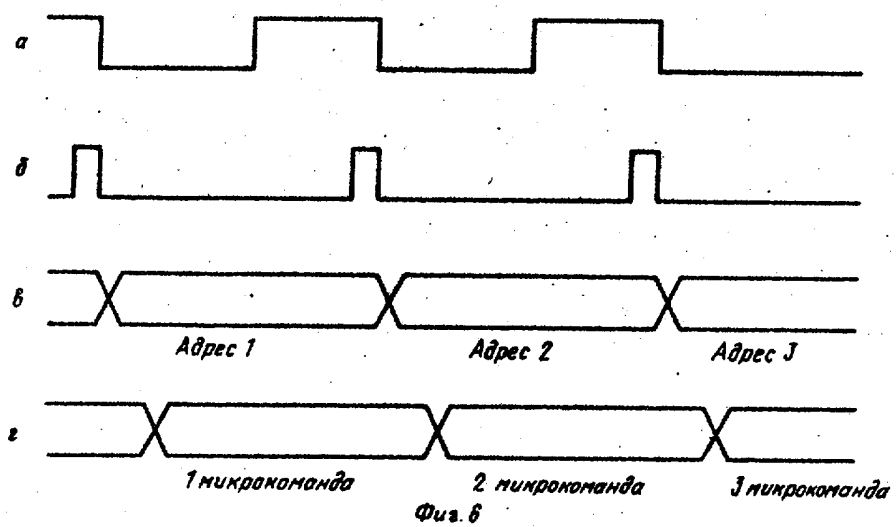
Фиг. 3



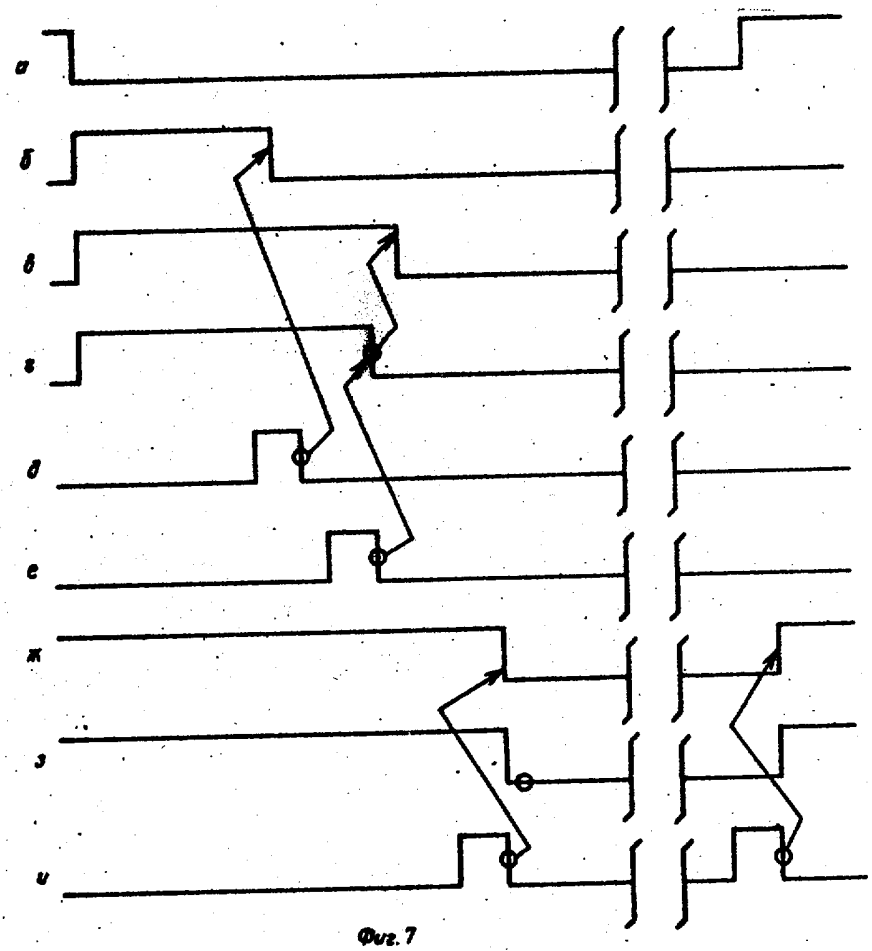
Фиг. 4


1
39
40
41
42
43

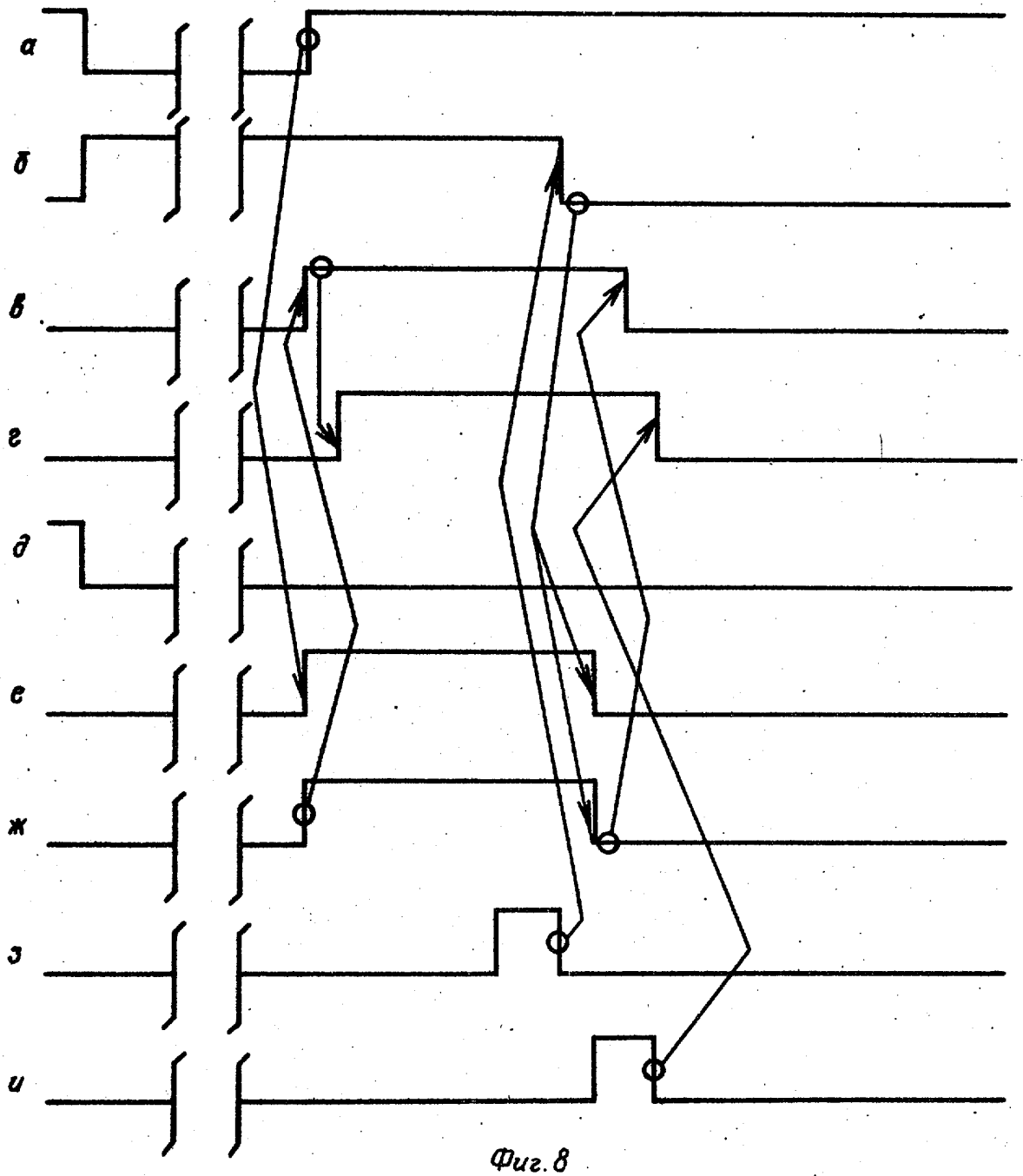
Фиг. 5


а
б
в
Адрес 1
Адрес 2
Адрес 3
г
1 микрокоманда
2 микрокоманда
3 микрокоманда

Фиг. 6



Фиг. 7



Фиг. 8

Составитель Л. Логанева
Редактор В. Данко Техред А. Бабинец Корректор В. Бутяга

Заказ 4769/33 Тираж 699 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4