

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-117536

(P2010-117536A)

(43) 公開日 平成22年5月27日(2010.5.27)

(51) Int.Cl.		F I			テーマコード(参考)
G 1 O H 1/00	(2006.01)	G 1 O H	1/00	C	5 D 1 0 8
G 1 O K 15/12	(2006.01)	G 1 O K	15/00	B	5 D 3 7 8

審査請求 未請求 請求項の数 7 O L (全 16 頁)

(21) 出願番号 特願2008-290442 (P2008-290442)
 (22) 出願日 平成20年11月13日(2008.11.13)

(71) 出願人 000001443
 カシオ計算機株式会社
 東京都渋谷区本町1丁目6番2号
 (74) 代理人 100099715
 弁理士 吉田 聡
 (72) 発明者 仲江 哲一
 東京都羽村市栄町3丁目2番1号 カシオ
 計算機株式会社羽村技術センター内
 Fターム(参考) 5D108 AA09 AB07 AC01
 5D378 JB01 JB08 KK23

(54) 【発明の名称】 共鳴音付加装置および電子楽器

(57) 【要約】

【課題】 ダンパペダルの操作に応じた適切な共鳴音を発生させる。

【解決手段】 共鳴音生成回路28は、時間軸上の一連の楽音波形データと、第1のインパルス応答データに含まれる第1のインパルス応答係数とを積和演算する畳み込み演算回路41を有する。畳み込み演算回路41は、楽音波形データを遅延させる遅延回路51、第1のインパルス応答係数と楽音波形データとを乗算する乗算回路52および乗算回路52の出力を加算する加算回路54を含む。CPU14は、ダンパペダルの操作履歴に基づいて、畳み込み演算回路41において実行すべき積和演算の段数を示す積和演算数を算出して、畳み込み演算手段に出力する。

【選択図】 図4

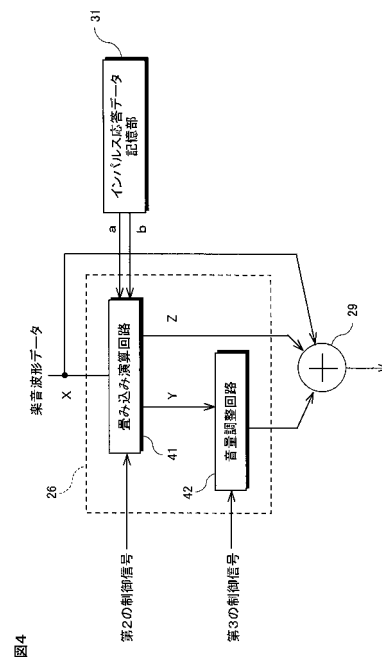


図4

【特許請求の範囲】

【請求項 1】

共鳴音を、楽音波形データに付加する共鳴音付加装置であって、

複数の第 1 のインパルス応答係数からなる第 1 のインパルス応答データを記憶したインパルス応答データ記憶手段と、

前記記憶手段に格納された第 1 のインパルス応答データを読み出して、時間軸上の一連の楽音波形データと、前記第 1 のインパルス応答データに含まれる第 1 のインパルス応答係数とで、所定回数の積和演算を実行する第 1 の積和演算手段を有する共鳴音生成手段と

、
少なくともオン、オフの何れかの状態をとる操作子の操作履歴に基づいて、前記共鳴音生成手段において実行すべき積和演算の回数を示す積和演算数を算出し、当該積和演算数を前記共鳴音生成手段に出力する制御手段と、を備え、

前記共鳴音生成手段の第 1 の積和演算手段において、前記積和演算数に基づいて、楽音波形データと第 1 のインパルス応答係数との積和演算が実行されることを特徴とする共鳴音付加装置。

【請求項 2】

前記制御手段が、現在オン状態の前記操作子が、現在に至るまでオン状態を継続していた時間間隔を算出し、当該時間間隔に含まれる楽音波形データの数に基づき、前記積和演算数を算出し、

前記共鳴音生成手段の第 1 の積和演算手段において、現在の楽音波形データおよび前記時間間隔に含まれる時間だけ遅延された楽音波形データと、対応するインパルス応答係数との積和演算が実行されることを特徴とする請求項 1 に記載の共鳴音付加装置。

【請求項 3】

前記操作子が、オン状態において、その押下量を出力可能に構成され、

前記第 1 の積和演算手段から出力されたデータのレベルを調整する調整手段を備え、

前記制御手段が、前記押下量が大きくなるのにしたがって、データのレベルが大きくなるように前記調整手段のレベルを調整することを特徴とする請求項 1 または 2 に記載の共鳴音付加装置。

【請求項 4】

前記インパルス応答データ記憶手段が、複数の第 2 のインパルス応答係数からなる第 2 のインパルス応答データを記憶し、

前記共鳴音生成手段が、前記記憶手段に記憶された前記第 2 のインパルス応答係数を読み出して、前記楽音波形データと、前記第 2 のインパルス応答データに含まれる第 2 のインパルス応答係数とを積和演算する第 2 の積和演算手段を有することを特徴とする請求項 1 または 2 に記載の共鳴音付加装置。

【請求項 5】

前記第 2 の積和演算手段における積和演算数は、前記第 1 の積和演算手段における最大の積和演算数より小さいことを特徴とする請求項 4 に記載の共鳴音付加装置。

【請求項 6】

前記第 1 のインパルス応答係数が、ピアノの弦共鳴音についてのインパルス応答特性を表す時間軸上の値であり、前記第 2 のインパルス応答係数が、ピアノの箱鳴り音についてのインパルス応答特性を表す時間軸上の値であることを特徴とする請求項 4 または 5 に記載の共鳴音付加装置。

【請求項 7】

請求項 1 ないし 6 の何れか一項に記載の共鳴音付加装置と、

鍵盤と、

前記鍵盤を構成する鍵のうち、押鍵された鍵の音高の楽音波形データを生成する発音手段と、を備え、

前記操作子が、ダンパペダルであることを特徴とする電子楽器。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

本発明は、楽音に共鳴音を付加する共鳴音付加装置および電子楽器に関する。

【背景技術】

【0002】

電子楽器にダンパペダルを接続し、ダンパペダルを踏み込むことにより、楽音を変更させるような技術が従前から知られている。

【0003】

たとえば、共鳴音生成装置（共鳴音付加装置）は、デジタルの楽音波形データを受け入れて、楽音波形データにデジタルフィルタによるフィルタ処理を施すのが一般的である。フィルタ処理においては、FIR（有限インパルス応答：Finite Impulse Response）フィルタ或いはIIR（無限インパルス応答：Infinite Impulse Response）フィルタが利用される。ダンパペダルを踏み込むことにより、共鳴音生成装置を作動させて共鳴音データを生成し、これを楽音波形データに付加することにより、ダンパペダルの踏み込みにより残響が増大したような楽音を発生することができる。

10

【0004】

FIRフィルタを利用する場合には、入力された楽音信号のデータ $x(n-k)$ ($k = 0, 1, 2, \dots, n-1$) と、音楽ホールの残響特性などから得たインパルス応答 $a(k)$ を畳み込み演算することで、共鳴音のデータ $y_{out}(n) = x(n-k) * a(k)$ を得ることができる。

20

【0005】

また、特許文献1には、ペダルの踏み込み量にしたがって、楽音波形データのエンベロープを変更することで、特にハーフペダルのときの楽音を発生させることができる電子楽器が開示されている。

【0006】

特許文献2には、楽音波形に対応する波形データSWDに基づいて共鳴音データRWDを生成する共鳴音作成装置を備え、ダンパペダルの踏み込みに伴って、ダンパペダル踏み込み量の検知出力が最小値0から最大値1に向けていく過程において波形データSWDが乗算器により振幅レベルが減少するように制御されるとともに、共鳴音作成装置からの共鳴音データRWDが、乗算器により振幅レベルが増加するように制御されることが開示されている。

30

【0007】

特に、ピアノの共鳴音は複雑であり、ピアノの弦の共鳴音を生成するための技術が提案されている。

【0008】

特許文献3には、音名ごとの倍音に相当する共振周波数を有するデジタルフィルタである複数の弦共鳴回路をグルーピングした弦共鳴回路群を有し、各弦共鳴回路の出力を畳み込み演算することでピアノの弦の共鳴音に類似する共鳴音を生成する技術が提案されている。

【特許文献1】特開平7-84574号公報

40

【特許文献2】特許第2692672号公報

【特許文献3】特開2007-193129号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

特許文献1のように、楽音波形データのエンベロープを変更するだけでは、ピアノのダンパペダルを踏み込んだときの残響音を含む共鳴音を、電子楽器で再現することができない。

【0010】

また、特許文献2に提案された技術においては、いわゆるクロスフェードにより共鳴音

50

との混合比を変更しているが、共鳴音自体は変わらないため、ペダルの踏み込みに伴う共鳴音の変化に乏しいという問題点があった。

【0011】

また、特許文献3に提案された技術においては、鍵域ごとに複数の弦共鳴回路を備えるため、大規模な回路を要するという問題点があった。また、ピアノの構造を考慮した共鳴音の生成をしているわけではないため、回路規模が大きい割には、十分に共鳴音を再現することができないという問題点があった。

【0012】

さらに、実際のピアノ演奏においては、演奏中にダンパペダルがいったん戻され、ペダルがオフの状態となり、その直後にさらに、再度ダンパペダルが踏み込まれる場合がある。しかしながら、インパルス応答係数を用いた畳み込み演算では、過去の波形データとインパルス応答係数との乗算結果が累算されて出力されるため、上記ダンパペダルのオフおよびオンがあっても、ダンパペダルがいったんオフにされた以前の波形データに基づく共鳴音が含まれる可能性がある。

10

【0013】

本発明は、ダンパペダルの操作に応じた適切な共鳴音を発生させることができる共鳴音付加装置および当該共鳴音付加装置を備えた電子楽器を提供することを目的とする。

【課題を解決するための手段】

【0014】

本発明の目的は、共鳴音を、楽音波形データに付加する共鳴音付加装置であって、複数の第1のインパルス応答係数からなる第1のインパルス応答データを記憶したインパルス応答データ記憶手段と、

20

前記記憶手段に格納された第1のインパルス応答データを読み出して、時間軸上の一連の楽音波形データと、前記第1のインパルス応答データに含まれる第1のインパルス応答係数とで、所定回数の積和演算を実行する第1の積和演算手段を有する共鳴音生成手段と、

少なくともオン、オフの何れかの状態をとる操作子の操作履歴に基づいて、前記共鳴音生成手段において実行すべき積和演算の回数を示す積和演算数を算出し、当該積和演算数を前記共鳴音生成手段に出力する制御手段と、を備え、

前記共鳴音生成手段の第1の積和演算手段において、前記積和演算数に基づいて、楽音波形データと第1のインパルス応答係数との積和演算が実行されることを特徴とする共鳴音付加装置により達成される。

30

【0015】

好ましい実施態様においては、前記制御手段が、現在オン状態の前記操作子が、現在に至るまでオン状態を継続していた時間間隔を算出し、当該時間間隔に含まれる楽音波形データの数に基づき、前記積和演算数を算出し、

前記共鳴音生成手段の第1の積和演算手段において、現在の楽音波形データおよび前記時間間隔に含まれる時間だけ遅延された楽音波形データと、対応するインパルス応答係数との積和演算が実行される。

【0016】

別の好ましい実施態様においては、前記操作子が、オン状態において、その押下量を出力可能に構成され、

40

前記第1の積和演算手段から出力されたデータのレベルを調整する調整手段を備え、

前記制御手段が、前記押下量が大きくなるのにしたがって、データのレベルが大きくなるように前記調整手段のレベルを調整する。

【0017】

さらに別の好ましい実施態様においては、前記インパルス応答データ記憶手段が、複数の第2のインパルス応答係数からなる第2のインパルス応答データを記憶し、

前記共鳴音生成手段が、前記記憶手段に記憶された前記第2のインパルス応答係数を読み出して、前記楽音波形データと、前記第2のインパルス応答データに含まれる第2のイ

50

ンパルス応答係数とを積和演算する第 2 の積和演算手段を有する。

【 0 0 1 8 】

また、好ましい実施態様においては、前記第 2 の積和演算手段における積和演算数は、前記第 1 の積和演算手段における最大の積和演算数より小さい。

【 0 0 1 9 】

より好ましい実施態様においては、前記第 1 のインパルス応答係数が、ピアノの弦共鳴音についてのインパルス応答特性を表す時間軸上の値であり、前記第 2 のインパルス応答係数が、ピアノの箱鳴り音についてのインパルス応答特性を表す時間軸上の値である。

【 0 0 2 0 】

また、本発明の目的は、上述した共鳴音付加装置と、
鍵盤と、

前記鍵盤を構成する鍵のうち、押鍵された鍵の音高の楽音波形データを生成する発音手段と、を備え、

前記操作子は、ダンパペダルを備えた電子楽器により達成される。

【 発明の効果 】

【 0 0 2 1 】

本発明によれば、適切に共鳴音を発生させることができる共鳴音付加装置および当該共鳴音付加装置を備えた電子楽器を提供することが可能となる。

【 発明を実施するための最良の形態 】

【 0 0 2 2 】

以下、添付図面を参照して、本発明の実施の形態について説明する。図 1 は、本発明の第 1 の実施の形態にかかる電子楽器の構成を示すブロックダイアグラムである。

【 0 0 2 3 】

図 1 に示すように、本実施の形態にかかる電子楽器 1 0 は、鍵盤 1 2、CPU 1 4、ROM 1 6、RAM 1 8、楽音生成部 2 0、操作子群 2 2、ダンパペダル 2 4 を有する。鍵盤 1 2、CPU 1 4、ROM 1 6、RAM 1 8、楽音生成部 2 0 および操作子群 2 2 は、バス 1 9 を介して接続される。楽音生成部 2 0 は、発音回路 2 5、共鳴音付加回路 2 6 および音響システム 2 7 を有する。本実施の形態にかかる電子楽器 1 0 は、ピアノ音色の楽音を生成するのに適しており、共鳴音付加回路 2 6 も、ピアノの弦の共鳴音、および、ピアノの響板や反響板によるいわゆる箱鳴りに相当する共鳴音を生成するように構成されている。

【 0 0 2 4 】

鍵盤 1 2 は、演奏者の押鍵操作に応じて、押鍵された鍵を特定する情報および押鍵された鍵のペロシティを示す情報を CPU 1 4 に伝達することができる。

【 0 0 2 5 】

CPU 1 4 は、システム制御、押鍵された鍵に応じた音高の楽音波形データを生成するための楽音生成部 2 0 の発音回路 2 5 に与える種々の制御信号の生成、共鳴音付加回路 2 6 に与える制御信号の生成などを実行する。ROM 1 6 は、楽音波形データを生成するためのプログラム、共鳴音データの生成のためのプログラムや、プログラムの実行の際に使用される定数を格納する。また、ROM 1 6 は、楽音生成部 2 0 により生成される楽音波形データのもととなる波形データ、共鳴音付加回路 2 6 にて用いられるインパルス応答データなどを記憶する。後述する波形データ記憶部 3 0 およびインパルス応答データ記憶部 3 1 は ROM 1 6 に設けられる。RAM 1 8 は、プログラムの実行の過程で必要な変数、パラメータ、入力データ、出力データなどを一時的に記憶する。RAM 1 8 には、ダンパペダルの踏み込み状態を示すダンパペダル履歴データが記憶される。すなわち、後述するダンパペダル履歴記憶部 3 8 は、RAM 1 8 中に設けられる。

【 0 0 2 6 】

本実施の形態において、ダンパペダル 2 4 は、オン・オフのみではなくその中間の段階を示す信号を出力することができる。たとえば、本実施の形態においては、ダンパペダル 2 4 は、縦方向（ペダルの回動軸と垂直方向）に複数のスイッチ（図示せず）が配置され

10

20

30

40

50

ている。ダンパペダル 2 4 が踏み込まれるのにしたがって、複数のスイッチが順次オン状態となる。したがって、何れのスイッチがオン状態であるかを検出することにより、ペダルの踏み込み量を取得することができる。或いは、ダンパペダル 2 4 は、その踏み込み量に応じて抵抗値が変更される可変抵抗値（図示せず）を備え、抵抗値に応じた信号を出力することができるように構成しても良い。

【 0 0 2 7 】

図 2 は、本実施の形態にかかる発音回路、共鳴音付加回路およびこれらに関連する構成部材の例を示すブロックダイアグラムである。図 1 および図 2 に示すように、発音回路 2 5 は、CPU 1 4 から与えられた、発音すべき楽音の音色を示す音色情報、発音すべき音高を示す音高情報およびベロシティ情報に基づいて、波形データ記憶部 3 0 に記憶された波形データを読み出し、所定の音色で、かつ、所定の音高の楽音波形データを出力する。上記音色情報、音高情報およびベロシティ情報が、第 1 の制御信号を構成する。

10

【 0 0 2 8 】

図 3 は、発音回路 2 5 および発音回路 2 5 に関連する構成部分をより詳細に示すブロックダイアグラムである。図 3 に示すように、本実施の形態にかかる発音回路 2 5 は、波形再生回路 3 5、エンベロープ生成回路 3 6 および乗算回路 3 7 を有する。

【 0 0 2 9 】

波形データ記憶部 3 0 には、たとえば、ピアノ系の音色の波形データが記憶されている。本実施の形態においてはピアノ系の音色の波形データは、基本的に、ピアノの打弦による弦鳴り音がサンプリングされたものである。

20

【 0 0 3 0 】

波形再生回路 3 5 は、波形データ記憶部 3 0 に記憶された波形データから、CPU 1 4 から与えられる第 1 の制御信号に含まれる音色情報にしたがって、所定の種別の波形データを、音高情報にしたがって読み出す。また、エンベロープ生成回路 3 6 は、ベロシティ情報にしたがったエンベロープデータを出力する。波形データとエンベロープデータとは、乗算回路 3 7 において乗算され、楽音波形データが出力される。なお、発音回路 2 5 から出力される楽音波形データは、単一の鍵を押鍵されたときの単一のデータだけではなく、複数の鍵が押鍵されているときには、押鍵された複数の鍵の楽音波形データの合成データが、楽音波形データとして出力される。

【 0 0 3 1 】

第 1 の制御信号に含まれる音高情報およびベロシティ情報は、鍵盤 1 2 からの信号に基づいて、CPU 1 4 により生成される。また、第 1 の制御信号に含まれる音色情報は、演奏者による操作子群 2 2 に含まれる操作子を実行した情報に基づいて、CPU 1 4 により生成される。

30

【 0 0 3 2 】

図 2 に示すように、共鳴音付加回路 2 6 は、共鳴音生成回路 2 8 および加算回路 2 9 を備える。共鳴音生成回路 2 6 は、楽音波形データおよびインパルス応答データ記憶部 3 1 から読み出されたインパルス応答データに基づいて、畳み込み演算を実行して共鳴音データを生成する。共鳴音データおよび楽音波形データは、加算回路 2 9 において加算される。後述するように、本実施の形態においては、共鳴音生成回路 2 8 は、2 つの畳み込み演算回路を有し、第 1 群のインパルス応答係数と楽音波形データとを畳み込み演算した結果得られる第 1 の共鳴音データ Y、および、第 2 群のインパルス応答係数と楽音波形データとを畳み込み演算した結果得られる第 2 の共鳴音データ Z が生成される。

40

【 0 0 3 3 】

音響システム 2 7 は、D / A 変換器 3 2、増幅回路 3 3 およびスピーカ 3 4 を有し、加算回路 2 9 から出力された合成データをアナログ信号に変換して、アナログ信号を増幅し、スピーカから放音する。

【 0 0 3 4 】

図 4 は、本実施の形態にかかる共鳴音生成回路および関連する構成部分をより詳細に示すブロックダイアグラムである。図 4 に示すように、共鳴音生成回路 2 8 は、畳み込み演

50

算回路 4 1 と、音量調節回路 4 2 を有する。本実施の形態において、畳み込み演算回路 4 1 は、楽音波形データに基づいて、2 つの共鳴音データを生成することができる。すなわち、畳み込み演算回路 4 1 は、実質的に 2 つの積和演算回路を有する。一方の積和演算回路（第 1 の積和演算回路）には、インパルス応答データ記憶部 3 1 から第 1 群のインパルス応答係数（ a_i ）が与えられて、楽音波形データと、第 1 のインパルス応答係数（ a_i ）とで、後述する所定回数の積和演算（畳み込み演算）が実行され、第 1 の共鳴音データ Y が生成される。また、他方の積和演算回路（第 2 の積和演算回路）には、インパルス応答データ記憶部 3 1 から第 2 群のインパルス応答係数（ b_i ）が与えられて、楽音波形データと、第 2 のインパルス応答係数（ b_i ）とで、上記所定回数とは別の所定回数の積和演算（畳み込み演算）が実行され、第 2 の共鳴音データ Z が生成される。

10

【0035】

第 1 の共鳴音データは、弦の共鳴音に関する。また、第 2 の共鳴音データは、いわゆる箱鳴りに相当する共鳴音に関する。箱鳴りに相当する共鳴音は、ダンパペダル 2 4 の状態（オン・オフ）にかかわらず一定の時間だけ存在し得る。その一方、弦の共鳴音はダンパペダル 2 4 の状態により変化する。本実施の形態においては、ダンパペダル 2 4 の状態をダンパペダル履歴記憶部 3 8 に格納しておき、記憶されたダンパペダルの履歴データに基づいて、適切な弦の共鳴音を生成することができる。

【0036】

図 5 は、本実施の形態にかかる畳み込み演算回路の例をより詳細に示す図である。図 5 に示すように、畳み込み演算回路 4 1 は、楽音波形データ X を受け入れて、当該楽音波形データを順次遅延させる複数（B 個）の遅延回路 5 1 - 1 ~ 5 1 - B と、楽音波形データおよび遅延回路 5 1 により遅延された楽音波形データをそれぞれ受け入れて、楽音波形データのそれぞれと、第 1 群のインパルス応答係数中の対応するインパルス応答係数（ a_i ）とを乗算する複数（B + 1 個）の乗算回路 5 2 - 0 ~ 5 2 - B と、乗算回路 5 2 - 0 ~ 5 2 - B の乗算結果を加算する加算回路 5 4 と、楽音波形データおよび遅延回路 5 1 により遅延された楽音波形データを受け入れて、楽音波形データのそれぞれと、第 2 群のインパルス応答係数中の対応するインパルス応答係数 b_i とを乗算する複数（A + 1 個）の乗算回路 5 5 - 0 ~ 5 5 - A と、乗算回路 5 5 - 0 ~ 5 5 - A の乗算結果を加算する加算回路 5 6 とを有している。なお、乗算回路 5 2 - 0 ~ 5 2 - B を、第 1 群の乗算回路とも称し、また、乗算回路 5 5 - 0 ~ 5 5 - A を第 2 群の乗算回路とも称する。

20

30

【0037】

遅延回路 5 1 - 1 ~ 5 1 - B、第 1 群の乗算回路および加算回路 5 4 によって、第 1 の積和演算回路が構成され、遅延回路 5 5 - 1 ~ 5 5 - A、第 2 群の乗算回路および加算回路 5 6 によって第 2 の積和演算回路が構成される。

【0038】

本実施の形態においては、 $B + 1 = 176000$ として、サンプリング周波数を 44 KHz とした場合に、第 1 群の畳み込み演算回路において、最大で 4 秒分の楽音波形データとの畳み込み演算が可能である。また、本実施の形態においては、 $A + 1 = 44000$ として、第 2 群の畳み込み演算回路において、1 秒分の楽音波形データとの畳み込み演算が可能である。

40

【0039】

さらに、本実施の形態においては、第 1 の積和演算回路においては、ダンパペダル履歴データに基づいて、B + 1 個の乗算回路 5 1 - 0 ~ 5 1 - B のうち、所定の p + 1 個（p = B + 1）の乗算回路 5 1 - 0 ~ 5 1 - p のみによる畳み込み演算が実行されるようになっている。本実施の形態にかかる第 2 の積和演算回路による畳み込み演算については後に詳述する。

【0040】

図 6 は、本実施の形態にかかる電子楽器において実行される処理を概略的に示すフローチャートである。図 6 に示すように、電子楽器 10 の CPU 14 は、たとえば、RAM 18 に一時的に記憶された鍵盤 12 の鍵のオン時刻およびオフ時刻を含む押鍵情報、ダンパ

50

ペダル履歴データなどのクリアを含むイニシャライズ処理を行う（ステップ601）。ダンパペダル履歴データのクリアには、後述する積和演算数を示すパラメータpのクリアも含まれる。

【0041】

イニシャライズ処理（ステップ601）が終了すると、CPU14は、操作子群22の各スイッチの操作を検出し、検出された操作にしたがった処理を実行するスイッチ処理を実行する（ステップ602）。

【0042】

スイッチ処理においては、音色指定スイッチ（図示せず）の切り替えなどが検出される。スイッチ処理（ステップ602）で検出されたスイッチの状態にしたがって、音色情報などはRAM18の所定の領域に格納される。また、ダンパペダル24のオン、オフを含む踏み込み状態もスイッチ処理において検出され、ダンパペダル24の踏み込み状態を示すデータが、ダンパペダル履歴データの一部としてRAM18に格納される。

10

【0043】

次いで、CPU14は、鍵盤12の各鍵のオン・オフ状態を検出する（ステップ603）。新たにオンされた鍵については、オン状態となった時刻をRAM18に格納する。本実施の形態においては、鍵は2つスイッチを有し、鍵の押下に伴って2つのスイッチが順次オンされるようになっている。したがって、CPU14は、各鍵について2つのスイッチのそれぞれのオン時刻をRAM18に格納する。この2つのオン時刻の時間差に基づいて、いわゆるペロシティが算出される。また、CPU14は、新たにオフ状態となったスイッチについても、オフ状態となった時刻をRAM18に格納する。

20

【0044】

次に、CPU14は、ダンパペダルの状態にしたがって第1の積和演算回路における積和演算数を示すパラメータpを決定するための処理（ダンパペダル処理604）を実行する。ダンパペダル処理604については後に詳述する。

【0045】

次いで、CPU14は、押鍵された鍵にしたがって、所定の音高、音色およびペロシティで楽音信号データを生成させるための、第1の制御信号を楽音生成部20の発音回路25に出力する（ステップ605）。ステップ605の演奏処理において、発音回路25は、CPU14から第1の制御信号を受理すると、音色情報にしたがった所定の波形データをROM16のデータエリアから、音高情報にしたがった速度で読み出し、かつ、ペロシティにしたがったレベルの楽音波形データを生成する。その後、CPU14は、その他、電子楽器10を作動させるための他の必要な処理を実行して（ステップ606）、ステップ602に戻る。ステップ606で実行される処理には、たとえば、表示装置（図示せず）の画面上に表示すべき画像データを生成および表示するや、LED（図示せず）のオン・オフが含まれる。

30

【0046】

図6（b）は、サンプリング周期（本実施の形態においては、たとえば1/44ミリ秒）ごとに実行されるフラグ処理を示すフローチャートである。サンプリング周期（1/44ミリ秒）が経過すると（ステップ611）、CPU14は、RAM18に格納されたダンパペダル履歴データに含まれるパラメータ算出実行フラグをオンする。このパラメータ算出実行フラグは、以下に説明するダンパペダル処理において参照される。

40

【0047】

次に、ダンパペダル処理（ステップ604）についてより詳細に説明する。図7は、本実施の形態にかかるダンパペダル処理の例をより詳細に示すフローチャートである。図7に示すように、CPU14は、RAM18のダンパペダル履歴データに含まれるパラメータ算出実行フラグを参照して、パラメータ算出実行フラグがオンであるか否かを判断する（ステップ701）。パラメータ算出実行フラグがオンであるとき（ステップ701でYes）には、CPU14は、パラメータ算出実行フラグをオフにして（ステップ702）、積和演算数を示すパラメータpに関するステップ703以降の処理を開始する。すなわ

50

ち、ステップ703以降の処理は、サンプリング周期の経過ごとに実行されることになる。

【0048】

CPU14は、ダンパペダル24がオンか否かを判断する(ステップ703)。ダンパペダル24の踏み込み状態を示すデータは、スイッチ処理(ステップ602)においてダンパペダル履歴データの一部としてRAM18に記憶されている。したがって、CPU14は、RAM18に格納されたデータを参照すれば良い。ダンパペダルがオフ状態であった場合には(ステップ703でNo)、CPU14は、積和演算数を示すパラメータpを「0」にクリアして(ステップ704)、処理を終了する。積和演算数を示すパラメータpは、第2の制御信号の部分として畳み込み演算回路41に与えられるとともに、RAM18の所定の領域に格納される。

10

【0049】

ステップ703でYesと判断された場合には、CPU14は、積和演算数を示すパラメータpが、第1の積和演算回路における最大の積和演算数B(本実施の形態では、176000)であるか否かを判断する(ステップ705)。ステップ705でNoと判断された場合には、CPU14は、積和演算数を示すパラメータpをインクリメントする(ステップ706)。積和演算数を示すパラメータpは、第2の制御信号の部分として畳み込み演算回路41に与えられるとともに、RAM18の所定の領域に格納される。ステップ705でYesと判断された場合には、CPU14は処理を終了する。

20

【0050】

ダンパペダル処理によれば、サンプリング周期ごとに、ダンパペダルがオン状態であれば、積和演算数の最大値に至るまで、積和演算数を示すパラメータpがインクリメントされる。その一方、ダンパペダルがオフ状態となった時点で、パラメータpは「0」にクリアされる。

【0051】

積和演算数を示すパラメータpを含む第2の制御信号にしたがった畳み込み演算回路41の動作について説明する。本実施の形態にかかる畳み込み演算回路41では、第1の積和演算回路により、弦の共鳴音のデータである第1の共鳴音データが生成される。第1の共鳴音データYは、以下の式によって生成される。

30

【0052】

【数1】

数1

$$Y = \sum_{n=0}^p X_n \cdot a_n$$

40

ここに、 x_n は、楽音波形データであり、 x_0 が最新のものの、 n が大きくなるのにしたがってより古い時刻のデータとなる。 p は、上述した積和演算数を示すパラメータであり、本実施の形態においては最大で176000である。また、 a_n は、第1群のインパルス応答係数である。パラメータpは、現時点でオン状態であるダンパペダルについて、直前にオンされた時刻と現時点との間の時間間隔に基づいている。すなわち、上記時間間隔が1.5秒であれば(つまり、1.5秒前にダンパペダルがオンされたのであれば)、 $p = 66000$ となる。

【0053】

また、畳み込み演算回路41では、第2の積和演算回路により、箱鳴り音に相当する共鳴音のデータである第2の共鳴音データが生成される。第2の共鳴音データZは、以下の

50

式にしたがって生成される。

【 0 0 5 4 】

【 数 2 】

数 2

$$Z = \sum_{m=0}^A X_m \cdot b_m$$

10

ここに、第 1 の共鳴音データと同様に、 x_m は、楽音波形データであり、 x_0 が最新のもの、 m が大きくなるのにしたがってより古い時刻のデータとなる。また、 b_m は、第 2 群のインパルス応答係数である。本実施の形態においては、たとえば、 $A = 4 4 0 0 0$ であり、サンプリング周波数が $4 4 \text{ kHz}$ の楽音波形データの 1 秒分の残響音に相当する。

【 0 0 5 5 】

図 8 (a)、(b) は、それぞれ、時間ごとのダンパペダル踏み込み量の例を示すグラフである。この例では、ダンパペダル 2 4 は、オフ状態 (0 %) のほか、4 段階の踏み込み量 (2 5 %、5 0 %、7 5 %、1 0 0 %) を示すことができるようになっている。図 8 (a) の例では、現時点から 3 . 7 5 秒過去の時点 (時刻 t_0) でダンパペダル 2 4 がオフ状態からオン状態となり、その後現時点まで継続してオン状態となっている (符号 8 0 1、8 0 2 参照)。この場合には、積和演算数を示すパラメータ $p = 1 6 5 0 0 0$ となり、生成される第 1 の共鳴音データは、楽音波形データの 3 . 7 5 秒分の残響音に相当する。

20

【 0 0 5 6 】

図 8 (b) の例では、現時点から 3 . 7 5 秒過去の時点 (時刻 t_0) でダンパペダル 2 4 がオン状態となったが、その後、現時点から 1 . 7 5 秒過去の時点 (時刻 t_1) で、ダンパペダル 2 4 はいったんオフ状態となっている (符号 8 1 1、8 1 3 参照)。その後、現時点から 1 . 2 5 秒過去の時点 (時刻 t_2) で再度ダンパペダルはオン状態となり、現時点に至っている (符号 8 1 2、8 1 4 参照)。この場合には、現時点から 1 . 2 5 秒過去の時点までの 1 . 2 5 秒のダンパペダルのオン状態が有効となる。したがって、積和演算数を示すパラメータ $p = 5 5 0 0 0$ となり、生成される第 1 の共鳴音データは、楽音波形データの 1 . 2 5 秒分の残響音に相当する。

30

【 0 0 5 7 】

畳み込み演算回路 4 1 において生成された第 2 の共鳴音データ Z は、そのまま加算回路 2 9 に与えられる。その一方、第 1 の共鳴音データ Y は、音量調整回路 4 2 において、第 3 の制御信号にしたがって乗算されて、加算回路 2 9 に与えられる。第 3 の制御信号には、ダンパペダル 2 4 の踏み込み量が大きくなるのにしたがって、値が大きくなるような乗算係数が含まれる。ダンパペダル 2 4 がオフ状態のときには、最低値 (たとえば、0 . 1)、ダンパペダル 2 4 が完全に踏み込まれた状態 (1 0 0 %) のときには、最高値 (たとえば、1 . 0) となっている。なお、ダンパペダル 2 4 の踏み込み状態の変化により、第 3 の制御信号に含まれる乗算係数の急激な変化を避けるために、以下のような処理を実行しても良い。

40

【 0 0 5 8 】

図 9 は、本実施の形態にかかる乗算係数算出処理の例を示すフローチャートである。乗算係数算出処理は、たとえば、演奏処理 (ステップ 6 0 5) において実行される。図 9 に示すように、CPU 1 4 は、現時点でダンパペダル 2 4 がオン状態であるか否かを判断する (ステップ 9 0 1)。ダンパペダルがオン状態の場合 (ステップ 9 0 1 で Yes) には、CPU 1 4 は、ダンパペダルの踏み込み量に変化があったか否かを判断する (ステップ 9 0 2)。踏み込み量に変化があった場合 (ステップ 9 0 2 で Yes) には、CPU 踏み

50

込み量に応じた目標値を取得する。目標値は、たとえば、ダンパペダルの踏み込み量が、100%、75%、50%、25%のそれぞれで、1.0、0.75、0.5、0.25というように設定され、予めROM16に格納されている。

【0059】

次いで、目標値と、乗算係数の現在値とが比較され、「目標値>現在値」であった場合には(ステップ904でYes)、CPU14は、現在値を所定の値sだけ増加させる(ステップ905)。また、「目標値<現在値」であった場合には(ステップ906でYes)、CPU14は、現在値を所定の値sだけ減少させる(ステップ907)。算出された現在値は、RAM18に格納される。

【0060】

上述したように、音量調整回路42によって、弦の共鳴音についての第1の共鳴音データYを、ダンパペダル24の踏み込み量にしたがった音量レベルとすることができる。

【0061】

第1の実施の形態によれば、ダンパペダル24の操作履歴に基づいて、第1の積和演算回路における積和演算の段数が決定され、所定数の乗算回路において、楽音波形データまたは遅延された楽音波形データと対応する第1のインパルス応答係数とが乗算され、乗算結果が加算される。これにより、ダンパペダル24の過去の操作状況を考慮した積和演算が実現できる。

【0062】

特に、CPU14は、現在オン状態のダンパペダル24が、現在に至るまでオン状態を継続していた時間間隔を算出し、当該時間間隔に含まれる楽音波形データの数に基づき、前記積和演算数を示すパラメータpを算出し、第1の積和演算回路において、上述した数1に示すように、p+1個の乗算回路52-0~52-pにより、乗算が行なわれる。したがって、ダンパペダルがオン状態であったときの楽音波形データについて積和演算が行なわれ、アコースティックピアノのダンパペダル操作により近似した共鳴音を生成することが可能となる。

【0063】

また、第1の実施の形態においては、音量調整回路42が、ペダルの踏み込み量が大きくなるのにしたがって、第1の共鳴音データの出力レベルを大きくするようにレベル調整を行なう。これにより、ダンパペダルの踏み込み量を考慮した共鳴音を生成することが可能となる。

【0064】

さらに、第1の実施の形態においては、積和演算数が固定の第2の積和演算回路を設け、第1の積和演算回路の出力(第1の共鳴音データ)と、第2の積和演算回路の出力(第2の共鳴音データ)とを加算する。したがって、ダンパペダルの操作により変化する共鳴音とダンパペダルの操作により変化しない共鳴音との合成音を出力することができる。これにより、共鳴音をより多彩にすることが可能となる。

【0065】

たとえば、第2の積和演算回路における積和演算数は、前記第1の積和演算回路における最大の積和演算数より小さい。たとえば、第2の積和演算回路において使用される第2のインパルス応答係数をピアノの箱鳴り音についてのインパルス応答特性を表す時間軸上の値とし、第1の積和演算回路において使用される第1のインパルス応答回数をピアノの弦共鳴音についてのインパルス応答特性を表す時間軸上の値とする。ピアノの箱鳴り音はダンパペダルのオン・オフにかかわらず発生するが、箱鳴り音が発生する時間は比較的短い。そこで、第1の積和演算回路における最大の積和演算数より小さい積和演算数であっても適切な箱鳴り音を生成することが可能となる。

【0066】

本発明は、以上の実施の形態に限定されることなく、特許請求の範囲に記載された発明の範囲内で、種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることは言うまでもない。

10

20

30

40

50

【0067】

たとえば上記第1の実施の形態においては、畳み込み演算回路41は、積和演算数が固定の第2の積和演算回路と、積和演算数がダンパペダル履歴に応じて変化する第1の積和演算回路とを有しているが、これに限定されず、畳み込み演算回路41が、積和演算数がダンパペダル履歴に応じて変化する、単一の畳み込み演算回路（上記第1の積和演算回路に相当する）であっても良い。図10は、本発明の第2の実施の形態にかかる共鳴音生成回路および関連する構成部分をより詳細に示すブロックダイヤグラムである。図10において、図4に示す構成部分と同一の構成部分には同一の符号を付している。図10に示すように、共鳴音生成回路128は、畳み込み演算回路141および音量調整回路42を有する。畳み込み演算回路141は、図4および図5に示す畳み込み演算回路のうち、第1の積和演算回路に相当する構成部分を有し、これにより、第1の共鳴音データに相当する共鳴音データYを生成することができる。

10

【0068】

畳み込み演算回路141により生成された共鳴音データYは、音量調整回路42において乗算係数と乗算され、レベル調整される。レベル調整された共鳴音データと、楽音波形データとは、加算回路29において加算されて出力される。

【0069】

図11は、第2の実施の形態にかかる畳み込み演算回路の例をより詳細に示す図である。図11において、図5に示す畳み込み演算回路41と同一の構成部分には同一の符号を付している。図11に示すように、畳み込み演算回路141は、畳み込み演算回路の例をより詳細に示す図である。図11に示すように、畳み込み演算回路141は、楽音波形データXを受け入れて、当該楽音波形データを順次遅延させる複数（B個）の遅延回路51-1～51-Bと、楽音波形データおよび遅延回路51により遅延された楽音波形データをそれぞれ受け入れて、楽音波形データのそれぞれと、インパルス応答係数中の対応するインパルス応答係数とを乗算する複数（B+1個）の乗算回路52-0～52-Bと、乗算回路52-0～52-Bの乗算結果を加算する加算回路54とを有する。なお、乗算回路52-0～52-Bにおいて乗算されるインパルス応答係数は、第1の実施の形態における第1群のインパルス応答係数に含まれるインパルス応答係数 a_i に相当する。

20

【0070】

第2の実施の形態にかかる畳み込み演算回路141においても、ダンパペダル処理（図7）において算出された積和演算数を示すパラメータpに基づいて、B+1個の乗算回路51-0～51-Bのうち、所定のp+1個（p=B+1）の乗算回路51-0～51-pによる畳み込み演算が実行されるようになっている。

30

【図面の簡単な説明】

【0071】

【図1】図1は、本発明の第1の実施の形態にかかる電子楽器の構成を示すブロックダイヤグラムである。

【図2】図2は、本実施の形態にかかる発音回路、共鳴音付加回路およびこれらに関連する構成部材の例を示すブロックダイヤグラムである。

【図3】図3は、発音回路25および発音回路25に関連する構成部分をより詳細に示すブロックダイヤグラムである。

40

【図4】図4は、本実施の形態にかかる共鳴音生成回路および関連する構成部分をより詳細に示すブロックダイヤグラムである。

【図5】図5は、本実施の形態にかかる畳み込み演算回路の例をより詳細に示す図である。

【図6】図6(a)は、本実施の形態にかかる電子楽器において実行される処理を概略的に示すフローチャート、図6(b)は、サンプリング周期ごとに実行されるフラグ処理を示すフローチャートである。

【図7】図7は、本実施の形態にかかるダンパペダル処理の例をより詳細に示すフローチャートである。

50

【図 8】図 8 (a)、(b) は、それぞれ、時間ごとのダンパペダル踏み込み量の例を示すグラフである。

【図 9】図 9 は、本実施の形態にかかる乗算係数算出処理の例を示すフローチャートである。

【図 10】図 10 は、本発明の第 2 の実施の形態にかかる共鳴音生成回路および関連する構成部分をより詳細に示すブロックダイヤグラムである。

【図 11】図 11 は、第 2 の実施の形態にかかる畳み込み演算回路の例をより詳細に示す図である。

【符号の説明】

【 0 0 7 2 】

1 0	電子楽器	
1 2	鍵盤	
1 4	C P U	
1 6	R O M	
1 8	R A M	
2 0	楽音生成部	
2 2	操作子群	
2 4	ダンパペダル	
2 5	発音回路	
2 6	共鳴音付加回路	10
2 7	音響システム	
2 8	共鳴音生成回路	
2 9	加算回路	
3 0	波形データ記憶部	
3 1	インパルス応答データ記憶部	
3 8	ダンパペダル履歴記憶部	20

【 図 1 】

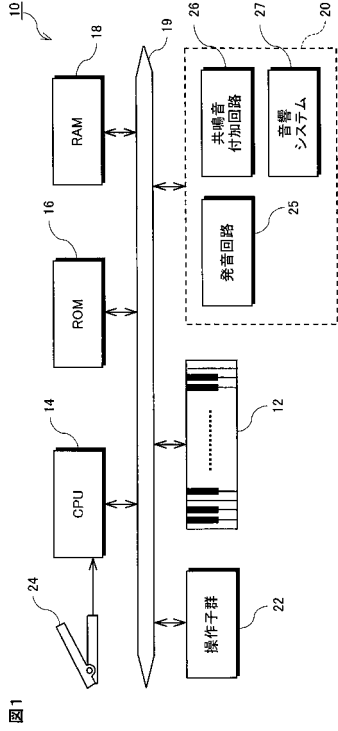


図1

【 図 2 】

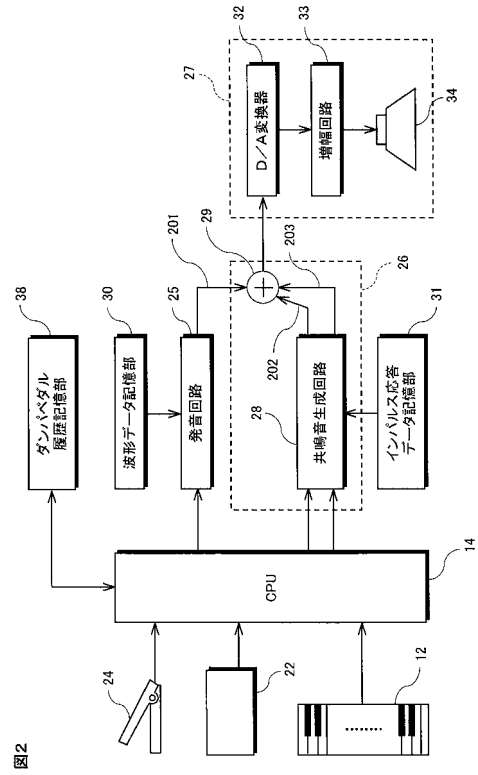


図2

【 図 3 】

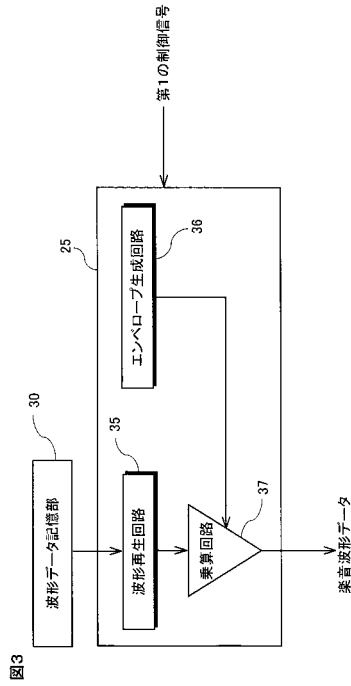


図3

【 図 4 】

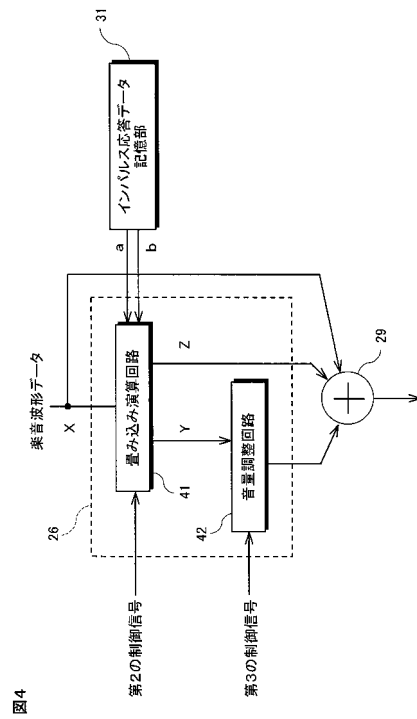
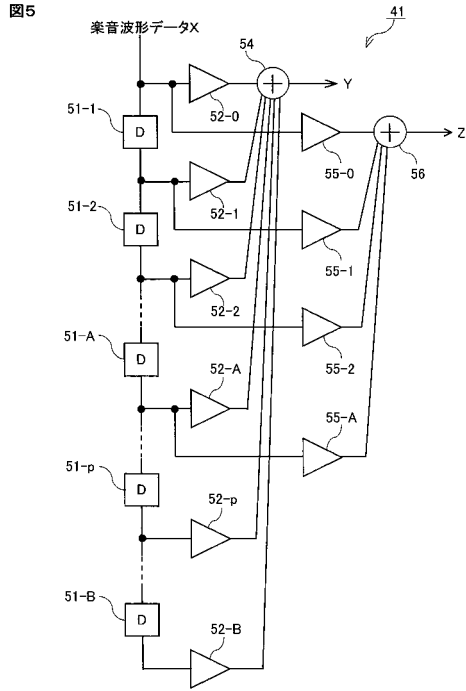
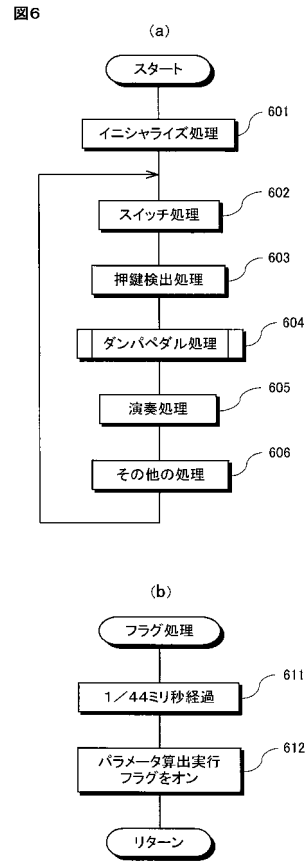


図4

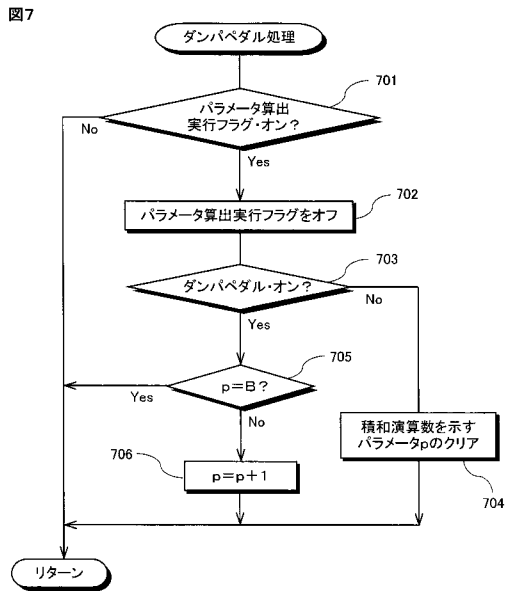
【 図 5 】



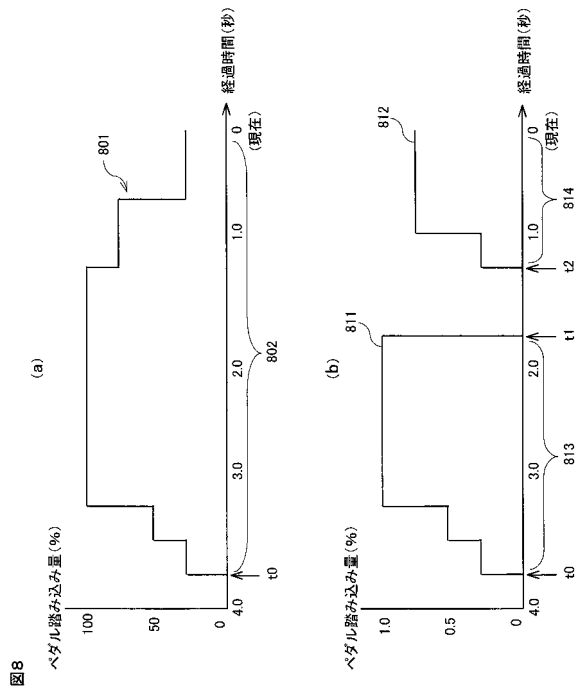
【 図 6 】



【 図 7 】

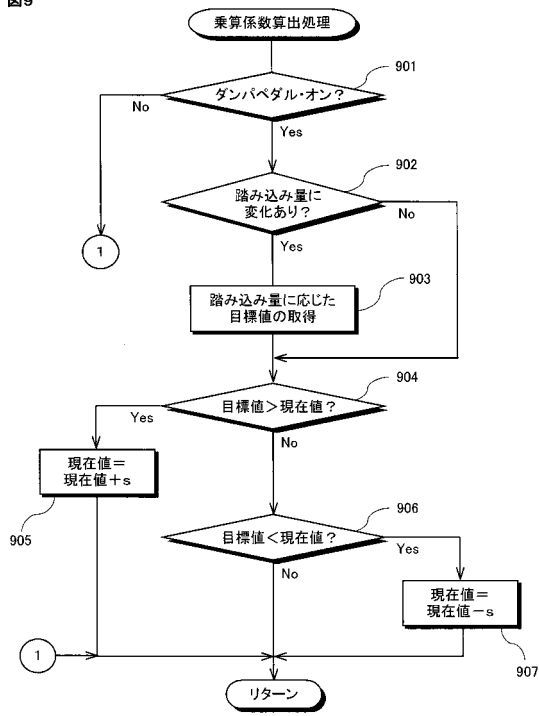


【 図 8 】



【 図 9 】

図9



【 図 10 】

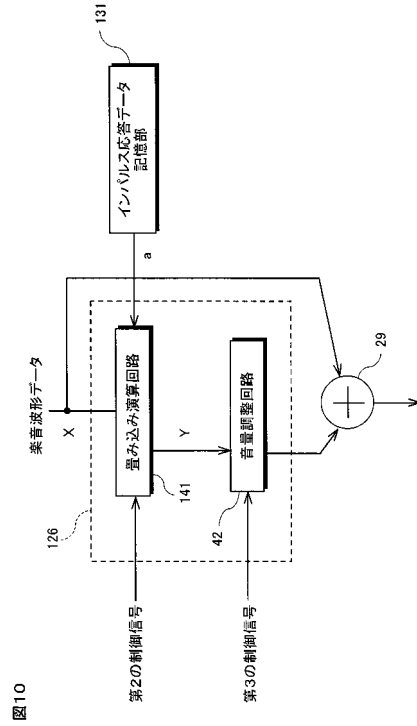


図10

【 図 11 】

図11

