



(12) 发明专利

(10) 授权公告号 CN 109659361 B

(45) 授权公告日 2022.03.04

(21) 申请号 201711242043.0

(22) 申请日 2017.11.30

(65) 同一申请的已公布的文献号  
申请公布号 CN 109659361 A

(43) 申请公布日 2019.04.19

(30) 优先权数据  
62/571,642 2017.10.12 US

(73) 专利权人 电力集成公司  
地址 美国加利福尼亚州

(72) 发明人 贾马尔·拉姆达尼

(74) 专利代理机构 北京汇知杰知识产权代理有限公司 11587  
代理人 李洁 董江虹

(51) Int.Cl.

H01L 29/778 (2006.01)

H01L 29/423 (2006.01)

H01L 21/335 (2006.01)

(56) 对比文件

CN 103137476 A, 2013.06.05

JP 特开2009-302435 A, 2009.12.24

CN 103681835 A, 2014.03.26

审查员 卢振宇

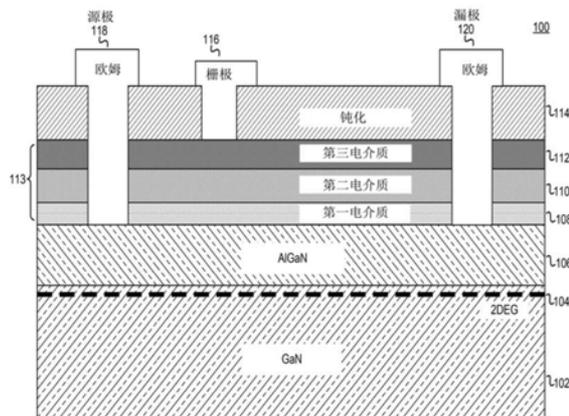
权利要求书2页 说明书7页 附图3页

(54) 发明名称

用于异质结器件的栅极堆叠体

(57) 摘要

本公开提供一种异质结半导体器件,包括第一有源层和设置在第一有源层上的第二有源层。在第一有源层和第二有源层之间形成有二维电子气层。在第二有源层上设置有夹层栅极电介质层结构。在夹层栅极电介质层结构上方设置有钝化层。栅极延伸穿过钝化层到夹层栅极电介质层结构。第一欧姆接触和第二欧姆接触与第二有源层电连接。第一欧姆接触和第二欧姆接触在横向上间隔开,其中栅极设置在第一欧姆接触和第二欧姆接触之间。



1. 一种异质结半导体器件,包括:
  - 第一有源层;
  - 设置在所述第一有源层上的第二有源层,在所述第一有源层和所述第二有源层之间形成有二维电子气层;
  - 设置在所述第二有源层上的夹层栅极电介质层结构,其中所述夹层栅极电介质层结构包括:
    - a) 设置在所述第二有源层上的第一栅极电介质层,其中所述第一栅极电介质层具有在1纳米至5纳米厚的范围内的第一厚度并且包括氮化物基化合物,
    - b) 设置在所述第一栅极电介质层上的第二栅极电介质层,其中所述第二栅极电介质层具有在20纳米至60纳米的范围内的第二厚度并且包括氮化物基化合物,以及
    - c) 设置在所述第二栅极电介质层上的第三栅极电介质层,其中所述第三栅极电介质层具有在10纳米至20纳米的范围内的第三厚度并且包括氧化铝;
  - 设置在所述夹层栅极电介质层结构上的钝化层;
  - 延伸穿过所述钝化层到达所述夹层栅极电介质层结构的顶部的栅极;
  - 与所述第二有源层电连接的第一欧姆接触和第二欧姆接触,所述第一欧姆接触和第二欧姆接触在横向上间隔开,所述栅极设置在所述第一欧姆接触和第二欧姆接触之间。
2. 根据权利要求1所述的异质结半导体器件,其中,所述第二厚度大于所述第一厚度和所述第三厚度。
3. 根据权利要求1所述的异质结半导体器件,其中,所述第一厚度和所述第二厚度的总和和30nm至60nm的范围内。
4. 根据权利要求1所述的异质结半导体器件,其中,所述第一栅极电介质层包括氮化硅(SiN)。
5. 根据权利要求1所述的异质结半导体器件,其中,所述第一栅极电介质层包括氮化碳(CN)或氮化硼(BN)。
6. 根据权利要求1所述的异质结半导体器件,其中,所述第一栅极电介质层和所述第二栅极电介质层材料相同。
7. 根据权利要求1所述的异质结半导体器件,其中,所述第一栅极电介质层是通过原子层沉积形成的层。
8. 根据权利要求1所述的异质结半导体器件,其中,所述第一厚度、所述第二厚度和所述第三厚度被设定为使得在异质结半导体器件的正常运行期间通过所述栅极的漏电流对温度基本恒定。
9. 根据权利要求1所述的异质结半导体器件,其中,所述第一厚度、所述第二厚度和所述第三厚度被设定为使得在异质结半导体器件的正常运行期间阈值电压对温度基本恒定。
10. 根据权利要求1所述的异质结半导体器件,其中,所述第一有源层包括氮化镓(GaN),并且所述第二有源层包括氮化铝镓(AlGaIn)。
11. 根据权利要求1所述的异质结半导体器件,其中,所述栅极包括朝向漏极欧姆接触延伸的栅极场板。
12. 根据权利要求1所述的异质结半导体器件,其中,所述钝化层包括氮化硅(SiN)。
13. 一种制造异质结半导体器件的方法,包括:

在基板上形成第一有源层；

在所述第一有源层上形成第二有源层，所述第一有源层和所述第二有源层具有不同的带隙，使得在所述第一有源层和第二有源层之间形成有二维电子气层；

在所述第二有源层上形成第一栅极电介质层，所述第一栅极电介质层包括氮化物基化合物、具有在1纳米至5纳米的范围内的第一厚度；

在所述第一栅极电介质层上形成第二栅极电介质层，所述第二栅极电介质层包括氮化物基化合物、具有在20纳米至60纳米的范围内并且因此大于所述第一厚度的第二厚度；

在所述第二栅极电介质层上形成第三栅极电介质层，所述第三栅极电介质层包括氧化铝并且具有在10纳米至20纳米的范围内并且小于所述第二厚度且大于所述第一厚度的第三厚度；

形成第一欧姆接触和第二欧姆接触，所述第一欧姆接触和所述第二欧姆接触均竖向地延伸穿过所述第三栅极电介质层、所述第二栅极电介质层和所述第一栅极电介质层，所述第一欧姆接触和所述第二欧姆接触在横向上间隔开并与所述第二有源层电连接；以及

在所述第一欧姆接触和所述第二欧姆接触之间的横向位置处形成接触所述第三栅极电介质层的栅极。

14. 根据权利要求13所述的方法，还包括在形成所述第一欧姆接触和所述第二欧姆接触之前进行沉积，以在所述第三栅极电介质层上形成钝化层。

15. 根据权利要求13所述的方法，还包括对所述第一欧姆接触和所述第二欧姆接触进行退火。

16. 根据权利要求13所述的方法，其中，所述第一厚度、所述第二厚度和所述第三厚度被选择成使得在所述异质结半导体器件的正常运行期间栅极-源极漏电流随着温度保持基本恒定。

17. 根据权利要求13所述的方法，其中，所述第一栅极电介质层和所述第二栅极电介质层包括氮化硅。

18. 根据权利要求13所述的方法，其中，所述第一厚度和所述第二厚度的总和在30nm至60nm的范围内。

19. 根据权利要求13所述的方法，其中，所述第一栅极电介质层和所述第二栅极电介质层与所述第一有源层和所述第二有源层在原位形成。

20. 根据权利要求13所述的方法，其中，所述第一栅极电介质层与所述第一有源层和所述第二有源层在原位形成，并且所述第二栅极电介质层与所述第一有源层和所述第二有源层在异位形成。

21. 根据权利要求13所述的方法，其中，使用金属有机化学气相沉积形成所述第一栅极电介质层和所述第二栅极电介质层。

22. 根据权利要求13所述的方法，其中，使用原子层沉积形成所述第二栅极电介质层。

## 用于异质结器件的栅极堆叠体

### 技术领域

[0001] 本发明整体上涉及高压场效应晶体管(FET);更具体地,涉及高电子迁移率晶体管(HEMT)和异质结场效应晶体管(HFET),并且涉及制造这种功率晶体管器件的方法。

### 背景技术

[0002] 一种类型的高压FET是异质结FET(HFET),也被称为高电子迁移率晶体管(HEMT)。基于氮化镓(GaN)的HFET和基于宽带隙III族氮化物的其他直接过渡半导体材料诸如碳化硅由于它们的物理性质而被用于某些电子器件中。例如,由于由GaN基材料和器件结构提供的高电子迁移率、高击穿电压和高饱和电子速度特性,GaN和AlGaIn/GaN晶体管通常用于高速开关和高功率应用(例如功率开关和功率转换器)。由于HFET的物理性质,HFET可以比在相同电压下传导相同电流的其他半导体开关大体上更快地改变状态,并且宽带隙可以提高HFET在升高的温度下的性能。

[0003] GaN基HFET器件通常包括在薄栅极电介质(例如氧化物)材料上形成的栅极构件。过去,栅极氧化物和下面的GaN层之间的界面状态在GaN基HFET的稳定性和电可靠性方面发挥了作用。提高栅极稳定性可以实现更高的电压运行(例如,600V)。典型的HFET栅极结构包括不具有栅极氧化物或单个薄栅极氧化层的肖特基栅极。这些结构经受通常在20V至40V的范围内的低临界电压。临界电压 $V_{CRIT}$ 被定义为栅极-源极电压 $V_{GS}$ ,在该电压下,栅极漏电流存在相对急剧的上升。

### 发明内容

[0004] 本公开提供一种异质结半导体器件,包括:第一有源层;设置在所述第一有源层上的第二有源层,在所述第一有源层和所述第二有源层之间形成有二维电子气层;设置在所述第二有源层上的夹层栅极电介质层结构;设置在所述夹层栅极电介质层结构上的钝化层;延伸穿过所述钝化层到达所述夹层栅极电介质层结构的顶部的栅极;与所述第二有源层电连接的第一欧姆接触和第二欧姆接触,所述第一欧姆接触和第二欧姆接触在横向上间隔开,所述栅极设置在所述第一欧姆接触和第二欧姆接触之间。

[0005] 本公开提供一种制造异质结半导体器件的方法,包括:在基板上形成第一有源层;在所述第一有源层上形成第二有源层,所述第一有源层和所述第二有源层具有不同的带隙使得在所述第一有源层和第二有源层之间形成有二维电子气层;在所述第二有源层上形成第一栅极电介质层,所述第一栅极电介质层具有第一厚度;在所述第一栅极电介质层上形成第二栅极电介质层,所述第二栅极电介质层具有大于所述第一厚度的第二厚度;在所述第二栅极电介质层上形成第三栅极电介质层,所述第三栅极电介质层具有小于所述第二厚度且大于所述第一厚度的第三厚度;形成各自竖向地延伸穿过所述第三栅极电介质层、所述第二栅极电介质层和所述第一栅极电介质层的第一欧姆接触和第二欧姆接触,所述第一欧姆接触和所述第二欧姆接触在横向上间隔开并与所述第二有源层电连接;以及在所述第一欧姆接触和所述第二欧姆接触之间的横向位置处形成接触所述第三栅极电介质层的栅

极。

### 附图说明

[0006] 参考以下附图描述本发明的非限制性和非穷尽性实施方案,其中,除另有说明外,贯穿各个视图,相同的附图标记表示相同的部分。

[0007] 图1是具有夹层栅极电介质结构的示例半导体器件的截面侧视图。

[0008] 图2是示出了用于制造具有夹层栅极电介质结构的半导体器件的示例工艺流程的图。

[0009] 图3是示出了夹层栅极电介质结构的示例栅极源极漏电流对施加的步进应力的图。

[0010] 在贯穿附图的若干视图中,对应的附图标记指示对应的部件。技术人员将理解,图中的元件是为了简单和清楚而示出,并不一定按比例绘制。例如,为了帮助提升对本发明的各个实施方案的理解,附图中一些元件的尺寸相对其他的元件可能被放大。另外,为了减少对本发明的各种实施方案的观察的遮挡,通常未示出在商业上可行的实施方案中 useful 或必要的常见但熟知的元件。

### 具体实施方式

[0011] 本文描述了具有多个栅极电介质层的异质晶体管的实施例。为了提供对本发明的透彻理解,在下面的描述中阐述了许多具体细节。然而,对于本领域的普通技术人员来说明显的是,实施本发明不一定需要采用所述的具体细节。在其他实例中,为了避免使本发明含糊不清,没有详细描述公知的材料或方法。

[0012] 在整个说明书中,参照“一个实施方案”、“实施方案”、“一个实施例”或“实施例”是指结合该实施方案或实施例描述的特定特征、结构或特性包括在本发明的至少一个实施方案中。因此,贯穿本说明书各处出现的措辞“在一个实施方案中”、“在实施方案中”、“一个实施例”或“实施例”并不一定都指的是相同的实施方案或实施例。此外,在一个或多个实施方案或实施例中,特定特征、结构或特性可以组合成任何合适的组合和/或子组合。特定特征、结构或特性可以包括在集成电路、电子电路、组合逻辑电路或提供所描述的功能的其他合适的部件中。另外,要理解,这里提供的附图是为了向本领域普通技术人员解释的目的,并且附图不一定按比例绘制。

[0013] 如本文所使用的, HFET 器件的“临界电压”或“临界栅极电压”被定义为栅极至源极电压,在该电压下,栅极漏电流存在相对急剧的上升。热稳定性与器件的栅极漏电流随温度增加多少有关。

[0014] 如上所述,典型的 HFET 栅极结构包括不具有栅极氧化物或单个薄栅极氧化层的肖特基栅极。这些结构经受通常在 20V 至 40V 的范围内的低临界电压。该临界电压  $V_{CRIT}$  被定义为栅极至源极电压  $V_{GS}$ , 在该电压下,栅极漏电流存在相对急剧的上升。为了实现较高的可靠性和高的栅极氧化物完整性,该临界电压需要从目前的 20V 至 40V 的范围起增加。此外,当具有单个薄栅极氧化层的器件在高温(诸如 120 摄氏度)下运行时,该器件的栅极漏电流可能比在室温下的漏电流增大两倍或三倍。

[0015] 栅极电介质的性质还影响 HEFT 的其他参数和特性。例如,栅极电介质层的厚度加

上下面的阻挡层的厚度部分地确定了高压HFET的栅极阈值电压。鉴于较厚的栅极电介质使栅极漏电流随着温度的增加或所施加的栅极电压的增加而减小,栅极电介质的厚度对阈值电压有贡献。照此,在热稳定性及电压稳定性与为HFET器件提供恒定阈值电压的能力之间存在折衷。

[0016] 根据本发明的实施方案,公开了一种包括夹层栅极电介质结构的氮化镓基HFET器件及其制造方法。在一个实施方案中,HFET器件具有第一有源层和第二有源层,其中在第一有源层和第二有源层之间形成有二维电子气层。在第二有源层上设置有夹层栅极电介质结构,并且该夹层栅极电介质结构包括第一、第二和第三栅极电介质层。第一栅极电介质层设置在第二有源层上。第一栅极电介质层可以使用氮化物基化合物,诸如氮化硅(SiN)、氮化碳(CN)、氮化硼(BN)或者氮化铝(AlN)。第二栅极电介质层设置在第一栅极电介质层上,并且第二栅极电介质层可以使用SiN、CN、BN或者AlN。第三栅极电介质层设置在第二栅极电介质层上。在一个实施例中,第三栅极电介质层可以使用氧化铝(Al<sub>2</sub>O<sub>3</sub>)。栅极设置在第三栅极电介质层上并延伸到夹层栅极电介质结构的顶部。器件的欧姆接触(源极和漏极)延伸穿过夹层栅极电介质结构以接触第二有源层。

[0017] 在不同实施方案中的该夹层栅极电介质结构都可能导致高临界电压操作(如,>80V)。此外,利用夹层栅极电介质结构的器件可能具有改良的热稳定性。当器件在最高达200摄氏度的温度下运行时,器件的漏电流可能会基本不变化。除了产生更稳定和更坚固的栅极电介质结构之外,其他益处还可以包括更低的栅极漏电流和更一致的栅极阈值电压。夹层栅极电介质结构还可以允许HFET器件在使栅极漏电流最小化的同时保持恒定的阈值电压。

[0018] 在下面的描述中,示例HFET用于解释的目的。然而,应理解,本发明的实施方案可以应用于其他类型的FET,诸如金属氧化物半导体FET(MOSFET)器件或金属绝缘体半导体FET(MISFET)器件。

[0019] 图1示出了半导体器件100(如,氮化镓HFET)的截面侧视图,该半导体器件包括第一有源层102、第二有源层106、第一栅极电介质108、第二栅极电介质110、第三栅极电介质112、钝化层114、欧姆接触118和120以及栅极116。在图1中还示出了电荷层104,该电荷层由于第一有源层102和第二有源层106之间的带隙差而可以形成在该两层之间。电荷层104限定横向导电通道,该横向导电通道有时被称为二维电子气(2DEG)层104,这是因为由于第一有源层102和第二有源层106之间的带隙差而被捕获在电子阱中的电子能够在二个维度上自由地移动,但是在第三维度上被严格地限制。此外,第一有源层102有时被称为通道层或缓冲层,而第二有源层106有时被称为阻挡层或施体层。

[0020] 第二有源层106设置在第一有源层102上。夹层栅极电介质结构113设置在第二有源层上,并且包括第一栅极电介质层108、第二栅极电介质层110和第三栅极电介质层112。第一栅极电介质层108设置在第二有源层106上。第二栅极电介质层110设置在第一栅极电介质层108上。第三栅极电介质层112设置在第二栅极电介质层110上。钝化层114设置在夹层栅极电介质结构113上。如所示出的,钝化层114设置在第三栅极电介质层112上。栅极116竖直向下延伸穿过钝化层114到达第三栅极电介质层112。相应的源极和漏极欧姆接触118和120被示出为竖直向下延伸穿过钝化层114、第三栅极电介质层112、第二栅极电介质层110和第一栅极电介质层108以与第二有源层106电连接。换言之,欧姆接触118和120延

伸到夹层栅极电介质结构113的底部。如所示出的,源极欧姆接触118和漏极欧姆接触120在横向上间隔开,其中栅极116沉积在源极欧姆接触118和漏极欧姆接触120之间。

[0021] 要理解,第一有源层102通常设置在基板(未示出)上,该基板由多种不同材料诸如蓝宝石( $\text{Al}_2\text{O}_3$ )、硅(Si)、氮化镓或碳化硅( $\text{SiC}$ )中的任何一种形成。在一个实施方案中,第一有源层102包括外延氮化镓层。为了避免可能出现的晶格失配和/或热膨胀系数差异的问题,可以在基板和第一有源层102之间设置一个或多个附加层。例如,可以在基板和第一有源层102之间形成可选的薄成核层。在其他实施例中,第一有源层102可以包括含有其他III族元素的氮化物化合物的不同半导体材料。第一有源层102可以生长或沉积在基板上。

[0022] 在图1的实施例中,第二有源层106包括氮化铝镓( $\text{AlGaN}$ )。在其他实施例中,第二有源层106可以使用不同的III族氮化物半导体材料诸如氮化铝铟( $\text{AlInN}$ )和氮化铝铟镓( $\text{AlInGaN}$ )。在其他实施方案中,第二有源层106的材料可以是非化学计量化合物。在这样的材料中,元素的比通常不用普通的整数来表示。例如,第二有源层106可以是III族氮化物半导体材料诸如 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 的非化学计量化合物,其中 $0 < x < 1$ 。第二有源层106可以生长或沉积在第一有源层102上。

[0023] 在一个实施方案中,第一栅极电介质层108包括氮化硅( $\text{SiN}$ )。在其他实施方案中,第一栅极电介质层108可以包括 $\text{Si}_3\text{N}_4$ 。在其他实施例中,第一栅极电介质层108可以使用不同的氮化物基化合物诸如氮化碳(CN)、氮化硼(BN)或者氮化铝( $\text{AlN}$ )。第一栅极电介质层108可以是保存与第二有源层106的原子排列的氮化物基材料。此外,第一栅极电介质层108可以是绝缘的并且具有至少3电子伏特(eV)的带隙。在一个实施例中,第一栅极电介质层108的厚度可以基本上在1纳米至5纳米(nm)厚之间。第一栅极电介质层108可以分别与第一有源层102和第二有源层106在原位(in-situ)沉积。可以使用金属有机化学气相沉积(MOCVD)来沉积第一栅极电介质层108。在另一实施方案中,第一栅极电介质层108可以通过原子层沉积(ALD)与第一有源层102和第二有源层106在异位(ex-situ,非原位)沉积。

[0024] 如所示出的,第二栅极电介质层110设置在第一栅极电介质层108上。在一个实施例中,第二栅极电介质层110包括氮化硅( $\text{SiN}$ )。在其他实施方案中,第二栅极电介质层110可以包括 $\text{Si}_3\text{N}_4$ 。第二栅极电介质层110可以使用不同的氮化物基化合物诸如氮化碳(CN)、氮化硼(BN)或氮化铝( $\text{AlN}$ )。第二栅极电介质层110具有在大约20nm至60nm厚的范围内的厚度。在一个实施方案中,第二栅极电介质层110比第一栅极电介质层108厚。此外,用于第二栅极电介质层110和第一栅极电介质层108的材料可以相同。第一栅极电介质层108和第二栅极电介质层110的厚度的总和可以在30nm至60nm的范围内。第二栅极电介质层110可以通过处理诸如MOCVD与第一有源层102和第二有源层106以及第一栅极电介质层108在原位沉积。在另一实施例中,第二栅极电介质层110可以通过处理诸如ALD与第一有源层102和第二有源层106以及第一栅极电介质层108异位沉积。

[0025] 第三栅极电介质层112设置在第二栅极电介质层110上。在一个实施例中,第三栅极电介质层112包括氧化铝( $\text{Al}_2\text{O}_3$ )。在另外的实施例中,第三栅极电介质层112可以使用其他氧化物材料诸如 $\text{ZrO}$ 、 $\text{HfO}$ 、 $\text{SiO}_2$ 和 $\text{GdO}$ 。第三栅极电介质层112可以具有在10nm至20nm的范围内的厚度。在一个实施方案中,第二栅极电介质层110比第一栅极电介质层108和第三栅极电介质层112厚。在一个实施例中,使用ALD将第三栅极电介质层112与第一有源层102和第二有源层106异位沉积。

[0026] 上述栅极电介质结构可以被称为夹层栅极电介质结构,因为第二栅极电介质层110夹在第一栅极电介质层108和第三栅极电介质层112之间。如稍后将描述的,这种类型的夹层结构可以增加器件100的总体稳定性,并且可以大大减小漏电流。在其他实施例中,第一栅极电介质层108和第三栅极电介质层112之间可以存在多个夹层。

[0027] 钝化层114设置在第三栅极电介质层112上并在横向上包围欧姆接触118、120和栅极116。在一个实施方案中,钝化层114可以包括电介质材料诸如氮化硅(SiN)。钝化层114可以包括多个材料层。钝化层114通过将器件100的表面与环境的电气污染物和化学污染物隔离来提供器件的电气特性的稳定性。可以通过化学气相沉积诸如低压化学气相沉积(LPCVD)或等离子体增强化学气相沉积(PECVD)来沉积钝化层114。

[0028] 第一栅极电介质层108、第二栅极电介质层110和第三栅极电介质层112的夹层栅极电介质结构分别将栅极116与第二有源层106隔开。如所示出的,栅极116被设置为穿过钝化层114与第三栅极电介质层112接触。在一个实施方案中,栅极116包括钛/氮化钛/铝铜堆叠体。在另一实施方案中,栅极116包括钛金(TiAu)合金或钼金MoAu合金。在其他实施例中,栅极116可以包括栅极电极和栅极场板。在运行中,栅极116控制欧姆源极接触118和欧姆漏极接触120之间的正向传导路径。在示例制造处理中,可以通过在钝化层114中蚀刻出开口、接着进行栅极金属沉积来形成栅极116。在图1的实施例中,栅极116的在钝化层114上方并朝向欧姆漏极接触120横向延伸的部分用作栅极场板,该部分用于减轻边缘(最靠近欧姆接触120)处的电场强度。

[0029] 欧姆接触118和120被设置成穿过钝化层114、第三栅极电介质层112、第二栅极电介质层110和第一栅极电介质层108,以接触第二有源层106。欧姆接触118是源极接触的一个示例,而欧姆接触120是漏极接触的一个示例。在一个实施方案中,可以通过在钝化层114、第三栅极电介质层112、第二栅极电介质层110和第一栅极电介质层108中蚀刻出开口、接着进行金属沉积和退火步骤来形成欧姆接触118和120。

[0030] 如所示出的,图1示出了在制造过程中刚形成分别构成氮化镓HFET器件100的源极电极和漏极电极的欧姆金属接触118和120之后的器件结构。图1示出了直接形成在第二有源层106上的欧姆金属接触118和120。在其他实施方案中,欧姆金属接触118和113可以形成在竖直向下延伸进入第二有源层106中的凹部中。在其他实施方案中,欧姆金属接触118和120可形成在竖直向下延伸穿过第二有源层106的凹部中,以接触第一有源层102。

[0031] 当HFET器件100被构造成用作电源开关时,栅极116和欧姆接触118和120通常通过端子耦接以形成与外部电路的电连接。在运行中,2DEG层104中的电荷在欧姆接触118和120之间横向流动,以形成外部电路中的电流。电荷流动,并且因此电流可以通过来自电连接在栅极116和欧姆接触118之间的外部电路的电压来控制。

[0032] 如在本公开内容中所使用的,电连接是欧姆连接。欧姆连接是其中电压和电流之间的关系对于电流的两个方向而言基本上都是线性和对称的连接。例如,仅通过金属接触的两个金属图案是电连接的。相比之下,在HFET器件100中,欧姆接触118和120(如所示出的)彼此没有电连接,因为这两个接触之间的任何连接都是通过半导体材料中的通道的,该传导路径由栅极116控制。类似地,由于第一栅极电介质层108、第二栅极电介质层110和第三栅极电介质层112使栅极116与下面的有源层绝缘,因此栅极116未与第二有源层106电连接。

[0033] 在上述实施方案中,第一(108)、第二(110)和第三(112)栅极电介质层的厚度使得在HFET器件100的正常运行期间,栅极漏电流随着温度保持基本恒定。换句话说,当HFET器件100在120°C下运行时,该器件的栅极漏电流可能不会具有任何实质性的变化。另外,本发明的各种实施方案可以在高达200°C下运行,而不会显著改变栅极漏电流。

[0034] 此外,本文描述的夹层栅极电介质层结构可以提高HFET器件的电压稳定性。例如,将HFET器件100的临界电压显着增加至约100V至170V 的范围。

[0035] 图2是示出了用于制造半导体器件诸如图1所示的HFET器件100的示例工艺流程的流程图200。在所示的实施例中,在第一和第二有源层二者已经沉积或生长在基板上之后开始该工艺。从框202开始,第一栅极电介质层在原位生长。在一个实施方案中,使用在800°C至1050°C之间的温度范围内执行的MOCVD技术沉积第一栅极电介质层。第一栅极电介质层被形成至大约1nm至5nm的厚度,并且在晶片的表面上是连续的。在一个实施方案中,栅极电介质层的厚度约为4nm。在另一实施方案中,第一栅极电介质层与第一有源层和第二有源层在原位形成。例如,也可以使用用于形成第一有源层和第二有源层的同一机器(MOCVD)来形成第一栅极电介质层。第一栅极电介质层可以包括SiN。当沉积SiN第一栅极电介质层时,用于沉积的Si源可以是作为Si的源的硅烷或乙硅烷。在其他实施方案中,第一栅极电介质层可以与第一有源层和第二有源层异位沉积。

[0036] 接下来,在框204处,在第一栅极电介质层顶上沉积第二栅极电介质层。在一个实施方案中,使用MOCVD将第二栅极电介质层与第一有源层和第二有源层以及第一栅极电介质层在原位沉积。第二栅极电介质层被形成至约20nm至60nm的厚度并且在晶片的表面上是连续的。第一栅极电介质层可以包括SiN。当沉积SiN第一栅极电介质层时,用于沉积的Si源可以是作为Si的源的硅烷或二硅烷。在另一实施方案中,第二栅极电介质层可以与第一栅极电介质层在异位沉积,并且可以使用等离子体增强的原子层沉积(PEALD)、电感耦合等离子体(ICP)、化学气相沉积(CVD)或原子层沉积(ALD)来沉积第二栅极电介质层。当通过ALD沉积SiN第二栅极电介质层时,用于沉积的Si源可以是Si的氨基硅烷或有机金属源。

[0037] 在框205处,在300°C下使用PEALD在晶片表面上将第三栅极电介质层与第一栅极电介质层以及第一有源层和第二有源层在异位沉积。在一个实施方案中,使用具有Al(CH<sub>3</sub>)<sub>3</sub>前体和O<sub>2</sub>等离子体的ALD来沉积第三栅极电介质层。第三栅极电介质层被形成成为10nm至20nm范围内的厚度。

[0038] 该工艺继续到框206,其中在第三栅极电介质层上方沉积钝化层。在一个实施方案中,可以使用PECVD来沉积钝化层。钝化层通常被形成至约100nm至150nm范围内的厚度。如上所述,钝化层可以包括氮化硅(SiN)或具有相似性质的其他材料。

[0039] 在框208处,形成欧姆过孔。形成穿过钝化层和夹层栅极电介质结构的欧姆源极接触和欧姆漏极接触。在一个实施例中,使用电感耦合等离子体(ICP)蚀刻来形成欧姆过孔。

[0040] 在框210处,进行欧姆金属化、蚀刻和退火。一旦形成穿过前述层的欧姆过孔,就沉积金属或金属合金来填充开口。在一个示例制造顺序中,使用溅射技术或物理气相沉积(PVD)来沉积用于欧姆接触的金属。示例欧姆接触金属可以包括钛(Ti)层、铝(Al)层、钛(Ti)层和氮化钛(TiN)层。然后使用RTA工具在约400°C至600°C的温度范围内对金属欧姆接触进行退火。在框212处,可以利用氮注入或氩注入来进行用于隔离器件的注入物隔离。

[0041] 可以以与欧姆接触类似的方式形成栅极。在框214处,可以通过蚀刻穿过钝化层的

开口以暴露第三栅极电介质层的方式形成栅极过孔。在一个实施方案中,可以进行ICP蚀刻。

[0042] 在蚀刻工艺暴露第三栅极电介质层之后,在框216处,器件经历高温退火。例如,退火步骤可以在450℃至650℃的温度范围内的炉中进行约 5至20分钟。也可以使用许多不同的工具诸如快速温度退火(RTA)工具进行退火。

[0043] 在框218处,进行栅极金属或金属合金沉积,以填充蚀刻出的开口。可以使用溅射技术或物理气相沉积(PVD)来沉积金属。示例栅极金属可以包括钛(Ti)层、氮化钛(TiN)层、铝铜(AlCu)层和氮化钛(TiN)层。

[0044] 半导体领域的普通技术人员将理解,可以进行其他的标准后制造或后期处理步骤,包括在晶片的表面上形成金属(例如,图案化的线或迹线)、晶片背面研磨(也称为背磨或晶片薄化)、芯片分离和封装。

[0045] 图3是示出了各自具有图1的夹层栅极电介质结构的各种HFET器件的示例栅极漏电流对所施加的步进应力电压的图。如所示出的,x轴表示绝对栅极电压304,而y轴是栅极-源极漏电流302。曲线图300还示出了临界阈值水平306。临界阈值306可以被定义成在栅极-源极漏电流302不再是可接受的并且器件被认为是击穿的情况下的阈值。对于所示的实施例,临界阈值306大致为 $5.00E-9A$ 或 $5nA$ 。另外,临界电压指的是特定器件的栅极-源极漏电流达到临界阈值306时的栅极电压。

[0046] 如所示出的,曲线图300示出了第一器件308、第二器件310和第三器件 312的性能。在测量栅极-源极漏电流302的同时,逐步增加各种器件中每一个的栅极电压。对于第一器件308,临界电压约为-135V。对于第二器件 310,临界电压约为-165V。对于第三器件312,临界电压约为-130V。所有三个器件308、310和312都实施具有第一、第二和第三栅极电介质层的夹层栅极电介质结构。如图3所示,器件308、310和312的临界电压的大小大于100V。未使用夹层栅极电介质结构的器件可能具有远小于100V的临界电压大小。

[0047] 以上描述的本发明的示出实施例,包括在摘要中描述的内容,不意在是穷尽性的或限于所公开的确切形式。虽然出于说明的目的,本文描述了本发明的具体实施方案和实施例,但是在不脱离本发明的更广泛的精神和范围的情况下,可以进行各种等同的修改。实际上,要理解,出于说明的目的提供了具体的示例电压、厚度、材料类型等,但是根据本发明的教导也可以在其他实施方案和实施例中采用其他值。

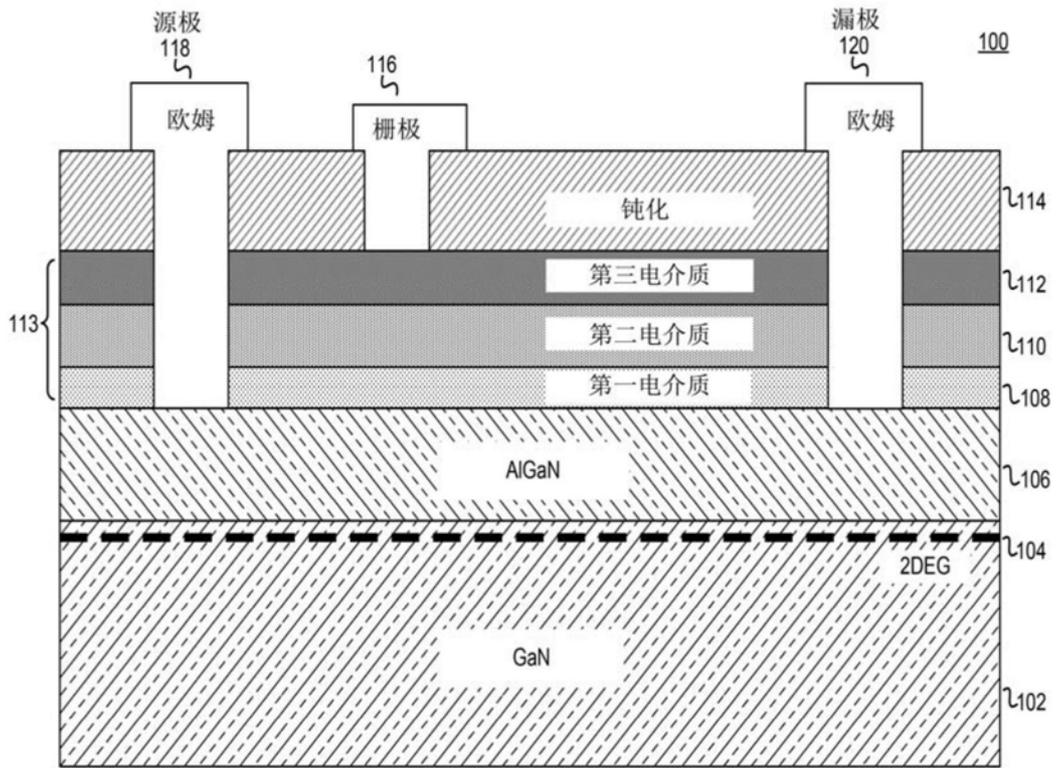


图1

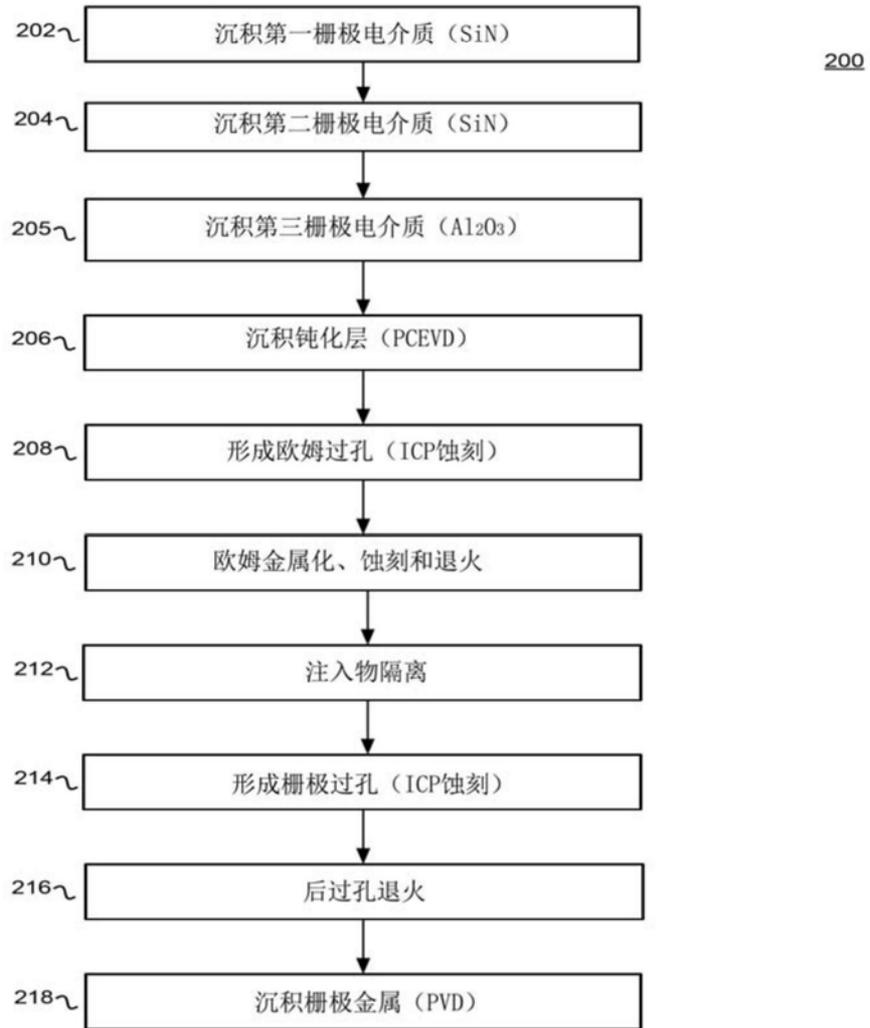


图2

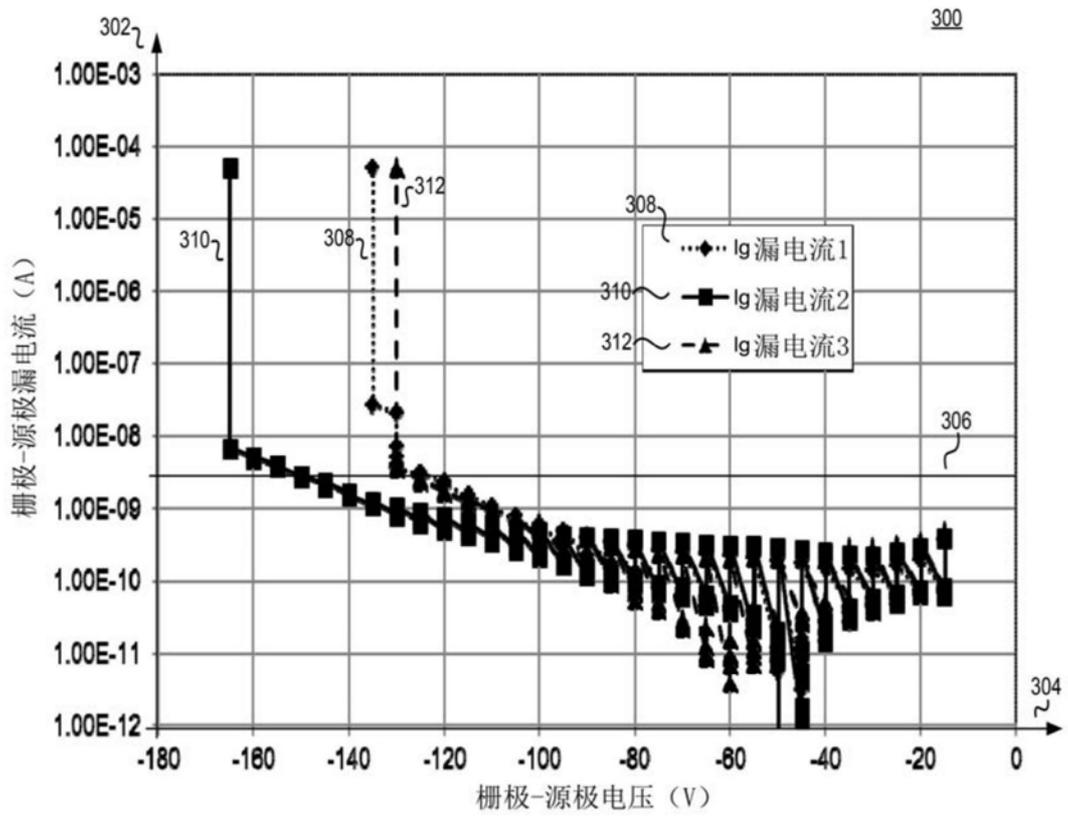


图3