



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H04N 7/015 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년08월01일 10-0743991 2007년07월24일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2000-0048538 2000년08월22일 2005년08월10일	(65) 공개번호 (43) 공개일자	10-2001-0050150 2001년06월15일
----------------------------------	---	------------------------	--------------------------------

(30) 우선권주장      09/382,234      1999년08월24일      미국(US)

(73) 특허권자      톰슨 라이센싱  
프랑스 세데 블로뉴 께아 르 갈로 46

(72) 발명자      맥닐리, 데이비드로웰  
미국, 인디애나46256, 인디애나폴리스, 와블러코트7832

(74) 대리인      문경진  
조현석

(56) 선행기술조사문헌 KR1019950024570 A KR1019950013246 A	KR1019930703793 A KR100170690 B1
---	-------------------------------------

심사관 : 박봉서

전체 청구항 수 : 총 11 항

(54) 복소 변조기 반송파 신호 생성 장치 및 방법

(57) 요약

본 발명은 디지털 변조기에 인가하기 위한 반송파 신호를 생성하는 방법 및 시스템에 관한 것이다. 상기 방법의 예시적이 실시예는 주어진 샘플 속도에서 발생하는 값의 다수의 반복 시퀀스( $P_{MSB}$ ,  $P_{LSB}$ ,  $P_{MDSB}$ ,  $\mu$ ,  $18\mu$ )를 제공하는 단계를 포함한다. 상기 다수의 반복 시퀀스는 복소 반송파의 실수 및 허수 성분을 나타내는 제 1 및 제 2 결합 값( $\pm R$ ,  $\pm I$ )을 형성하기 위해서 다항 함수에 따라 결합된다(도 15).

대표도

도 15

특허청구의 범위

청구항 1.

주어진 샘플링-주파수 속도로 디지털 변조기의 변조 입력으로서 인가된 디지털화 된 샘플 값의 적어도 하나의 진행 데이터 스트림으로 구성되는 디지털 데이터 신호에 응답하는 디지털 변조기(802)를 포함하는 장치에서, 상기 디지털 변조기에 반송파 신호로서 인가하기 위한 디지털화 된 샘플 값의 반송파 스트림을 생성하기 위한 장치(804)에 있어서,

상기 샘플링 주파수 속도의 클럭 신호의 소스와;

복소 주파수의 위상을 한정하는 S(정수)개의 샘플 값의 주어진 시퀀스의 연속적인 반복을 제공하기 위해, 상기 클럭 신호에 응답하는 생성기(도 13 및 도 15)로서, 상기 주어진 시퀀스의 상기 위상을 한정하는 샘플 값은 진행하는(ongoing) 반송파 스트림을 구성하는 진행하는 주기 파(periodic wave)의 순환 파형(cyclic wave shape)을 결정하는, 생성기를 특징으로, 하는 반송파 스트림 생성 장치.

## 청구항 2.

제 1 항에 있어서, 상기 주어진 시퀀스의 위상을 한정하는 S( $3 \leq S \leq 8$ )개의 샘플 값은 복소 값이고, 상기 복소 값은 지수 함수( $e^{\pm j2n\pi/3}$ )에 의해 표시된 진행하는 복소 실수 및 허수 주기파의 각 연속 사이클을 정의하며, 여기서 n은 샘플 인덱스인 것을 특징으로 하는, 반송파 스트림 생성 장치.

## 청구항 3.

제 1 항에 있어서, 상기 주어진 시퀀스의 위상을 한정하는 S개의 샘플 값은 지수 함수( $e^{\pm jn\pi/2}$ )에 의해 표시된 진행하는 복소 실수 및 허수 주기파의 각 연속 사이클을 정의하는 4개의 복소 값( $1, +\pm j, -1, -\pm j$ )이며, 여기서 n은 샘플 인덱스인 것을 특징으로 하는, 반송파 스트림 생성 장치.

## 청구항 4.

제 1 항에 있어서, 상기 주어진 시퀀스의 위상을 한정하는 S개의 샘플 값은 지수 함수( $e^{\pm jn\pi/3}$ )에 의해 표시된 진행하는 복소 실수 및 허수 주기파의 각 연속 사이클을 정의하는 6개의 복소 값( $1, 0.5 + (\pm j * 0.866), -0.5 + (j * 0.866), -1, -0.5 - (j * 0.866), 0.5 - (j * 0.866)$ )이며, 여기서 n은 샘플 인덱스인 것을 특징으로 하는, 반송파 스트림 생성 장치.

## 청구항 5.

제 1 항에 있어서, 상기 주어진 시퀀스의 위상을 한정하는 S개의 샘플 값은 지수 함수( $e^{\pm jn\pi/4}$ )에 의해 표시된 진행하는 복소 실수 및 허수 주기파의 각 연속 사이클을 정의하는 8개의 복소 값( $\{1, 0.707 + (\pm j * 0.707), -(\pm j), -0.707 + (\pm j * 0.707), -1, -0.707 - (\pm j * 0.707), -(\pm j), 0.707 - (\pm j * 0.707)\}$ )이며, 여기서 n은 샘플 인덱스인 것을 특징으로 하는, 반송파 스트림 생성 장치.

## 청구항 6.

제 1 항에 있어서, 상기 반송파-생성 수단은,

- (1) 주어진 샘플링 주파수 속도에서 샘플링된, 위상-제어 샘플 값의 진행하는 샘플링된  $\mu$ 위상-제어 스트림(900 내지 906)
- , (2) 상기 주어진 샘플링 주파수 속도에서 샘플링된, 위상-제어 샘플 값의 진행하는 샘플링된  $a_1 * \mu$ 위상-제어 스트림(906,

908), (3) (±) 극성 값을 선택적으로 정의하는, 값의 진행하는  $P_{MDSB}$  제 1 시간-제어 스트림(904, 912, 914), (4) (±) 극성을 선택적으로 정의하는, 값의 진행하는  $P_{LSB}$  제 2 시간-제어 스트림, 및(904, 910), (5)(±) 극성 값을 선택적으로 정의하는, 값의 진행하는  $P_{MSB}$  제 3 시간-제어 스트림(904, 910)을 유도하기 위한 위상-제어 수단과;

상기 주어진 샘플링 주파수 속도에서 동작하는 샘플링된 복소 주파수 생성기(도 15)로서, 입력으로서 인가될 상기  $\mu$  및  $a_1 \cdot \mu$  위상-제어 스트림과 상기  $P_{MDSB}$  제 1,  $P_{LSB}$  제 2 및  $P_{MSB}$  제 3 시간-제어 스트림의 모든 값에 따라 출력으로서 샘플 값의 진행하는 샘플링된 DC에 중심이 맞추어진  $\pm R$  및  $\pm I$  반송파 스트림을 생성하는 샘플링된 복소 주파수 생성기(도 15)를

포함하는 것을 특징으로 하는, 반송파 스트림 생성 장치.

## 청구항 7.

제 1 항에 있어서, 상기 생성기는:

값 모듈로(value modulo) K를 증분적으로 제공하는 축적기(900 내지 904)를 포함하는 회로로서, 상기 값으로부터 신호  $\{\mu$  및  $a\mu$  (a배의  $\mu$ )}가 생성되는, 회로와;

$\mp a\mu^3 \mp \beta\mu^2 \pm \kappa\mu + \rho$  형태의 함수에 해당하는  $\pm R$  반송파 스트림을 생성시키기 위해서, 상기 신호( $\mu$  및  $a\mu$ )에 응답하고, 상기 샘플링 주파수 속도에서 동작하는 제 1 처리 체인(도 15의 1005-1 및 직렬 요소부터 시작하여 1007-8까지)과;

$\pm a\mu^3 \mp \beta\mu^2 \mp \kappa\mu + \rho$  형태의 함수에 해당하는  $\pm I$  반송파 스트림을 생성시키기 위해서, 상기 신호( $\mu$  및  $a\mu$ )에 응답하고, 상기 샘플링 주파수 속도에서 동작하는 제 2 처리 체인(도 15의 1010-1 및 직렬 요소부터 시작하여 1011-8까지)을 포함하며, 여기서  $a, \beta, \kappa$  및  $\rho$ 는 상수이고 상기  $\pm R$  및  $\pm I$  반송파 스트림은 복소 반송파를 형성하는

것을 특징으로 하는, 반송파 스트림 생성 장치.

## 청구항 8.

제 7 항에 있어서, 상수( $a, \beta, \kappa$  및  $\rho$ )는 각각 18, 31, 41 및 26 인 것을 특징으로 하는, 반송파 스트림 생성 장치.

## 청구항 9.

주어진 샘플 속도에서 발생하는 복소 값의 제 1 반복 시퀀스를 제공하는 단계와;

상기 복소 값을 더 높은 샘플 속도로 업샘플링하는 단계와;

상기 복소 값의 상기 제 2 반복 시퀀스를 제공하는 단계로서, 상기 제 2 반복 시퀀스의 각 복소 값이 상기 더 높은 샘플 속도에서 발생하는, 단계; 및

상기 복소 반송파 신호를 제공하기 위해서, 복소 값의 업샘플링된 상기 제 1 시퀀스를 복소 값의 상기 제 2 반복 시퀀스를 이용해 변조시키는 단계를 특징으로 하는, 복소 반송파를 생성하는 방법.

## 청구항 10.

제 9 항에 있어서, 제 1 반복 시퀀스를 제공하는 단계는,

주어진 주파수 속도에서 클럭 신호를 제공하는 단계와;

상수 값(M)을 제공하는 단계와;

상기 클럭 주파수에서 연속적으로 축적된 값을 발생시키기 위해서, 상기 클럭 주파수에서 M 모듈로 K 값(value M modulo K)을 축적하는 단계와;

상기 클럭 주파수에서 상기 연속적으로 축적된 값으로부터 연속 값 $\{\mu$ , 및  $a\mu$ (a곱하기  $\mu$ )} 및 극성 신호를 형성시키는 단계를 포함하며,

상기 업샘플링 단계는;  $\mu$ 다항식 형태의 제 1 함수에 해당하는  $\pm R$  반송파 스트림을 발생시키기 위해서, 상기 클럭 주파수에서의 값( $\mu$ , 및  $a\mu$ ) 및 극성 신호를 처리하는 단계와;

$\mu$ 다항식 형태의 제 2 함수에 해당하는  $\pm I$  반송파 스트림을 발생시키기 위해서, 상기 클럭 주파수에서의 값( $\mu$ , 및  $a\mu$ ) 및 극성 신호를 처리하는 단계를 포함하며, 여기서 상기  $\pm R$  및  $\pm I$  반송파 스트림은 복소 반송파를 형성하는 것을 특징으로 하는, 복소 반송파를 형성하는 방법.

## 청구항 11.

제 10 항에 있어서, 상기 제 1 함수는  $\mp a\mu^3 \mp b\mu^2 \pm c\mu + d$ 의 형태이고, 상기 제 2 함수는  $\pm a\mu^3 \mp b\mu^2 \mp c\mu + d$ 의 형태이며, 여기서 a,b,c 및 d는 상수인 것을 특징으로 하는, 복소 반송파를 형성하는 방법.

## 명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 디지털 샘플의 진행하는 스트림이 함께 사용될 때 잔류 측파대(VSB: vestigial sideband) 디지털 변조기에서 사용하기에 적합한 이들 진행하는 스트림을 처리하기 위한 다양한 접근 방법에 관한 것인데, 상기 VSB 디지털 변조기는 텔레비전 수신기, 보다 자세하게는 고선명 텔레비전(HDTV) 수신기 또는 셋탑박스를 위해 선택적으로 63 MHz(채널 3), 69 MHz(채널 4) 또는 5.38 MHz의 중간 주파수(IF)(기저 대역)에 중심이 위치한 6 MHz 대역폭의 입력 신호를 유도한다.

가전 장치에 대한 IEEE 회보(IEEE Transactions on Consumer Electronics)지 의 1998년 8월자 44호 3번 기사로 하우지(Hauge) 등이 기술한 "ATSC 재-변조기 시스템(ATSC Re-modulator System)"이라는 제목의 기사가 참조된다. 상기 기사는 다양한 디지털 제품(예를 들어, 지상 디지털 방송, 위성, 디지털 케이블 셋톱 박스, 케이블 모뎀, DVD, DVCR, PC 등)과 디지털 TV 수상기를 상호 연결시키기 위한 VSB 디지털 재-변조기의 구현예를 개시한다. 그러한 VSB 디지털 재-변조기는 VCR 및 비디오 게임에서 찾아 볼 수 있는 현재의 아날로그 재-변조기와 등가의 디지털 장치이다.

#### 발명이 이루고자 하는 기술적 과제

예컨대 TV 신호 재변조기(remodulator)에 인가하기 위한 다수의 반송파 신호의 디지털 표시를 생성하는 간단하고 저렴한 접근 방식으로서, 집적-회로(IC)로 구현하기에도 적합한 접근 방식에 대한 요구가 존재한다.

본 발명은 디지털 변조기에 인가하기 위한 반송파 신호를 생성하는 방법 및 시스템에 관한 것이다. 상기 방법의 예시적인 실시예는 주어진 샘플 속도에서 발생하는 값의 다수의 반복 시퀀스( $P_{MSB}$ ,  $P_{LSB}$ ,  $P_{MDSB}$ ,  $\mu$ ,  $18\mu$ )를 제공하는 단계를 포함한다. 상기 다수의 반복 시퀀스는 복소 반송파의 실수 및 허수 성분을 나타내는 제 1 및 제 2 결합 값( $\pm R$ ,  $\pm I$ )을 형성하기 위해서 다항 함수에 따라 결합된다(도 15).

본 명세서의 서문에서, "DC에 중심이 맞추어진(DC centered)"이라는 용어는 DC 진폭에 대해서가 아니고 대략 제로(0)Hz 주파수에 중심이 맞추어졌음을 가리킨다는 것으로 인식된다. 일반적으로 본 명세서에서, 상기 용어는 DC에 중심이 맞추어진 신호 변조 대역폭을 가리킨다.

## 발명의 구성

도 1을 참조하면, (1) 디지털화 된 펄스-부호-변조(PCM) 신호 샘플 스트림의 소스(100), (2) 디지털 잔류 측파대(VSB) 변조기(102), (3) 디지털-아날로그(D/A) 변환기(104) 및 (4) 아날로그 필터(106)가 도시된다. 상기 소스(100)는 디지털 제품을 포함하고, 원하는 추가의 신호 정보를 추가하고/하거나 상기 신호 정보의 형태를 변형시켜, 디지털 VSB 변조기(102)에 대한 입력으로서 인가되는 소스(100)로부터 샘플-스트림 출력을 유도하기 위하여 디지털 처리 수단이 필요하다면, 상기 디지털 제품으로부터 디지털 처리 수단과 함께 초기 신호 정보가 획득된다. 본 발명의 특징을 포함하는, 디지털 VSB 변조기(102)의 바람직한 실시예가 이후에 자세히 설명된다. 어떠한 경우라도, 디지털 VSB 변조기(102)로부터의 디지털 출력은, 주어진 상대적으로 높은 샘플링-주파수 속도에서 발생하는 변조된 데이터 샘플 스트림을 포함하는데, 상기 스트림은 D/A 변환기(104)에 의해 아날로그 신호로 변환된 후 채널 3, 채널 4 또는 5.38MHz에 중심이 맞추어진 IF 기저 대역 신호를 선택적으로 발생시킨다. D/A 변환기(104)에 의해 아날로그 신호로 변환된 후, 주어진 샘플-주파수 속도 이상의 주파수 대역폭 밖에 존재하는 임의의 결과적인 원치 않는 주파수 성분은 아날로그 필터(106)에 의해 제거된다.

도 2에 도시된 바와 같이, 디지털 VSB 변조기(102)는 PCM 심볼당 1샘플 - DC에 중심이 맞추어진 복소 VSB 변환기(200)(도 3 내지 도 7과 관련하여 이후에 상세하게 설명됨), 디지털  $\sin x/x$  보상기(202), 멀티-스케일 디지털 변조기(204)(도 8 내지 도 16과 관련하여 이후에 상세하게 설명됨) 및 비부호화 변환기(unsigned converter)(206)(나중에 좀 더 상세히 기술됨)를 포함한다.

소스(100)로부터의 신호 PCM 샘플 스트림은 VSB 변환기(200)에 대한 입력으로서 인가되고, 상기 변환기는  $\sin x/x$  보상기(202)에 입력으로서 인가되는, 부호가 표시된 실수(R) 및 허수(I)의 복소 형태로 2개의 VSB 출력 스트림을 유도한다. 여전히 부호가 표시된 복소 형태인, 상기  $\sin x/x$  보상기(202)로부터의 상기 2개의 출력 스트림은 멀티-스케일 디지털 변조기(204)에 대한 입력으로서 인가되고, 상기 변조기는 상기 비부호 변환기(unsigned converter)(206)를 통해 D/A 변환기(104)에 대한 입력으로서 전달되는, 부호가 표시된 R 형태의 단일 출력 스트림을 유도한다{즉, 비부호 변환 수단(206)에 의해 수행된 동작은 동일하게 주어진 양(+ )의 크기 값을 상기 단일 출력 스트림의 각 심볼의 부호 표시( $\pm$ )된 크기 값에 더하는 것인데, 상기 주어진 양의 크기 값은 상기 비부호 변환 수단(206)으로부터의 출력 스트림의 각 심볼의 크기 값의 합이 양의 값이 되도록 하기에 충분하므로, D/A 변환기(104)에 대한 입력으로서 인가된 모든 심볼 샘플은 오직 양의 값만을 갖는다}.

본 발명의 바람직한 실시예를 설명하기 위하여, 다음과 같이 가정된다. (1) VSB 변환기(200)에 대한 입력으로서 인가된 PCM 심볼 샘플 스트림 각각은 10.76MHz의 샘플-주파수 클록 속도에서 발생하는 3 비트(8 VSB) 또는 4 비트(16 VSB)의 실수 데이터를 한정하는 4비트를 포함하고; (2) VSB 변환기(200)와 디지털  $\sin x/x$  보상기 각각은 10.76MHz의 샘플-주파수 클록 속도로 동작하고; (3) 멀티-스케일 디지털 변조기(204)의 입력 및 출력 샘플-주파수 클록 속도는 각각 10.76 MHz 및 86.08 MHz(즉, 10.76 MHz의 8배)이고, 이때 상기 멀티-스케일 디지털 변조기(204)의 동작 샘플-주파수 클록 속도는 또한 10.76 MHz와 86.08 MHz의 중간에서 발생하는 최소한 하나의 86.08 MHz 서브-고조파를 포함할 수도 있다.

도 3을 참조하면, 입력으로서 VSB 변환기(200)에 인가된 앞서 말한 4-비트 PCM 심볼 샘플 스트림에 추가하여, 상기 VSB 변환기(200)는 또한 좀 더 정확한 PCM 파일럿(pilot) DC 값을 갖는데, 상기 DC 값은 파일럿-톤 진폭(pilot-tone amplitude)을 원하는 레벨로 조정하기 위해 이용될 수 있고  $b > 4$  비트로 한정된다. 이러한  $b > 4$  비트 PCM 파일럿 DC 값이 변조 신호로서 변조기(300-P)에 인가되는 동안, 상기 스트림의 각 4 비트 PCM 심볼 샘플은 변조기(300-S)에 변조 신호로서 인가된다. 10.76MHz 샘플-주파수 속도에서 발생하고 디지털 부호 값으로 구성된 반복 4-비트 시퀀스( $\{1, -1, -1, 1\}$ )의 진행 스트림(302)은 변조기(300-P 및 300-S) 모두에 대해 DC에 중심이 맞추어진 반송파로서 인가된다.  $\{1, -1, -1, 1, 1, 1, -1, -1, 1, 1, \dots\}$  샘플인 상기 진행 스트림(302)은 함수  $\{\cos(\Pi*n/2) - \sin(\Pi*n/2) = 1.414\cos(\Pi*n/2 + \Pi/4)\}$ 에 대한 각 연속 싸이클의 4분 값(quadrant value)을 정의하는 것으로 간주될 수 있고, 여기서 1.414는  $\sqrt{2}$ 의 유리 근사화 값이

고  $n$ 은 심볼 인덱스이다. 그러므로, 상기 변조기(300-P)로부터의 변조된 파일럿 출력 스트림(304-P) 및 상기 변조기(300-S)로부터의 변조된 데이터 신호 출력 스트림(304-S)은 코딩된 형태로 복소 신호를 정의하기 위해 사용된 실 신호(real signal)를 구성한다. 즉, 그러한 실 신호는 각 싸이클의 각 4분(quadrant)에서 샘플링 된 진행되는 심볼-변조된 싸인파를 포함하는데, 이때 "cos"의 실수 성분은  $\pm$ 부호 표시된 0이 아닌(non-zero) 값을 포함하고, 이 값은 해당하는 복소 신호의 상기  $\pm$ 부호 표시된 0이 아닌 값의 R 성분을 디코딩 과정 없이 구성한다. 그러나 "sin"의 실수 성분은 해당하는 복소 신호의 제로 값의  $\pm I$  성분을 코딩된 형태로 구성하는 제로 값을 포함한다. 그러므로, 분기화된 다중화된 N-탭 루트 나이키스트 유한 임펄스 응답(FIR) 필터(306)에 대해 입력으로서 인가된, 변조된 파일럿 출력 스트림(304-P) 및 변조된 데이터 신호 출력 스트림(304-S)은 모두 심볼당 1샘플만을 포함하는 DC에 중심이 맞추어진 실 신호이다. 그러나, 도 3에서 도시된 바와 같이, 필터(306)는 DC에 중심이 맞추어진 복소 VSB 심볼 샘플의 진행 스트림을 포함하는 출력을 유도하는데, 상기 스트림의  $\pm R$  및  $\pm I$  성분은 모두 0이 아닌 값을 갖는다.

좀 더 상세하게, N-탭 필터(306)는 홀수 탭(예를 들어 55-탭)을 갖는 단일 필터이다. 그러나, 도 4에 도시된 바와 같이, N-탭 필터(306)는 제 1 입력-가중  $(N+1)/2$ -탭 FIR 서브-필터(308)(즉, 예를 들어 28-탭 서브-필터), 제 2 입력-가중  $(N-1)/2$ -탭 FIR 서브-필터(310)(즉, 예를 들어 27-탭 서브-필터) 및 멀티플렉서(311)로 구성된다.

제 1 서브-필터(308)는 상기 N-탭 필터(306)의 모든 짝수 탭  $\{0, 2, 4, \dots, (N-3) \text{ 및 } (N-1)\}$ 을 포함하고, 제 2 서브-필터(310)는 상기 N-탭 필터(306)의 모든 홀수 탭  $\{1, 3, 5, \dots, (N-4) \text{ 및 } (N-2)\}$ 을 포함한다. 구조적으로, 상기 제 1 서브-필터(308)는 다음을 포함한다. (1)곱셈기 자신의 입력으로서 인가된 대응하는 적절한 하나의 계수( $a_{n-1}, a_{n-3}, \dots, a_2$  및  $a_0$ ) 값을 각각 가지는 개별적인 곱셈기 수단( $312_{n-1}, 312_{n-3}, \dots, 312_2$  및  $312_0$ ), (2)(10.76MHz의 샘플 주파수를 갖는) 1-샘플-주기 지연 래치(latch)(316-11)와 함께 개별적인 2-샘플 주기 지연 래치( $314_{n-1}, 314_{n-3}, \dots, 314_4$  및  $314_2$ ) 및 (3)합산기(summer)( $318_{n-3} \dots 318_2$  및  $318_0$ ). 구조적으로 제2 서브-필터(310)는 다음을 포함한다. (1)곱셈기 자신의 입력으로서 인가된 대응하는 적절한 하나의 계수( $a_{n-2}, a_{n-4}, \dots$  및  $a_1$ ) 값을 각각 가지는 개별적인 곱셈기 수단( $312_{n-2}, 312_{n-4}, \dots$  및  $312_1$ ), (2)1-샘플-주기 지연 래치(latch)(316<sub>12</sub> 및 316<sub>22</sub>)와 함께 개별적인 2-샘플 주기 래치( $314_{n-2}, 314_{n-4}, \dots, 314_5$  (미도시) 및  $314_3$  (미도시)) 및 (3)합산기(320)와 함께 합산기( $318_{n-4} \dots 318_1$ ). 게다가, DC에 중심이 맞추어진 데이터 신호 출력 스트림(304-S)의 연속적으로 발생하는 심볼 샘플 각각의 값은, 제 1 서브-필터(308)의 곱셈기 수단( $312_{n-1}, 312_{n-3}, \dots, 312_2$  및  $312_0$ ) 각각에 모두 하나씩 그리고 제 2 서브-필터(310)의 곱셈기 수단( $312_{n-2}, 312_{n-4}, \dots$  및  $312_1$ ) 각각에 모두 하나씩 피승수(multiplicand) 입력으로서 동시에 인가된다. 더욱이,  $x$  클럭 지연(322){여기서  $x=(\text{중앙 탭 인덱스}) \bmod 4$ }에 의해 동작되어진 후에, DC에 중심이 맞추어진 파일럿 출력 스트림(304-P)의 연속적으로 발생하는 샘플의 각 값은 합산기(320)에 추가 입력으로서 인가된다.

필터(306)와 그 구성 요소인 서브-필터(308 및 310)는 실수(즉, 복소가 아님) 필터임이 분명해진다. 그럼에도 불구하고, 서브 필터(308), 서브 필터(310) 및 멀티플렉서(311)는 결합하여서 함께 동작해 필터(306)로부터 복소 출력을 발생시킨다. 첫 번째, 서브-필터(308 및 310)는 각각 동작하여, 연속적인 각 4-샘플 시퀀스 형태의 부호 표시된 R 및 부호 표시된 I 샘플 값 모두를 포함하는 샘플링된 데이터 스트림을 출력한다. 두 번째, 서브-필터(308)로부터의 데이터 출력 스트림(324)은, 서브-필터(310)로부터의 데이터 출력 스트림(326)이 겪는 총 지연보다 한 클럭 주기가 더 긴 총 지연을 겪는다. 그러므로, 10.76MHz 샘플링-주파수 주기 함수로서, 서브 필터(308)로부터의 데이터 출력 스트림(324)의  $\pm R$  및  $\pm I$  샘플과, 10.76MHz 샘플링-주파수 주기 함수로서, 서브 필터(310)로부터의 데이터 출력 스트림의  $\pm R$  및  $\pm I$  샘플 사이의 상대적 관계는 다음과 같다:

[표 1]

샘플 주기	1	2	3	4	5	...
출력(324)	R	-I	-R	I	R	...
출력(326)	-I	-R	I	R	-I	...

그러나, 도 4에 나타난 바와 같이, 서브-필터(308 및 310)로부터의 데이터 출력 스트림(324 및 326)은 멀티플렉서(311)에 데이터 입력 스트림으로서 인가되고, 상기 멀티플렉서는 (1)각 홀수 샘플 주기 동안에는  $\pm R$  데이터 출력 스트림(328)을, 각 짝수 샘플 주기 동안에는  $\pm I$  데이터 출력 스트림(330)을 상기 서브-필터(308)로부터의 데이터 출력 스트림(324)에



연결시키고 (2)각 짝수 샘플 주기 동안에는  $\pm R$  데이터 출력 스트림(328)을, 각 홀수 샘플 주기 동안에는  $\pm I$  데이터 출력 스트림(330)을 상기 서브-필터(310)로부터의 데이터 출력 스트림(326)에 연결시키기 위해서 10.76MHz의 샘플-주파수 클럭 속도로 각 샘플 주기를 토글(toggle)시킨다. 그러므로, 연속적인 샘플 주기 함수로서의 데이터 출력 스트림(330)의  $\pm R$  샘플과 연속적인 샘플 주기 함수로서의 출력(328)의  $\pm I$  샘플 사이의 상대적 관계는 다음과 같다:

[표 2]

샘플 주기	1	2	3	4	5	...
출력(328)	R	-R	-R	R	R	...
출력(330)	-I	-I	I	I	-I	...

도 5, 도 6 및 도 7이 참조된다. 도 5는 제 1 서브-필터(308)로부터의 샘플-스트림 출력(324) 내의 각 연속적인 샘플의 정규화된 크기 값(1)을 Z 영역에서의 관계로서 도시하는데, 상기 샘플-스트림 출력은 실수-허수 평면에서의 샘플 위치 함수로서 볼수 있다(여기서 굵은 선(400)은 표 1의 샘플 주기(1) 동안의 출력(324) 샘플의 위치를 나타낸다). 도 6은 제 2 서브-필터(310)로부터의 샘플-스트림 출력(326) 내의 각 연속적인 샘플의 정규화된 크기 값(1)을 Z 영역에서의 관계로서 도시하는데, 상기 샘플-스트림 출력은 실수-허수 평면에서의 샘플 위치 함수로서 볼수 있다(여기서 굵은 선(400)은 표 1의 샘플 주기(1) 동안의 출력(326) 샘플의 위치를 나타낸다). 도 6을 도 5와 비교하면, 도 6은 도 5에서 시계 방향으로 1/4 시퀀스 사이클만큼 회전(rotation) 되었음을 알 수 있다. 멀티플렉서(311)는 동작하여 제 1 서브-필터(308)로부터의 샘플-스트림 출력(324)과 제 2 서브-필터(310)로부터의 샘플-스트림 출력(326)을 효과적으로 합산한다(sum). 도 7은 상기 합산된 샘플-스트림{표 2의 출력(328 및 330)에 의해 표현된 것처럼}인 각 연속적인 샘플의 정규화 된 값을 Z 영역에서의 관계로 도시한다. 도 7에 도시된 바와 같이, 첫 번째 1/4 시퀀스-사이클 및 네 번째 1/4 시퀀스-사이클에서 1로 정규화된 크기 값은 두 번째 1/4 시퀀스-사이클 및 세 번째 1/4 시퀀스 사이클에서 0으로 정규화된 크기 값으로 떨어진다. 그 결과, 상측 VSB 신호 에너지가 포착되는 반면 하측 측파대 에너지는 제거된다. 그러므로, 도 4에 도시된 실수부 출력(328) 및 허수부 출력(330)은 도 3에 도시된 필터(306)의 DC에 중심이 맞추어진 복소 VBS 출력을 구성한다.

상술된, 파일럿 톤 증폭 제어를 갖는, PCM 심볼당 1샘플-DC에 중심이 맞추어진 VSB 변환기는, 파일럿 톤 증폭 제어를 갖는 기존의 PCM 심볼당 2샘플-DC에 중심이 맞추어진 VSB 변환기보다 충분히 덜 복잡하고 하드웨어로 구현하기에도 더 적은 비용이 든다. 첫째, PCM 심볼당 2샘플보다는 대신 PCM 심볼당 1샘플에 대한 필요성은 하드웨어로 구현하는 것을 50% 감소시켜준다. 둘째, 복소 변조기보다는 실수 변조기(300-S 및 300-P)를 사용하면 하드웨어의 구현을 더욱 감소시켜준다. 셋째, 두 개(즉, 복소 실수부 및 허수부)의 n-탭 필터를 사용하는 것보다는 단일의 분기화된 실수부 n-탭 필터를 사용하는 것이 필터 하드웨어 구성에 있어서 추가의 50% 절약을 제공한다. 넷째, 상기 단일의 분기화된 실수부 n-탭 필터를 사용하면 하드웨어에 있어서 추가의 35% 절약을 제공하는 고유한 파일럿 진폭 제어법을 허용한다. 다섯째, 상술된 PCM 심볼당 1샘플-DC에 중심이 맞추어진 VSB 변환기로부터 복소 출력을 생성하는데 복소수 계산이 필요 없다는 사실은 하드웨어 구현을 더욱 감소시킨다.

도 2를 참조하면, 본 발명의 바람직한 실시예에서, 디지털  $\sin x/x$  보상기는, 10.76MHz 샘플-주파수 속도로 발생하는 VSB 변환기(200)로부터의 DC에 중심이 맞추어진 복소 VSB 샘플-스트림 출력과 멀티-스케일 디지털 변조기(204)의 입력 사이에 위치함이 인지될 것이다. 이것은 상기 디지털  $\sin x/x$  보상을 더 높은 샘플-주파수 속도보다는 더 낮은 10.76MHz 샘플-주파수 속도로 구현하는 것이 더 바람직하기 때문인데, 왜냐하면 더 높은 샘플-주파수 속도에서 보상을 하면 일반적으로 더 높은 손실, 더 높은 전류, 및 바람직하지 않은 전자기 간섭(EMI: electromagnetic interference)의 생성이라는 단점을 갖기 때문이다. 그러나, 멀티-스케일 디지털 변조기(204)에서 반송파 상의 복소  $\pm R$  및  $\pm I$  데이터 샘플-스트림을 임의로 실제 변조시키기 전에, 시스템에서 디지털  $\sin x/x$  보상이 임의의 샘플 주파수 속도(86.08MHz 포함)로 수행될 수도 있다. 그러므로,  $\sin x/x$  보상기(202)가 상세하게 설명되기 전에 멀티-스케일 디지털 변조기(204)가 상세히 설명될 것이다.

멀티-스케일 디지털 변조기(204)는, 10.76MHz의 샘플-주파수 속도로 발생하여 상기 변조기의 입력으로서 인가된 심볼당 1 샘플의  $\pm R$  및  $\pm I$  스트림에 응답하여, 사용자-제어 변조 출력으로서 다음을 선택적으로 유도한다. (1)-23.08MHz의 상대적으로 낮은 의사-반송파 주파수(pseudo-carrier frequency)가 중심인 심볼당 부호 표시된 8 샘플의  $\pm R$  스트림, (2)-17.08MHz의 더욱 낮은 의사-반송파 주파수가 중심인 심볼당 부호 표시된 8 샘플의 R 스트림, (3)5.38MHz의 매우 낮은 반송파 주파수가 중심인 심볼당 부호 표시된 8 샘플의  $\pm R$  스트림. 이 때 모든 출력 스트림은 86.08 MHz의 샘플-주

과수 속도에서 발생한다. 비부호화 변환기(206) 및 D/A 변환기(104)에 의해 아날로그로 변환된 후, -23.08MHz 디지털 출력 스트림은, 원치 않은 심볼-스트림 변조된 23.08MHz의 아날로그 신호 및 원하는 심볼-스트림 변조된 63MHz(채널 3)의 아날로그 영상 신호{즉, 63MHz=(86.08-23.08)MHz} 모두를 발생시킨다. 이와 유사하게, -17.08MHz 디지털 출력 스트림은, 원치 않은 심볼-스트림 변조된 17.08MHz의 아날로그 신호 및 원하는 심볼-스트림 변조된 69MHz(채널 4)의 아날로그 영상 신호{즉, 69MHz=(86.08-17.08)MHz} 모두를 발생시킨다. 5.38MHz의 디지털 출력 스트림은 원하는 심볼-스트림 변조된 5.38MHz의 아날로그 신호를 직접 발생시킨다.

멀티-스케일 디지털 변조기(204)는, 이후에 논의될 도 8 내지 도 11에 도시된 제 1의 바람직한 방법 또는 이후에 논의될 도 12 내지 도 16에 도시된 제 2의 바람직한 방법에 따라 구현될 수도 있다. 이러한 두 가지 접근법은 복소 지수 반송파에 의한 변조를 사용하고, 상기 반송파는 도 3에 도시된 짧은 반복 진행 스트림 시퀀스와 어떤 면에서 유사한 짧은 반복 진행 스트림 시퀀스 형태이다. 좀 더 상세하게, 상기 변조기는 지수 반송파가 제공된 복소 변조기의 결과인 변조 신호를 재샘플링하기 위한 재샘플러(resampler)를 포함한다. 재샘플 속도는, 출력 샘플 속도에서 발생하는 비교적 짧은 반복 시퀀스 값에 의해 상기 지수 반송파가 실현되도록 선택된다. 상기 지수 반송파 시퀀스는 보간에 의해 생성될 수도 있다. 반송파를 생

$$\frac{\sin\left(\pi \cdot \frac{t}{T}\right)}{\left(\pi \cdot \frac{t}{T}\right)}$$

성시키기 위한 이상적인 보간 필터는 다음과 같은 함수에 의해 표현된다. , 상기 함수는 무한대의 범위로써 일반적인 것은 아니며(non-casual) 단지 이론상으로만 관심의 대상일 뿐이다. 그러나, 짧은 반복 스트림의 진행 시퀀스의 싸이클 특성 및 가정된 무한 범위로 인하여, 일정한 시간에 상기 짧은 반복 진행 스트림 시퀀스에 인가된, 임의의 임펄스 응답 폭을 갖는 임의의 필터 출력은 상기 짧은 시퀀스 샘플에 가중 합산된 값이다. 특정 복소 지수 반송파와 짧은 시퀀스 사이의 관계는 표 3에 도시되고, 이때 n=샘플 인덱스이다:

**[표 3]**

$e^{\pm j2n\pi/3}$	1, -0.5+ $(\pm j \cdot 0.866)$ , -0.5- $(\pm j \cdot 0.866)$
$e^{\pm jn\pi/2}$	1, $\pm j$ , -1, $-\pm j$
$e^{\pm jn\pi/3}$	1, 0.5+ $(\pm j \cdot 0.866)$ , -0.5+ $(j \cdot 0.866)$ , -1, -0.5- $(j \cdot 0.866)$ , 0.5- $(j \cdot 0.866)$
$e^{\pm jn\pi/4}$	1, 0.707+ $(\pm j \cdot 0.707)$ , $-(\pm j)$ , -0.707+ $(\pm j \cdot 0.707)$ , -1, -0.707- $(\pm j \cdot 0.707)$ , $-(\pm j)$ , 0.707- $(\pm j \cdot 0.707)$

시퀀스의 항의 개수가 4 또는 그 이하라면, 무시할만한 에러가 모든 보간 함수의 선택에서 초래된다. 만일 시퀀스 항의 개수가 6 또는 8이라면, 특정 보간 함수(멀티-스케일 디지털 변조기(204)에 의해 사용된 상술한 제 1 구현법 또는 제 2 구현법 중 하나에서 이용된 보간 함수를 포함한다)에 대해서만 무시할만한 에러가 초래된다.

도 8을 참조하면, 입력으로서  $\sin x/x$  보상기(202)로부터 인가된 심볼당 1 샘플의  $\pm R$  및  $I$  스트림으로부터의 멀티-스케일 디지털 변조기의 출력으로서, -23.08MHz가 중심인 심볼당 8 샘플의  $\pm R$  스트림(채널 3 신호를 생성하는데 사용하기 위함)을 유도하기 위한 제 1 구현법의 예가 도시된다. 샘플-속도 변환기(500)는 10.76MHz의 샘플  $\pm R$  및  $\pm I$  데이터 스트림을 6.24MHz로 효과적으로 다운 샘플링하는데, 이것은 만일 데이터 스트림이 6.24MHz에서 샘플링 된다면 상기 10.76MHz 샘플이 각각 가져야만 하는 보간 값을 계산하여 이루어진다. 특히, 상기 보간 값은 비율 인자(10.76/6.24)를 수반하는데, 이것은 269/157과 등가이다(즉, 10.76MHz 샘플-주파수 속도에서의 269 샘플 주기 스트림은 6.24MHz 샘플-주파수 속도에서의 단지 156 개의 샘플 주기 스트림의 시간 길이와 등가라는 것을 뜻한다). 그러나, 바람직한 실시예에서, 샘플-속도 변환기(500)의 출력에서의 실제 샘플-주파수 속도의  $\pm R$  및  $\pm I$  스트림{입력으로서 제 1 복소 변조기(502)에 인가됨}은 여전히 10.76MHz에 남아있다.

위의 논의에 따라, 제 1 변조기(502)로의 반송파 입력( $e^{-jn\pi/2}$ )은 10.76MHz의 샘플-주파수 속도에서의 반복 4-샘플 시퀀스(1, -j, -1, j) 진행 스트림을 구성한다. 상기 변조기(502)는 각각 R 및 I 샘플을 모두 포함하는 두 개의 곱(product) 스트림을 제공하기 위해서, 변조기(502)로의 데이터 입력에서의 R 및 I 스트림의 각 샘플을 상기 변조기(502)로의 반송파 입력에서의 대응하는 진행 스트림 샘플과 독립적으로 곱한다. 그러나, 상기 변조기(502)는 상술된 멀티플렉서(311)와 그 작동이 유사한 멀티플렉서를 포함하는데, 이는 두 개의 곱 스트림의 모든 R 곱 샘플을 상기 변조기(502)로부터의 R 출력 스트



림으로 분배시키고 상기 두 개의 곱 스트림의 모든 I 곱 샘플을 상기 변조기(502)로부터의 I 출력 스트림으로 분배시키기 위해서이다(이때, 제 1 변조기(502)로부터의 각 R 및 I 출력 스트림 각각은  $-6.24/4=-1.56\text{MHz}$ 의 스트림을 나타내고,  $10.76\text{MHz}$ 의 샘플-주파수 속도에서 샘플링된다).

$10.76\text{MHz}$  샘플-주파수 속도의 심볼당 1 샘플을  $86.08\text{MHz}$  샘플-주파수 속도의 심볼당 8 샘플로 변환시키고 그리고 지시하는(indicative) 제 1-변조된  $6.24\text{MHz}$  스트림을  $86.08\text{MHz}$ 로 효과적으로 업샘플링하기 위해서, 상기 제 1 변조기(502)로부터의 R 및 I 출력 스트림은  $86.08\text{MHz}$ 의 클럭 및 보간을 사용하는 샘플-속도 변환기(504)에 입력으로서 인가되는데, 이것은 만일 지시하는 상기 제 1-변조된  $6.24\text{MHz}$  스트림이  $86.08\text{MHz}$ 에서 샘플링 된다면 실제의 각  $86.08\text{MHz}$  샘플이 가져야 하는 보간 값을 계산하여 이루어진다. 특히, 상기 보간 값은 비율 인자( $6.24/86.08$ )를 수반하는데, 이것은  $39/538$ 과 동가이다(즉,  $6.24\text{MHz}$  샘플-주파수 속도의 단지 39개의 샘플 주기 스트림은  $86.08\text{MHz}$  샘플-주파수 속도의 538개의 샘플 주기 스트림의 시간 길이와 동가라는 것을 뜻한다). 그러므로, 샘플-속도 변환기(504)로부터의 출력에서의 R 및 I 스트림{제 2 복소 변조기(506)에 입력으로서 인가됨}의 샘플-주파수 속도는 현재  $86.08\text{MHz}$ 이다.

위의 논의에 따라, 제 2 변조기(506)로 인가된 반송파 입력( $e^{-jn\pi/2}$ )은  $86.08\text{MHz}$ 의 샘플-주파수 속도에서의 반복 4-샘플 시퀀스(1, -j, -1, j) 진행 스트림을 구성한다. 상기 변조기(506)는 각각 R 및 I 샘플(502)을 모두 포함하는 두 개의 곱(product) 스트림을 제공하기 위해서, 변조기(506)로의 데이터 입력에서의 R 및 I 스트림의 각 샘플을 상기 변조기(506)로의 반송파 입력에서의 대응하는 진행 스트림 샘플과 독립적으로 곱한다(이때, 제 1 변조기(502)로부터의 각 R 및 I 출력 스트림은  $-6.24/4=-1.56\text{MHz}$ 의 스트림을 나타내고  $10.76\text{MHz}$ 의 샘플-주파수 속도에서 샘플링된다). 그러나, 상기 변조기(506)는 상술된 멀티플렉서(311)와 그 작동이 유사한 멀티플렉서를 포함하는데, 이는 두 개의 곱 스트림의 모든 R 곱 샘플을 상기 변조기(506)로부터의 R 출력 스트림으로 분배시키고, 상기 두 개의 곱 스트림의 모든 I 곱 샘플을 "트래시(trash)"로 분배시키기 위해서이고 그리하여 상기 변조기(506)로부터 R 출력 스트림만이 D/A 변환기(104)의 입력으로서 인가된다(도 8의 블록(508)에 의해 표시됨).

상기 제 1 변조기(502)로부터의 출력 스트림이 상기 변조기(506)로의  $e^{-jn\pi/2}$  반송파 입력의 각 연속적인 4-샘플 시퀀스의 영향으로 인해 지정된 주파수  $-6.24/4=-1.56\text{MHz}$ 가 중심인 심볼-변조 성분을 포함하기 때문에, 상기 제 1 변조기(502)와 직렬로 연결되어 이러한  $-1.56\text{MHz}$ 가 중심인 심볼-변조 성분을 입력으로서 수신하는 제 2 변조기(506)는  $-1.56\text{MHz}$ 가 중심인 심볼-변조된 성분을 포함하는 R 출력 스트림,  $-86.08/4=-21.52\text{MHz}$  및 최종 상호 변조 주파수(resulting intermodulation frequency)인  $-1.56+(-21.52)=-23.08\text{MHz}$ 를 유도한다. 멀티-스케일 디지털 변조기(204)로부터의 R 출력 스트림의 이러한  $-23.08\text{MHz}$  심볼-변조된 성분은, D/A 변환기(104)로부터의 아날로그 신호 출력에  $63\text{MHz}$ (채널 3)을 발생시킨다.

샘플 속도 변환기(500)에 의해 사용된 비율 인자( $269/156$ )와 샘플 속도 변환기(504)에 의해 사용된 비율 인자( $39/538$ )가 모두 정수가 아닌 반면, 이러한 비율 인자들의 캐스캐이드 곱( $269/156*39/538=8$ )은 정수이고 그 값은 샘플 속도 변환기(504)로부터의 심볼당 8샘플 출력 스트림의  $86.08\text{MHz}$  샘플 주파수 속도 대 샘플 속도 변환기(500)로의 심볼당 1샘플 입력 스트림의  $10.76\text{MHz}$  샘플 주파수 속도의 비의 값과 동일하다. 그러므로, 샘플 속도 변환기(500)에서  $6.24\text{MHz}$  클럭이 사용되지 않는다는 사실이 샘플 속도 변환기(504) 또는 제 2 변조기(506)중 하나로부터의 심볼당 8 샘플 출력 스트림의 보간 심볼 값 발생에 영향을 미치지 않는다.

도 9를 참조하면,  $\sin x/x$  보상기(202)로부터 입력으로 인가된 심볼당 1 샘플의 R 및 I 스트림에서의 멀티-스케일 디지털 변조기의 출력으로서,  $-17.08\text{MHz}$ 가 중심인 심볼당 8 샘플의 R 스트림을 유도하기 위한(채널 4 신호를 생성하는데 사용되기 위함) 일종의 제 1 구현법이 도시된다. 첫째, 샘플 속도 변환기(600a)는,  $10.76\text{MHz}$ 의 R 및 I 스트림이  $17.76\text{MHz}$ 로 효과적으로 업샘플 되는 상술된 샘플 속도 변환기(500)와는 다르다. 즉, 만일  $10.76\text{MHz}$ 의 샘플 신호에 의해 표시된 신호가 실제로  $17.76\text{MHz}$ 로 샘플링 된다면 발생되어야 하는 보간 샘플이 계산된다. 특히, 상기 보간 값은 비율 인자( $17.76/10.76$ )를 수반하는데, 이것은  $444/269$ 과 동가이다(즉,  $17.76\text{MHz}$  샘플-주파수 속도의 444개의 샘플 주기 스트림은  $17.76\text{MHz}$  샘플-주파수 속도의 단지 269개의 샘플 주기 스트림의 시간 길이와 동가라는 것을 뜻한다). 둘째, 상술된 제 1 변조기(502)로의  $e^{-jn\pi/2}$  반송파 입력과는 달리, 제 1 변조기(602a)로의 반송파 입력은  $e^{jn\pi/2}$ 이고, 이것은 4 샘플의 반복 시퀀스(1, j, -1, -j)의 진행 스트림을 구성한다. 셋째, 샘플 속도 변환기(604a)는, 만일 스트림이  $86.08\text{MHz}$ 에서 샘플링 되었다면 각  $17.76\text{MHz}$  샘플이 가지고 있어야 하는 보간 값을 계산하여  $17.76\text{MHz}$ 의 R 및 I 스트림이 효과적으로  $86.04\text{MHz}$ 로 업샘플되는 상술된 샘플 속도 변환기(504)와는 다르다. 특히, 상기 보간 값은 비율 인자( $86.08/17.76$ )를 수반하는데, 이것은  $269/111$ 과 동가이다(즉, 지정된  $86.08\text{MHz}$ 의 샘플-주파수 속도의 269개의 샘플 주기 스트림은  $17.76\text{MHz}$  샘플-주파수 속도의 111개의 샘플 주기 스트림의 시간 길이와 동가라는 것을 뜻한다). 다른 측면에서, 도 9의 요소(600a, 602a, 604a, 606a 및 608a)의 동작은 도 8의 상술된 대응 요소(500, 502, 504, 506 및 508)의 동작과 유사하다.

상기 제 1 변조기(602a)로부터의 출력 스트림이 상기 변조기로의  $e^{jn\pi/2}$  반송과 입력의 각 연속적인 4-샘플 시퀀스의 영향으로 인해 지정된  $17.76/4=4.44\text{MHz}$ 가 중심인 심볼-변조 성분을 포함하기 때문에, 상기 제 1 변조기(602a)와 직렬로 연결되어 이러한  $4.44\text{MHz}$ 가 중심인 심볼-변조 성분을 입력으로서 수신하는 제 2 변조기(606a)는  $4.44\text{MHz}$ 가 중심인 심볼-변조된 성분을 포함하는 R 출력 스트림,  $-86.08/4=21.52\text{MHz}$  및 바람직한 최종 상호 변조 주파수(resulting intermodulation frequency)인  $4.44+(-21.52)=-17.08\text{MHz}$ 를 유도한다. 멀티-스케일 디지털 변조기(204)로부터의 R 출력 스트림의 이러한  $-17.08\text{MHz}$  심볼-변조 성분은, D/A 변환기(104)로부터의 아날로그 신호 출력으로 자신의  $69\text{MHz}$  (채널 4) 영상을 발생시킨다.

도 9에 도시된 종류를 하드웨어로 구현하는데 있어서의 단점은, 명백한 나이키스트의 퍼센트율이 적기 때문에 샘플-속도 변환기(600a)가 상대적으로 고 품질이어야 한다는 데에 있다. 그러나, 이러한 필요성은 샘플 속도 변환기(600a)를,  $10.76\text{MHz}$ 를  $35.52\text{MHz}$ 로 업샘플링 하는데 효과적인 샘플-속도 변환기(600b)로 대신한 도 10의 대체 종류에서 완화되는데, 그렇게 되면 샘플-속도 변환기(604a) 대신에  $35.52\text{MHz}$ 를  $86.08\text{MHz}$ 로 업샘플링하는데 효과적인 샘플-속도 변환기(604b)로 대신되도록 허용된다. 그러나, 도 10의 경우에, 샘플 속도 변환기(604b)로의  $e^{jn\pi/4}$  반송과 입력[이때  $e^{jn\pi/4}$ 는  $86.08\text{MHz}$ 의 샘플-주파수 속도의 진행되는 반복 8-샘플 시퀀스 $\{1, 0.707+(\pm j*0.707), -(\pm j), -0.707+(\pm j*0.707), -1, -0.707-(\pm j*0.707), -(\pm j), 0.707-(\pm j*0.707)\}$ 를 구성한다]의 사용을 필요로 하는데, 이는 제 2 변조기(606b)로 하여금  $4.44\text{MHz}$ 가 중심인 심볼-변조 성분을 포함하는 R 출력 스트림,  $-86.08/4=-21.52\text{MHz}$  및 바람직한 최종 상호 변조 주파수(resulting intermodulation frequency)인  $4.44+(-21.52)=-17.08\text{MHz}$ 를 유도하도록 하기 위함이다. 이때, 멀티-스케일 디지털 변조기(204)로부터의 R 출력 스트림의 상기  $-17.08\text{MHz}$  심볼-변조된 성분은, D/A 변환기(104)로부터의 아날로그 신호 출력에 자신의  $69\text{MHz}$ (채널 4) 영상을 발생시킨다.

전술한 장치에서, 요소(600a 또는 600b)와 같은 재샘플러는 재샘플링 된 속도(예를 들어  $17.76\text{MHz}$ )에서 샘플을 실제로 제공할 필요는 없다. 요구되는 것은, 만일 상기 속도로 재샘플링 된다면 발생할 다수의 샘플이 생성되어야 한다는 것이다. 그 후, 증가된 개수의 샘플들은 지수 반송과 시퀀스에 의해 연속적으로 변조된다. 이러한 변조는, 연속 샘플들이 연속 시퀀스 값에 의해 변조되는 식으로 반복 반송과 시퀀스를 인가하여 완수된다. 이용 가능한 시간에서 이러한 모든 샘플의 변조가 완수될 수 있는데, 이것은 메모리에 저장된 후 임의의 샘플 속도로 변조하기 의해 판독되는 값 예컨대 업샘플링된 값을 생성하도록 샘플의 보간을 달성하기에는  $86.08\text{MHz}$ 의 클럭이 유용하기 때문이다. 그러므로, 예를 들어 재샘플러(604a 또는 604b)의 보간이 임의의 샘플 속도로 또한 수행될 수 있는데, 이는 (입력 샘플당) 요구되는 수의 샘플이 (실 시간 동작을 실현시키기 위해서,) 입력 샘플 주기에 대응하는 구간 동안에 발생하는 한 이루어진다. 그러나, 출력 변조기(예를 들어, 606a 또는 606b)에 의해 제공된 변조 값은 원하는 변조 반송과 주파수를 발생시키기 위해서 미리 정해진 속도(본 예에서는  $86.08\text{MHz}$ )로 발생되어야 한다.

도 11을 참조하면,  $5.38\text{MHz}$ 의 중간 주파수(IF)에 중심이 맞추어진 심볼당 8 샘플의 R 스트림을 유도하기 위한(기저 대역 신호를 생성시키는데 사용하기 위함) 제 1 구현법이 도시된다.  $\sin x/x$  보상기(202)로부터의 심볼 당 1 샘플의 R 및 I 스트림이 샘플 속도 변환기(700)에 인가된다. 샘플-속도 변환기(700)는  $10.76\text{MHz}$ 의 R 및 I 스트림을  $21.52\text{MHz}$ 로 업샘플링한다.  $21.52\text{MHz}$ 라는 속도는 정확하게  $10.76\text{MHz}$ 의 2배이기 때문에, 기존에 이러한 변환은 샘플 변환기(700)에 대해  $21.52\text{MHz}$ 의 샘플-속도 클럭을 사용하고,  $10.76\text{MHz}$ 의 R 및 I 스트림의 각 연속 샘플 쌍 사이에 제로-값 샘플을 삽입한 후에 그 제로 값을 상기 쌍의 평균 샘플 값으로 대체하여 수행될 수 있다.

변조기(702)로의 반송과 입력( $e^{jn\pi/2}$ )은  $21.52\text{MHz}$ 의 샘플-주파수 속도로 반복 4-샘플 시퀀스(1, j, -1, -j)의 진행 스트림을 구성한다. 상기 변조기(702)는 각각 R 및 I 샘플을 모두 포함하는 두 개의 곱 스트림을 제공하기 위해서, 변조기(502)로의 데이터 입력에서의 R 및 I 스트림의 각 샘플을 상기 변조기(702)로의 반송과 입력에서의 대응하는 진행 스트림 샘플과 독립적으로 곱한다. 그러나, 상기 변조기(702)는 상술된 멀티플렉서(311)와 그 작동이 유사한 멀티플렉서를 포함하는데, 이는 두 개의 곱 스트림의 모든 R 곱 샘플을 상기 변조기(702)로부터의 R 출력 스트림으로 분배시키고, 상기 두 개의 곱 스트림의 모든 I 곱 샘플을 상기 변조기(702)로부터의 I 출력 스트림으로 분배시키기 위해서이다(이때, 제 1 변조기(702)로부터의 각 R 및 I 출력 스트림 각각은  $5.38\text{MHz}$ 의 스트림을 나타내고  $21.52\text{MHz}$ 의 샘플-주파수 속도에서 샘플링된다).

샘플 속도 변환기(704)는, 상기 제 1 변조기(702)로부터의 데이터인  $21.52\text{MHz}$  샘플-속도 R 및 I 출력 스트림을 샘플 속도 변환기(704)로부터의 데이터인  $86.08\text{MHz}$  샘플 속도의 R 및 I 출력 스트림으로 업샘플링하는 것을 필요로 한다. 이러한 변환은 기존에 샘플 속도 변환기(704)에 대해  $86.08\text{MHz}$  샘플 속도 클럭을 사용하고,  $21.52\text{MHz}$ 의 R 및 I 스트림의 각 연속 샘플 쌍 사이에 3개의 제로-값 샘플을 삽입한 후에 이러한 쌍의 각 3개의 제로 값을 적절한 보간 샘플 값으로 대체하여

수행될 수 있다. 그 결과, 86.08MHz의 샘플-주파수 속도로 멀티-스케일 디지털 변조기(204)로부터의 R 출력 스트림의 심볼 변조 데이터 성분은 D/A 변환기(104)로부터의 아날로그 신호 출력으로 바람직한 5.38MHz의 IF 기저 대역을 발생시킨다.

멀티-스케일 디지털 변조기(204)에 의해 사용된 제 1 구현법에서, 단지 단일 복소 변조기만을 필요로 하는 도 11에 도시된 구현은, 각각 두 개의 직렬 복소 변조기를 필요로 하는 도 8내지 도 10에 도시된 각 구현법과는 다르다. 그러나, 이러한 모든 제 1구현법에서, (심볼당 1샘플을 심볼당 8샘플로 변환하는) 샘플-속도 변환기(504, 604a, 604b 및 704)에 대한 입력으로서 각각 인가되는, 복소 변조기(502, 602a, 602b 및 702)로부터의 각 복소 R 및 I 입력 스트림은 이미 데이터-심볼 값에 의해 변조된 하나 또는 그 이상의 복소 반송파 주파수의 샘플 값을 포함한다.

멀티-스케일 디지털 변조기(204)에 의해 사용된 제 2 구현법에서, 도 12에 도시된 바와 같이, 86.08MHz의 샘플-주파수 속도로 동작하는, 심볼당 1샘플을 심볼당 8샘플로 변환시키는 변환기(800)는 상기 변환기에 입력으로서 인가된  $\sin x/x$  보상기(202)로부터 복소  $\pm R$  및  $\pm I$  입력 스트림 각각을 갖고, 복소 변조기(802)에 변조 입력으로서 인가된 상기 변환기로부터의  $\pm R$  및  $\pm I$  출력 스트림은 각각 아직까지는 변조되지 않은 데이터 심볼 값이다. 86.08MHz의 샘플 주파수 속도에서 동작하는 복소 반송파 생성기(804)는, 채널 3에 대해 (일정 크기의 -21.52MHz와 -1.56MHz 주파수의 복소 곱에 의해 생성된) 일정-크기의 -23.08MHz 의사-반송파 샘플 값, 채널 4에 대해 (일정 크기의 -21.52MHz와 4.44MHz 주파수의 복소 곱에 의해 생성된) 일정-크기의 -17.08MHz 의사-반송파 샘플 값 또는 기저 대역에 대해 일정 크기의 5.38MHz 샘플 값을 선택적으로 정의하는 복소  $\pm R$  및  $\pm I$  반송파-출력 스트림을 유도한다. 복소 반송파 생성기(804)로부터의 복소  $\pm R$  및  $\pm I$  반송파 출력 스트림은 반송파 입력으로서 복소 변조기(802)에 인가된다. 86.08MHz 샘플-주파수 속도에서 발생하는 복소 반송파 생성기(804)로부터의 변조 데이터-심볼 값의 복소  $\pm R$  및  $\pm I$  출력 스트림은 입력으로서 블록(806)에 인가되고, 상기 블록은 오직  $\pm R$  출력 스트림만을 비부호화 변환기(206)로 전달한다.

복소 생성기(804)의 제 1 구조적 실시예는, 도 13에 도시된 위상 제어 수단과 함께, 도 15에 도시된 샘플링된 복소 주파수 생성기를 포함하는데, 상기 위상 제어 수단은 도 15의 샘플링된 복소 주파수 생성기에 입력으로 제공되는 위상 제어값의 5개의 진행 스트림을 생성한다. 도 13에 도시된 바와 같이, 상기 5개의 진행 스트림은, (1)주어진 샘플링 주파수( $F_s$ )(즉, 86.08MHz)에서 발생하는 샘플링된 원하는 싸인 주파수( $F_0$ )(즉, 채널 3에 대해 1.56MHz 또는 채널 4에 대한 4.44MHz)의 진행  $\pm R$  및  $\pm I$  스트림의 위상 값을 도 15에서 생성하는데 필요한 위상-제어 값을 정의하는 진행 스트림인  $\mu$  및  $18\mu$ , 및 (2)도 15의 샘플링된 복소 주파수 생성기가 또한 필요로 하는 진행하는 구형의 타이밍 파형인  $P_{LSB}$ ,  $P_{MSB}$  및  $P_{MDSB}$ 를 포함한다.

도 13을 참조하면, 상수 값인 J(채널 3에서는 J=39 이고 채널 4에서는 J=111)는 제 1 가수(addend)로서 제 1 합산기(900)에 인가된다. 래치(902)에 의해 주어진 샘플 주파수( $F_s$ )(즉, 86.08MHz)가 1샘플 주기만큼 지연된 후에, 상기 제 1합산기(900)로부터의 연속적인 출력 스트림의 각 합산(sum) 값은 계수가 K=538인 2진 논리 수단(904)에 대한 입력으로서 인가된다. 논리 수단(904)으로부터의 각 출력 스트림의 값은 제 1 합산기(900)에 대한 제 2 가수로서 인가되고 제 2 합산기(906)에 대한 제 1 가수로서 인가된다. 계수가 K인 2진 논리 수단(904)에 대한 입력값이 1과 K-1 사이(여기서 K-1=537)의 값일 때마다, 상기 수단으로부터의 출력 값은 그 입력 값과 동일하지만, 상기 수단으로의 입력값이 K-1보다 더 크다면(예를 들어,  $K \geq 538$ ), 상기 수단으로부터의 출력값은 그 입력값에서 K를 뺀 것과 동일하다(예를 들어,  $K=538$ ). 그러므로, J의 조합, 제 1 합산기(900), 래치(902) 및 계수가 K인 2진 논리 수단(904)은 수단(904)으로부터 출력 값을 유도하기 위하여 협력하는데, 상기 출력 값은 축적된 양의 값이 양의 K값보다 더 클 때까지 J개의 각 샘플 주기의 양의 값만큼 증가하고, 이때 상기 양의 K값은 상기 축적된 값에서 감해진다.  $-K/2$ (예를 들어  $-K/2=-269$ )는 제 2 가수로서 제 2합산기(906)에 인가된다. 그러므로,  $-269$ 에서  $+268$  사이의 범위의 값이고 도 15에 도시된 샘플링된 복소 주파수 생성기로의  $\mu$ 위상-제어 입력 스트림을 구성하는, 제 2합산기(906)로부터의 출력 스트림인 각 합산 값은 (모든 양의 값을 갖기 보다는) 대략 0값에 중심이 맞추어진다. 블록(908)에서 18이 곱하여진 후에, 상기  $\mu$ 위상-제어 입력 스트림의 각 값은, 도 15에 도시된 상기 샘플링된 복소 주파수 생성기로  $18\mu$ 위상-제어 입력 스트림을 구성하는 출력 스트림을 형성한다.

계수가 K인 2진 논리(904)는 축적된 값에서 양의 K값을 감할 때마다 2-비트 2진 카운터(910) 및 지연 플립-플롭(912)의 입력으로서 랩 클럭(wrap clock)을 인가한다. 카운터(910)로부터의 최하위 비트( $P_{LSB}$ ) 및 최상위 비트( $P_{MSB}$ ) 출력 스트림의 각 2진 상태는 도 15에 도시된 상기 샘플링된 복소 주파수 생성기에 타이밍-제어 입력 스트림으로서 인가된다. 게다가, 상기 카운터(910)로부터의  $P_{MSB}$  출력 스트림은 지연 플립-플롭(912)에 입력 스트림으로서 인가되고, 상기 지연 플립-플롭(912)으로부터의 출력 스트림은 배타적 논리합 게이트(914)의 제 1 입력으로서 인가된다. 도 15에 도시된 샘플링된

복소 주파수 생성기로부터의  $\pm I$  출력 스트림의 위상 부호에 대응하는 상기 생성기로부터의  $\pm R$  출력 스트림의 원하는 위상 부호에 해당하는 선택된 지수 부호 값은 상기 배타적 논리합 게이트(914)의 제 2 입력에 인가된다. 상기 게이트(914)로부터의 출력 스트림은 도 15에 도시된 샘플링된 복소 주파수 생성기의 타이밍-제어 입력 스트림인  $P_{MDSB}$ 를 형성한다.

도 15를 참조하면,  $P_{MDSB}$  타이밍-제어 입력은 9개의 한 샘플-주기(예를 들어, 86.08MHz 주기) 지연 래치(1000-1 내지 1000-9) 체인에 인가되고,  $P_{LSB}$  타이밍-제어 입력은 6개의 한 샘플-주기 지연 래치(1001-1 내지 1001-6) 체인에 인가되고,  $P_{MSB}$  타이밍-제어 입력은 9개의 한 샘플-주기 지연 래치(1002-1 내지 1002-9) 체인에 인가되고,  $\mu$  위상-제어 입력은 7개의 한 샘플-주기 지연 래치(1003-1 내지 1003-7) 체인에 인가되고, 18 $\mu$  위상-제어 입력은 10개의 한 샘플-주기 지연 래치(1004-1 내지 1004-10)를 포함하는 R 체인에 인가된다.

R 체인의 지연 래치(1004-1, 1004-3, 1004-6 및 1004-9)의 바로 다음에 오는 각각은 부호(S) 회로(1005-1, 1005-3, 1005-6 및 1005-9)에 해당한다. 부호 회로(1005-1, 1005-6)의 각 부호 값은 대응하는 지연 래치(1001-1, 1001-6)로부터의 2진 출력 값에 따라 결정된다. 인버터(1006-3)의 존재로 인하여, 부호 회로(1005-3)의 부호 값은 지연 래치(1001-3)로부터의 음의 2진 출력 값에 따라 결정된다. 부호 회로(1005-9)의 부호 값은 지연 래치(1000-9)로부터의 2진 출력 값에 따라 결정된다.

R 체인의 지연 래치(1004-2, 1004-5 및 1004-8)의 바로 다음에 오는 각각은 합산기(1007-2, 1007-5 및 1007-8)에 해당한다. 합산기(1007-2)에 의해 지연 래치(1004-2)의 출력 값에 값(31)이 합하여진다; 합산기(1007-5)에 의해 지연 래치(1004-5)의 출력 값에 값(41)이 합하여진다; 합산기(1007-8)에 의해 지연 래치(1004-8)의 출력 값에 값(26)이 합하여진다.

R 체인의 지연 래치(1004-4, 1004-7)의 바로 다음에 오는 각각은 곱셈기(1008-4, 1008-7)에 해당한다. 제 1 복소 지수 변조 함수의 R 부분을 계산하는 곱셈기(1008-4)는 지연 래치(1004-4)로부터의 출력 값에 지연 래치(1003-4)로부터의 출력 값을 곱하고, 제 2 복소 지수 변조 함수의 R 부분을 계산하는 곱셈기(1008-7)는 지연 래치(1004-7)로부터의 출력 값에 지연 래치(1003-7)로부터의 출력 값을 곱한다. 도 15의 래치(1004-10)로부터의 출력 값 스트림은 복소 반송파 생성기(802)로부터의  $\pm R$  출력 스트림을 구성한다. 상기 합산기(1007-8)로부터의 신호 출력은  $\mp \alpha \mu^3 \mp \beta \mu^2 \pm \kappa \mu + \rho$  형태의 다항 함수에 의해 설명된다는 것은, 디지털 회로 설계 분야의 당업자에게는 인식될 것이다. 도 15의 예시적 회로에서,  $\alpha, \beta, \kappa$  및  $\rho$ 의 값은 각각 18, 31, 41 및 26이다. 처리 체인에서 마지막 부호 회로(1005-9)는 생성된 값에 최종 신호의 극성을 결정하는 반복 시퀀스 값을 효과적으로 곱한다.

복소 반송파 생성기(802)로부터의  $\pm I$  출력 스트림은 지연 래치(1004-1)로부터의 출력 스트림인 18 $\mu$ (즉, 1 샘플 주기만큼 지연되어 도 15로 입력되는 18 $\mu$  스트림)를, 지연 래치(1004-1)에 대응하는 지연 래치의 부재를 제외하면 앞서 언급한 R 체인과 일치하는 I 체인에 인가하여 도 15에서처럼 유도된다. 상세하게, 상기 I 체인은 지연 래치(1009-2 내지 1009-10), 부호 회로(1010-1, 1010-3, 1010-6 및 1010-9), 합산기(1011-2, 1011-5 및 1011-8), 및 곱셈기(1012-4 및 1012-7)를 포함한다. 인버터(1006-1 및 1006-6)의 존재로 인하여, 부호 회로(1010-1, 1010-6)의 각 부호 값은 대응하는 지연 래치(1001-1 및 1001-6)로부터의 음의 2진 출력 값에 따라 결정된다. 부호 회로(1010-3)의 부호 값은 지연 래치(1001-3)로부터의 2진 출력 값에 따라 결정된다. 부호 회로(1010-9)의 부호 값은 지연 래치(1002-9)로부터의 2진 출력 값에 따라 결정된다.

I 체인의 합산기(1011-2, 1011-5 및 1011-8)는 R 체인의 합산기(1007-2, 1007-5 및 1007-8)와 동일한 함수를 계산하고, I 체인의 곱셈기(1012-4, 1012-7)는 곱셈기(1008-4, 1008-7)에 의해 계산된 R 체인의 제 1 및 제 2 지수 변조 함수와 유사한 제 1 및 제 2 지수 변조 함수의 I 부분을 계산한다. 합산기(1011-8)의 출력은  $\pm 18\mu^3 + 31\mu^2 \mp 41\mu + 26$  형태의 다항 함수에 의해 설명될 수 있다. 부호 회로(1010-9)는  $\pm I$  출력 신호의 극성을 결정한다.

도 15에 도시된 샘플링된 복소 주파수 생성기의 동작에서, 상기 샘플링된 복소 주파수 생성기로부터의  $\pm R$  및  $\pm I$  샘플링된 출력 스트림에 의해 생성된 파형의 유형은  $\mu$ 에 곱해지는 값, 및 R 과 I 체인의 합산기에 인가된 각각의 가수 값에 의해 결정된다. 본 경우에 있어서,  $\mu$ 에 곱하여지는 각각의 값(18), 및 R 과 I 체인의 합산기에 인가된 가수인 31, 41 및 26은 상기 샘플링된 복소 주파수 생성기로부터의  $\pm R$  및  $\pm I$  샘플링된 출력 스트림에 대한 복소 싸인 파형을 한정하는 최소의 앨리어스(alias) 에너지 4-탭 보간 값이다. 그러나, 상기  $\pm R$  및  $\pm I$  샘플링된 출력 스트림의 샘플링 주파수( $F_S$ )에서의 원하는 생성 주파수 값( $F_0$ )은 도 15에 인가된  $\mu$ 와 18 $\mu$  입력 스트림의 연속적인 샘플링된 위상 값에 의해 결정된다(주파수는 위상

변화의 시간 비율과 동일하기 때문에). 좀 더 상세하게는, 비율  $4F_0/F_S$ 는  $F_0/F_S \leq 1/4$ 인 한, 도 13에서의 정수 비율 J/K와 동일하다. 그러므로, 채널 3에 대해 86.08MHz의 샘플링 주파수로 -23.08MHz의 의사-반송파를 유도하기 위한 -1.56MHz 및 -21.52MHz의 원하는 적절한 주파수는 J에 대한 39의 값과 K에 대한 538의 값에 의해 생성된다. 유사하게, 채널 4에 대해 86.08MHz의 샘플링 주파수로 -17.08MHz의 의사-반송파를 유도하기 위한 4.44MHz 및 -21.52MHz의 원하는 적절한 주파수는 J에 대한 111의 값과 K에 대한 538의 값에 의해 생성된다. 더욱이, 필요한 5.38MHz의 기저 대역 반송파( $F_0$ )는, J에 대한 269의 정수 값과, K에 대한 1076의 정수 값을 사용하여  $J/K=1/4$ 가 되도록 함으로서,  $F_S=86.08\text{MHz}$ 에 대해 유도된다.

몇몇 경우에 있어서, 하드웨어 구현은 도 14에 도시된 재스케일러(rescaler)를 제 2 합산기(906)와  $\times 18$  블록(908) 사이에 삽입하여 최소화될 수 있다. 예를 들어, 5.38MHz의 기저 대역 반송파, 채널 3에 대한 적절한 반송파 또는 채널 4에 대한 적절한 반송파(여기서 J값은 39, 111 또는 269가 선택적으로 사용된다)를 선택적으로 유도할 수 있는 하드웨어에서, 채널 3 또는 채널 4 중 하나에 대한 적절한 반송파를 유도하는데 사용되는 범위값(-269 내지 268), 5.38MHz의 기저 대역 반송파를 유도하는데 사용되기 위한 범위값(-538 내지 537)을 증가시키기 위해 상기 재스케일러(916)를 사용하는 것이 바람직할 것이다.

도 13에 도시된 위상 제어 회로의 이점은, 원하는 정확한 주파수값을 생성하기 위해 도 15와 함께 사용될 수 있다는 것과 상기 회로를 하드웨어로 구현할 때 상대적으로 복잡하고 고가인 디바이더(divider)가 필요치 않다는 것이다.

도 16에 대안적 위상 제어 회로가 도시된다. 도 16의 대안적 위상 제어 회로의 이점은, 생성된 원하는 주파수가 정확하다는 것이다.

도 16을 참조하면, 상수 값(J)이 제 1 합산기(1100a)에 제 1 가수로서 인가된다. 래치(1102a)에 의해 샘플 주파수( $F_S$ )의 1 샘플 주기만큼 지연된 후에, 상기 제 1 합산기(1100a)로부터의 연속적인 각 합산 출력 스트림 값은 계수가 4K인 2진 논리(1104a)에 입력으로서 인가된다. 논리(1104a)로부터의 각 출력 스트림 값은 제 1 가산기(1100a)에 제 2 가수로서 인가되고, K 디바이더(1105a)에 입력으로서 인가된다. 상기 디바이더에 의해 계산된 몫의 연속적인 나머지 값을 정의하는, K 디바이더(1105a)로부터의 제 1 출력 스트림은 제 2 합산기(1106a)에 제 1 가수로서 인가되고, 상기 제 2 합산기는 제 2 가수로서 인가된 값( $-K/2$ )을 갖는다.  $-K/2$ 에서  $K/2 - 1$  사이의 범위의 값이고 도 15로의  $\mu$ 위상-제어 입력을 구성하는, 제 2 합산기(1106a)로부터의 각 출력 스트림 합산 값은 (모든 양의 값을 갖기 보다는) 약 0값에 중심이 맞추어진다. 블록(1108a)에 의해 18이 곱하여진 후에, 상기 각  $\mu$ 위상-제어 입력 값은 도 15로의 18 $\mu$ 위상 제어 입력을 구성하는 위상-제어 출력 스트림을 형성한다.

K 디바이더(1105a)는 또한, 상기 디바이더에 의해 계산된 몫의 연속적인 2-비트 정수-부분값을 정의하는 제 2 출력 스트림을 유도하는데, 이것은  $4K/K=4$ 이기 때문이다. 그러므로, 상기 제 2 출력 스트림은 각 2-비트 정수-부분 값의 최하위 비트의 2진 상태를 정의하는  $P_{LSB}$  타이밍-제어 스트림, 각 2-비트 정수-부분 값의 최상위 비트의 2진 상태를 정의하는  $P_{MSB}$  타이밍-제어 스트림을 포함하고, 상기 타이밍-제어 스트림( $P_{LSB}$ ,  $P_{MSB}$ )은 모두 도 15에 입력으로서 인가되고 배타적 논리합 게이트(1113a)에 제 1 및 제 2 입력으로서 인가된다. 상기 배타적 논리합 게이트(1113a)로부터의 출력 스트림은 배타적 논리합 게이트(1114a)의 제 1 입력으로서 인가된다. 지수 부호 값이 상기 배타적 논리합 게이트(1114a)의 제 2 입력에 인가되는데, 상기 부호 값은 도 15에 도시된 샘플링된 복소 주파수 생성기로부터의  $\pm I$  출력 스트림의 위상 부호에 대응하는 상기 생성기로부터의  $\pm R$  출력 스트림의 원하는 위상 부호에 해당한다. 상기 게이트(1114a)로부터의 출력 스트림은 도 15에 도시된 샘플링된 복소 주파수 생성기로부터의  $P_{MDSB}$  타이밍-제어 입력 스트림으로서 인가한다.

비부호화 변환기(206)에 의해 모든 양(+)의 R값 출력 스트림이 변환된 후에, 멀티-스케일 디지털 변환기(204)로부터의 샘플링된  $\pm R$  값의 출력 스트림은 D/A 변환기(104)의 입력으로 디지털 샘플 스트림으로서 인가된다. D/A 변환기(104)로부터의 아날로그 출력은 5.38MHz에 중심이 맞추어진 6MHz 심볼 대역폭 기저 대역 신호 또는 의사-반송파 주파수(-17.08 또는 -23.08MHz)에 중심이 맞추어진 6MHz 심볼 대역폭 신호의 샘플링-속도 주파수(86.08MHz)에 대해 영상 주파수(채널 4에 대해서는 69MHz 또는 채널 3에 대해서는 63MHz)에 중심이 맞추어진 6MHz 심볼 대역폭 신호를 포함한다. 아날로그 필터(106)는, 69MHz에 중심이 맞추어진 채널 4 신호, 63MHz에 중심이 맞추어진 채널 3 신호 및 5.38MHz에 중심이 맞추어진 기저 대역 신호를 통과하지만 심볼 변조된 -17.08과 -23.08 MHz의 의사-반송파 신호 모두를 거부(reject)하는 주파수 통과 대역을 갖는다.

-86.08 MHz에서 86.08 MHz 사이의 주파수 범위에 걸친  $\sin x/x$  식의 정규화된 크기의 그래프가 도 17에 참조된다. 도 17에 추가로 도시된 것은, 채널 4에 대해 -69MHz, 채널 3에 대해 -63MHz, -23.08MHz의 의사-반송파, -17.08MHz의

사-반송파, -5.38MHz 기저 대역, 5.38 MHz 기저 대역, 17.08MHz 의사-반송파, 23.08MHz 의사-반송파, 채널 3에 대한 63 MHz의 주요한 각 주파수들에 중심이 맞추어진 6MHz의 대역폭에 위에서  $\sin x/x$  식의 크기에 대한 가변 효과이다. 각 기저 대역의 6MHz 대역폭에 걸친  $\sin x/x$  식의 스펙트럼 형태의 "기울기(slope)"만이 {채널 3, 채널 4 및 5.38 MHz IF 기저 대역 각각의 6 MHz 대역폭을 갖는  $x/\sin x$  식(1300)의 교차점에 의해 도 18에서 도시된 것처럼} 평탄하게 되도록, 6 MHz의 대역폭에 위에서  $x/\sin x$  틸트(tilt) 정정을 필요로 한다. 5.38, 63 및 69 MHz의 중심 주파수 각각에 대한 적당한  $x/\sin x$  이득 값은 D/A 변환기(104)에 의해 사용된 DC 기준 크기를 변화시킴으로서 획득된다. 그러나, 상기 동작은 반송파를 변조시키는  $\pm R$  및  $\pm I$  복소 샘플링된 데이터 스트림보다 앞서 발생하는 디지털  $\sin x/x$  보상기에 의한 것으로, 상기 보상기는 상기 샘플링된 데이터 스트림의 샘플링 주파수 속도에서 6MHz의 대역폭 위에서 스펙트럼-형태 "기울기"의 적절한  $x/\sin x$  틸트 정정을 제공한다. 바람직하게, 도 2에서 도시된 바와 같이,  $\sin x/x$  보상기(202)는 멀티-스케일 변조기(204)의 바로 앞에 위치하여서 10.76MHz의 샘플링 주파수 속도로 작동한다.

10.76 MHz의 샘플링 주파수 속도에서 동작하는  $\sin x/x$  보상 수단(202)은 단순하지만 적절한, 6 MHz 대역폭 위에서 5.38, 63 및 69 MHz의  $\sin x/x$  스펙트럼 형태의 선형 기울기의  $x/\sin x$  틸트 정정 또는 임의의 이들 스펙트럼 형태의 보다 정확한 곡선에 알맞은 "기울기"의  $x/\sin x$  틸트 정정을 수행할 수 있다.

근사법은 다음의 3-탭 필터로서 구현되며, VSB 변환기(200)로부터  $\sin x/x$  보상기(202)에 대한  $\pm R$  및  $\pm I$  복소 데이터 스트림 각각에 대해 동작한다.

$$H_{\frac{x}{\sin x}}(z) = z^{-1} + \alpha(1 - z^{-2})$$

상기 필터는 이러한  $\pm R$  및  $\pm I$  복소 데이터 입력 스트림을 " $\sin(x)/x$ "가 나중에 D/A 변환기(104)에 의해 겪게 될 "틸트"와 반대로 사전-틸트시킨다. 그러나, 이러한 근사 방법은 정확한 반전(inverse)은 아니어서 "정정된" 대역의 포물선 왜곡을 초래한다.

$\sin x/x$  스펙트럼-형태의 실제 기울기의 형태는 비선형적이기 때문에, 근사적인 사전-틸트 기술은 약간의 최적성(sub-optimal)을 갖고 있지만 여전히 효과적이다. 특히, 상기 근사화 사전-틸트 기술은 최종 아날로그 신호의 루트-상승 코사인 형태의 왜곡을 초래하지만, 텔레비전 수상기의 이퀄라이저(equalizer)는 이러한 남아있는 손상을 보상할 수 있다.

이러한 비선형  $x/\sin x$  사전-틸트 기술에 있어서, 보상되어야 할 채널 내의 D/A 변환기(104)의  $x/\sin(x)$  특성은 채널 중심에 대해 짝수 및 홀수 대칭 부분으로 분해된다. 활 형태인 짝수 대칭 부분은 실시 계수의 짝수 대칭 필터와 부합된다(채널 중심이 아니라 DC에 대해). 홀수 대칭부는  $\{x/\sin(x)/((1-2*\beta) + 2*\beta*\cos(2*\pi*f/f_s))\}$ 와 동일하고, 심볼당 4 이상의 샘플 {D/A 변환기(104)에 인가된 변조 반송파 데이터 스트림의 심볼당 8 샘플에 의해 충족된 것보다는 좀 더 많은 샘플}에서 원하는 6MHz의 정정 대역폭을 통해 잔류하는 선형 형태를 효과적으로 갖는다. 이러한 잔류 선형의 홀수 대칭부는 복소 계수의 홀수 비-대칭 필터와 부합된다.

바람직하게, 디지털  $\sin x/x$  보상기(202)에서 짝수 스펙트럼 대칭 필터 및 그와 직렬로 위치한 홀수 스펙트럼 반-대칭 필터에 의한 필터링은  $\pm R$  및  $\pm I$  복소 DC 중심 데이터의 심볼당 1 샘플 스트림 샘플 상에서 10.76MHz의 샘플링-주파수 속도로 발생한다. 6MHz의 채널 대역폭에서 10.76Msym/sec의 심볼 속도로, 보상은  $z$  영역( $z^{-1} = e^{-j\omega T_s}$ ,  $T_s$ =시간 상의 심볼 간격)에서의 단위 싸이클의 55% 이상에서 발생한다. 디지털  $\sin x/x$  보상기(202)에서 정정되는 신호가 특정 아날로그 채널(예를 들어, TV 채널 3 또는 4)에 속하고, 10.76MHz의 샘플링-주파수 속도로 심볼당 1 샘플을 처리하여 더 빨리 사전-정정되고 있을지라도, 그에 의해 취소될 효과는 86.08MHz의 8배 더 높은 샘플링-주파수 속도로 클록되는 D/A 변환기(104)에 의해 나중에 야기된다.

직렬의  $\sin x/x$  보상 필터의 예시 회로가 2개의 3-탭 횡단 필터(3-tap transversal filter)의 직렬로 이해될 도 19에 도시된다.  $\sin x/x$  보상에서 더 높은 정확성이 더 많은 수의 탭을 가진 필터를 사용하여 달성된다.

더욱이, 디지털  $\sin x/x$  보상기(202)는 VSB 변환기(200)의 상술된 멀티플렉서(311)의 동작과 유사한 멀티플렉서(미도시)를 구비하는데, 이는 실수의 모든 계산된  $x/\sin x$  값은 그 값으로부터의  $\pm R$  데이터 출력 스트림으로서 전달되고 허수의 모든 계산된  $x/\sin x$  값은 그 값으로부터의  $\pm I$  데이터 출력 스트림으로서 전달되도록 하기 위함이다.

## 발명의 효과



디지털 VSB 변조기(102)의 실제 하드웨어 구현에서, 2개의 2진 코드의 보수(complement)는 모든 계산을 효율적으로 하기 위해 사용되었다. 더욱이, 본 발명의 모든 다수의 상술된 특성이 디지털 VSB 변조기(102)의 환경에서 설명되는 반면, 본 발명의 하나 또는 그 이상의 특성의 하위-셋은 QAM 또는 OFDM 변조기에서와 같은 디지털 VSB 변조기(102)와는 다른 다양한 장치 유형에서 일반적인 효용이 있음이 이해되어야 한다. 그러므로, 본 발명은 첨부된 청구항의 범주에 의해서만 제한됨을 나타낸다.

## 도면의 간단한 설명

도 1은 스트림의 소스에서 변조기로 입력되어 진행되는 디지털화된 PCM 샘플 스트림으로부터 HDTV로 입력 신호를 유도하기 위한 VSB 디지털 변조기를 포함하는 장치의 기능적 블록도.

도 2는 도 1에 도시된 VSB 디지털 변조기의 구성 소자를 기능적으로 도시한 블록도.

도 3은 도 2에 도시된 PCM 심볼 당 1샘플-DC에 중심이 맞추어진 VSB 변환기의 바람직한 실시예를 개략적으로 도시한 도면.

도 4는 도 3에 도시된 분기화되어 다중화 된 N개의 탭 루트 나이키스트 FIR 필터의 세부 요소를 개략적으로 도시한 도면.

도 5, 도 6 및 도 7은 도 4에 도시된 분기화되어 다중화된 N 탭 나이키스트 FIR 필터가 작동하여 VSB 변환기 출력을 발생시키는 방법을 그래프적으로 도시한 도면.

도 8, 도 9, 도 10 및 도 11은 미리 정해진 샘플링 주파수 속도에서 채널 3, 채널 4 및 기저 대역에 대해 각각의 데이터-변조 반송파 주파수를 정의하는 샘플 값 스트림을 유도하기 위한 제 1설계 기법을 사용하는, 도 2의 멀티-스케일 디지털 변조기의 실시예에 대한 도면.

도 12는 미리 정해진 샘플링 주파수 속도에서 채널 3, 채널 4 및 기저 대역에 대해 각각의 데이터-변조 반송파 주파수를 정의하는 샘플 값 스트림을 유도하기 위한 제 2설계 기법을 사용하는, 도 2의 멀티-스케일 디지털 변조기의 실시예를 도시한 도면.

도 13, 도 15 및 도 16은 도 12의 복소 반송파 생성기를 대안적으로 구현한 도면.

도 14는 제 2 합산기(906)와  $\times 18$  블록(908) 사이에 삽입되는 재스케일러(rescaler)를 개략적으로 도시한 도면.

도 17은 D/A 변환기에 의해 출력된 변조된 의사(pseudo) 및 바람직한(desire) 반송파를 도시한 그래프.

도 18은 도 2 및 도 19에 도시된 디지털  $\sin x/x$  보상기에 의해 영향을 받는, 바람직한 반송파를 개선하여 대략적으로 나타낸 그래프.

도 19는 캐스캐이드  $\sin x/x$  보상 필터의 예시적인 회로의 실시예를 도시한 도면.

<도면 주요 부분에 대한 부호의 설명>

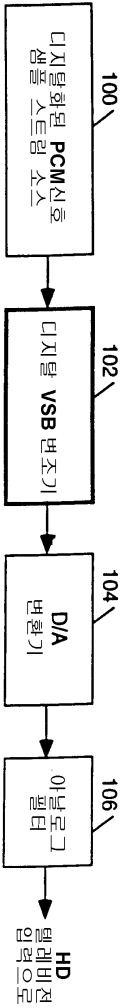
1000-1 내지 1000-9/1003-1 내지 1003-7: 지연 래치

1005-1, 1005-3, 1005-6, 1005-9: 부호 회로

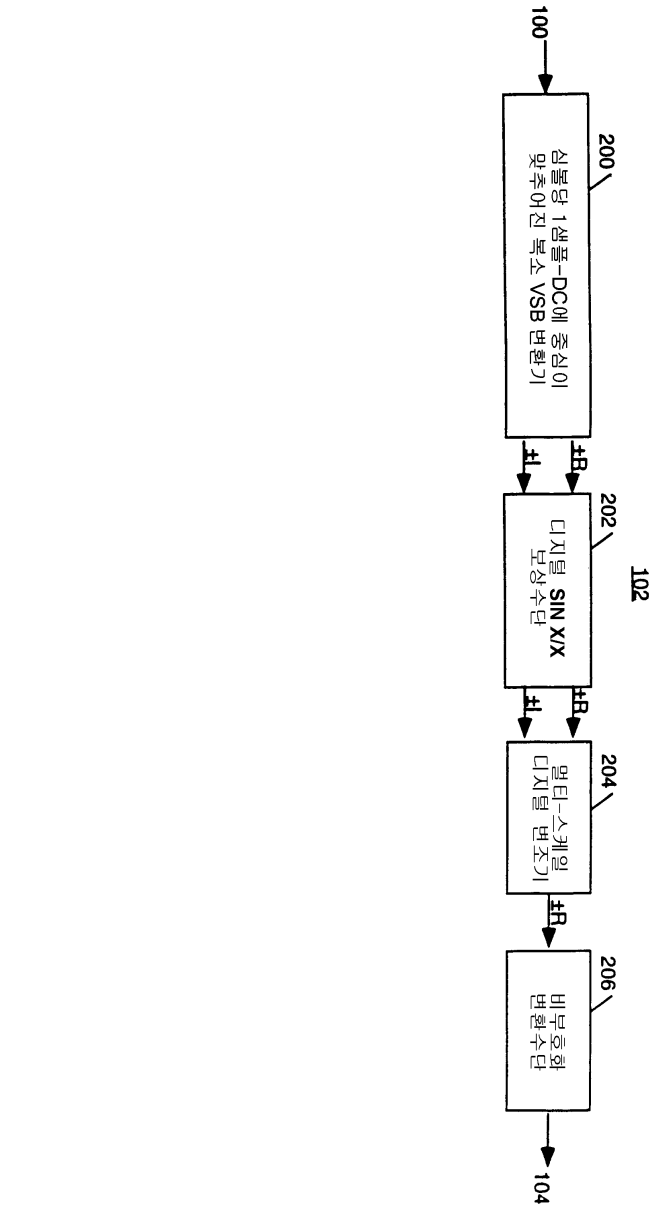
1007-2, 1007-5, 1007-8: 합산기

도면

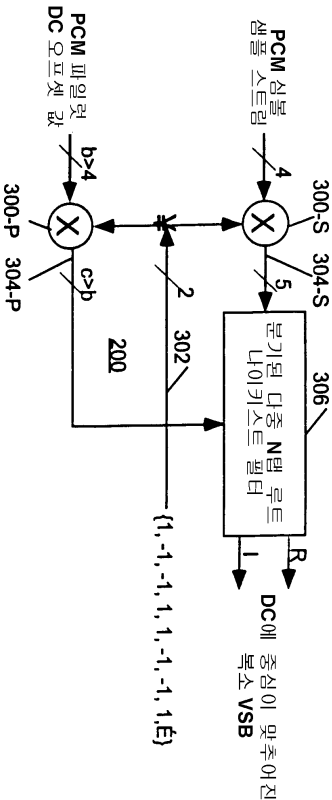
도면1



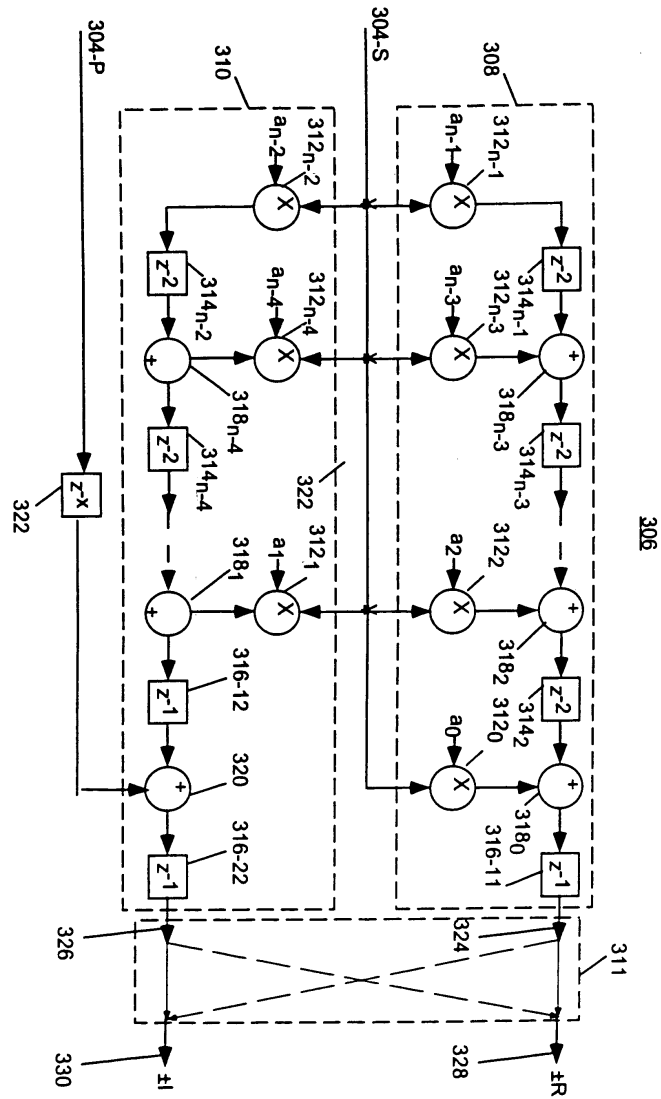
도면2



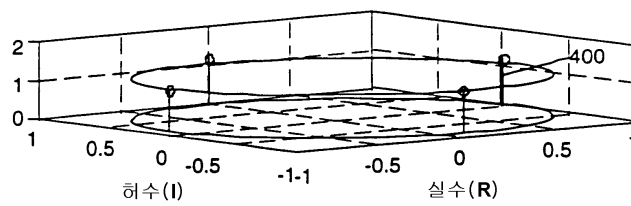
도면3



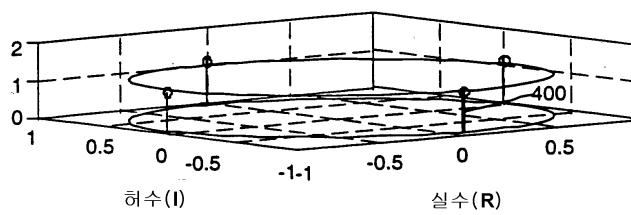
도면4



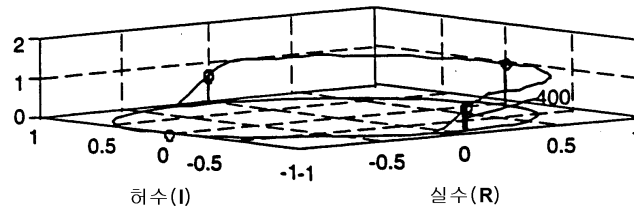
도면5



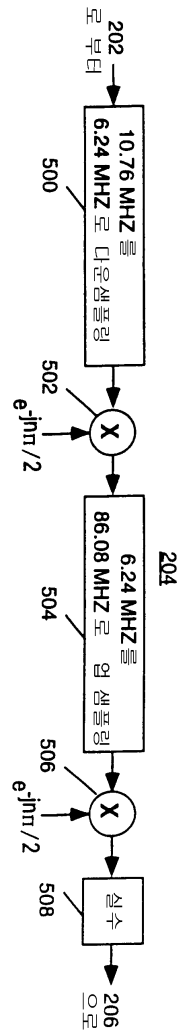
도면6



도면7

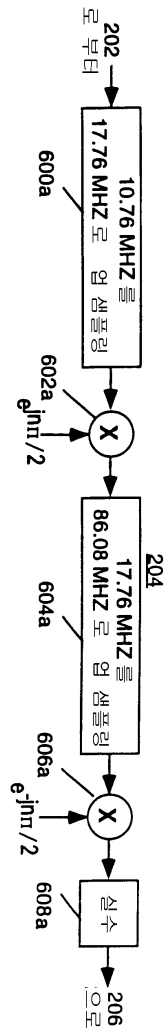


도면8

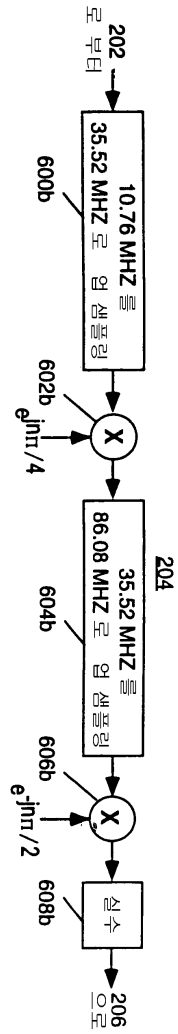




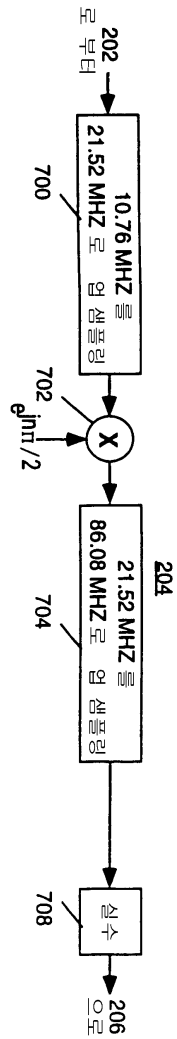
도면9



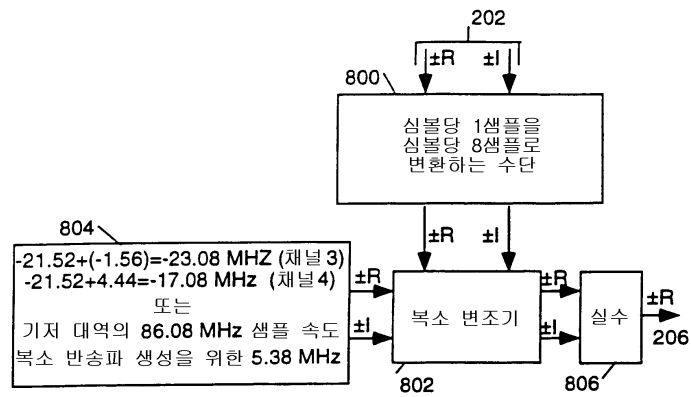
도면10



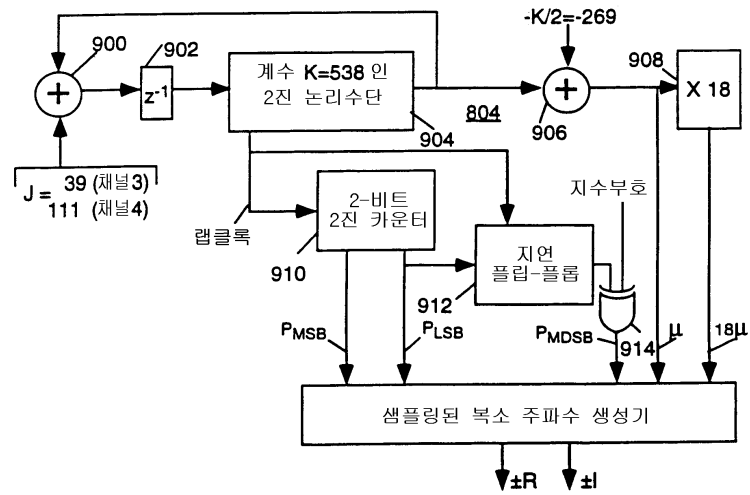
도면11



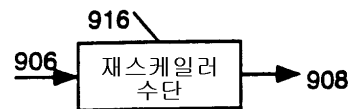
도면12



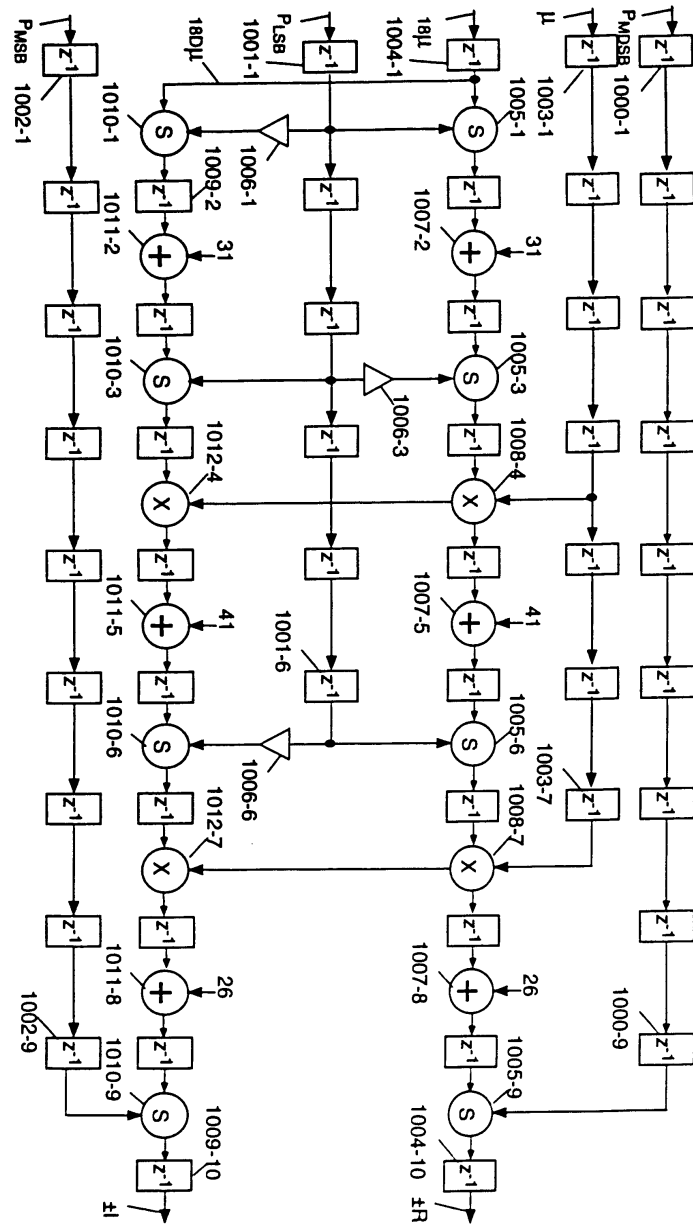
도면13



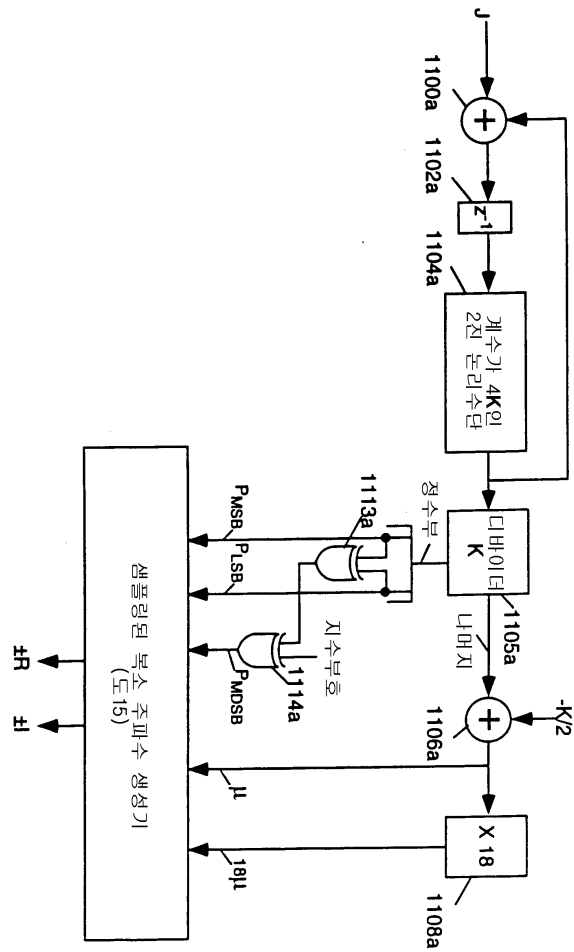
도면14



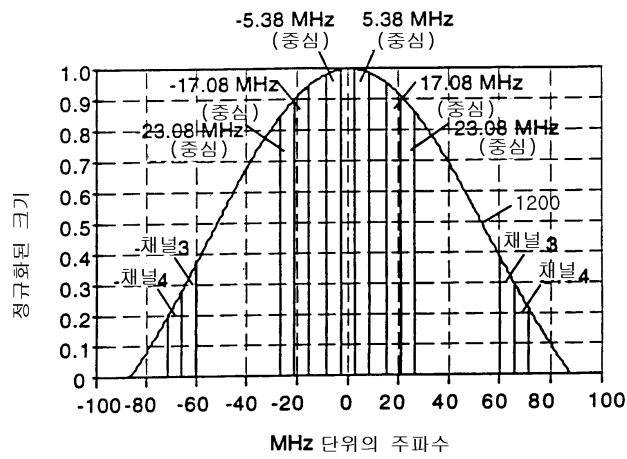
도면15



도면16

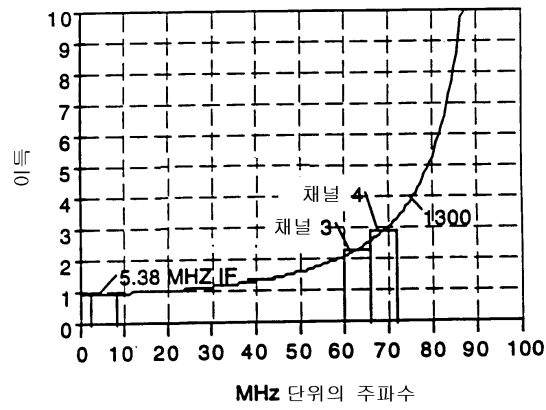


도면17





도면18



도면19

