(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0088882
(43) 공개일자 2018년08월07일

(51) 국제특허분류(Int. Cl.)
H03F 1/32 (2006.01) *H04B 1/04* (2006.01)
(52) CPC특허분류
H03F 1/3241 (2013.01)
H03F 1/3252 (2013.01)
(21) 출원번호 10-2018-7018592
(22) 출원일자(국제) 2016년11월30일
심사청구일자 없음
(85) 번역문제출일자 2018년06월29일
(86) 국제출원번호 PCT/US2016/064127
(87) 국제공개번호 WO 2017/095869
국제공개일자 2017년06월08일
(30) 우선권주장
14/953,762 2015년11월30일 미국(US)

(71) 출원인
나노세미, 인크.
미국 메사추세츠 02452 월섬 스위트 203 비버 스트리트 135
(72) 발명자
킴, 헬렌, 에이치.
미국 메사추세츠 01776 서드베리 메이나드 팜 써클 16
메그렛스키, 알렉산더
미국 메사추세츠 01742 콩코드 미니스트리얼 드라이브 146
(뒷면에 계속)
(74) 대리인
인비전 특허법인

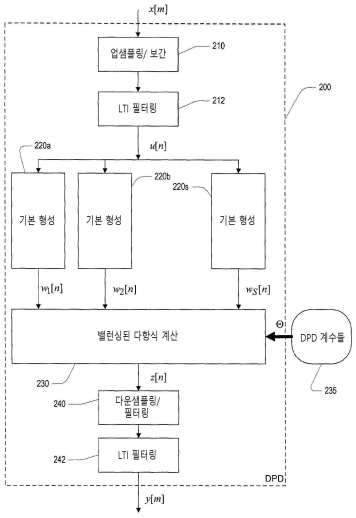
전체 청구항 수 : 총 36 항

(54) 발명의 명칭 **디지털 보상기**

(57) 요 약

디지털 보상에 대한 접근법은 비-선형 회로(예를 들어, 디지털-아날로그 변환기(DAC), 저역통과 필터, 변조기, 대역통과 필터, 및 전력 증폭기를 포함하는 비-선형 전송 체인)의 비교적 정확한 전치-역변환으로서 동작하는 디지털 전치-왜곡기(pre-distorter, DPD)에 대한 특정 구조를 사용하면서, 지속적인 업데이팅을 요구하지 않고 정확한 선형화를 제공하는 비-선형성 및/또는 파라미터들을 특성화하는 비교적 적은 수의 파라미터들을 사용한다.

대 표 도 - 도2



(52) CPC특허분류
H03F 1/3258 (2013.01)
H04B 1/0475 (2013.01)
H04B 2001/0425 (2013.01)
(72) 발명자
얀, 리
미국 메사추세츠 02421 렉싱턴 브릿지 스트리트 87
케빈, 추앙
미국 메사추세츠 02138 캠브리지 유닛 505 콩코드 에비뉴 655
마흐무드, 조하이브
미국 메사추세츠 02111 보스톤 유닛 1810 킹스톤 스트리트 120

명 세 서

청구범위

청구항 1

적어도 하나의 아날로그 증폭 엘리먼트를 포함하는 신호 체인(signal chain)을 위한 디지털 보상기(digital compensator)로서,

원하는 신호를 수신하는 입력;

보상된 신호를 제공하는 출력;

복수의 계수들에 대한 스토리지; 및

복수의 계수들에 따라 원하는 신호를 처리하여 상기 보상된 신호를 생성하기 위해 상기 입력 및 상기 출력에 조합된 신호 프로세서를 포함하고;

상기 신호 프로세서는 기본 조합 스테이지(basis combination stage)에 결합된 기본 형성 스테이지(basis formation stage)를 포함하고;

상기 기본 형성 스테이지는 상기 입력에 제공되는 상기 원하는 신호에 의존하는 기본 신호를 생성하도록 각각 구성된, 복수의 기본 형성 엘리먼트들을 포함하고;

상기 기본 형성 엘리먼트들 중 적어도 일부는 상기 원하는 신호의 비-선형 변환을 생성하도록 구성된 비-선형 엘리먼트, 및 비-선형 변환의 시간 필터링을 생성하도록 구성된 필터를 각각 포함하고;

상기 기본 조합 스테이지는 상기 기본 형성 엘리먼트들로부터 복수의 기본 신호들을 수용하고, 복수의 계수들에 따라 상기 기본 신호로부터 조합된 신호를 생성하도록 구성되고; 그리고

상기 디지털 보상기는 기본 조합 스테이지에 의해 생성된 상기 조합된 신호에 따라 상기 출력에서 상기 보상된 신호를 제공하도록 구성되는, 신호 체인을 위한 디지털 보상기.

청구항 2

제 1 항에 있어서, 상기 디지털 보상기는 무선 주파수 통신 시스템의 송신 체인을 포함하는 신호 체인에 결합되는, 신호 체인을 위한 디지털 보상기.

청구항 3

제 1 항에 있어서, 상기 입력 및 상기 기본 형성 스테이지 사이에 결합된 선형 시간 불변 필터(linear time invariant filter)를 더 포함하는, 신호 체인을 위한 디지털 보상기.

청구항 4

제 3 항에 있어서, 상기 입력 및 상기 기본 형성 스테이지 사이에 결합된 상기 필터는 상기 신호 체인의 특성에 따라 구성되는, 신호 체인을 위한 디지털 보상기.

청구항 5

제 1 항에 있어서, 상기 기본 형성 엘리먼트들의 상기 비-선형 엘리먼트들 중 적어도 일부는 각각 다항식 변환(polynomial transformation)을 구현하는, 신호 체인을 위한 디지털 보상기.

청구항 6

제 5 항에 있어서, 상기 비-선형 엘리먼트들 중 적어도 하나에 의해 구현되는 다항식 변환은 입력 u을 수용하여 양의 정수 k에 대한 형태 $|u|^k$ 또는 $u|u|^k$의 출력을 생성하는, 신호 체인을 위한 디지털 보상기.

청구항 7

제 1 항에 있어서, 상기 기본 형성 엘리먼트들의 필터 중 적어도 일부는 각각 선형 무한-임펄스-응답(infinite-impulse-response, IIR) 필터를 구현하는, 신호 체인을 위한 디지털 보상기.

청구항 8

제 1 항에 있어서, 상기 기본 형성 엘리먼트들 중 적어도 일부는, 각각 상기 필터의 출력을 처리하고 비-다항식 비선형 엘리먼트의 입력의 이력에 의존하는 상기 기본 형성 엘리먼트의 출력을 생성하도록 구성되는 비-다항식 비선형 엘리먼트를 포함하는, 신호 체인을 위한 디지털 보상기.

청구항 9

제 8 항에 있어서, 상기 기본 비-다항식 비선형 엘리먼트들 중 적어도 일부는, 상기 필터의 출력을 처리하고 정규화 엘리먼트의 상기 입력의 이력에 의존하는 상기 기본 형성 엘리먼트들의 출력을 생성하도록 구성되는 상기 정규화 엘리먼트인, 신호 체인을 위한 디지털 보상기.

청구항 10

제 1 항에 있어서, 상기 기본 조합 스테이지는 상기 기본 신호들의 밸런싱된 다항식 조합을 구현하도록 구성되는, 신호 체인을 위한 디지털 보상기.

청구항 11

제 10 항에 있어서, 상기 기본 조합 스테이지는, 양의 정수 S 에 대하여, 기본 신호 값들 w_1 내지 w_S을 수용하고, $\sum_k a_k \left(\left(\prod_i (w_i[n])^{b_{k,i}} \right) \left(\prod_j \left(w_i^*[n] \right)^{c_{k,j}} \right) \right)$ 로 나타나는 조합된 신호를 생성하고, 상기 w^* 는 w 의 공액 복소수(complex conjugate)를 나타내고, a_k 항들은 계수들에 의존하고, 상기 항들의 정수 지수들은 $\sum_i b_{k,i} = 1 + \sum_j c_{k,j}$ 를 만족하는, 신호 체인을 위한 디지털 보상기.

청구항 12

제 1 항에 있어서, 상기 계수들의 값들을 제공하도록 구성된 계수 보간기를 더 포함하는, 디지털 보상기.

청구항 13

제 12 항에 있어서, 상기 계수 보간기는 부분 시그니처 및 환경 변수들 중 적어도 하나에 따라 상기 계수들의 값들을 결정하기 위해 데이터베이스에 액세스하도록 구성되는, 신호 체인을 위한 디지털 보상기.

청구항 14

제 13 항에 있어서, 상기 계수 보간기는 상기 신호 체인에 결합되거나 연관된 스토리지로부터 상기 부분 시그니처에 액세스하도록 추가로 구성되고, 상기 부분 시그니처는 상기 신호 체인의 고유한 특성들을 실질적으로 나타내는, 신호 체인을 위한 디지털 보상기.

청구항 15

제 14 항에 있어서, 상기 부분 시그니처는 상기 신호 체인의 비-선형 특성을 나타내는 적어도 하나의 양을 실질적으로 포함하는, 신호 체인을 위한 디지털 보상기.

청구항 16

제 13 항에 있어서, 상기 계수 보간기는 상기 신호 체인에 동작 가능하게 연결된 스토리지로부터 상기 환경 변수들에 액세스하도록 추가로 구성되고, 동작 중의 상기 환경 변수는 동작하는 신호 체인의 동작적 및/또는 환경

적 특성들을 나타내는, 신호 체인을 위한 디지털 보상기.

청구항 17

제 16 항에 있어서, 상기 환경 변수들은 동작 온도 및 공급 전압 중 적어도 하나를 나타내는 양을 포함하는, 신호 체인을 위한 디지털 보상기.

청구항 18

적어도 하나의 아날로그 증폭 엘리먼트를 포함하는 신호 체인의 디지털 보상 방법으로서,

원하는 신호를 수신하는 단계;

복수의 계수들에 따라 상기 보상된 신호를 생성하기 위해 상기 원하는 신호를 처리하는 단계; 및

상기 보상된 신호를 상기 신호 체인에 제공하는 단계를 포함하고;

상기 원하는 신호를 처리하는 단계는,

상기 원하는 신호에 각각 의존하는, 복수의 기본 신호들을 생성하는 단계를 포함하는, 기본 조합 스테이지에서 상기 원하는 신호에 의존하는 신호를 처리하는 단계 - 상기 기본 신호들의 적어도 일부의 각 기본 신호를 생성하는 단계는, 상기 원하는 신호의 비-선형 변환을 수행하는 단계 및 상기 원하는 신호의 비-선형 변환을 시간 필터링하는 단계를 포함함 - ,

조합된 신호를 생성하기 위해 복수의 계수들에 따라 복수의 기본 신호들을 결합하는 단계, 그리고

상기 조합된 신호에 따라 상기 보상된 신호를 결정하는 단계를 포함하는, 신호 체인의 디지털 보상 방법.

청구항 19

제 18 항에 있어서, 상기 보상된 신호를 상기 신호 체인에 제공하는 단계는 상기 보상된 신호를 무선 주파수 통신 시스템의 송신 체인에 제공하는 단계를 포함하는, 신호 체인의 디지털 보상 방법.

청구항 20

제 18 항에 있어서, 기본 형성 스테이지에서 처리하기 전에 상기 원하는 입력 신호에 선형 시간 불변 필터를 적용하는 단계를 더 포함하는, 신호 체인의 디지털 보상 방법.

청구항 21

제 20 항에 있어서, 상기 신호 체인의 특성에 따라 상기 선형 시간 불변 필터를 구성하는 단계를 더 포함하는, 신호 체인의 디지털 보상 방법.

청구항 22

제 18 항에 있어서, 상기 원하는 신호의 비-선형 변환을 수행하는 단계는 다항식 변환을 적용하는 단계를 포함하는, 신호 체인의 디지털 보상 방법.

청구항 23

제 22 항에 있어서, 상기 다항식 변환은 입력 u을 수용하는 단계 및 양의 정수 k에 대한 형태 $|u|^k$ 또는 $u|u|^k$ 의 출력을 생성하는 단계를 포함하는, 신호 체인의 디지털 보상 방법.

청구항 24

제 18 항에 있어서, 상기 기본 조합 스테이지에서의 시간-필터링은 선형 무한-임펄스-응답(infinite-impulse-response, IIR) 필터링을 포함하는, 신호 체인의 디지털 보상 방법.

청구항 25

제 18 항에 있어서, 상기 원하는 신호의 비-선형 변환을 수행하는 단계는 비-다항식 비선형 변환을 적용하는 단

계 및 상기 비-다항식 비선형 변환의 입력의 이력에 의존하도록 상기 필터의 출력을 처리하는 단계를 포함하는, 신호 체인의 디지털 보상 방법.

청구항 26

제 25 항에 있어서, 상기 비-다항식 비선형 변환들 중 적어도 일부는, 상기 필터의 출력을 처리하고 정규화의 입력의 이력에 의존하는 출력을 생성하도록 구성된 상기 정규화를 포함하는, 신호 체인의 디지털 보상 방법.

청구항 27

제 18 항에 있어서, 상기 기본 조합 스테이지는 상기 기본 신호들의 밸런싱된 다항식 조합을 구현하는, 신호 체인의 디지털 보상 방법.

청구항 28

제 27 항에 있어서, 상기 기본 조합 스테이지는, 양의 정수 S 에 대하여, 기본 신호 값 w_1 내지 w_S을 수용하고, $\sum_k a_k \left(\left(\prod_i (w_i[n])^{b_{k,i}} \right) \left(\prod_j \left(w_i^*[n] \right)^{c_{k,j}} \right) \right)$ 로 나타나는 조합된 신호를 생성하고, 상기 w^* 는 w 의 공액 복소수를 나타내고, a_k 항들은 계수들에 의존하고, 상기 항들의 정수 지수들은 $\sum_i b_{k,i} = 1 + \sum_j c_{k,j}$ 를 만족하는, 신호 체인의 디지털 보상 방법.

청구항 29

제 18 항에 있어서, 계수들의 값들을 제공하기 위해 계수 보간기를 적용하는 단계를 더 포함하는, 신호 체인의 디지털 보상 방법.

청구항 30

제 29 항에 있어서, 상기 계수 보간기는 부분 시그니처 및 환경 변수들 중 적어도 하나에 따라 상기 계수들의 값들을 결정하기 위해 데이터베이스에 액세스하는, 신호 체인의 디지털 보상 방법.

청구항 31

제 30 항에 있어서, 상기 계수 보간기는 상기 신호 체인에 결합되거나 연관된 스토리지로부터 상기 부분 시그니처에 액세스하고, 상기 부분 시그니처는 상기 신호 체인의 고유한 특성들을 실질적으로 나타내는, 신호 체인의 디지털 보상 방법.

청구항 32

제 31 항에 있어서, 상기 부분 시그니처는 상기 신호 체인의 비-선형 특성을 나타내는 적어도 하나의 양을 실질적으로 포함하는, 신호 체인의 디지털 보상 방법.

청구항 33

제 30 항에 있어서, 상기 계수 보간기는 상기 신호 체인에 동작 가능하게 연결된 스토리지로부터 상기 환경 변수들에 액세스하고, 동작 중의 상기 환경 변수는 동작하는 신호 체인의 동작적 및/또는 환경적 특성들을 나타내는, 신호 체인의 디지털 보상 방법.

청구항 34

제 33 항에 있어서, 상기 환경 변수들은 동작 온도 및 공급 전압 중 적어도 하나를 나타내는 양을 포함하는, 신

호 체인의 디지털 보상 방법.

청구항 35

명령들이 저장된 비-일시적 기계-판독 가능 매체를 포함하는 소프트웨어로서, 상기 명령들의 실행은 데이터 처리 시스템으로 하여금:

원하는 신호를 수신하고;

복수의 계수들에 따라 보상된 신호를 생성하기 위해 상기 원하는 신호를 처리하고; 그리고

상기 보상된 신호를 신호 체인에 제공하도록 하고;

상기 원하는 신호를 처리하는 것은,

상기 원하는 신호에 각각 의존하는, 복수의 기본 신호들을 생성하는 것을 포함하는, 기본 조합 스테이지에서 상기 원하는 신호에 의존하는 신호를 처리하는 것 - 상기 기본 신호들의 적어도 일부의 각 기본 신호를 생성하는 것은, 상기 원하는 신호의 비-선형 변환을 수행하는 것 및 상기 원하는 신호의 비-선형 변환을 시간 필터링하는 것을 포함함 - ,

조합된 신호를 생성하기 위해 복수의 계수들에 따라 복수의 기본 신호들을 결합하는 것, 및

상기 조합된 신호에 따라 상기 보상된 신호를 결정하는 것을 포함하는, 명령들이 저장된 비-일시적 기계-판독 가능 매체를 포함하는 소프트웨어.

청구항 36

엘리먼트들을 포함하는 비-일시적 기계-판독 가능 매체 상에 부호화된 설계 구조는, 컴퓨터-지원 설계 시스템(computer-aided design system)에서 처리될 때, 디지털 보상기의 기계-실행 가능한 표현을 생성하고, 상기 디지털 보상기는:

원하는 신호를 수신하는 입력;

보상된 신호를 제공하는 출력;

복수의 계수들에 대한 스토리지; 및

복수의 계수들에 따라 원하는 신호를 처리하여 상기 보상된 신호를 생성하기 위해 상기 입력 및 상기 출력에 조합된 신호 프로세서;

상기 신호 프로세서는 기본 조합 스테이지(basis combination stage)에 결합된 기본 형성 스테이지(basis formation stage)를 포함하고;

기본 형성 스테이지는 상기 입력에 제공되는 상기 원하는 신호에 의존하는 기본 신호를 생성하도록 각각 구성된, 복수의 기본 형성 엘리먼트들을 포함하고;

상기 기본 형성 엘리먼트들 중 적어도 일부는 상기 원하는 신호의 비-선형 변환을 생성하도록 구성된 비-선형 엘리먼트, 및 비-선형 변환의 시간 필터링을 생성하도록 구성된 필터를 각각 포함하고;

상기 기본 조합 스테이지는 상기 기본 형성 엘리먼트들로부터 복수의 기본 신호들을 수용하고, 복수의 계수들에 따라 상기 기본 신호로부터 조합된 신호를 생성하도록 구성되고; 그리고

상기 디지털 보상기는 기본 조합 스테이지에 의해 생성된 상기 조합된 신호에 따라 상기 출력에서 상기 보상된 신호를 제공하도록 구성되는, 비-일시적 기계-판독 가능 매체 상에 부호화된 설계 구조.

발명의 설명

기 술 분 야

[0001] 관련 출원들에 대한 상호 참조

[0002] 본 출원은 그 전체 내용이 본원에 참고로 포함된, 2015년 11월 30일자로 출원된 미국 특허 출원 제14/953,762호의 출원일의 우선권을 주장한다.

[0003] 본 발명은 비-선형 회로의 디지털 보상에 관한 것으로, 특히, 비-선형 전력 증폭기 및 송신기 체인의 선형화에 관한 것이다.

배 경 기 술

[0004] 회로를 통과하는 원 신호의 품질을 복원하기 위해 디지털 보상을 적용하는 개념은 일상적인 것(routine)이다. 무선 기지국 또는 핸드셋의 무선 장치 내의 전력 증폭기는 인접 채널로의 스펙트럼 누출을 최소화하기 위해 기저대역에서 디지털적으로 보상된다. 스피커의 오디오 증폭기는 높은 충실도(fidelity)를 달성하기 위해 디지털적으로 보상된다. 많은 그러한 예들에서, 볼테라 시리즈들(Volterra series)의 변동들이 비선형성의 동적 특성을 설명하기 위해 채택되었다. 위너(Wiener), 위너-해머스타인(Wiener-Hammerstein), 일반적 메모리리스 다항식(General Memoryless Polynomial)은, 비-선형 회로를 통과하기 전에 입력 신호를 수정하는 데 사용되는, 디지털 전치 왜곡기(pre-distorter)에 널리 사용되는 구조들이다. 일반적으로, 이러한 구조들은, 공정, 온도, 공급 전압, 및 기타 동작 조건들 포함하는, 특정 장치(테스트 중인 디바이스, DUT)의 변동들에 대한 보상기 파라미터들의 민감도로 인한 견고성 문제들(robustness issues) 뿐만 아니라, 다항식 차수가 3 내지 5를 초과하는 경우 지수적 복잡성을 가진다.

[0005] 도 1을 참조하면, 무선 전력 증폭기의 선형화의 예에서, 기저대역 또는 중간 주파수에서 디지털 입력 신호 $x[n]$는, 안테나(150)를 구동시키는 구동 신호 $p(t)$를 생성하기 위해 송신 체인(140)을 통과하는, "전치 왜곡된" 입력 $y[n]$을 생성하기 위해 디지털 전치 왜곡기(DPD)(110)를 통과한다. 송신 체인은 디지털-아날로그 변환기(Digital-to-Analog Converter, DAC)(142), 아날로그 저역통과 필터(LPF)(144) 및 LPF(144)의 출력의 변조기(예컨대, 국부 발진기에 의한 곱셈)를 포함할 수 있다. 변조기의 출력은 전력 증폭기(PA)(148)로 전달된다. PA(148)는, 송신 체인의 다른 엘리먼트들뿐만 아니라, 입력 신호 $x[n]$의 고조파(harmonic) 및/또는 상호변조 왜곡으로서 구동 신호 $p(t)$에서 나타날 수 있는, 비-선형성들을 도입할 수 있다. 이러한 비선형성을 극복하기 위해, DPD(110)는 또한 송신 체인의 비-선형 효과들을 "사전-반전"(즉, 전치-왜곡함)을 의도하는 비-선형성을 도입한다. 일부 예들에서, DPD는 원하는 신호의 지연된 버전들의 세트를 형성하기 위해 지연 엘리먼트들(120)을 사용하여 원하는 신호 $x[n]$를 송신 체인의 입력 $y[n]$으로 변환하고, 그 다음에 그들의 지연된 입력들의 비-선형 다항식 함수(130)를 사용한다. 일부 예들에서, 비-선형 함수는 볼테라 시리즈들(Volterra series)이다:

[0006] $$y[n] = h_0 + \sum_p \sum_{\tau_1,\ldots,\tau_p} h_p(\tau_1,\ldots\tau_p) \prod_{j=1\ldots p} x\left[n-\tau_j\right]$$

[0007] 일부 예들에서, 비-선형 함수는 볼테라 항들의 감소된 세트, 예를 들어 지연 다항식이다:

[0008] $$y[n] = h_0 + \sum_p \sum_\tau h_p(\tau)\, x[n-\tau]\left|x[n-\tau]\right|^{(p-1)}$$

[0009] 송신 체인의 비-선형 효과를 반전시키기 위해, 일반적으로, 그러한 시리즈들 표현의 비교적 많은 수의 항들 필요하고, 이들 항들(예를 들어, h_p 항들)의 계수들은 정확하게 설정되어야 한다. 일반적으로, 그러한 접근법의 계수들은 양호한 선형화를 유지하기 위해 계속적으로 업데이트된다. 이러한 연속적인 업데이팅에 대한 다양한 접근법들이, 예를 들어, $y[n]$를 사용하는 증분 업데이트들 및 $p(t)$ (예를 들어, 복조 후)의 관찰을 기반으로 사용된다.

발명의 내용

[0010] 일반적인 양상에서, 디지털 보상에 대한 접근법은, 비선형성을 특징으로 하는 비교적 작은 수의 파라미터들 및/또는 지속적인 업데이팅의 필요 없이 정확한 선형성을 제공하는 파라미터들을 사용하면서, 비-선형 회로(예를 들어, 디지털-아날로그 변환기(DAC), 저역통과 필터, 변조기, 대역통과 필터 및 전력 증폭기를 포함하는 비-선형 송신 체인)의 상대적으로 정확한 전치-역변환으로서 작용하는 디지털 전치-왜곡기(DPD)의 특정 구조를 사용한다.

[0011] 일반적으로, 이러한 접근법은 변조된 신호의 변조 및 후속(예를 들어, 비선형) 증폭들로부터 발생하는 비-선형성의 근본적인 소스들과 더욱 밀접하게 관련된다. 특히, 이 접근법은 많은 수의 파라미터들이 필요하지 않고 고조파(harmonic) 및 상호 변조 왜곡 효과들을 보다 직접적으로 포착한다.

[0012] 일 양상에서, 일반적으로, 전치-왜곡기는 입력 $y[m]$을 송신 체인으로 송신하기 위해 샘플링된 입력 신호 $u[n]$(예를 들어, 송신될 원하는 신호의 기저대역 인코딩의 업샘플링된 버전)의 전체 비-선형 변환을 구현한다. 전체 비-선형 변환은 입력 신호의 선형 및 비-선형 함수들의 시간 필터링된 버전들의 조합을 사용하여 구현된다. 이 설명에서, 이러한 시간 필터링된 버전들은 입력 신호의 기본 함수들(basis functions)로 언급된다. 이러한 기본 함수들의 일부 예들은 다음을 포함한다.

[0013] $$w_i = G_i\left(f_i(u)\right)$$

[0014] 여기서, $f_i(u)$는 u(예를 들어, $|u|^k$)의 비-선형 함수일 수 있고, $G_i(\ )$는 선형 시간 영역 필터링일 수 있다.

[0015] 일부 예들에서, 기본 함수들의 세트는 "밸런싱된 다항식" 형태를 사용하여 조합되고, 이는 다음과 같이 표현될 수 있다:

[0016] $$y[n] = \sum_k a_k \left(\left(\prod_i (w_i[n])^{b_{k,i}} \right) \left(\prod_j \left(w_i^*[n] \right)^{c_{k,j}} \right) \right)$$

[0017] 여기서, $\sum_i b_{k,i} = 1 + \sum_j c_{k,j}$

[0018] 일부 경우들에서, 지수들 $\{b_{k,i}\}$ 및 $\{c_{k,j}\}$가 미리 결정되고, 파라미터들 $\Theta = \{a_k\}$은, 예를 들어, 시스템 식별에 대한 다양한 접근법들을 사용하여 결정된다.

[0019] 일부 예들에서, 디바이스에 대한 파라미터들은 동작, 예를 들어, 제작(fabrication), 제조(manufacture), 배치(deployment), 및/또는 주기적인 유지 보수 시간, 그 다음 후속 동작에 대한 세트, 전에 결정된다. 일부 예들에서, 파라미터들의 상이한 세트들은 상이한 동작 조건들(예를 들어, 동작 온도, 공급 전압 등)에 대해 결정되고, 동작 조건의 감지에 따라 동작시 파라미터들의 상이한 세트들이 사용된다. 일부 예들에서, 온도, 공급 전압, 출력 전력, 변조 모드, 부품 수명, 샘플링 속도 및 부품 시그니처(signature)과 같은 외부 파라미터들은 이전에 구성된 예측기 유닛에 대한 입력이다. 이들에 기초하여, 유닛은 동작 체제(regime)를 결정하고 보상기에 대한 업데이트된 계수들을 출력한다. 일부 예들에서, 부품 시그니처는 짧은 제조-시간 특성화(예를 들어, 소수의 톤 또는 특수한 송신 시퀀스)에 의해 획득된다.

[0020] 전술한 적어도 하나의 접근법은 감소된 동작-시간 계산 복잡도를 포함하는 이점을 가지며, 이에 의해 비교적 정확한 선형화(예를 들어, 비교 가능한 계산 자원들을 사용하는 다른 접근법과 관련하여)를 제공하면서, 전력 요구 사항들 및 다른 계산-관련 자원들의 사용을 감소시킨다. 회로의 비-선형 구조와 매칭하는 전치-왜곡기의 구조를 사용함으로써, 시스템을 정확하게 선형화하는데 필요한 계수들의 수는 감소되고, 이들 파라미터들은 시스템의 변동에 보다 견고하기 때문에, 출력 신호들(예: p(t))의 관찰을 기반으로 파라미터들을 지속적으로 업데이트할 필요가 없다. 예측기는, 예를 들어, 온도 변화들, 또는 공급 전압 변화들에 응답하여 계수들을 연속적으로 업데이트할 수 있다.

[0021] 본 발명의 다른 특징들 및 이점들은 하기의 설명, 및 청구항들로부터 명백해진다.

도면의 간단한 설명

[0022] 도 1은 종래의 디지털 전치-왜곡 접근법의 블록도이다.

도 2는 본 접근법의 복수의 실시 예들을 나타내는 블록도이다.

도 3은 계수 보간 접근법을 나타내는 블록도이다.

도 4는 동작-시간 파라미터 추정 접근법을 도시하는 블록도이다.

도 5는 사전-동작 계수 모델링 접근법을 도시하는 블록도이다.

도 6은 조합된 계수 보간 및 동작 시간 파라미터 추정 접근법을 도시하는 블록도이다.

도 7은 예시적인 기본 형성 및 다항식 조합 실시 예의 블록도이다.

도 8은 정규화를 통합하는 대안적인 기본 형성 접근법의 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0023] 도 2를 참조하면, 디지털 전치-왜곡기(200)의 제 1 실시 예는 디지털 형태(예를 들어, 시간 샘플 당 12-14 비트)로 원하는 입력 신호 $x[m]$를 수용하고, 원하는 신호의 대역폭(예를 들어, 20-120MHz)을 나타내기에 충분한 샘플링 레이트로 샘플링한다. 일반적으로, 입력 신호는, 송신될 신호의 직교 성분을 나타내는 실수 및 허수 부분들은 가진, 복소수이다. 예를 들어, 원하는 입력은, 예를 들어, 셀룰러 전화 송신기(예를 들어, LTE 통신 표준에 따른)에 대한, 적어도 하나의 통신 채널들의 기저대역 인코딩(예를 들어, OFDM 인코딩)이다. 입력 신호는 예를 들어, 일부 실시 예들에서 송신 체인에서 관심 있는 비선형성의 정도에 1을 더하고 2로 나눈 팩터에 의해(예컨대, 관심의 비선형성이 7 차수이면, 4의 팩터에 의한 업샘플링이 사용됨), 종래의 업샘플링/보간 컴포넌트(210)를 사용하여 업샘플링되고, 그런 다음 선택적으로 필터링된다. 업샘플링은 스펙트럼을 축소시킴으로써 DPD가 목표 대역에서 원하지 않는 고조파들의 에일리어싱(aliasing)을 피할 수 있게 한다.

[0024] 일부 예들에서, 선택적 LTI(선형 시간 불변) 필터링 컴포넌트(212)는 업샘플링 이후의 신호를 처리한다. LTI 필터는, 예를 들어, DAC(142), LPF(144) 등의 송신 체인(140)의 엘리먼트들의 롱텀 행동을 "모방(mimic)"하도록 선택된다. 예를 들어, 고정된-계수 재구성 필터는 DAC의 제로-오더(zero-order) 홀드 특성들을 모방한다. 업샘플링되고 필터링된 입력 신호 $u(n)$는 그 다음에, 기본 형성 엘리먼트들(220a-s)의 세트를 사용하여, 업샘플링된 레이트로 각각 샘플링된, 기본 신호들, $w_S[n]$를 통해(through) $w_1[n]$, 을 계산하는데 사용되며, 그 대부분은 비-선형 변환들(예를 들어, 다항식 함수)을 나타낸다. 기본 형성은 입력의 다항식 함수, 또는 대안적으로 비-다항식 함수, 예를 들어, 다항식 $X|X|^2$, 또는 비-다항식 ($X|X|^2$)/평균($|X|^2$)을 포함할 수 있다. 기본 신호들은 밸런싱된 다항식 계산 엘리먼트(230)에, 또는 대안적인 실시 예들에서는 업샘플링된 레이트로 조합된 신호 $z[n]$를 출력하는, 다른 형태의 비-선형 조합에 적용된다. 이 조합된 신호는 다운샘플링/필터링 컴포넌트(240)에서 다운샘플링되고, 예를 들어, 입력 신호 $x[m]$의 원래 샘플링 속도를 산출하는, LTI 필터링 컴포넌트(242)에서 추가로 선택적으로 필터링되어, DPD(200)의 출력 $y[m]$을 생성한다.

[0025] 도 3을 참조하면, 일부 실시 예들에서, DPD(200)의 출력 $y[m]$은 송신기의 안테나(150)에 대한 구동 신호 $p(t)$를 생성하기 위해 송신 체인(140)을 통과한다. 도 2에 도시된 바와 같이, DPD(200), 및 특히 밸런싱된 다항식 계산은 DPD 계수 Θ(235)와 같은 수치 파라미터들에 따라 구성된다. 이 실시 예에서, 이들 계수들은 계수들의 데이터베이스(344), 및 송신 체인의 동작 "체제(regime)" (즉, 물리적 조건들의 클래스)를 본질적으로 특성화하는 값들을 사용하여 결정된다. 이들 값(예를 들어, 정량적 또는 카테고리적(categorical) 디지털 변수들)은 환경 변수들(342)(예를 들어, 온도, 송신기 전력 레벨, 공급 전압, 주파수 대역) 및/또는 부분 “시그니처(signature)”(343)을 포함하고, 이는 실질적으로 불변인 특성들을 나타내고 송신 체인(140)의 전기적 부분들에 특별할 수 있다. 계수 보간기(340)는 이들 입력들 및 계수 데이터베이스를 취하여 대응하는 DPD 계수들(235)을 출력한다. 입력들에 따라 데이터베이스에서의 계수 값들의 선택 및/또는 보간, 및/또는 계수 데이터베이스

에서 값들로 표현되는 입력의 수학적 매핑을 적용하는 것을 포함하는, 다양한 접근법이 계수 보간기에 의해 구현될 수 있다.

[0026] 도 4를 참조하면, 다른 실시 예에서, DPD 계수들(235)은 수신 체인(430)이 출력 $p(t)$의 센싱을 처리함으로써 시스템의 동작 중에 결정되고, 실질적으로 선형 복조, 및 디지털화는, 송신 체인의 입력 $y[m]$과 동일한 샘플링 간격으로 디지털 출력 $q[m]$을 생성한다. 일부 예들에서, 계수들은 연산 동안 실질적으로 연속적인 방식으로 조정되지만, 다른 예들에서, 계수들은 비-동작적 입력들을 사용하여 일괄적으로(예를 들어, 1시간, 1일에 1회 등으로) 비교적 드물게 업데이트된다. 이러한 파라미터들의 결정은 이하에서 보다 충분히 논의되며, 일반적으로 송신 체인(140)의 출력의 감지, 및 실질적으로 선형인 것으로 가정되는, 수신 체인(330)을 사용하는 감지된 출력의 처리에 의존한다.

[0027] 도 5를 참조하면, 계수 데이터베이스(344)(도 3 참조)를 형성하는 접근법은 동작적인 사용 전에 송신 체인(140)의 분석을 이용한다. 보다 일반적으로, 송신 체인들(예를 들어, 개별적으로 제조된 부분들 사용함)의 예시들(instances)의 세트는 샘플 제조 및 상이한 부분-대-부분 변동들을 샘플링하기 위해 분석된다. 일반적으로, 상이한 테스트 신호들 $x[m]$이 송신 체인(140)을 구동하는데 사용되고, 대응하는 입력 $y[m]$ 및 수신된 출력 $q[m]$ (즉, 수신 체인(430)을 통해 복조한 후)은 다양한 환경 조건들하에서 DPD 계수들(235)을 추정하는데 사용된다. DPD 계수들(235) 및 대응 환경 변수들(342)은 계수 모델러(560)에 제공되고, 계수 모델러(560)는 이들을(선택적으로 이들을 사전 처리, 예를 들어, 구분적으로 선형 모델로부터의 경우) 계수 데이터베이스(344)에 저장한다.

[0028] 계속해서도 5를 참조하면, 송신 체인의 각각의 경우는 특정 테스트 신호들을 송신 체인(140)을 통해 전달하고, 시그니처 측정 모듈(550)을 사용하여 시그니처 값들(예를 들어, 정량적 또는 카테고리적(categorical) 값)을 결정함으로써 특성화될 수 있다. 예를 들어, 멀티-톤 테스트 신호들이 송신 체인을 통과할 수 있고, 왜곡 생성물의 크기가 측정되고 부품 시그니처의 엘리먼트들로서 기록될 수 있다. 제조 또는 다른 사전-동작 스테이지의 일부로서, 송신 체인에 대한 부품 시그니처는 그 송신 체인과 관련하여 제공되고, 예를 들어, 도 3에 도시된 부품 시그니처(343)와 같이, 동작에 사용된다. 예를 들어, 부분 시그니처는 송신 체인 또는 그 컴포넌트들에 결합되거나, 또는 그렇지 않고 연관되는, 컴퓨터 판독 가능 매체(예를 들어, 비-휘발성 반도체 메모리)에 저장될 수 있다. DPD(200)에 의해 사용될 때, 부품 시그니처는 DPD 상에 특정 기능(specific functionality)을 부여하여 송신 체인의 특정 인스턴스의 비-선형성을 보상한다.

[0029] 환경 변수들 및 시그니처 변수들은 독립적으로 또는 조합하여 사용될 수 있다는 것을 이해해야 한다. 또한, 계수 보간기(340)(예를 들어, 도 3)는 계수 모델러(560)(예를 들어, 도 5)와 호환 가능한 다양한 형태들 또는 보간 또는 근사를 구현할 수 있음을 알아야 한다. 이러한 기술은 비-필수적인 예로서 구분적(piecewise) 선형 보간의 사용을 포함할 수 있다. 환경 및 시그니처 변수들로부터의 다른 맵핑 방법은 상이한 구분적 매끄러운 함수들, 커널 접근법 등의 사용을 포함한다.

[0030] 도 6을 참조하면, 또 다른 실시 예는 도 3 및 도 4에 도시된 양상들, 즉 DPD 계수들(235)이 계수 데이터베이스(344) 및 환경 변수들(342) 및/또는 부품 시그니처(343)뿐만 아니라, 송신 체인(140)의 출력의 수신 체인(330)을 통해 감지되고 복조되는 피드백에 의존한다.

[0031] 도 7을 참조하면, 다시 도 2를 참조하면, 기본 형성 엘리먼트들의 세트(220a-220s)는 도 7에 도시된 기본 형성 엘리먼트(220i)로 표현될 수 있는 엘리먼트들을 포함한다. 일반적으로, 각각의 그러한 기본 형성 엘리먼트는 대표적 변환 엘리먼트(410i) 및 필터 엘리먼트(420i)(예를 들어, LTI)를 포함한다. 변환 엘리먼트들은 일반적으로 비선형(예를 들어, 다항식) 및 메모리리스(memoryless)이고, $v_i[n] = f_i(u[n])$와 같이 표현된다. 다양한 기능적 형태들이, 예를 들어, $f(u) = |u|^2$, $f(u) = |u|^3$, $f(u) = u|u|^2$ 등이 사용될 수 있다. 필터 엘리먼트들은, 예를 들어, 1극(one-pole) 또는 2극(two-pole) 선형 무한-임펄스-응답(IIR) 필터들을 구현하는, 일반적으로 선형 및 시간 불변(LTI)이다. 예를 들어, 이러한 필터들의 극(pole)은 1 내지 4 샘플 및

Q의 팩터들의 시간 상수들에 대응할 수 있다. 일반적으로, 기본 변환 중 적어도 일부는 τ의 적어도 하나의 값들에 대한 변환들(즉, $v_i[n] = u[n]$) 및/또는 순수 지연 필터들(즉, $w_i[n] = v_i[n-\tau]$)을 포함한다.

[0032] 계속해서 도 7을 참조하면, 일부 예들에서, 기본 함수들의 비-선형 조합은 밸런싱된 다항식 계산 엘리먼트(230)를 사용하는데, 이는 다음과 같이 일반적인 형태로 표현될 수 있다:

[0033] $$y[n] = H(w_1[n],\ldots,w_S[n]) = \sum_k a_k \left(\left(\prod_i (w_i[n])^{b_{k,i}} \right) \left(\prod_j \left(w_i^*[n] \right)^{c_{k,j}} \right) \right)$$

[0034] 여기서, $w = a + jb$인 경우, 여기서, $j = \sqrt{-1}$, 및 $w^* = a - jb$는 w에 대한 공액 복소수(complex conjugate)를 나타내고, 그러므로 $w\,w^* = |w|^2$, 및 각 항 (k)에 대해 비-공액 항들(non-conjugated terms)의 차수(degree) $(\sum_j b_{k,i})$는 공액된 항들의 차수 $(\sum_j c_{k,j})$보다 하나 크고, 즉,

[0035] $$\sum_i b_{k,i} = 1 + \sum_j c_{k,j}$$ 이다.

[0036] 이러한 기능들의 예들로는 $H(w_1,w_2) = |w_1|^2 w_2 - 3w_1^2 w_2^*$ (i.e., $a_1 = 1$, $a_2 = -3$, $b_{1,1} = 1$, $b_{1,2} = 1$, $c_{1,1} = 1$, $c_{1,2} = 0$, $b_{2,1} = 2$, $b_{2,2} = 0$, $c_{2,1} = 0$, $c_{2,2} = 1$) 및 $H(w_1,w_2,w_3) = -j\,w_1\,w_1 w_2^* + w_3$를 포함한다.

[0037] 도 8을 참조하면, 일부 실시 예들에서, 기본 형성 블록들(220a-s)의 일부 또는 전부는 "비-다항식" 형태들을 사용할 수 있다. 예를 들어, 도 8에 도시된 바와 같이, 정규화 블록(820i)은 평균값(예를 들어, 긴 시간 스케일 쇠퇴 평균(long time scale decaying average))으로 나눔으로써 기본 값을 정규화하는 데 사용될 수 있다. 이러한 유형의 정규화는 단지 기본 형성의 비-다항식 형태의 예인 것을 인식해야 한다.

[0038] 다시 도 2를 참조하면, 출력 $z[n]$은, 예를 들어, 입력 $x[m]$의 원래 샘플링 레이트로, 다운샘플링되고 필터링되고, 출력 $y[m]$를 산출한다. 일부 예들에서, 이러한 다운샘플링은 생략될 수 있거나, 또는 출력의 샘플링 레이트는 입력의 샘플링 레이트와 업샘플링된 레이트 사이에 있을 수 있다. 일부 예들에서, 선택적 LTI 필터링 스테이지(242)가 신호를 송신 체인으로 전달하기 전에 DPD(200)의 출력에 인가된다.

[0039] 위에서 설명된 DPD의 구조는 동작 동안의 변동에 강하고, 시스템의 선형화를 유지하기 위해 동작 중에 신속하게 적응될 필요는 없다. 예를 들어, DPD에 대한 파라미터들은, 예를 들어, 시스템의 제조 또는 배치 동안 추정되는 것과 같이, 장시간의 동작 동안 한번 추정될 수 있다.

[0040] 다시 도 5를 참조하면, DPD에 대한 파라미터들 Θ의 추정에 대한 접근법에서, 수신 체인(330)은 출력 $p(t)$의 감지를 처리하고, 실질적으로 선형 복조, 및 디지털화는, 송신 체인의 입력 $y[m]$와 같이 동일한 샘플링 레이트로 디지털 출력 $q[m]$을 생성한다. 위에서 소개한 바와 같이, 이 추정은 데이터베이스(344)의 계수의 형성의 부분으로서 사용될 수 있고, 도 4 및 도 6에 예시된 계수들의 동작적 조정에 사용될 수도 있다.

[0041] 일부 실시 예들에서, 송신 체인으로의 입력, $y[m]$, 및 송신 체인의 대응하는 감지된 출력(예컨대, 복조를 포함함), $q[m]$, 을 포함하는 데이터는, 수집된 데이터로부터 결정되는 파라미터들 $\Theta = \{a_k\}$로, 일련의

반복들로 수집된다. 일부 예들에서, 원래의 신호에 부가된 전치-왜곡을 나타내는, 수집된 데이터 시퀀스 $e_{K-1}[m]$는 다음과 같이 반복들을 통해 획득된다:

[0042] - $q_0[m] = y_0[m] + e_0[m]$를 가정하고, 여기서, $y_0[m]$는 전치-왜곡이 없는 원래의 신호 시퀀스이다.

[0043] - 훈련 시퀀스 $y_1[m] = y_0[m] - e_0[m]$를 반복하고, $e_1[m] = q_1[m] - y_0[m]$를 찾아라.

[0044] - $y_k[m] = y_0[m] - e_{k-1}[m]$를 계속하여 반복하고, $k = 2,3,\ldots$에 대해, $e_k[m] = q_k[m] - y_0[m]$를 찾아라.

[0045] - 최종 반복(K) 후에, 전치-왜곡기는, 입력 $q_k[m] = y_0[m] + e_k[m]$에 대해, 전치-왜곡기가 출력 $y_K[m] = y_0[m] - e_{K-1}[m]$을 생성하도록 구성된다.

[0046] 대안적인 접근법에서, 수율(yield) $q_0[m]$로의 $y_0[m]$의 비-선형 변환은 송신 체인(예를 들어, 전치-왜곡기에 대해 사용된 것과 상이한 파라미터화에 따름)을 특성화하는데 사용된다. 그 후, 파라미터들 $\Theta = \{a_k\}$은 송신 체인의 추정된 특성들을 가장 잘 "반전(invert)"하도록 결정된다.

[0047] 일부 구현 예들에서, 파라미터들 Θ은 예측기에 기반하여 결정되고, 이는 예를 들어, 온도, 전원 전압(Vdd), 샘플링 레이트, 변조 모드, 주파수 대역, 부품 시그니처(예를 들어, 몇 가지 톤들 또는 특수 전송 시퀀스들을 사용하여 팹(fab) 부품 특성화), 및 부품 수명인, 파라미터들을 수용한다. 이들에 기반하여, 예측기 유닛은 보상기에 대한 동작의 체제(regime)를 결정하고 보상기에 대한 업데이트된 계수들을 출력하고 미리 결정된 파라미터들 세트의 파라미터를 선택한다.

[0048] 위에서 설명된 접근법들의 구현 예들은 하드웨어, 소프트웨어, 또는 하드웨어와 소프트웨어의 조합을 사용할 수 있다. 소프트웨어는 비-일시적 기계 판독 가능 매체 상에 저장되고 프로세서에 의한 실행을 위해 매체로부터 판독되는, 범용, 특수 목적 프로세서 또는 이종 프로세서를 위한 명령을 포함할 수 있다. 명령들은 기계 레벨일 수 있거나, 또는 프로그래밍 언어 형태로 표현될 수 있다. 일부 예들에서, 송신 체인의 적어도 일부는 소프트웨어로 구현되고, DPD 접근법은 송신 체인의 그 부분을 구현하는 샘플 신호 프로세서 또는 시스템상에서 실행되는 추가 소프트웨어로서 구현된다. 일부 예들에서, 소프트웨어는 DPD의 구현에 특별히 지정된 프로세서상에서 실행된다.

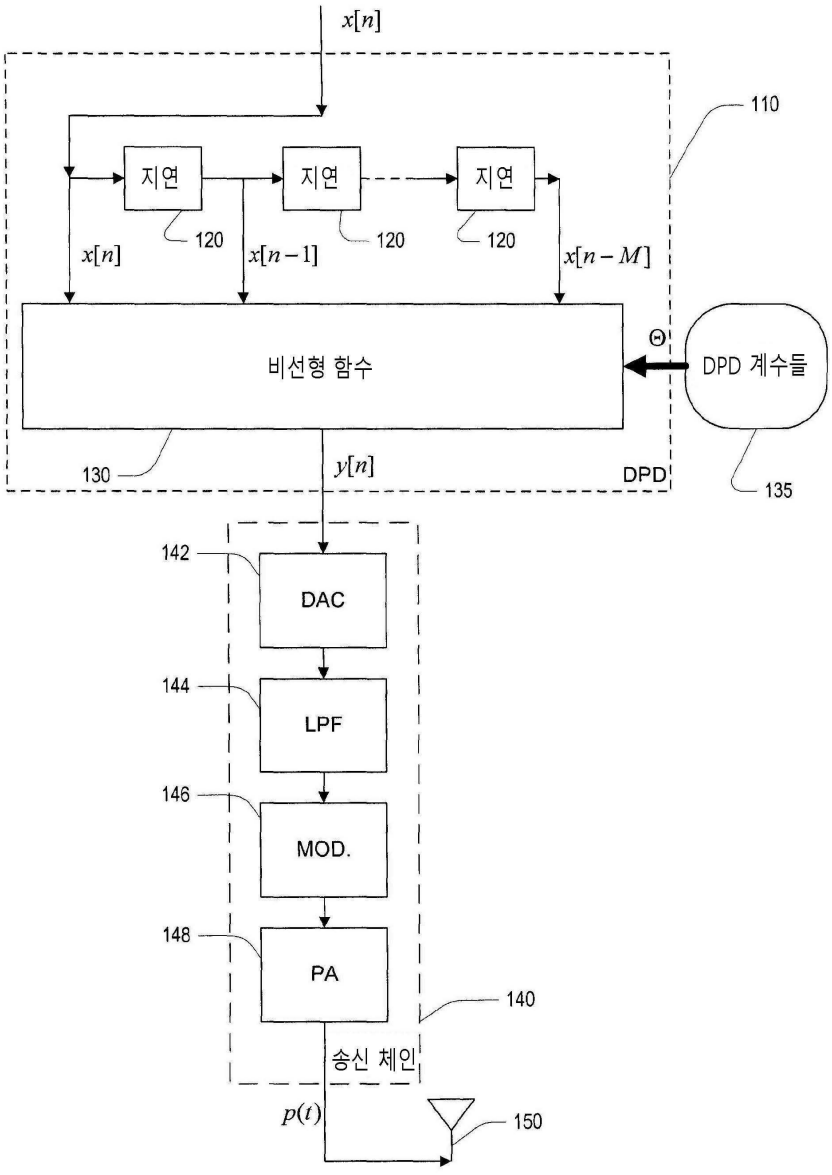
[0049] DPD의 적어도 일부 실시 예는, 일반적으로 디지털 신호 처리를 위한 회로(예컨대, 산술 연산 회로)를 포함하는, 회로를 사용하고, 이는 위에서 설명한 특정 함수들에 전용될 수 있고(예를 들어, 주문형 집적 회로, ASIC 또는 필드 프로그래밍 가능 게이트 어레이), 및/또는 함수들을 구현하는 소프트웨어 명령들에 의해 제어될 수 있다. 일부 구현 예들에서, 컴퓨터 액세스 가능 저장 매체는 DPD(200)의 일부 또는 전부를 나타내는 데이터베이스를 포함한다. 일반적으로 말하면, 컴퓨터 액세스 가능 저장 매체는 명령들 및/또는 데이터를 컴퓨터에 제공하기 위해 사용 도중에 컴퓨터에 의해 액세스 가능한 임의의 비-일시적인 저장 매체를 포함할 수 있다. 예를 들어, 컴퓨터 액세스 가능 저장 매체는 자기 또는 광학 디스크들과 같은 저장 매체 및 반도체 메모리들을 포함할 수 있다. 일반적으로, 시스템을 나타내는 데이터베이스는 프로그램에 의해 판독될 수 있고, 시스템을 포함하는 하드웨어를 제조하기 위해, 직접 또는 간접적으로, 사용될 수 있는 데이터베이스 또는 다른 데이터 구조일 수 있다. 예를 들어, 데이터베이스는 베릴로그(Verilog) 또는 VHDL과 같은 하이 레벨 설계 언어(HDL)에서 하드웨어 기능의 행동-레벨 설명 또는 레지스터-전송-레벨(RTL) 설명일 수 있다. 본 설명은 합성 라이브러리로부터 게이트들의 리스트를 포함하는 네트리스트(netlist)를 생성하기 위해 디스크립션을 합성할 수 있는 합성 툴에 의해 판독될 수 있다. 네트리스트는 DPD를 포함하는 하드웨어의 기능성을 또한 나타내는 게이트들의 세트를 포함한다. 그 다음, 넷리스트는 필드-프로그래머블 게이트 어레이를 위한 구성 비트파일을 생성하거나, 마스크들에 적용될 기

하학적 형상들을 기술하는 데이터 세트를 생성하도록 라우팅될 수 있다. 그 다음, 마스크들은 DPD에 대응하는 반도체 회로 또는 회로들을 생성하기 위해 다양한 반도체 제조 단계들에서 사용될 수 있다. 다른 예에서, 대안적으로, 데이터베이스는 그 자체가 넷리스트(합성 라이브러리가 있거나 없음) 또는 데이터 세트일 수 있다.

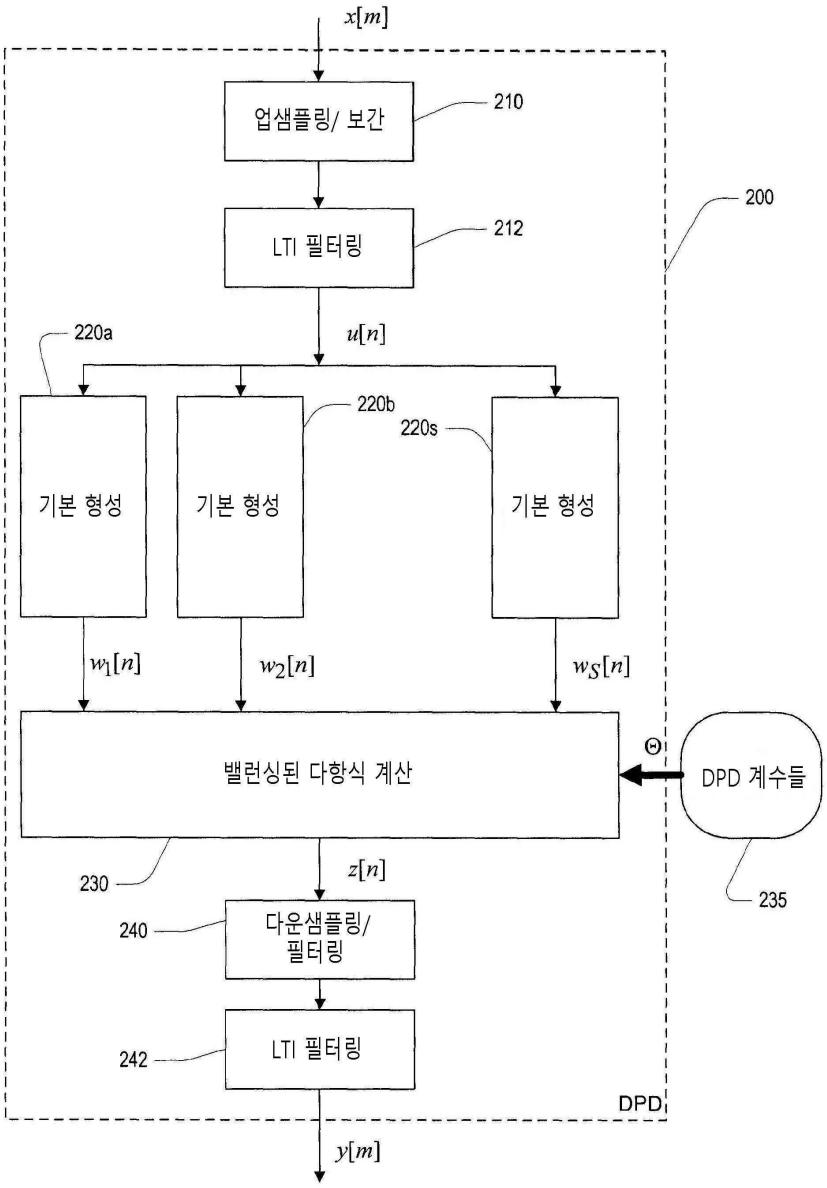
[0050] 전술한 설명은 첨부된 청구항의 범주에 의해 정의되는, 본 발명의 범위를 예시하고 제한하지 않는 것으로 이해되어야 한다. 다른 실시 예들은 하기의 청구항들의 범위 내에 있다.

도면

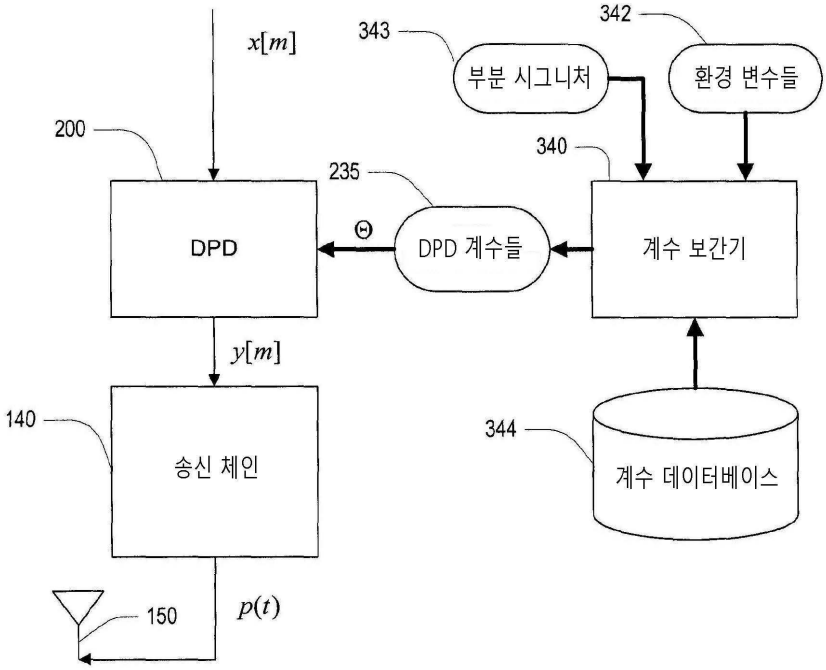
도면1



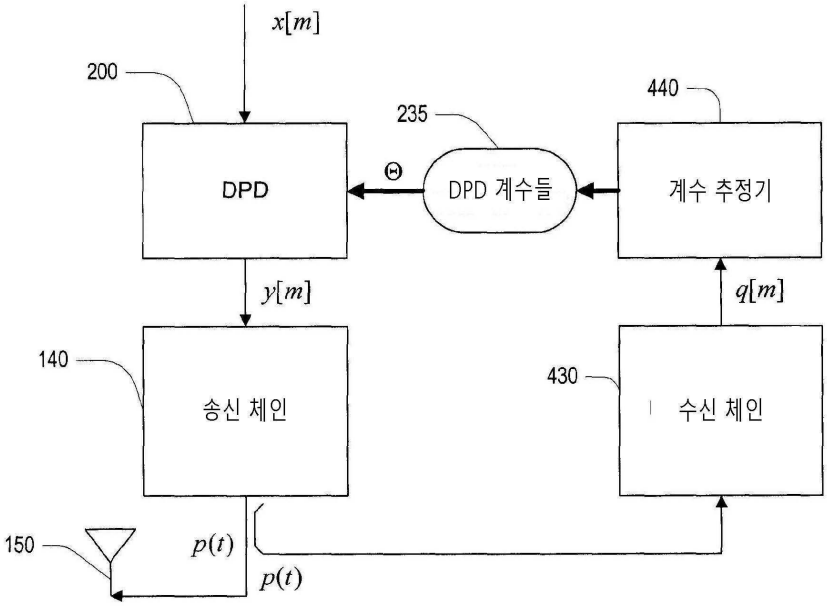
도면2


x[m]
업샘플링/ 보간
210
LTI 필터링
212
200
u[n]
220a
220b
220s
기본 형성
기본 형성
기본 형성
w1[n]
w2[n]
wS[n]
밸런싱된 다항식 계산
Θ
DPD 계수들
235
230
z[n]
240
다운샘플링/
필터링
242
LTI 필터링
DPD
y[m]

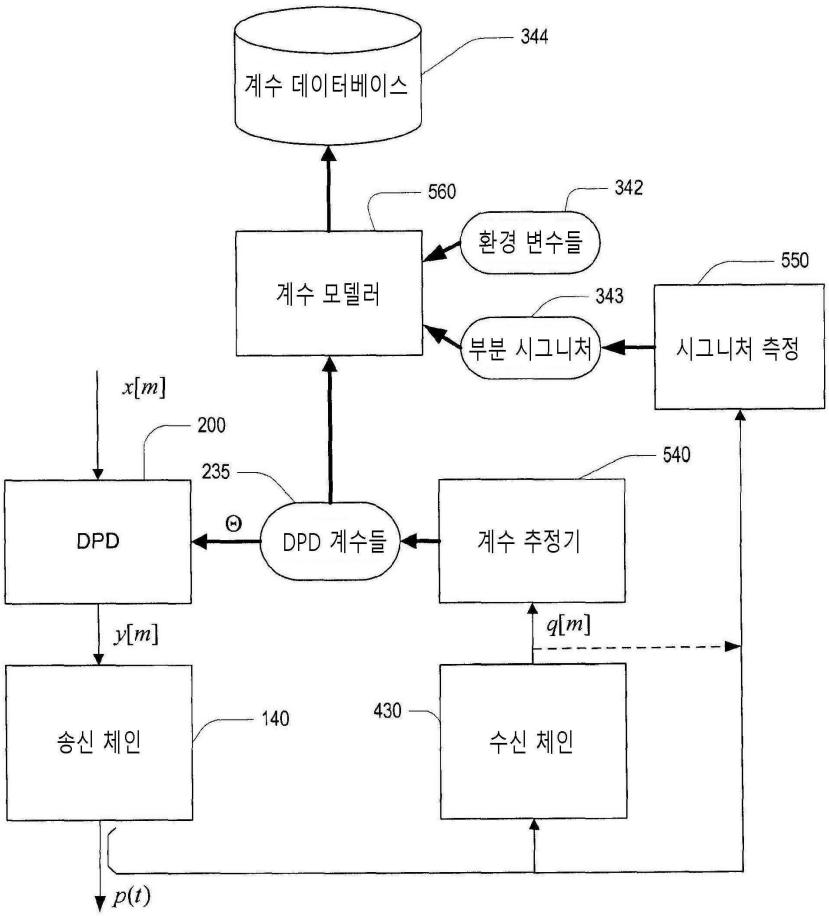
도면3


x[m]
343
부분 시그니처
342
환경 변수들
200
340
235
DPD
Θ
DPD 계수들
계수 보간기
y[m]
140
송신 체인
344
계수 데이터베이스
150
p(t)

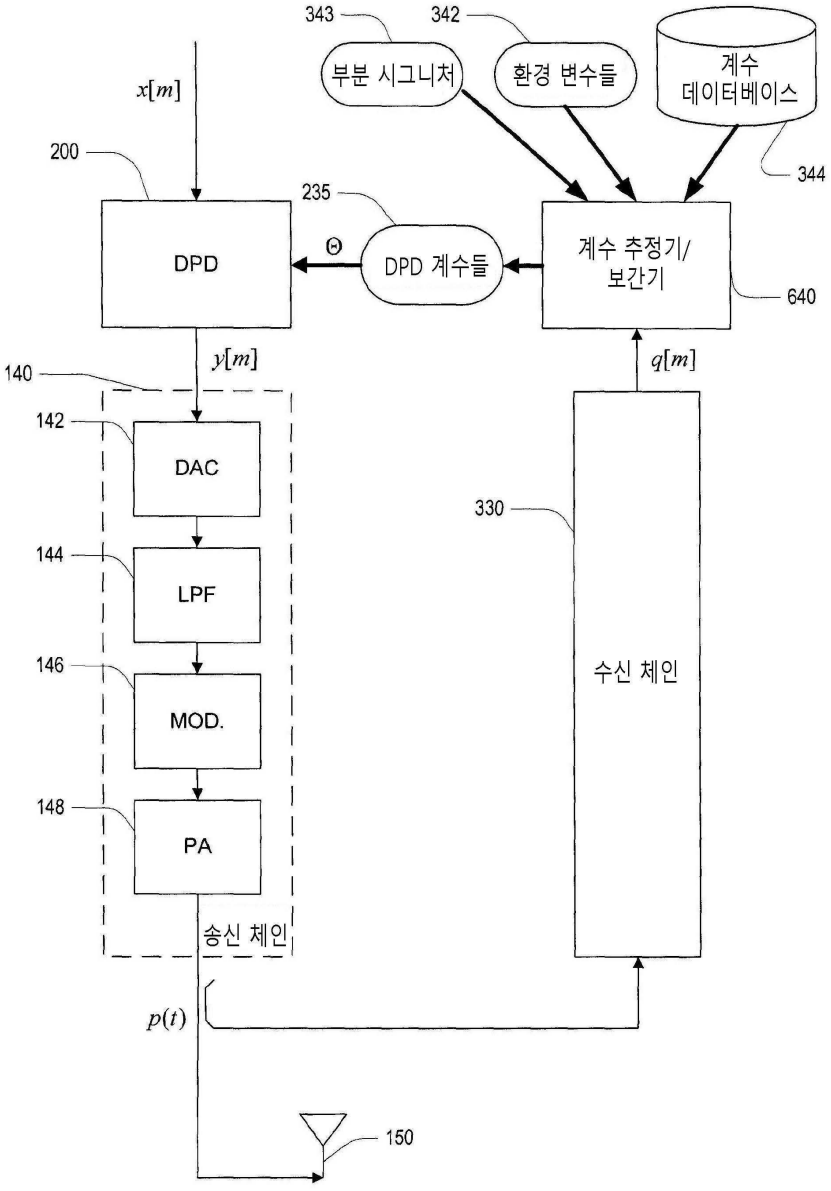
도면4


x[m]
200
235
440
DPD
Θ
DPD 계수들
계수 추정기
y[m]
q[m]
140
송신 체인
430
수신 체인
150
p(t)
p(t)

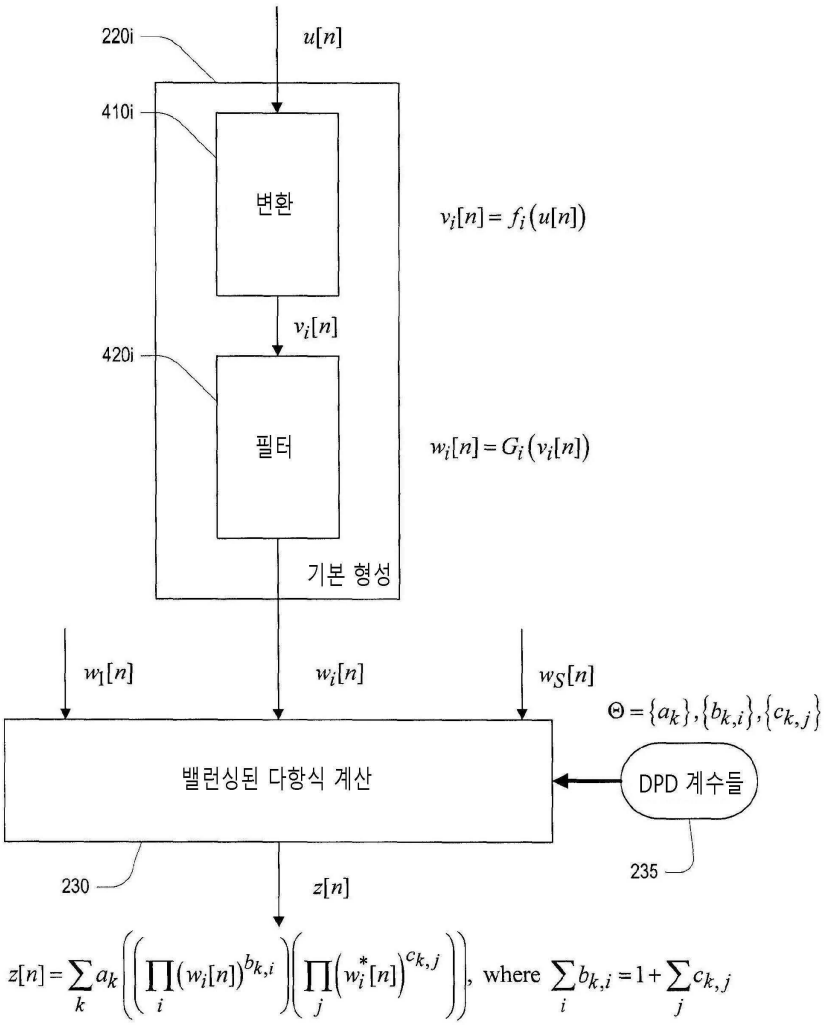
도면5


344
계수 데이터베이스
560
342
환경 변수들
계수 모델러
550
343
부분 시그니처
시그니처 측정
x[m]
200
235
540
DPD
DPD 계수들
계수 추정기
y[m]
q[m]
송신 체인
140
430
수신 체인
p(t)

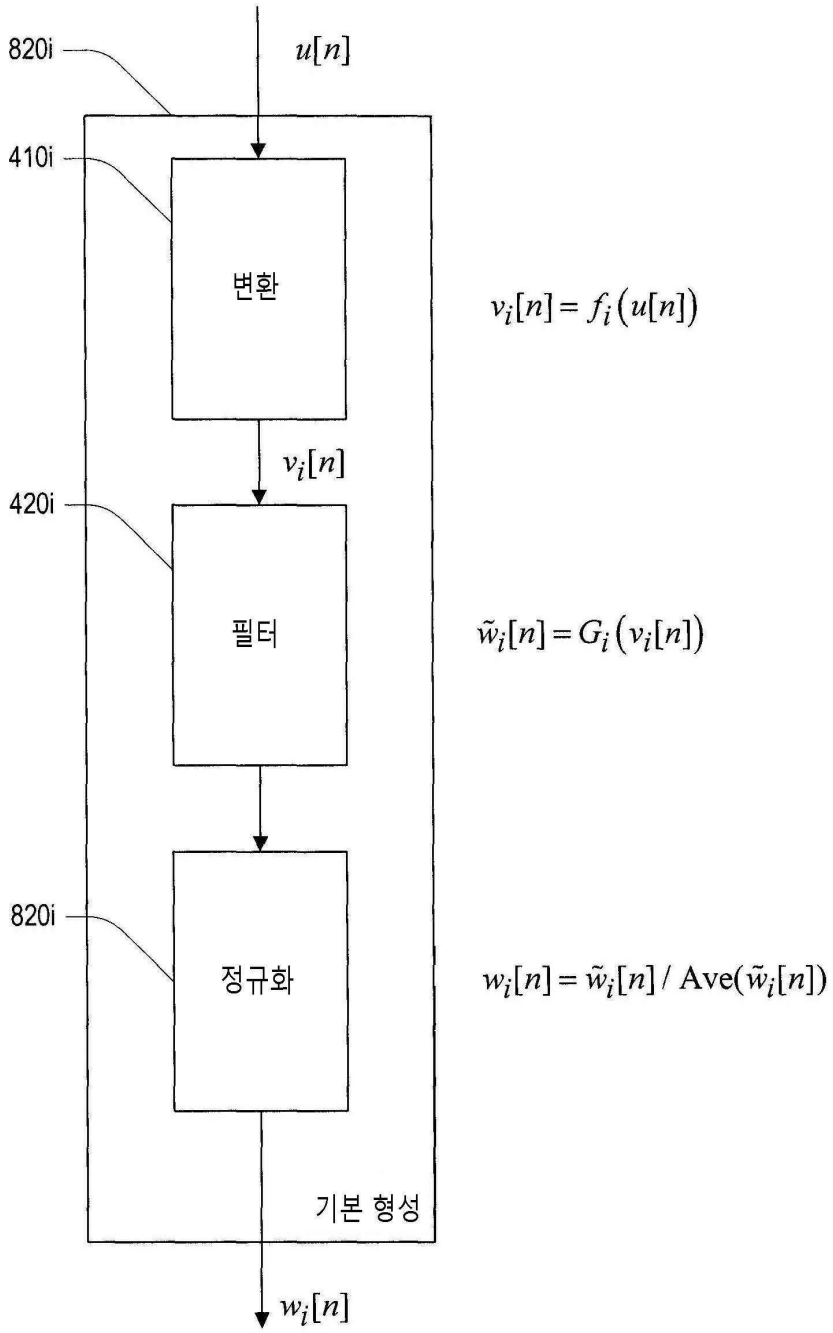
도면6


343
342
부분 시그니처
환경 변수들
계수
데이터베이스
344
x[m]
200
235
DPD
Θ
DPD 계수들
계수 추정기/
보간기
640
y[m]
q[m]
140
142
DAC
144
LPF
146
MOD.
148
PA
송신 체인
330
수신 체인
p(t)
150

도면7


220i
u[n]
410i
변환
$v_i[n] = f_i(u[n])$
$v_i[n]$
420i
필터
$w_i[n] = G_i(v_i[n])$
기본 형성
$w_1[n]$
$w_i[n]$
$w_S[n]$
$\Theta = \{a_k\}, \{b_{k,i}\}, \{c_{k,j}\}$
밸런싱된 다항식 계산
DPD 계수들
230
235
$z[n]$
$z[n] = \sum_k a_k \left(\left(\prod_i (w_i[n])^{b_{k,i}} \right) \left(\prod_j \left(w_i^*[n] \right)^{c_{k,j}} \right) \right)$, where $\sum_i b_{k,i} = 1 + \sum_j c_{k,j}$

도면8


820i
u[n]
410i
변환
$v_i[n] = f_i(u[n])$
$v_i[n]$
420i
필터
$\tilde{w}_i[n] = G_i(v_i[n])$
820i
정규화
$w_i[n] = \tilde{w}_i[n] / \mathrm{Ave}(\tilde{w}_i[n])$
기본 형성
$w_i[n]$