

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-520964
(P2006-520964A)

(43) 公表日 平成18年9月14日(2006.9.14)

(51) Int. Cl. F I テーマコード(参考)
G06F 9/38 (2006.01) G06F 9/38 330B 5B013

審査請求 未請求 予備審査請求 未請求 (全 21 頁)

(21) 出願番号 特願2006-507365 (P2006-507365)
(86) (22) 出願日 平成16年3月19日(2004.3.19)
(85) 翻訳文提出日 平成17年9月21日(2005.9.21)
(86) 国際出願番号 PCT/US2004/008438
(87) 国際公開番号 W02004/086219
(87) 国際公開日 平成16年10月7日(2004.10.7)
(31) 優先権主張番号 10/394,820
(32) 優先日 平成15年3月21日(2003.3.21)
(33) 優先権主張国 米国(US)

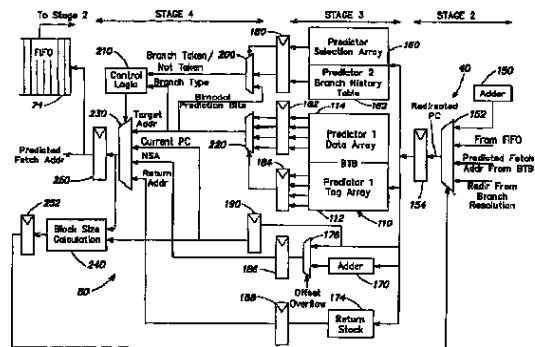
(71) 出願人 501144003
アナログ・デバイシズ・インコーポレーテッド
アメリカ合衆国マサチューセッツ州ノーウッド、ワン・テクノロジー・ウェイ(番地なし)
(74) 代理人 100102842
弁理士 葛和 清司
(72) 発明者 トラン, サング, エム.
アメリカ合衆国 テキサス州 78733、オースティン、エルダー サークル 1113

最終頁に続く

(54) 【発明の名称】 分岐ターゲットに基づいて分岐予測をするための方法および装置

(57) 【要約】

デジタルプロセッサにおける分岐予測のための方法および装置が提供される。本発明の方法は、タグアレイおよびデータアレイを有する分岐ターゲットバッファであって、前記タグアレイの入力は、前記データアレイの対応する入力に指標を与える、前記分岐ターゲットバッファを与えること、現在の分岐命令の分岐ターゲットを表す情報を、前記タグアレイの選択された入力に記憶すること、次の分岐命令の分岐ターゲットを表す情報を、前記データアレイの対応する入力に記憶すること、および前記タグアレイの入力に対する適合に回答して、前記次の分岐命令の分岐ターゲットを表す情報を与えること、を含む。次の分岐命令の分岐ターゲットを表す情報は、次の分岐命令の成立分岐ターゲットアドレスおよびオフセット値を含んでもよい。オフセット値は、次の分岐命令に続く次の順番の命令のアドレスを表してもよい。



【特許請求の範囲】**【請求項 1】**

デジタルプロセッサにおいて分岐予測をするための方法であって：

タグアレイおよびデータアレイを有する分岐ターゲットバッファであって、前記タグアレイの入力は、前記データアレイの対応する入力に指標を与える、前記分岐ターゲットバッファを与えること；

現在の分岐命令の分岐ターゲットを表す情報を、前記タグアレイの選択された入力に記憶すること；

次の分岐命令の分岐ターゲットを表す情報を、前記データアレイの対応する入力に記憶すること；および

前記タグアレイの入力に対する適合に応答して、前記次の分岐命令の分岐ターゲットを表す情報を与えること、を含む前記方法。

10

【請求項 2】

現在の分岐命令の分岐ターゲットを表す情報を記憶するステップが、分岐成立の場合に、現在の分岐命令の成立分岐ターゲットアドレスを記憶することを含む、請求項 1 に記載の方法。

【請求項 3】

現在の分岐命令の分岐ターゲットを表す情報を記憶するステップが、分岐不成立の場合に、現在の分岐命令に続く次の順番の命令のアドレスを記憶することを含む、請求項 1 に記載の方法。

20

【請求項 4】

次の分岐命令の分岐ターゲットを表す情報を記憶するステップが、次の分岐命令の成立分岐ターゲットアドレスおよびオフセット値を記憶することを含む、請求項 1 に記載の方法。

【請求項 5】

オフセット値が、次の分岐命令に続く次の順番の命令のアドレスを表す、請求項 4 に記載の方法。

【請求項 6】

オフセット値と現在のフェッチアドレスとの差が所定の値よりも小さい場合に、オフセット値を現在のフェッチアドレスから減算すること、および命令のフェッチを分岐ターゲットバッファにリダイレクトすることによって、ブロックサイズ計算を実行することをさらに含む、請求項 5 に記載の方法。

30

【請求項 7】

所定の値がフェッチバッファの長さを表す、請求項 6 に記載の方法。

【請求項 8】

次の分岐命令の分岐ターゲットを表す情報を記憶するステップが、次の分岐命令に対応する予測情報を記憶することをさらに含む、請求項 1 に記載の方法。

【請求項 9】

次の分岐命令の分岐ターゲットを表す情報を記憶するステップが、次の分岐命令の実行に続いて予測情報を更新することをさらに含む、請求項 8 に記載の方法。

40

【請求項 10】

予測情報に応答して、次の分岐命令の成立分岐ターゲットアドレスまたは次の順番のアドレスを選択することをさらに含む、請求項 8 に記載の方法。

【請求項 11】

次の分岐命令の分岐ターゲットを表す情報を与えるステップが、次の分岐命令の分岐ターゲットを表す情報に応答して、いつ次の分岐命令が実行されるかを決定することを含む、請求項 1 に記載の方法。

【請求項 12】

現在の分岐命令の分岐レゾリューションの際に使用するために、次の分岐命令の分岐ターゲットを表す情報をバッファに記憶することをさらに含む、請求項 1 に記載の方法。

50

【請求項 13】

次の分岐命令の分岐ターゲットを表す情報を記憶するステップが、次の分岐命令の成立分岐ターゲットアドレスおよび次の分岐命令の非成立分岐ターゲットアドレスを記憶することを含む、請求項 1 に記載の方法。

【請求項 14】

デジタルプロセッサで実行されるプログラムにおける分岐を予測するための方法であって：

タグアレイおよびデータアレイを有する分岐ターゲットバッファであって、前記タグアレイの入力は、前記データアレイの対応する入力に指標を与える、前記分岐ターゲットバッファを与えること；

現在の分岐命令の分岐ターゲットに関連する情報を、前記タグアレイの選択された入力に記憶すること；

次の分岐命令の成立分岐ターゲットアドレスおよび非成立分岐ターゲットアドレスを、前記データアレイの対応する入力に記憶すること；および

前記タグアレイの入力に対する適合に回答して、データアレイにアクセスすること、を含む前記方法。

【請求項 15】

次の分岐命令に対応する予測情報を、データアレイの対応する入力に記憶することをさらに含む、請求項 14 に記載の方法。

【請求項 16】

次の分岐命令の非成立分岐ターゲットアドレスが、次の分岐命令に続く次の順番のアドレスを表すオフセット値を含む、請求項 14 に記載の方法。

【請求項 17】

デジタルプロセッサで実行されるプログラムにおける分岐を予測するための装置であって：

タグアレイおよびデータアレイを有する分岐ターゲットバッファであって、前記タグアレイの入力は、前記データアレイの対応する入力に指標を与える、前記分岐ターゲットバッファ；

現在の分岐命令の分岐ターゲットを表す情報を、前記タグアレイの選択された入力に記憶する手段；

次の分岐命令の分岐ターゲットを表す情報を、前記データアレイの対応する入力に記憶する手段；および

前記タグアレイの入力に対する適合に回答して、前記次の分岐命令の分岐ターゲットを表す情報を、前記分岐ターゲットバッファから与える手段を含む、前記方法。

【請求項 18】

現在の分岐命令の分岐ターゲットを表す情報を記憶する手段が、分岐成立の場合に、現在の分岐命令の成立分岐ターゲットアドレスを記憶する手段を含む、請求項 17 に記載の装置。

【請求項 19】

現在の分岐命令の分岐ターゲットを表す情報を記憶する手段が、分岐不成立の場合に、現在の分岐命令に続く次の順番の命令のアドレスを記憶する手段を含む、請求項 17 に記載の装置。

【請求項 20】

次の分岐命令の分岐ターゲットを表す情報を記憶する手段が、次の分岐命令の成立分岐ターゲットアドレスおよびオフセット値を記憶する手段を含む、請求項 17 に記載の装置。

【請求項 21】

オフセット値が、次の分岐命令に続く次の順番の命令のアドレスを表す、請求項 20 に記載の装置。

【請求項 22】

10

20

30

40

50

次の分岐命令の分岐ターゲットを表す情報を記憶する手段が、次の分岐命令の成立分岐ターゲットアドレスおよび次の分岐命令の非成立分岐ターゲットアドレスを記憶する手段を含む、請求項 17 に記載の装置。

【請求項 23】

オフセット値と現在のフェッチアドレスとの差が所定の値より小さい場合に、オフセット値から現在のフェッチアドレスを減算するため、および命令のフェッチを分岐ターゲットバッファにリダイレクトするためのブロックサイズ計算ユニットをさらに含む、請求項 21 に記載の装置。

【請求項 24】

所定の値がフェッチバッファの長さを表す、請求項 23 に記載の装置。

10

【請求項 25】

オフセット値と現在のフェッチアドレスの差が所定の値より小さい場合に、ブロックサイズ計算ユニットが、オフセット値を現在のフェッチアドレスから減算するための減算器、命令のフェッチを分岐ターゲットバッファにリダイレクトするための比較器を含む、請求項 24 に記載の装置。

【請求項 26】

次の分岐命令の分岐ターゲットを表す情報を記憶する手段が、次の分岐命令に対応する予測情報を記憶する手段を含む、請求項 17 に記載の装置。

【請求項 27】

次の分岐命令の分岐ターゲットを表す情報を記憶する手段が、次の分岐命令の実行に続く予測情報を更新する手段をさらに含む、請求項 26 に記載の装置。

20

【請求項 28】

予測情報に応答して、次の分岐命令の成立分岐ターゲットアドレスか、または次の順番のアドレスを選択する手段をさらに含む、請求項 26 に記載の装置。

【請求項 29】

現在の分岐命令の分岐レゾリューションの際に使用するために、次の分岐命令の分岐ターゲットを表す情報を記憶するためのバッファをさらに含む、請求項 17 に記載の装置。

【請求項 30】

デジタルプロセッサで実行されるプログラムにおいて分岐を予測するための装置であって：

30

タグアレイおよびデータアレイを有する分岐ターゲットバッファであって、前記タグアレイの入力は、前記データアレイの対応する入力に指標を与え、前記タグアレイの選択された入力は、現在の分岐命令の分岐ターゲットを表す情報を記憶し、前記データアレイの対応する入力は、次の分岐命令の成立分岐ターゲットアドレス、次の分岐命令の非成立分岐ターゲットアドレス、および該次の分岐命令に対応する予測情報を記憶する、前記分岐ターゲットバッファ；

前記予測情報に応答して、前記成立分岐ターゲットか、または非成立分岐ターゲットアドレスを選択する、アドレスセクタ；および

前記非成立分岐ターゲットアドレスと現在のフェッチアドレスとの差が所定の値より小さい場合に、命令のフェッチを前記分岐ターゲットバッファにリダイレクトする、ブロックサイズ計算ユニットを含む、前記装置。

40

【請求項 31】

非成立分岐ターゲットアドレスが、次の分岐命令に続く次の順番の命令のアドレスを含む、請求項 30 に記載の装置。

【請求項 32】

ブロックサイズ計算ユニットが、非成立分岐ターゲットアドレスと現在のフェッチアドレスとの差が所定の値より小さい場合に、現在のフェッチアドレスから非成立分岐ターゲットアドレスを減算する減算器、および命令のフェッチを分岐ターゲットバッファにリダイレクトする比較器をさらに含む、請求項 30 に記載の装置。

【請求項 33】

50

現在の分岐命令の分岐レゾリューションの際に使用するために、次の分岐命令の分岐ターゲットを表す情報を記憶するバッファをさらに含む、請求項30に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はデジタルプロセッサに関し、より具体的には、分岐ターゲットに基づいて分岐予測をすることによって、デジタルプロセッサの処理能力を向上させるための方法および装置に関する。

【0002】

発明の背景

デジタルシグナルコンピュータ、つまりデジタルシグナルプロセッサ(DSP)は、特別の用途向けのコンピュータであり、たとえば高速フーリエ変換、デジタルフィルタ、画像処理、ワイヤレスシステムにおける信号処理、および音声認識などのデジタル信号処理を行うための処理能力を最適化するように設計される。デジタルシグナルプロセッサの適用は、通常、リアルタイムオペレーション、インタラプトレート(interrupt rate)および数値演算の集中(intensive numeric computation)によって特徴づけられる。さらに、デジタルシグナルプロセッサの適用は、メモリにアクセスする動作が集中し、大量のデータの入出力が必要となることが多い。デジタルシグナルプロセッサ構造は、典型的には、これらの演算を効率的に実行するために最適化される。デジタルシグナルプロセッサの適用に加えて、DSPは、マイクロコントローラの動作の実行を要することが多い。マイクロコントローラの動作はデータの受け渡しを伴うが、数値演算の集中を通常必要としない。

10

20

【0003】

デジタルシグナルプロセッサは、パイプライン化されたアーキテクチャを利用して高い処理能力を実現している。この技術分野で知られているように、パイプライン化されたアーキテクチャは、複数のパイプラインステージを含んでおり、これらは、命令のフェッチ、命令の複合化、アドレスの生成、計算処理などの指定された動作をそれぞれ実行する。プログラム命令は、連続的なクロックサイクルでパイプラインステージに進み、いくつかの命令は、種々の完了ステージ(stage of completion)に同時に入ることができる。

【0004】

処理能力は、多数のパイプラインステージを与えることで向上し得る。プロセッサにおけるパイプラインステージの数は、パイプラインの深さ(pipeline depth)と呼ばれることがある。パイプライン化されたアーキテクチャにより処理能力が向上するにもかかわらず、特定のプログラム条件においては処理能力が低下することもある。このようなプログラム条件の一例は、分岐命令である。分岐命令は、大多数のコンピュータプログラムに広く用いられており、これらにはたとえばデジタルシグナルプロセッサおよびマイクロコントローラへの適用が含まれる。分岐命令がパイプライン化されたプロセッサに進み、分岐予測をしない場合には、次の命令が分岐命令に続いてパイプラインに入る。分岐が成立した場合、そのときパイプライン内にある全ての命令を中止し、分岐ターゲットからの命令を再実行することによって、パイプラインを空の状態にしなければならない。分岐処理能力へのペナルティ(branch performance penalty)は、パイプラインの深さに比例する。深くパイプライン化されたアーキテクチャおよびプログラムであって、頻繁に分岐命令を有するものにとって、処理能力のペナルティは深刻である。

30

40

【0005】

分岐予測技術は当該技術分野で知られている。典型的な従来技術の手法において、分岐キャッシュは、分岐命令および対応する予測情報のアドレスを含んでいる。分岐命令がフェッチされると、分岐が成立するかどうかを推測するためにこの予測情報が使われる。

従来技術の分岐予測技術においては、これらに限定されないが、過度の複雑さおよび電力消費が生じ、また、処理能力に限られた影響しか与えないといった欠点および不都合が生じていた。そこで、デジタルプロセッサにおいて分岐予測をするための改善された方法

50

および装置が必要とされている。

【0006】

発明の概要

本発明の第一の側面によれば、デジタルプロセッサにおいて分岐予測をするための方法が提供される。本発明の方法は、タグアレイおよびデータアレイを有する分岐ターゲットバッファであって、前記タグアレイの入力は、前記データアレイの対応する入力に指標を与える、前記分岐ターゲットバッファを与えること、現在の分岐命令の分岐ターゲットを表す情報を、前記タグアレイの選択された入力に記憶すること、次の分岐命令の分岐ターゲットを表す情報を、前記データアレイの対応する入力に記憶すること、および前記タグアレイの入力に対する適合に回答して、前記次の分岐命令の分岐ターゲットを表す情報を与えること、を含む。

10

【0007】

現在の分岐命令の分岐ターゲットを表す情報を記憶するステップは、分岐成立の場合に、現在の分岐命令の成立分岐ターゲットアドレスを記憶することを含んでもよい。現在の分岐命令の分岐ターゲットを表す情報を記憶するステップは、分岐不成立の場合に、現在の分岐命令に続く次の順番の命令のアドレスを記憶することを含んでもよい。

【0008】

次の分岐命令の分岐ターゲットを表す情報を記憶するステップは、次の分岐命令の成立分岐ターゲットアドレスおよび非成立分岐ターゲットアドレスを記憶することを含んでもよい。非成立分岐ターゲットアドレスは、次の分岐命令に続く次の順番の命令のアドレスを表すオフセット値を含んでもよい。

20

本発明の方法は、オフセット値と現在のフェッチアドレスとの差が所定の値よりも小さい場合に、オフセット値を現在のフェッチアドレスから減算すること、および命令のフェッチを分岐ターゲットバッファにリダイレクトすることによって、ブロックサイズ計算を実行することをさらに含んでもよい。所定の値は、フェッチバッファの長さを表すものでもよい。

【0009】

次の分岐命令の分岐ターゲットを表す情報を記憶するステップは、次の分岐命令に対応する予測情報を記憶することをさらに含んでもよい。該予測情報は、次の分岐命令の実行に続いて更新されてもよい。予測情報に回答して、次の分岐命令の成立分岐ターゲットアドレスか、または次の順番のアドレスが選択されてもよい。

30

【0010】

本発明の別の側面によれば、デジタルプロセッサで実行されるプログラムにおける分岐を予測するための装置が提供される。本発明の装置は、タグアレイおよびデータアレイを有する分岐ターゲットバッファであって、前記タグアレイの入力は、前記データアレイの対応する入力に指標を与える、前記分岐ターゲットバッファと、現在の分岐命令の分岐ターゲットを表す情報を、前記タグアレイの選択された入力に記憶する手段と、次の分岐命令の分岐ターゲットを表す情報を、前記データアレイの対応する入力に記憶する手段と、前記タグアレイの入力に対する適合に回答して、前記次の分岐命令の分岐ターゲットを表す情報を、前記分岐ターゲットバッファから与える手段を含む。

40

【0011】

さらに本発明の一側面によれば、デジタルプロセッサで実行されるプログラムにおいて分岐を予測するための装置が提供される。本発明の装置は、タグアレイおよびデータアレイを有する分岐ターゲットバッファであって、前記タグアレイの入力は、前記データアレイの対応する入力に指標を与え、前記タグアレイの選択された入力は、現在の分岐命令の分岐ターゲットを表す情報を記憶し、前記データアレイの対応する入力は、次の分岐命令の成立分岐ターゲットアドレス、次の分岐命令の非成立分岐ターゲットアドレス、および該次の分岐命令に対応する予測情報を記憶する、前記分岐ターゲットバッファと、前記予測情報に回答して、前記成立分岐ターゲットか、または非成立分岐ターゲットアドレスを選択する、アドレスセクタと、前記非成立分岐ターゲットアドレスと現在のフェッチア

50

ドレスとの差が所定の値より小さい場合に、命令のフェッチを前記分岐ターゲットバッファにリダイレクトする、ブロックサイズ計算ユニットを含む。

【0012】

詳細な説明

デジタルシグナルプロセッサ(DSP)の一態様のブロック図を図1に示す。デジタルシグナルプロセッサは、演算コア10およびメモリ12を含む。演算コアは、DSPの中央処理機である。コア10およびメモリ12は、後で説明するようにパイプライン化されたアーキテクチャを有することがある。この態様において、コア10は、命令フェッチユニット20、命令復号ユニット22、ロード/ストアユニット24、実行ユニット30および分岐レゾリューションユニット(branch resolution unit)を含み得るシステムユニット32を含む。

10

【0013】

命令フェッチユニット20および命令復号ユニット22については後述する。ロード/ストアユニット24は、メモリ12へのアクセスを制御する。メモリリードデータ(memory read data)は、メモリ12から実行ユニット30内のレジスタファイルに送られてもよい。メモリライトデータ(memory write data)は、実行ユニット30内のレジスタファイルからメモリ12に送られてもよい。命令フェッチユニット20は、フェッチユニット20において命令キャッシュミスがある場合に、メモリ12にアクセスすることができる。後述するように、システムユニット32は、分岐レゾリューション情報を命令フェッチユニット20に提供する。実行ユニット30は、命令実行の必要に応じて、加算器、乗算器、アキュムレータ、シフタなどを含んでもよい。

20

【0014】

命令フェッチユニット20および命令復号ユニット22の簡略ブロック図を図2に示す。命令フェッチユニット20は、PC(プログラムカウンタ)リダイレクションユニット40、命令キャッシュ42、命令キュー44、命令配列ユニット(instruction alignment unit)46および分岐予測器50を含み得る。PCリダイレクションユニット40は、フェッチされる命令のアドレスを決定する。プログラム命令は、命令キャッシュ42からフェッチされて命令キュー44に移動され、配列ユニット46によって整列させられる。整列された命令は、命令復号器22によって複合化され、複合化された命令は、ロード/ストアユニット24(図1)まで送られる。命令キャッシュミスがある事象では、要求された命令は、メモリ12(図1)内でアクセスされる。通常のプログラムフローの間、プログラムカウンタが増加して、次の命令アドレスを生成する。分岐予測器50は、後で詳細に述べるように、分岐命令を予測し、命令フェッチをリダイレクトして、処理能力に与える悪影響を制限するように動作する。分岐命令が実行された後は、分岐レゾリューション情報がシステムユニット32(図1)から提供される。

30

【0015】

演算コア10は、好ましくはパイプライン化されたアーキテクチャを有する。このパイプライン化されたアーキテクチャは、公知のアーキテクチャであって、コアが同期動作する一連の関連ステージ(connected stage)を含み、命令実行が、連続したクロックサイクルで連続したパイプラインステージにおいて実行される一連の動作に分割されるものである。したがって、たとえば第一のステージが命令フェッチを実行し、第二のステージが命令復号を実行し、第三のステージがデータアドレス生成を実行し、第四のステージがデータメモリアccessを実行し、第五のステージが特定の演算を実行するようにすることができる。パイプライン化されたアーキテクチャの利点は、動作速度が増すことである。これは、複数の命令が同時に処理され、異なる命令は異なる完了ステージにあるからである。図1に示されたユニットの各々は、1または2以上のパイプラインステージを含んでもよいことを理解されたい。例示にすぎないが、演算コア10は30ステージまで含んでもよい。

40

【0016】

分岐予測器50を図3により詳細に示す。リダイレクトされたPCアドレスは、第一の

50

予測器 60 および第二の予測器 62 に供給される。予測器 60、62 は、対応する分岐命令が実行されるときに、各々の分岐が成立するか、または成立しないかを示す予測情報をそれぞれ含むことができる。予測器 60、62 の予測情報は、異なる基準に基づいていてもよい。予測器 60、62 の出力は、予測器セクタ 64 に供給される。また、予測器 62 は、ターゲットアドレスをターゲット選択ユニット 70 に供給する。ターゲット選択ユニット 70 は、さらに次の順番のアドレスを受け取り、リターンアドレスをリターンスタック 72 から受け取る。フェッチアドレスは、PCリダイレクションユニット 40 および予測されたアドレス F I F O 74 の入力に供給される。F I F O 74 の出力は、PCリダイレクションユニット 40 に供給される。F I F O 74 は、分岐リゾリューションユニット 32 (図 1) からのリダイレクション信号によって制御される。

10

【0017】

図 4 A は、分岐命令を含むプログラム断片の一例を示す概略図である。各々のプログラム断片は、一連の命令および対応する命令アドレスを含む。プログラム断片 100 は、アドレス A ~ A + 32 において命令 1 ~ 5 をそれぞれ含んでいる。アドレス A での命令 1 は、前の分岐命令のターゲットである。プログラム断片 100 は、アドレス A + 24 で分岐命令 4 を含む。プログラム断片 102 は、アドレス B ~ B + 16 において命令 24 ~ 26 をそれぞれ含んでいる。プログラム断片 102 は、アドレス B + 16 で分岐命令 26 を含む。プログラム断片 104 は、アドレス C ~ C + 16 において命令 27 ~ 29 をそれぞれ含んでいる。プログラム断片 104 は、アドレス C + 8 で分岐命令 28 を含む。プログラム断片 100 の分岐命令 4 は、プログラム断片 102 のアドレス B における命令 24 をターゲットにする。プログラム断片 102 の分岐命令 26 は、アドレス E における命令 40 をターゲットにする。プログラム断片 104 の分岐命令 28 は、アドレス D における命令 (図示せず) をターゲットにする。

20

【0018】

図 4 A の各分岐命令は条件分岐である。この分岐命令によって定めた条件を満たす場合、分岐が成立して、「成立分岐ターゲット (taken branch target)」と呼ばれるターゲット命令がフェッチされる。上記条件を満たさない場合には、「非成立分岐ターゲット (not taken branch target)」と呼ばれる、この分岐命令に続く次の順番の命令がフェッチされる。「成立分岐ターゲットアドレス」は、上記成立分岐ターゲットに対応し「非成立分岐ターゲットアドレス」は、上記非成立分岐ターゲットに対応する。

30

【0019】

本発明の一側面によれば、図 2 に示される分岐予測器 50 は、分岐ターゲットバッファを含む。分岐ターゲットバッファ (B T B) は、キャッシュメモリと類似の構造を有し、タグアレイおよびデータアレイを含む。B T B の各入力は、タグ入力および対応するデータ入力を含む。タグ入力およびデータ入力は、それぞれ 1 または 2 以上のフィールドを含む。各タグ入力は、命令アドレスの上位オーダーのビットに対応するタグアドレスを含む。このタグアドレスは、対応するデータ入力への指標として役立つ。入力命令アドレスがタグアドレスに適合するとき、B T B ヒットが生じ、対応するデータ入力がアクセスされる。

【0020】

本発明の一態様によれば、B T B の各入力は、下記のフィールドを含んでもよい。タグ入力は、口述する予測情報に基づいて、現在の分岐命令のターゲット命令のアドレスを含むタグアドレスフィールドを含んでもよい。成立分岐の場合、タグアドレスが現在の分岐命令の成立分岐ターゲットアドレスである。非成立分岐の場合、タグアドレスは、現在の分岐命令に続く命令のアドレスである。またタグ入力は、有効フィールドおよび L R U (最長未使用時間) フィールドを含む。一例では、タグアドレスフィールドは、23 ビット (アドレスのビット 31 : 9) を含み、有効なフィールドは、1 ビットおよび L R U フィールドは、6 ビットを含む。これらのフィールドおよびフィールドサイズは例示のためだけに与えられるものであって、本発明の範囲を限定するものではない。他のタグ入力フィールドおよびフィールドサイズも本発明の範囲内で利用され得る。

40

50

【 0 0 2 1 】

対応するデータ入力は、次の分岐命令の分岐ターゲットを表す情報を含んでもよい。上記した次の分岐命令は、現在の分岐命令に続くものであって、任意の数からなる続きの命令によって現在の分岐命令から隔離されてもよい。データ入力は、ターゲットアドレスフィールド、オフセットフィールドおよび予測フィールドを含んでもよい。ターゲットアドレスフィールドは、次の分岐命令の成立分岐ターゲットアドレスを含んでもよい。オフセットフィールドは、上記次の命令に続く次の順番の低オーダーアドレスビットを含んでもよい。一態様において、予測フィールドは、2つのバイモーダル予測ビット (bimodal prediction bit) を含んでもよく、これは、強い成立 (strongly taken)、弱い成立 (weakly taken)、強い非成立 (strongly not taken) または弱い非成立 (weakly not taken) の値を有し得る。種々の異なる予測が利用され得ることを理解されたい。

10

【 0 0 2 2 】

各データ入力の追加のフィールドは、オーバーフローフィールド、分岐タイプフィールド、およびユーザ/スーパーバイザフィールドを含んでもよい。オーバーフローフィールドは、オフセット値の次の命令キャッシュページへのオーバーフローを示すオフセットオーバーフロービットを含んでもよい。分岐タイプフィールドは、分岐タイプビットを含んでもよく、これは、コール、リターン、無条件分岐または条件付き分岐を表してもよい。一例では、ターゲットアドレスフィールドは31ビットを含み、オフセットフィールドは6ビットを含み、オーバーフローフィールドは1ビットを含み、予測フィールドは2ビットを含み、ユーザ/スーパーバイザフィールドは1ビットを含み、分岐タイプフィールドは2ビットを含む。これらのフィールドおよびフィールドサイズは、例示のために与えられるにすぎず、本発明を限定するものではないことを理解されたい。他のデータ入力フィールドおよびフィールドサイズも本発明の範囲内で利用され得る。

20

【 0 0 2 3 】

B T Bのサイズは、命令キャッシュのサイズに基づいてもよい。好ましくは、B T Bは命令キャッシュの全ての分岐のための予測を提供すべきである。一態様において、B T Bは、32Kバイトの命令キャッシュサイズのために1Kの入力を有する。他のB T BサイズおよびB T Bサイズを決定する技術は、本発明の範囲内で利用され得る。

【 0 0 2 4 】

ここで、図4Bを参照して分岐ターゲットバッファ110の一部を示す。B T B 1 1 0は、タグアレイ112およびデータアレイ114を含む。B T B 1 1 0の入力120は、ターゲットアドレスAをタグアレイ112のタグアドレスフィールドに、ターゲットアドレスBをデータアレイ114のターゲットアドレスフィールドに、命令5のアドレスをデータアレイ114のオフセットフィールドに、「条件付き」をデータアレイ114の分岐タイプフィールドに、「成立」をデータアレイ114の予測フィールドに含む。同様に、B T B 1 0 0の入力122は、ターゲットアドレスBをタグアレイ112のタグアドレスフィールドに、ターゲットアドレスEをデータアレイ114のターゲットアドレスフィールドに含む。さらに、入力122は、命令27のアドレスをオフセットフィールドに、「条件付き」を分岐タイプフィールドに、「非成立」をデータアレイ114の予測フィールドに含む。命令4が成立分岐である場合、命令アドレスBは、入力120の次のターゲットアドレスであり、かつ入力122の現在のターゲットアドレスであることがわかる。B T B 1 1 0の入力124は、分岐命令26が非成立分岐である場合、タグアレイ112のタグアドレスフィールドに、分岐命令に続く次の順番のアドレスCを含む。また入力124は、データアレイ114のターゲットアドレスフィールドに分岐命令28のターゲットアドレスDを含み、データアレイ114のオフセットフィールドに命令29のアドレスを含む。それぞれの場合において、データアレイ114のターゲットアドレスフィールドは、次の分岐命令の成立分岐ターゲットアドレスを含み、データアレイ114のオフセットフィールドは、次の分岐命令の非成立分岐ターゲットアドレスを含む。

30

40

【 0 0 2 5 】

分岐予測器50の一態様のブロック図を図5に示す。パイプラインアーキテクチャを示

50

している。特に、パイプライン化されたプロセッサのステージ 2、3、4 を示す。ステージ 1 (図示せず) は、仮想アドレスから物理アドレスに変換するためにトランスレーション・ルックアサイド・バッファ (TLB) を含んでもよい。ステージ 2 は、加算器 150、アドレスセクタ 152、およびステージ 2 ラッチ 154 を含んでもよい。加算器 150 は、連続した命令フェッチの際に、連続した命令アドレスをアドレスセクタ 152 に供給する。アドレスセクタ 152 は、FIFO 74 から命令アドレスを受け取り、分岐ターゲットバッファ 110 から予測されたフェッチアドレスを受け取り、分岐レゾリューションユニット 32 (図 1) からリダイレクションアドレスを受け取る。リダイレクトされた PC アドレスは、アドレスセクタ 152 から出力され、ステージ 2 ラッチ 154 に保持される。

10

【 0026 】

ステージ 2 ラッチ 154 の出力は、ステージ 3 に出力される。ステージ 3 は、予測器選択アレイ 160、分岐履歴テーブル (branch history table) (予測器 2)、分岐ターゲットバッファ 110、加算器 170、およびリターンスタック 174 を含む。上述したように、分岐ターゲットバッファ 110 は、タグアレイ 112 およびデータアレイ 114 (予測器 1) を含む。ステージ 3 は、さらにアドレスセクタ 176 を含み、これは、オフセットオーバーフロービットに応答して、ラッチ 154 の出力か、または加算器 170 の出力を選択する。予測器選択アレイ 160 および分岐履歴テーブル 162 の出力は、ステージ 3 ラッチ 180 に保持される。BTB データアレイ 114 の出力は、ステージ 3 ラッチ 182 に保持され、BTB タグアレイ 112 の出力はステージ 3 ラッチ 184 に保持される。アドレスセクタ 176 の出力は、ステージ 3 ラッチ 186 に保持され、リターンスタック 174 の出力は、ステージ 3 ラッチ 188 に保持される。ラッチ 154 からの現在の PC アドレスは、ステージ 3 ラッチ 190 に保持される。

20

ステージ 3 ラッチ 180、182、184、186、188 の出力は、ステージ 4 に供給される。ステージ 4 は、予測器セクタ 200、制御ロジック 210、データ入力セクタ 220、アドレスセクタ 230、およびブロックサイズ計算ユニット 240 を含む。

【 0027 】

図 5 の例では、分岐ターゲットバッファ 110 は、4 つのルートを含むキャッシュ構造を有している。タグアレイ 112 への入力アドレスは、タグアレイ入力の 1 つと適合してもよいし、適合しなくてもよい。この入力アドレスがタグアレイ入力と適合しないとき、BTB ミスが生じ、連続したフェッチがレジュームする。入力アドレスがタグアレイ入力とルートの 1 つで適合するとき、BTB ヒットが生じ、タグアレイ 112 が適合信号をラッチ 184 を介してデータ入力セクタ 220 の選択入力に供給する。データ入力セクタ 220 は、ラッチ 182 を介してデータアレイ 114 のルートの出力を受け取り、タグアレイ 112 からの適合信号によって制御され、BTB 110 のデータアレイ 114 からデータ入力を提供する。

30

【 0028 】

セクタ 220 によるデータ入力出力 (data entry output) は、アドレスセクタ 230 の入力に供給されるターゲットアドレス、予測器セクタ 200 の第一の出力オフセットおよび予測ビット、並びに制御ロジック 210 に供給される分岐タイプを含む。アドレスセクタ 230 は、データ入力セクタ 220 からターゲットアドレスを、ステージ 3 ラッチ 190 から現在の PC アドレスを、ステージ 3 ラッチ 186 から次の順番のアドレス (NSA) を、ステージ 3 ラッチ 188 からリターンアドレスを受け取る。

40

分岐履歴テーブル 162 からの予測ビットは、ラッチ 180 を介して予測器セクタ 200 の第二の入力に供給され、予測器選択アレイ 160 からの予測選択信号は、ラッチ 180 を介して予測器セクタ 200 の選択入力に供給される。セクタ 200 は、データアレイ 114 (予測器 1) から、または分岐履歴テーブル 162 (予測器 2) から予測ビットを選択し、分岐成立 / 非成立信号を制御ロジック 210 に出力する。

【 0029 】

50

制御ロジック 210 は、分岐成立 / 非成立信号および分岐タイプ信号を受信し、選択信号をアドレスセクタ 230 に提供する。条件付き分岐の場合、制御ロジック 210 は、ターゲットアドレスまたは次の順番のアドレスを分岐成立 / 非成立信号に応じて選択する。リターン命令の場合、リターンアドレスが選択される。連続した命令フェッチの場合、現在の PC アドレスが選択される。

【0030】

アドレスセクタ 230 の出力は、ステージ 4 ラッチ 250 およびブロックサイズ計算ユニット 240 に供給される。また、ブロックサイズ計算ユニット 240 は、現在の PC アドレスをステージ 3 ラッチ 190 から受け取る。ブロックサイズ計算ユニット 240 の出力は、ステージ 4 ラッチ 252 に供給される。ステージ 4 ラッチ 252 の出力は、制御

10

入力をステージ 2 のアドレスセクタ 152 に提供する。
ステージ 4 ラッチ 250 の出力は、ステージ 5 の一部である FIFO 74 に供給される。FIFO 74 は、パイプライン内で未処理の各分岐命令のためにデータレイ 114 のデータ入力を保持する。分岐レゾリューションの際、FIFO 74 の情報が BTB 110 を更新するために用いられる。分岐レゾリューションに続いて BTB 110 が更新される

【0031】

ブロックサイズ計算ユニット 240 は、最新の BTB アクセスからのオフセット値に基づいて、いつ BTB 110 がアクセスされるべきかを決定する。オフセット値は、次の分岐命令の後の次の順番のアドレスの低オーダービットを含む。ブロックサイズ計算ユニット 240 は、現在のフェッチアドレスとオフセット値と比較して、いつ BTB 110 がアクセスされるべきかを決定する。命令キャッシュ 42 への各アクセスは、4 つの 16 ビットワードつまり 8 バイトのワードをフェッチする。現在のフェッチアドレスとオフセット値との差が 8 バイトより小さい場合、現在のフェッチアドレスは、次の分岐命令のアドレスである。したがって、現在のフェッチアドレスとオフセット値との差が 8 より小さい場合、分岐ターゲットバッファ 110 へのリダイレクションは、ブロックサイズ計算ユニット 240 によって初期化される。

20

【0032】

次のフェッチアドレスを生成するためのアルゴリズムの一態様を示す概略ブロック図を図 6 に示す。図 5、図 6 において、同様の要素には同じ参照符号を付す。現在のフェッチアドレス 300 は、32 ビット命令アドレスの場合にビット (31:1) を含み得る。現在のフェッチアドレス 300 の高オーダービット (31:7) は、加算器 170 の第一の入力およびアドレスセクタ 176 の第一の入力に供給される。加算器 170 は、現在のフェッチアドレス 300 の上記高オーダービットに 1 を加算する。加算器 170 の出力は、アドレスセクタ 176 の第二の入力に供給される。オフセットオーバーフロービットは、アドレスセクタ 176 を制御する。したがって、加算器 170 およびアドレスセクタ 176 は、オフセット値が現在のフェッチアドレスを次の命令キャッシュエージにオーバーフローさせるかどうかを決定する。アドレスセクタ 176 の出力は、次の分岐命令に続く次の順番のアドレス 320 の上位オーダービット (31:7) を構成する。次の順番のアドレス 320 の低オーダービット (6:1) は、BTB 110 からのオフセット値 324 から得られる。ビット (31:1) を含む次のターゲットアドレス 330 もまた BTB 110 から得られる。アドレスセクタ 230 は、次の分岐命令に続く次の順番のアドレス 320 および次のターゲットアドレス 330 を第一の入力および第二の入力でそれぞれ受け取る。アドレスセクタ 230 は、制御ロジック 210 (図 5) による - 分岐ターゲットバッファ 110 における予測、または分岐履歴テーブル 162 (図 5) によってもよい - 成立 / 非成立予測によって制御される。「成立」予測の場合、アドレスセクタ 230 は、次のターゲットアドレス 330 を次の BTB アドレス 350 として供給する。「非成立」予測の場合、アドレスセクタ 230 は、次の順番のアドレス 320 を次の BTB アドレス 350 として供給する。

30

40

50

【0033】

図6に示すように、ブロックサイズ計算ユニット240は、減算器310および比較器360を含む。現在のフェッチアドレス300の低オーダービット(7:1)は、減算器310の第一の入力に供給される。減算器310は、オフセット値324を現在のフェッチアドレス300の低オーダービット(7:1)から減算する。比較ユニット360は、減算器310の出力が8より小さいかどうかを決定する。減算器310の出力が8より小さい場合には、命令フェッチがBTB110にリダイレクトされる。そうでない場合には、現在のフェッチアドレス300は、8バイト増大して次のフェッチアドレスを決定する。減算器310の出力と比較される8の値は、フェッチバッファのバイト数に基づくこと、および異なる所定の値もまた本発明の範囲内で使用され得ることを理解されたい。

10

【0034】

プログラムループを含むプログラム断片を図7Aに示す。プログラム断片400は、PC1からPC6にわたって命令を含む。アドレスPC5での分岐命令は、アドレスPC1の「loop」と称する命令に分岐する。アドレスPC6の命令は、分岐命令に続く次の順番のアドレスである。

本発明の一態様によるパイプライン化されたプロセッサにおけるプログラム断片400の実行を図7Bおよび図7Cに示す。図7Bおよび図7Cに、パイプラインステージ1、2、3、4、5、n-kにおける動作を左から右に、時間進行を上から下にして示す。図7Aに示すように、アドレスPC1でのループ命令は、前の分岐命令のターゲットである。図7Bを参照して、クロックサイクル410の間、命令フェッチがステージ2のBTBアドレスPC1にリダイレクトされる。クロックサイクル412の間、BTB110は、ステージ3のアドレスPC1にインデックス化される。これがループ命令の第一の実行になるので、クロックサイクル414の間にステージ4のBTBでミスが生じ、フェッチアドレスが次の順番のアドレスとなる。クロックサイクル416の間、アドレスPC1は、ステージ5のFIFO74に書き込まれ、BTBはディセーブルとなる。数サイクルの後、クロックサイクル420の間に分岐レゾリューションユニット32(ステージn-k)が分岐予測失敗を決定し、予測失敗ペナルティを被ることになる。

20

【0035】

クロックサイクル422の間に、BTBは分岐レゾリューションユニットからのターゲットアドレスで更新され、BTB110の予測ビットは更新され、FIFO74はフラッシュされ、命令フェッチはステージ2のBTBアドレスPC1にリダイレクトされる。クロック424の間に、BTBは、ステージ3のアドレスPC1にインデックス化される。クロックサイクル426の間に、BTBでヒットが生じ、次のフェッチアドレスはステージ4のBTBからのターゲットアドレスとなる。クロックサイクル428の間に、アドレスPC1は、ステージ5のFIFO74に書き込まれる。クロックサイクル430の後の数サイクルにおいて、分岐レゾリューションユニット32(ステージn-k)は、分岐が正しく予測されたことを決定する。

30

【0036】

クロックサイクル432の間に、BTB110の予測ビットは更新され、FIFOポインタは1つの入力によってシフトされ、命令フェッチはステージ2のBTBアドレスPC1にリダイレクトされる。クロックサイクル434の間に、BTBは、ステージ3のアドレスPC1にインデックス化される。クロックサイクル436の間に、BTBでヒットが生じ、次のフェッチアドレスは、ステージ4のBTBからのターゲットアドレス(PC1)となる。クロックサイクル438の間に、アドレスPC1はステージ5のFIFO74に書き込まれる。クロックサイクル440の後の数サイクルにおいて、分岐レゾリューションユニット32(ステージn-k)は、分岐が正しく予測されたことを決定する。このように、このループは何度も繰り返し続けられる。

40

【0037】

プログラム断片400におけるループの最後の繰り返しを図7Cに示す。クロックサイクル450の間に、BTB110での予測ビットが更新され、FIFOポインタが1つの

50

入力によってシフトされ、命令フェッチはステージ 2 の B T B アドレス P C 1 にリダイレクトされる。クロックサイクル 4 5 2 の間に、B T B は、ステージ 3 のアドレス P C 1 にインデックス化される。クロックサイクル 4 5 4 の間に、B T B でヒットが生じ、次のフェッチアドレスは、ステージ 4 の B T B からのターゲットアドレス (P C 1) となる。クロックサイクル 4 5 6 の間に、アドレス P C 1 はステージ 5 の F I F O 7 4 に書き込まれる。クロックサイクル 4 6 0 の後の数サイクルにおいて、分岐レゾリューションユニット 3 2 (ステージ n - k) は、ループを出た分岐予測の失敗を決定し、こうして予測失敗ペナルティが生じる。

【 0 0 3 8 】

クロックサイクル 4 6 2 の間に、B T B 1 1 0 の予測ビットは更新され、F I F O 7 4 はフラッシュされ、命令フェッチはステージ 2 の B T B アドレス P C 1 にリダイレクトされる。クロックサイクル 4 6 4 の間に、B T B はステージ 3 のアドレス P C 6 にインデックス化される。クロックサイクル 4 6 6 の間に、B T B でヒット画商時、次のフェッチアドレスは、ステージ 4 の次の順番のアドレス (P C 6) となる。クロックサイクル 4 6 8 の間に、アドレス P C 6 はステージ 5 の F I F O 7 4 に書き込まれる。クロックサイクル 4 7 0 の間に、分岐レゾリューションがステージ n - k で生じる。

【 0 0 3 9 】

本発明の一態様にしたがって、分岐ターゲットバッファを利用した命令フェッチの簡略化したフロー図を図 8 に示す。ステップ 5 0 0 において、命令フェッチを分岐ターゲットバッファにリダイレクトすることによって、前の分岐命令のターゲットがフェッチされる。ターゲットアドレスは、B T B のタグアレイに供給される。B T B ヒットがステップ 5 0 2 で生じない場合、フェッチアドレス F A は、ステップ 5 0 4 で 8 バイト増大し、プロセスは、分岐コミット (branch commit) (分岐レゾリューション) まで待機する。分岐レゾリューションがあると、新しい入力がステップ 5 0 4 の B T B で作られる。B T B ヒットがステップ 5 0 2 で生じる場合、対応するデータ入力がステップ 5 1 0 で B T B から読み出され、データエントリが F I F O 7 4 (図 5) に書き込まれる。ステップ 5 1 2 において、データ入力の予測ビットが使用され、分岐が成立するか、または非成立かを決定する。

【 0 0 4 0 】

分岐が成立する場合、ステップ 5 1 4 でフェッチアドレスとオフセット値との差が 8 バイトより小さいかどうかの決定がなされる。この差が 8 バイトより小さくない場合には、フェッチアドレス F A はステップ 5 1 6 で 8 バイト増大し、命令のフェッチが増大したフェッチアドレスで進行する。そして、このプロセスはステップ 5 1 4 に戻る。フェッチアドレスとオフセット値との差が 8 バイトより小さい場合、命令のフェッチは、ステップ 5 2 0 で成立分岐ターゲットにリダイレクトされる。そしてこのプロセスはステップ 5 0 2 に戻る。

【 0 0 4 1 】

ステップ 5 1 2 で分岐が非成立であるとの決定がなされた場合、ステップ 5 3 0 でフェッチアドレスとオフセット値との差が 8 バイトより小さいかどうかの決定がなされる。この差が 8 バイトより小さくない場合には、フェッチアドレス F A はステップ 5 3 2 で 8 バイト増大し、命令のフェッチが増大したフェッチアドレスで進行する。そして、このプロセスはステップ 5 3 0 に戻る。ステップ 5 3 0 で、フェッチアドレスとオフセット値との差が 8 バイトより小さいと決定された場合、命令のフェッチは、ステップ 5 4 0 で次の順番のアドレス (N S A) にリダイレクトされる。そしてこのプロセスはステップ 5 0 0 に戻る。

【 0 0 4 2 】

図 5 および図 6 に示し、かつ上述したように、ステップ 5 1 4 およびステップ 5 3 0 は、ブロックサイズ計算ユニット 2 4 0 によって行われるブロックサイズ計算に対応する。図 8 より明らかなように、ブロックサイズ計算ユニットによって決定され、分岐命令が実行されるプログラム上に生じるときにのみ、命令のフェッチは分岐ターゲットバッファに

リダイレクトされる。これにより、各サイクル毎にアクセスされていた従来技術の分岐キャッシュに比して消費電力の節約が達成される。

【0043】

本発明の少なくとも1つの態様について、そのいくつかの側面を説明した。したがって、これに対する種々の変更、変種および改良は、当業者により容易になされるであろう。かかる変更、変種および改良は、本明細書により開示されることを意図したものの一部であって、本発明の思想および範囲に包含されることを理解されたい。したがって、上記記載および図を用いた説明は、単に例示をその目的とするものである。

【図面の簡単な説明】

【0044】

【図1】パイプライン化されたアーキテクチャを有するデジタルプロセッサのブロック図である。

【図2】図1に示されたフェッチユニットおよび復号ユニットの簡略ブロック図である。

【図3】図2の分岐予測器の簡略ブロック図である。

【図4A】分岐命令を含むプログラム断片の例を示す概略図である。

【図4B】本発明の一態様による、図4Aのプログラム断片用の分岐ターゲットバッファの内容を示す表である。

【図5】分岐予測器の一態様のブロック図である。

【図6】図5に示されるブロックサイズ計算ユニットの一態様のブロック図である。

【図7A】分岐命令を有するプログラム断片の一例を示す図である。

【図7B(1)】本発明の一態様による、パイプライン化されたプロセッサにおける図7Aのプログラム断片の実行を示す図である。

【図7B(2)】本発明の一態様による、パイプライン化されたプロセッサにおける図7Aのプログラム断片の実行を示す図である。

【図7C】本発明の一態様による、パイプライン化されたプロセッサにおける図7Aのプログラム断片の実行を示す図である。

【図8】本発明の一態様の分岐ターゲットバッファの動作を示すフロー図である。

10

20

【 図 1 】

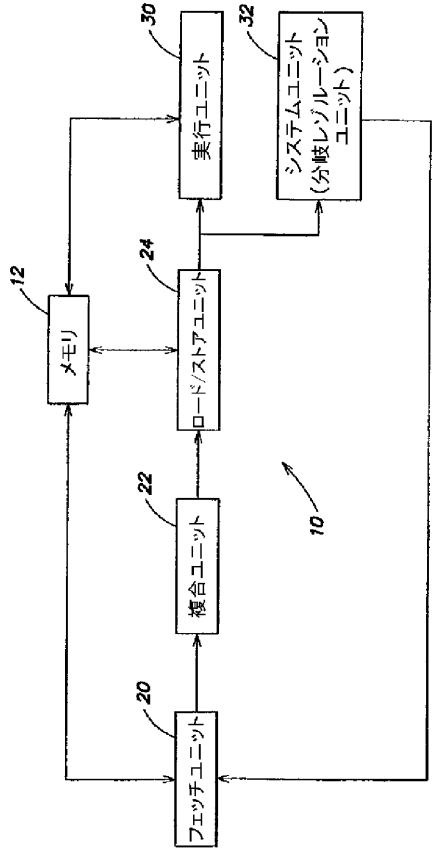


図 1

【 図 2 】

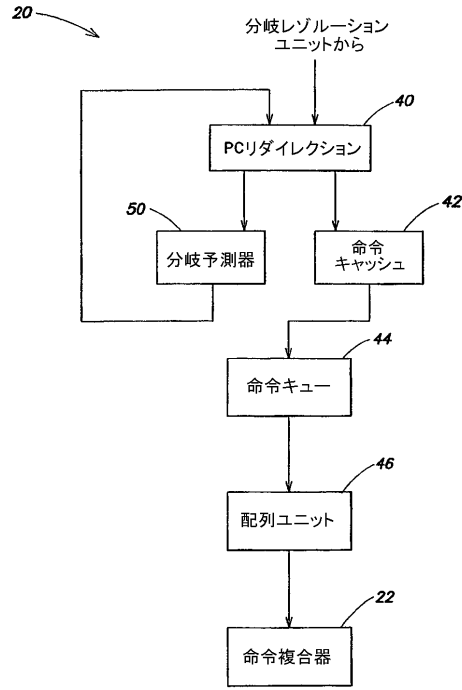


図 2

【 図 3 】

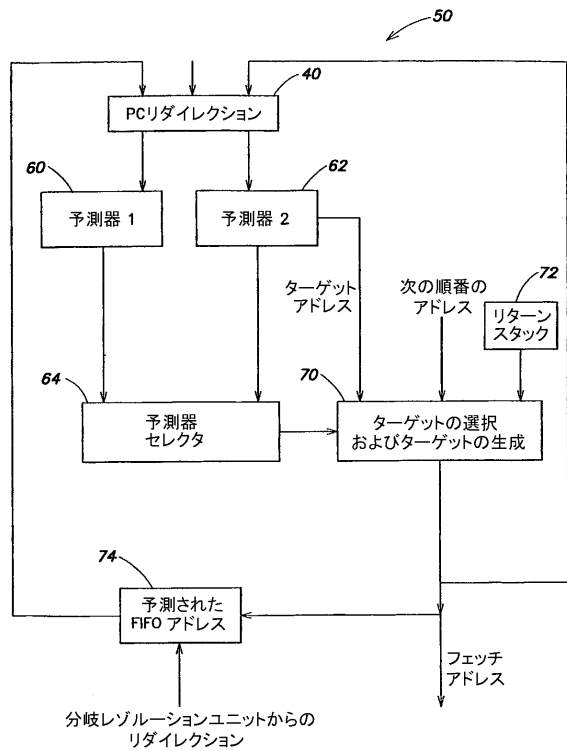


図 3

【 図 4 A 】

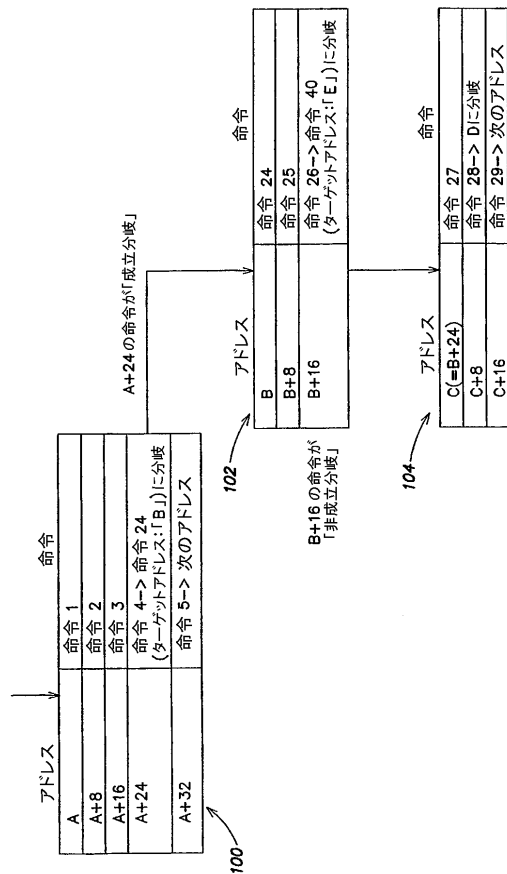


図 4A

【 図 4 B 】

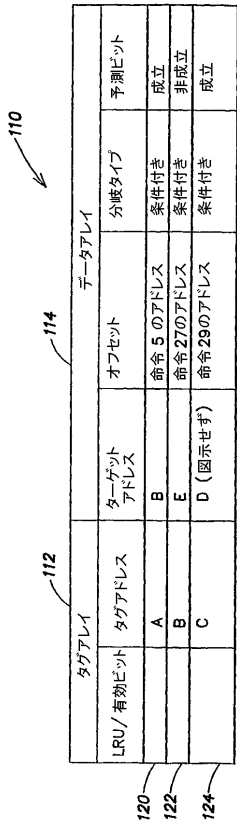


図 4B

【 図 6 】

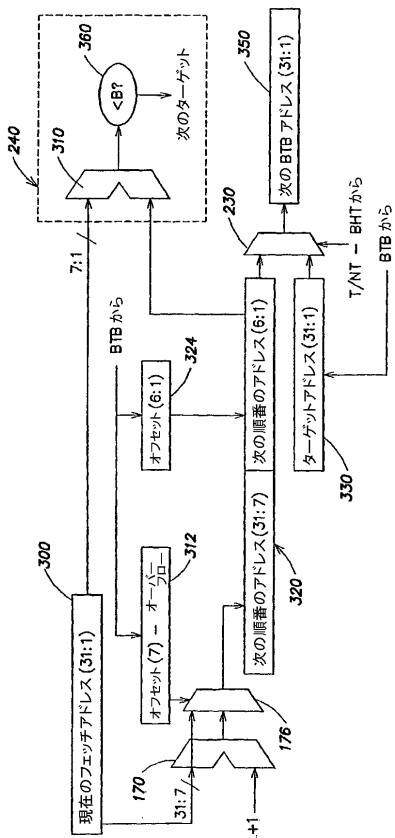


図 6

【 図 5 】

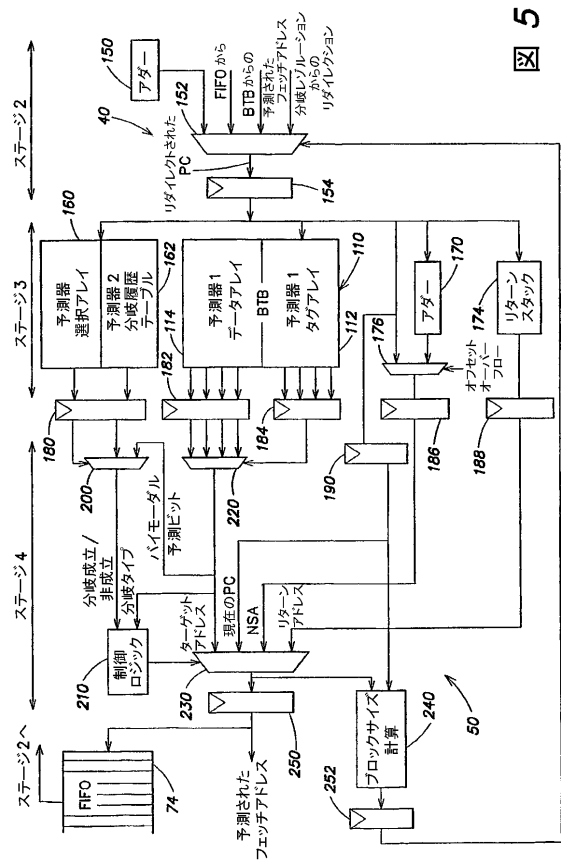


図 5

【 図 7 A 】

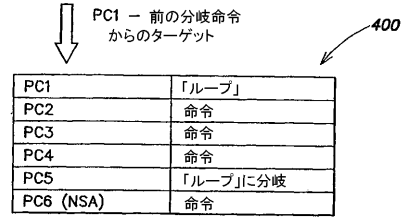


図 7A

【 図 7 B (1) 】

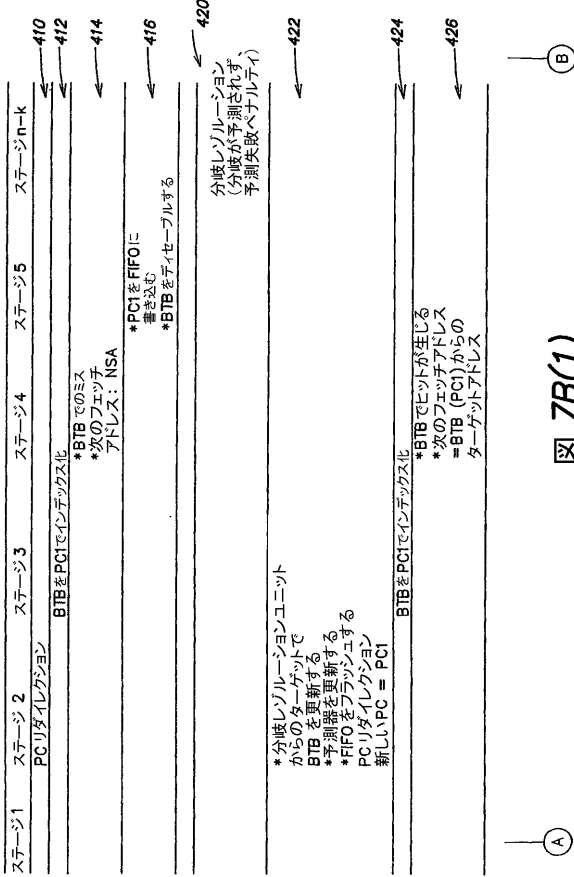


図 7B(1)

【 図 7 B (2) 】

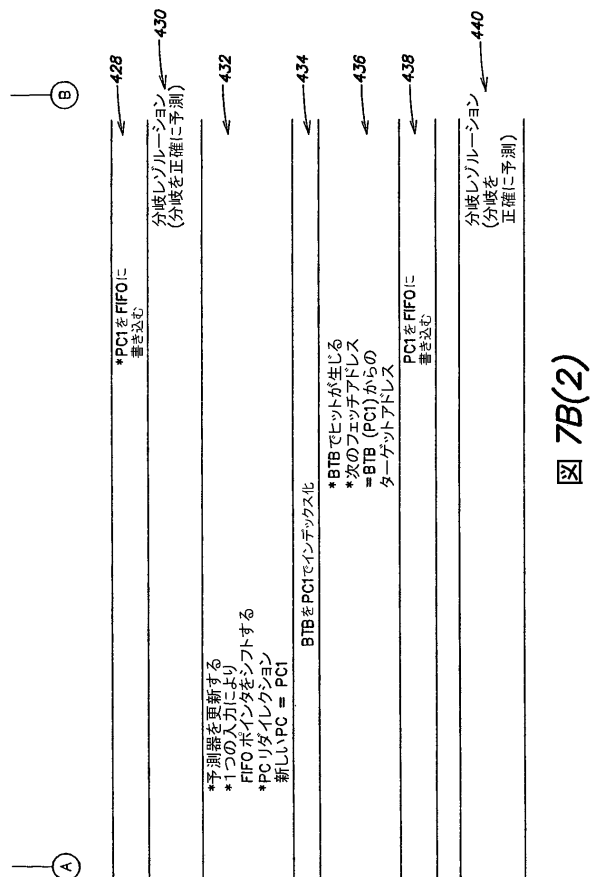


図 7B(2)

【 図 7 C 】

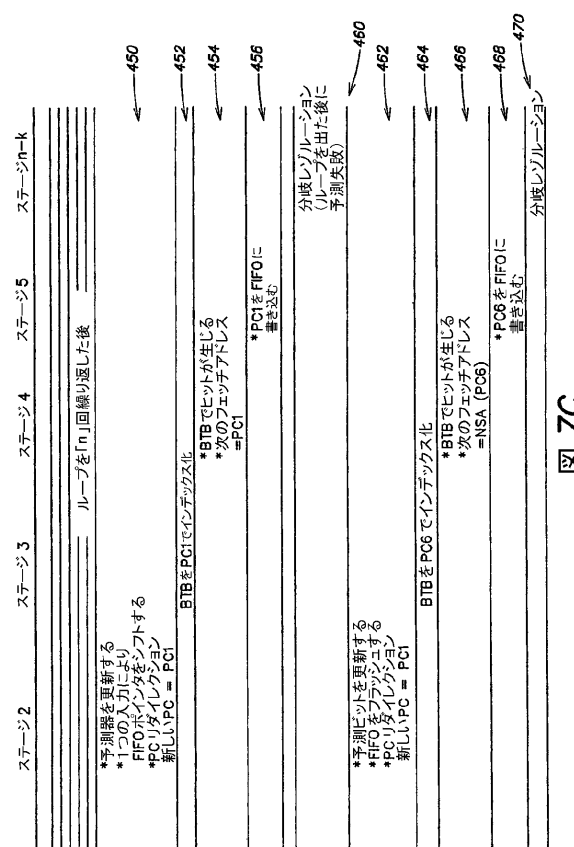


図 7C

【 図 8 】

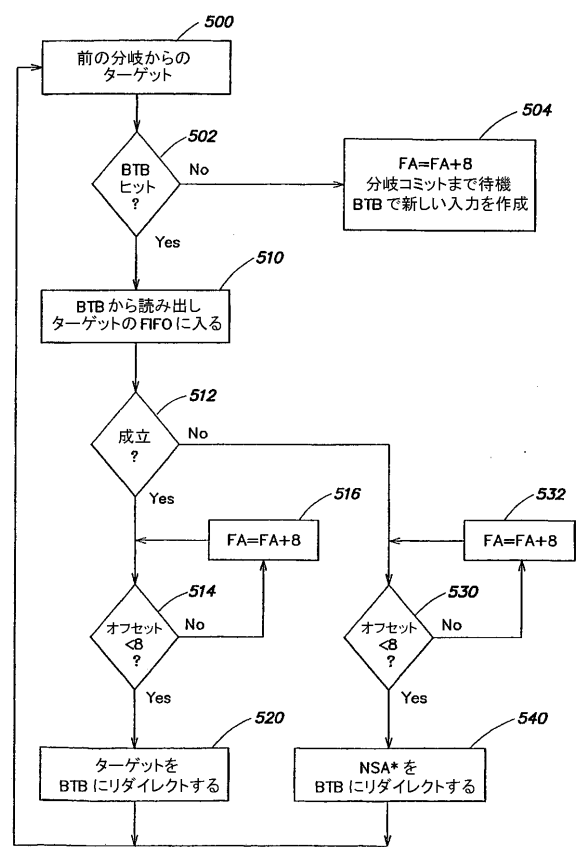


図 8

【 国際調査報告 】

60600300011



INTERNATIONAL SEARCH REPORT		PCT/US2004/008438
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G06F9/38 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G06F Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category ^a	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	REINMAN G ET AL: "A SCALABLE FRONT-END ARCHITECTURE FOR FAST INSTRUCTION DELIVERY" PROCEEDINGS OF THE 26TH INTERNATIONAL SYMPOSIUM ON COMPUTER ARCHITECTURE. ATLANTA, GA, MAY 2 - 4, 1999, INTERNATIONAL SYMPOSIUM ON COMPUTER ARCHITECTURE. (ISCA), LOS ALAMITOS, CA : IEEE COMP. SOC, US, vol. CONF. 26, 2 May 1999 (1999-05-02), pages 234-245, XP000887621 ISBN: 0-7695-0171-0 section 4.2: "Fetch Target Buffer" figures 1,2 ----- -/--	1-5, 8-22, 26-29
Y		30-33
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		
<input checked="" type="checkbox"/> Patent family members are listed in annex.		
^a Special categories of cited documents:		
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family
Date of the actual completion of the international search		Date of mailing of the international search report
6 October 2005		18/10/2005
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Daskalakis, T 20.3.2006

2

INTERNATIONAL SEARCH REPORT

PCT/US2004/008438

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 506 976 A (JAGGAR ET AL) 9 April 1996 (1996-04-09)	1, 4-7, 17, 20, 21, 23-25
Y	the whole document	30-33
X	US 6 185 675 B1 (KRANICH UWE ET AL) 6 February 2001 (2001-02-06) abstract column 12, line 21 - column 14, line 24 column 16, line 54 - column 17, line 48 column 22, line 21 - line 42	1-5, 8-22, 26-29

3]

INTERNATIONAL SEARCH REPORT

PCT/US2004/008438

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5506976	A	GB 2285154 A	28-06-1995
		JP 3549595 B2	04-08-2004
		JP 7281895 A	27-10-1995
US 6185675	B1	NONE	

フロントページの続き

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72) 発明者 シング, ラヴィ, プラタップ

アメリカ合衆国 テキサス州 78732、オースティン、リオ メサ ドライブ 2508

(72) 発明者 ドゥレイスワミー, ディーバ

アメリカ合衆国 テキサス州 78732、オースティン、1519、シュタイナー ランチ
ブルバード 4500

(72) 発明者 カナン, スリカンス

アメリカ合衆国 マサチューセッツ州 01803、パーリントン、アルボリタム ウェイ 11
1

Fターム(参考) 5B013 BB02 BB07 BB13 BB16