

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】平成 24 年 6 月 21 日 (2012.6.21)

【公開番号】特開 2011-8285 (P2011-8285A)

【公開日】平成 23 年 1 月 13 日 (2011.1.13)

【年通号数】公開・登録公報 2011-002

【出願番号】特願 2010-189796 (P2010-189796)

【国際特許分類】

G 0 9 C 1/00 (2006.01)

G 0 6 F 9/38 (2006.01)

【F I】

G 0 9 C 1/00 6 5 0 A

G 0 6 F 9/38 3 7 0 A

G 0 6 F 9/38 3 1 0 X

【手続補正書】

【提出日】平成 24 年 4 月 27 日 (2012.4.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

乗算器回路であって、

各々が第 1 の長さのオペランド語を受ける複数の乗算器区分と、

前記乗算器区分が個々の乗算器として動作するときに第 1 の入力セットを選択し、第 2 の語の長さのオペランド語上で動作する幅のより広い乗算器として前記乗算器区分を連結させるために第 2 の入力セットを選択する、入力セクタとを備え、

前記幅のより広い乗算器は、前記第 1 の長さの第 1 のオペランド語、および前記第 1 の長さより長い語の長さの第 2 のオペランド語上で動作する、乗算器回路。

【請求項 2】

各乗算器区分は、部分積加算器を含む、請求項 1 に記載の乗算器回路。

【請求項 3】

前記第 2 の入力セットは、乗算器区分から他の乗算器区分への入力を含む、請求項 2 に記載の乗算器回路。

【請求項 4】

前記乗算器区分が個々の乗算器として動作するならば、各個々の乗算器は、第 1 の長さ × 第 1 の長さ乗算器として動作するよう構成されている、請求項 1 に記載の乗算器回路。

【請求項 5】

前記幅のより広い乗算器は、第 1 の長さ × 第 1 の長さ × 前記複数の乗算器区分の数の乗算器として動作するよう構成されている、請求項 1 に記載の乗算器回路。

【請求項 6】

前記第 2 の語の長さは、前記第 1 の長さ × 複数の前記乗算器区分の数に等しい、請求項 1 に記載の乗算器回路。

【請求項 7】

前記幅のより広い乗算器は、前記第 1 の長さ + 前記第 2 の長さに等しい長さを有する出力を提供する、請求項 6 に記載の乗算器回路。

【請求項 8】

前記乗算器区分の各々は、前記第 1 の長さの第 1 のオペランド語と前記第 1 の長さの第 2 のオペランド語とを受けよう構成されている、請求項 1 に記載の乗算器回路。

【請求項 9】

前記乗算器区分の各々は、

複数の AND ゲートを含み、

各 AND ゲートは、

前記第 1 のオペランド語からの第 1 のビットを受け、

前記第 2 のオペランド語からの第 2 のビットを受け、

部分積セットのうち 1 つを提供するよう構成されている、請求項 8 に記載の乗算器回路

。

【請求項 10】

前記乗算器区分の各々は、

複数の部分積加算器と、

個々の乗算器として動作するときに前記部分積加算器への入力として前記部分積セットを選択し、または連結されてるときに近隣の乗算器区分からの部分積を含む第 2 の入力セットを選択するよう構成された入力選択回路とを含む、請求項 9 に記載の乗算器回路

。

【請求項 11】

前記複数の部分積加算器の各々は、3 つの段を含み、第 1 および第 2 の前記段は、全加算器を含み、第 3 の前記段は、キャリ先見型加算器を含む、請求項 10 に記載の乗算器回路。

【請求項 12】

前記第 1 の語の長さは、32 ビットであり、前記第 2 の語の長さは、512 ビットである、請求項 1 に記載の乗算器回路。

【請求項 13】

前記複数の乗算器区間の各々は、4 × 4 乗算器として動作するよう構成可能である、請求項 1 に記載の乗算器回路。

【請求項 14】

少なくとも 1 つの乗算器区間は、選択信号と、隣接する乗算器区分からの部分積信号とを受けよう構成されたゲートを含み、前記選択信号は、前記乗算器区間が前記部分積信号を合計論理回路に渡すために連結されるときに、前記ゲートをイネーブルし、前記選択信号は、前記乗算器区分が前記部分積信号の通過をディスエーブルするために個々の乗算器として動作するときに、前記ゲートをディスエーブルする、請求項 1 に記載の乗算器回路。

【請求項 15】

前記ゲートは、AND ゲートであり、前記選択信号は、前記乗算器区分が連結されるときに論理 1 であり、前記選択信号は、前記乗算器区分が個々の乗算器として動作するときに論理 0 である、請求項 14 に記載の乗算器回路。

【請求項 16】

少なくとも 1 つの乗算器区分は、各々が選択信号と、隣接する乗算器区分からの複数の部分積信号のうちそれぞれの 1 つとを受けよう複数のゲートを含み、前記選択信号は、前記乗算器区分が前記部分積信号を合計論理回路に渡すために連結されるときに、前記ゲートをイネーブルし、前記選択信号は、前記乗算器区分が前記部分積信号の通過をディスエーブルするために個々の乗算器として動作するときに、前記ゲートをディスエーブルする、請求項 1 に記載の乗算器回路。

【請求項 17】

前記複数のゲートは、AND ゲートであり、前記選択信号は、前記乗算器区分が連結されるときに論理 1 であり、前記選択信号は、前記乗算器区分が個々の乗算器として動作するときに論理 0 である、請求項 16 に記載の乗算器回路。

【請求項 18】

少なくとも 1 つの乗算器区分は、選択信号と、隣接する乗算器区分からの合計信号と、部分積信号とを受けるマルチプレクサを含み、前記選択信号は、前記乗算器区分が前記合計信号を合計論理回路に渡すために連結されるときに、前記マルチプレクサをイネーブルし、前記選択信号は、前記乗算器区分が前記部分積信号を前記合計論理回路に渡すために個々の乗算器として動作するときに、前記マルチプレクサをイネーブルする、請求項 1 に記載の乗算器回路。

【請求項 19】

少なくとも 1 つの乗算器区分は、各々が選択信号と、隣接する乗算器区分からの複数の合計信号のうちそれぞれの 1 つと、複数の部分積信号のうちそれぞれの 1 つとを受ける複数のマルチプレクサを含み、前記選択信号は、前記乗算器区分が前記合計信号を合計論理回路に渡すために連結されるときに、前記マルチプレクサをイネーブルし、前記選択信号は、前記乗算器区分が前記部分積信号を前記合計論理回路に渡すために個々の乗算器として動作するときに、前記マルチプレクサをイネーブルする、請求項 1 に記載の乗算器回路

。