

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3802412号  
(P3802412)

(45) 発行日 平成18年7月26日(2006.7.26)

(24) 登録日 平成18年5月12日(2006.5.12)

(51) Int. Cl.

F I

H03F 1/52 (2006.01)

H03F 1/52

B

H03K 17/08 (2006.01)

H03K 17/08

C

請求項の数 2 (全 7 頁)

(21) 出願番号 特願2001-393301 (P2001-393301)  
 (22) 出願日 平成13年12月26日(2001.12.26)  
 (65) 公開番号 特開2003-198277 (P2003-198277A)  
 (43) 公開日 平成15年7月11日(2003.7.11)  
 審査請求日 平成16年4月9日(2004.4.9)

(73) 特許権者 302062931  
 N E Cエレクトロニクス株式会社  
 神奈川県川崎市中原区下沼部1753番地  
 (74) 代理人 100124914  
 弁理士 徳丸 達雄  
 (72) 発明者 柳川 洋  
 滋賀県大津市晴嵐2丁目9番1号  
 関西日本電気株式会社内

審査官 野元 久道

最終頁に続く

(54) 【発明の名称】 MOSトランジスタ出力回路

(57) 【特許請求の範囲】

【請求項1】

出力用MOSトランジスタと、入力信号を昇圧し、入力抵抗を介して出力用MOSトランジスタのゲートに供給するチャージポンプ回路と、過電流検出信号に基づいて出力用MOSトランジスタのゲート・ソース間電圧をクランプして出力用MOSトランジスタの過電流時の電流を制限するクランプ回路とを有したMOSトランジスタ出力回路において、前記入力抵抗が、直列接続された第1入力抵抗および第2入力抵抗からなり、前記クランプ回路が、前記第1および第2入力抵抗の接続点と出力用MOSトランジスタのソース間に直列接続された過電流検出信号が供給されるNチャネル型第1スイッチング用MOSトランジスタおよびツェナーダイオードと、前記第2入力抵抗および出力用MOSトランジスタのゲートの接続点と出力用MOSトランジスタのソース間に接続された過電流検出信号が供給されるNチャネル型第2スイッチング用MOSトランジスタ30およびクランプ用抵抗とを具備したことを特徴とするMOSトランジスタ出力回路。

【請求項2】

前記出力用MOSトランジスタに過電流が流れたとき、相対的に負荷が軽い期間は、前記チャージポンプの昇圧電位と出力端子の電位との電圧差を前記第1および第2入力抵抗と前記クランプ抵抗とで分割してクランプし、相対的に負荷が重い期間は、前記ツェナーダイオードをブレークダウンさせて、そのブレークダウン電圧を前記第2抵抗と前記クランプ用抵抗とで分割してクランプすることを特徴とする請求項1記載のMOSトランジスタ出力回路。

10

20

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、MOSトランジスタ出力回路に関し、特にハイサイドの出力用MOSトランジスタと、出力用MOSトランジスタのゲート・ソース間電圧をクランプして出力用MOSトランジスタの過電流時の電流を制限するクランプ回路とを有したMOSトランジスタ出力回路に関する。

## 【0002】

## 【従来の技術】

従来のMOSトランジスタ出力回路10は、図3に示すように、端子として、電源端子1、出力端子2、および入力端子3を有し、電源端子1に電源 $V_{cc}$ が接続され、出力端子2と接地端子間に負荷4が接続され、入力端子3に入力信号 $V_i$ が供給される。出力回路10の内部回路として、電源端子1にドレインが接続され、出力端子2にソースが接続されたハイサイドのNチャネル型出力用MOSトランジスタ11と、入力端子3に接続されたチャージポンプ14と、チャージポンプ14の出力とMOSトランジスタ11のゲート間に接続された入力抵抗15と、入力抵抗15とMOSトランジスタ11のゲートとの接続点とMOSトランジスタ11のソース間に接続されたクランプ回路16とを有している。クランプ回路16は、抵抗15とMOSトランジスタ11のゲートとの接続点とMOSトランジスタ11のソース間に、Nチャネル型スイッチング用MOSトランジスタ17と複数個の、図では、2個の順方向に配置したダイオード18とが直列接続され、MOSトランジスタ17のゲートに図示しない過電流検出回路からの過電流検出信号が供給される構成となっている。

## 【0003】

上記構成の出力回路10の動作を図4を参照して説明する。まず、正常時の動作について説明する。電源端子1に、電源電圧 $V_{cc}$ が供給され、出力端子2と接地端子間に負荷4が接続された状態で、入力端子3に“ハイ”レベルの入力信号 $V_i$ として電源電圧 $V_{cc}$ が供給されると、チャージポンプ14で電源電圧 $V_{cc}$ +出力用MOSトランジスタ11の閾値電圧より所定値高く昇圧され、この昇圧電位 $V_{cp}$ がMOSトランジスタ11のゲートに供給され、MOSトランジスタ11が導通する。MOSトランジスタ11が導通すると、出力端子2の電位 $V_o$ は電源電圧 $V_{cc}$ からMOSトランジスタ11のオン電圧分電圧降下した電位となるが、この電圧降下は小さいため、ほぼ電源電圧 $V_{cc}$ に近い電位となり、これにより負荷4が駆動される。このとき、MOSトランジスタ17のゲートには過電流検出信号は供給されていないため、MOSトランジスタ17は非導通であり、MOSトランジスタ11のソース・ゲート間には、図4のP1点で示すように、昇圧電位 $V_{cp}$ と出力端子電位 $V_o$ との電圧差の $V_{gs}$ が印加されている。

## 【0004】

次に、負荷4が駆動されているとき、出力用MOSトランジスタ11のドレイン・ソース間に過電流が流れたときの動作について説明する。まず、常温動作で説明する。負荷4の抵抗が小さくなっていくと、MOSトランジスタ11のドレイン・ソース間に流れる電流が増加すると共に、出力用MOSトランジスタ11のドレイン・ソース間電圧も増加し、それに伴い、出力端子2の電位 $V_o$ が下降していく。出力端子2の電位 $V_o$ が図4に示すP1点からP2点に下降していくと、P2点で図示しない過電流検出回路で過電流が検出され、過電流検出信号がMOSトランジスタ17のゲートに供給されて、MOSトランジスタ17が導通する。MOSトランジスタ17が導通する直前であるP2点のMOSトランジスタ11のゲート・ソース間には、昇圧電位 $V_{cp}$ と出力端子電位 $V_o$ との電圧差の $V_{gs}$ が印加されているが、MOSトランジスタ17が導通すると、この電圧により抵抗15を介して2個のダイオード18に電流が流れ、MOSトランジスタ11のゲート・ソース間電圧は、MOSトランジスタ17のオン抵抗は無視できるレベルとして、2個のダイオード18の順方向電圧の和にクランプされ、図4に示すように、P2点からP3点まで低下して、負荷4に流れる電流が制限される。

10

20

30

40

50

## 【 0 0 0 5 】

P 3 点でクランプされた後、さらに負荷 4 の抵抗が小さくなっていき、負荷 4 が短絡するまで、出力端子 2 の電位  $V_o$  は下降していく。このとき、MOS トランジスタ 11 のゲート・ソース間は、2 個のダイオード 18 によりクランプされているが、出力端子 2 の電位  $V_o$  の下降に伴い、チャージポンプ 14 の昇圧電位  $V_{cp}$  と出力端子 2 間の電圧は増加する。その結果、この電圧により抵抗 15 を介して 2 個のダイオード 18 に流れる電流が増加し、2 個のダイオード 18 の順方向電圧の和のクランプ電圧も増加し、図 4 に示すように、P 3 点から負荷 4 が短絡する P 4 点まで、MOS トランジスタ 11 のゲート・ソース間電圧が増加し、P 4 点でクランプ電圧は最大となる。従って、P 3 点での電流制限値より負荷 4 が短絡する P 4 点での電流制限値が大きくなる。負荷短絡時の電流制限値が大きくなり過ぎると、負荷短絡の耐量が低くなるため、電流制限値を設定するとき、負荷 4 が短絡するときの電流制限値を基準に設計する必要がある、低目に設定しなければならず、電流制限値を大きく設定できないという問題があった。

10

## 【 0 0 0 6 】

次に、高温動作について説明する。出力回路 10 のクランプ回路 16 は、温度特性を有するダイオード 18 の順方向電圧をクランプ電圧として用いているため、負荷 4 の抵抗が小さくなり、出力端子 2 の電位  $V_o$  が下降していくときの MOS トランジスタ 11 のゲート・ソース間電圧の特性は、例えば、150 の高温動作になると、図 4 に P 2' - P 3' - P 4' で示すように、P 2 - P 3 - P 4 で示される常温の場合よりも低くなり、電流制限値の温度特性が大きいという問題があった。

20

## 【 0 0 0 7 】

## 【 発明が解決しようとする課題 】

上述したように、出力回路 10 は、負荷 4 の短絡を考慮して、電流制限値を低目に設定しなければならず、電流制限値を大きく設定できないという問題があった。また、電流制限値の温度特性が大きいという問題があった。

本発明は上記問題点に鑑み、負荷短絡の耐量を低下させることなく、電流制限値を大きく設定することができる MOS トランジスタ出力回路を提供することを目的とする。

## 【 0 0 0 8 】

## 【 課題を解決するための手段 】

本発明の半導体装置は、出力用 MOS トランジスタと、入力信号を昇圧し、入力抵抗を介して出力用 MOS トランジスタのゲートに供給するチャージポンプ回路と、過電流検出信号に基づいて出力用 MOS トランジスタのゲート・ソース間電圧をクランプして出力用 MOS トランジスタの過電流時の電流を制限するクランプ回路とを有した MOS トランジスタ出力回路において、

30

前記入力抵抗が、直列接続された第 1 入力抵抗および第 2 入力抵抗からなり、

前記クランプ回路が、前記第 1 および第 2 入力抵抗の接続点と出力用 MOS トランジスタのソース間に直列接続された過電流検出信号が供給される N チャネル型第 1 スwitching 用 MOS トランジスタおよびツェナーダイオードと、前記第 2 入力抵抗および出力用 MOS トランジスタのゲートの接続点と出力用 MOS トランジスタのソース間に接続された過電流検出信号が供給される N チャネル型第 2 スwitching 用 MOS トランジスタ 30 およびクランプ用抵抗とを具備したことを特徴とする。

40

また、上記半導体装置において、前記出力用 MOS トランジスタに過電流が流れたとき、相対的に負荷が軽い期間は、前記チャージポンプの昇圧電位と出力端子の電位との電圧差を前記第 1 および第 2 入力抵抗と前記クランプ抵抗とで分割してクランプし、相対的に負荷が重い期間は、前記ツェナーダイオードをブレイクダウンさせて、そのブレイクダウン電圧を前記第 2 抵抗と前記クランプ用抵抗とで分割してクランプすることを特徴とする。

## 【 0 0 0 9 】

## 【 発明の実施の形態 】

以下、この発明の一実施例について、図 1 を参照して説明する。図において、20 は MOS トランジスタ出力回路で、端子として、電源端子 1、出力端子 2、および入力端子 3 を

50

有し、電源端子 1 に電源  $V_{cc}$  が接続され、出力端子 2 と接地端子間に負荷 4 が接続され、入力端子 3 に入力信号  $V_i$  が供給される。出力回路 20 の内部回路として、電源端子 1 にドレインが接続され、出力端子 2 にソースが接続されたハイサイドの N チャネル型出力用 MOS トランジスタ 21 と、入力端子 3 に接続されたチャージポンプ 24 と、チャージポンプ 24 の出力と MOS トランジスタ 21 のゲート間に直列接続された第 1 入力抵抗 25 および第 2 入力抵抗 26 と、抵抗 25、26 の接続点および抵抗 26 と MOS トランジスタ 21 のゲートとの接続点と、MOS トランジスタ 21 のソース間に接続されたクランプ回路 27 とを有している。クランプ回路 27 は、抵抗 25、26 の接続点と MOS トランジスタ 21 のソース間に、N チャネル型第 1 スイッチング用 MOS トランジスタ 28 とツェナーダイオード 29 とが直列接続され、抵抗 26 および MOS トランジスタ 21 のゲートの接続点と MOS トランジスタ 21 のソース間に、N チャネル型第 2 スイッチング用 MOS トランジスタ 30 とクランプ用抵抗 31 とが直列接続され、MOS トランジスタ 28、30 のゲートに図示しない過電流検出回路からの過電流検出信号が供給される構成となっている。

10

#### 【0010】

上記構成の出力回路 20 の動作を図 2 を参照して説明する。まず、正常時の動作について説明する。電源端子 1 に電源電圧が供給され、出力端子 2 と接地端子間に負荷 4 が接続された状態で、入力端子 3 に“ハイ”レベルの入力信号  $V_i$  として電源電圧  $V_{cc}$  が供給されると、チャージポンプ 24 で電源電圧  $V_{cc}$  + 出力用 MOS トランジスタ 21 の閾値電圧より所定値高く昇圧され、この昇圧電位  $V_{cp}$  が MOS トランジスタ 21 のゲートに供給され、MOS トランジスタ 21 が導通する。MOS トランジスタ 21 が導通すると、出力端子 2 の電位  $V_o$  は電源電圧  $V_{cc}$  から MOS トランジスタ 21 のオン電圧分電圧降下した電位となるが、この電圧降下は小さいため、ほぼ電源電圧  $V_{cc}$  に近い電位となり、これにより負荷 4 が駆動される。このとき、MOS トランジスタ 28、30 のゲートには過電流検出信号は供給されていないため、MOS トランジスタ 28、30 は非導通であり、MOS トランジスタ 21 のソース・ゲート間には、図 2 の Q1 点で示すように、ほぼ、昇圧電位  $V_{cp}$  と出力端子電位  $V_o$  との電圧差の  $V_{gs}$  が印加されている。

20

#### 【0011】

次に、負荷 4 が駆動されているとき、出力用 MOS トランジスタ 21 のドレイン・ソース間に過電流が流れたときの動作について説明する。まず、常温動作で説明する。負荷 4 の抵抗が小さくなっていくと、MOS トランジスタ 21 のドレイン・ソース間に流れる電流が増加すると共に、出力用 MOS トランジスタ 21 のドレイン・ソース間電圧も増加し、それに伴い、出力端子 2 の電位  $V_o$  が下降していく。出力端子 2 の電位  $V_o$  が図 2 に示す Q1 点から Q2 点に下降していくと、Q2 点で図示しない過電流検出回路で過電流が検出され、過電流検出信号が MOS トランジスタ 28、30 のゲートに供給されて、MOS トランジスタ 28、30 が導通する。

30

#### 【0012】

MOS トランジスタ 28、30 が導通する直前である Q2 点の MOS トランジスタ 21 のゲート・ソース間には、昇圧電位  $V_{cp}$  と出力端子電位  $V_o$  との電圧差の  $V_{gs}$  が印加されているが、MOS トランジスタ 28、30 が導通すると、この電圧が抵抗 25 を介してツェナーダイオード 29 に、および抵抗 25、26 を介して抵抗 31 に印加され、クランプ回路 27 は、次のように、クランプされる。ここで、抵抗 25、26 の抵抗を  $R_1$ 、 $R_2$ 、抵抗 31 の抵抗を  $R_3$ 、ツェナーダイオード 29 のツェナー電圧を  $V_z$  とし、MOS トランジスタ 28、30 のオン抵抗は無視できるレベルとする。ツェナーダイオード 29 がブレイクダウンするまで、すなわち、 $(V_{cp} - V_o) \times (R_2 + R_3) / (R_1 + R_2 + R_3)$  が  $V_z$  より小さいとき、 $(V_{cp} - V_o) \times R_3 / (R_1 + R_2 + R_3)$  でクランプされる。ツェナーダイオード 29 がブレイクダウンすると、すなわち、 $(V_{cp} - V_o) \times (R_2 + R_3) / (R_1 + R_2 + R_3)$  が  $V_z$  より大きくなると、 $V_z \times R_3 / (R_2 + R_3)$  でクランプされる。

40

#### 【0013】

50

従って、MOSトランジスタ11のゲート・ソース間電圧は、抵抗値 $R_1$ 、 $R_2$ 、 $R_3$ およびツェナー電圧 $V_z$ を所定値に設定することにより、図2に示すように、Q2点からQ3点まで低下して、負荷4に流れる電流が制限される。

#### 【0014】

Q3点でクランプされた後、さらに負荷4の抵抗が小さくなっていき、負荷4が短絡するまで、出力端子2の電位 $V_o$ は下降していく。このとき、MOSトランジスタ21のゲート・ソース間は、 $(V_{cp} - V_o) \times (R_2 + R_3) / (R_1 + R_2 + R_3)$ が $V_z$ より大きくなるまで、図2では、出力端子2の電位 $V_o$ が下降するQ4点まで、 $(V_{cp} - V_o) \times R_3 / (R_1 + R_2 + R_3)$ でクランプされる。このとき、出力端子2の電位 $V_o$ の下降に伴い、 $V_{cp} - V_o$ は増加し、MOSトランジスタ11のゲート・ソース間電圧は増加する。

10

#### 【0015】

Q4点でツェナーダイオード29がブレイクダウンすると、MOSトランジスタ21のゲート・ソース間は、 $V_z \times R_3 / (R_2 + R_3)$ でクランプされ、図2に示すように、Q4点からQ5点まで低下する。そして、負荷4が短絡するQ6点まで、 $V_z \times R_3 / (R_2 + R_3)$ の一定電圧でクランプされる。

#### 【0016】

以上のように、MOSトランジスタ21のゲート・ソース間のクランプをQ3点 - Q4点とQ5点 - Q6点の2段階にし、Q5点 - Q6点のクランプ電圧は一定であるため、Q5点 - Q6点の電流制限値も一定に設定でき、従来出力回路10のように、図4に示すP3点での電流制限値が、負荷短絡の耐量を考慮して設定する必要のあるP4点の電流制限値より低くなるという欠点はない。また、Q5点 - Q6点より負荷の軽いQ3点 - Q4点での電流制限値をQ5点 - Q6点での電流制限値より大きく設定することができる。

20

#### 【0017】

次に、高温動作について説明する。出力回路20のクランプ回路27は、図2に示すQ5点 - Q6点でアクティブとなるツェナーダイオード29の温度特性は、従来回路10のダイオード18の温度特性より小さく、また抵抗25、26、31は、同一集積回路内に同時に形成することにより、温度特性を小さくすることができる。その結果、負荷4の抵抗が小さくなり、出力端子2の電位 $V_o$ が下降していくときのMOSトランジスタ11のゲート・ソース間電圧の特性は、例えば、150の高温動作になると、図2にQ2' - Q3' - Q4' - Q5' - Q6'で示すように、Q2 - Q3 - Q4 - Q5 - Q6で示される常温の場合よりも低くなるが、図4に示す従来よりも低下幅が小さく、電流制限値の温度特性を従来出力回路10より小さくできる。

30

#### 【0018】

以上に説明したように、クランプ回路27を2段階にクランプする構成としたことにより、電流制限値も2段階に設定可能となり、過電流検出後の相対的に負荷が軽いときの電流制限値を、耐量を考慮して電流制限値を設定しなければならない負荷短絡時を含む相対的に負荷が重いときよりも、高く設定することができる。また、負荷が重いときツェナーダイオード29の定電圧でクランプすることにより、相対的に負荷が重いときの全期間に亘って一定電圧でクランプでき、その期間の電流制限値も一定に設定することができる。また、クランプ回路27を抵抗25、26と同一集積回路内に同時に形成された抵抗31と、ツェナーダイオード29とにより構成したことにより、クランプ電圧の温度特性を低くでき、電流制限値の温度特性も低くすることができる。

40

#### 【0019】

#### 【発明の効果】

以上のように、この発明のMOSトランジスタ出力回路は、負荷短絡の耐量を低下させることなく、電流制限値を大きく設定することができる。

#### 【図面の簡単な説明】

【図1】 本発明の一実施例のMOSトランジスタ出力回路の回路図。

【図2】 図1に示すMOSトランジスタ出力回路の動作を説明する出力端子電圧と出力

50

用 MOS トランジスタのソース・ゲート間電圧との特性図。

【図 3】 従来の MOS トランジスタ出力回路の回路図。

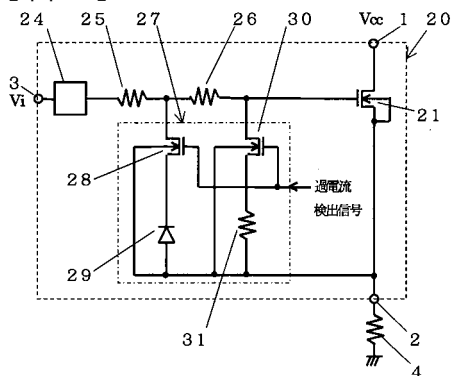
【図 4】 図 3 に示す MOS トランジスタ出力回路の動作を説明する出力端子電圧と出力用 MOS トランジスタのソース・ゲート間電圧との特性図。

【符号の説明】

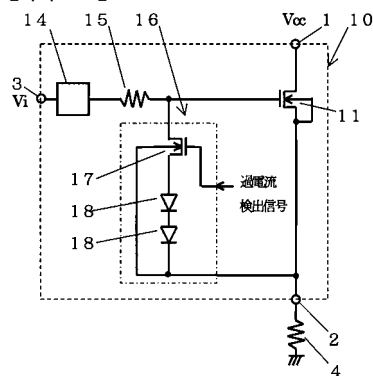
- 1 電源端子
- 2 出力端子
- 3 入力端子
- 4 負荷
- 20 MOSトランジスタ出力回路
- 21 Nチャネル型出力用MOSトランジスタ
- 24 チャージポンプ
- 25、26 入力抵抗
- 27 クランプ回路
- 28、30 Nチャネル型スイッチング用MOSトランジスタ
- 29 ツェナーダイオード
- 31 クランプ用抵抗

10

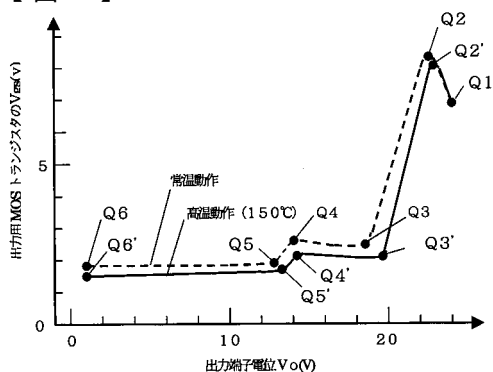
【 义 1 】



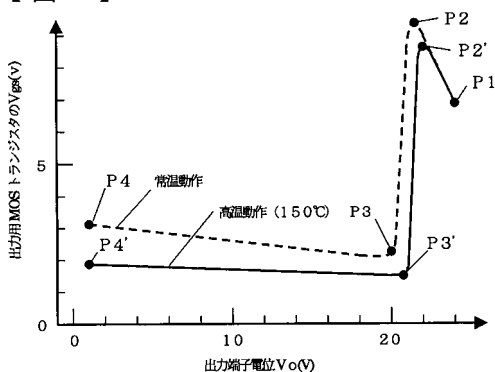
【 义 3 】



【 図 2 】



【 圖 4 】



---

フロントページの続き

- (56)参考文献 特開平01-282858(JP,A)  
特開平06-244414(JP,A)  
特開平04-170206(JP,A)  
特開平02-197213(JP,A)  
特開2002-368594(JP,A)  
特開2002-231949(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03F 1/52

H03K 17/08