(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2015 年 10 月 1 日 (01.10.2015)

WIPO | PCT

(10) 国际公布号
WO 2015/143746 A1

(51) 国际专利分类号:
G02F 1/1368 (2006.01) *H01L 21/84* (2006.01)

(21) 国际申请号: PCT/CN2014/075577

(22) 国际申请日: 2014 年 4 月 17 日 (17.04.2014)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201410121731.1 2014 年 3 月 28 日 (28.03.2014) CN

(71) 申请人: **深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.)** [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: **徐向阳 (XU, Xiangyang)**; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: **深圳汇智容达专利商标事务所（普通合伙） (SHENZHEN RONDA PATENT AND TRADEMARK LAW OFFICE)**; 中国广东省深圳市福田区深南中路与广深高速公路交界东南金运世纪大厦 04 层 04G, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) **Title**: METHOD FOR MANUFACTURING TFT ARRAY SUBSTRATE

(54) **发明名称** : 一种 TFT 阵列基板的制造方法

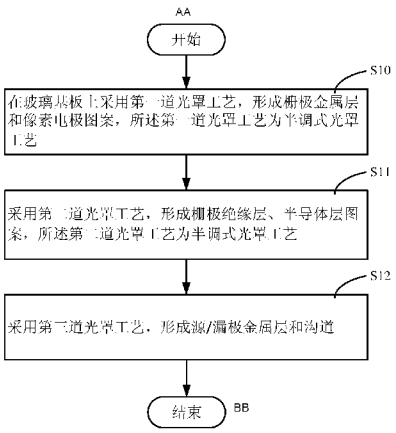

图 1 / FIG. 1

S10 FORMING A GATE METAL LAYER AND A PIXEL ELECTRODE PATTERN ON A GLASS SUBSTRATE BY ADOPTING A FIRST PHOTOMASK PROCESS, WHICH IS A SEMI-ADJUSTMENT TYPE PHOTOMASK PROCESS
S11 FORMING A GATE INSULATING LAYER AND A SEMICONDUCTOR LAYER PATTERN BY ADOPTING A SECOND PHOTOMASK PROCESS, WHICH IS THE SEMI-ADJUSTMENT TYPE PHOTOMASK PROCESS
S12 FORMING A SOURCE/DRAIN METAL LAYER AND A CHANNEL BY ADOPTING A THIRD PHOTOMASK PROCESS
AA BEGIN
BB END

(57) **Abstract**: A method for manufacturing a TFT array substrate comprises the following steps: forming a gate metal layer and a pixel electrode pattern on a glass substrate by adopting a first photomask process (S10), which is a semi-adjustment type photomask process; forming a gate insulating layer and a semiconductor layer pattern by adopting a second photomask process (S11), which is the semi-adjustment type photomask process or a grey adjustment photomask process; and forming a source/drain metal layer and a channel by adopting a third photomask process (S12). By means of the manufacturing method, the process flow for manufacturing an amorphous silicon semiconductor or oxide semiconductor TFT array substrate of a flat display panel is simplified, the using quantity of masks is reduced, and the production cost is reduced.

(57) **摘要**: 一种 TFT 阵列基板的制造方法，包括如下步骤：在玻璃基板上采用第一道光罩工艺（S10），形成栅极金属层和像素电极图案，所述第一道光罩工艺（S10）为半调式光罩工艺；采用第二道光罩工艺（S11），形成栅极绝缘层、半导体层图案，所述第二道光罩工艺（S11）为半调式光罩工艺或灰调光罩工艺；采用第三道光罩工艺（S12），形成源/漏极金属层和沟道。上述制造方法简化了制造平板显示面板的非晶硅半导体或氧化物半导体 TFT 阵列基板的工艺流程，减少掩膜板的使用量，降低了生产成本。

WO 2015/143746 A1

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种 TFT 阵列基板的制造方法

本申请要求于 2014 年 3 月 28 日提交中国专利局、申请号为 201410121731.1、发明名称为“一种 TFT 阵列基板的制造方法”的中国专利申请的优先权，上述专利的全部内容通过引用结合在本申请中。

技术领域

本发明涉及平板显示器的制造技术，特别涉及一种薄膜场效应晶体管（Thin Film Transistor，TFT）阵列基板的制造方法。

背景技术

近年来，显示技术得到快速的发展，平板显示器已取代笨重的 CRT 显示器日益深入人们的日常生活中。目前，常用的平板显示器包括液晶显示器（Liquid Crystal Display，LCD）和有机发光二极管（Organic Light-Emitting Diode，OLED）显示器。上述平板显示器具有体积小、功耗低、无辐射等特点，在当前的平板显示器市场中占据了主导地位。

而在平板显示器的阵列基板中，每一个像素配备了用于控制该像素的开关单元，即薄膜场效应晶体管（Thin Film Transistor，TFT），TFT 至少包含栅电极，源、漏极以及栅绝缘层和有源层。通过驱动电路可以独立控制每一个像素，同时不会对其他像素造成串扰等的影响。

目前常见的 TFT 背板主要采用非晶硅（a-Si）、低温多晶硅、金属氧化物（Oxide）和有机半导体等材料。就工艺而言，非晶硅半导体工艺最为简单，技术比较成熟，是目前主流的半导体材料，但采用非晶硅半导体的制造工艺中通常采用 5 道光罩或 4 道光罩工艺；而采用金属氧化物半导体的制造工艺中通常采用刻蚀阻挡形结构，其一般要采用 6 道光罩工艺。在现有技术中，无论采用非晶硅半导体工艺还是采用金属氧化物半导体工艺，不但工艺流程复杂，而且成本高。

发明内容

本发明所要解决的技术问题在于，提供一种 TFT 阵列基板的制造方法，其可以减少掩膜板的使用量，从而降低生产成本。

为了解决上述技术问题 ,本发明的实施例的一方面提供了一种 TFT 阵列基板的制造方法，包括如下步骤：

在玻璃基板上采用第一道光罩工艺，形成栅极金属层和像素电极图案，所述第一道光罩工艺为半调式光罩工艺；

采用第二道光罩工艺，形成栅极绝缘层、半导体层图案，所述第二道光罩工艺为半调式光罩工艺或灰调光罩工艺；

采用第三道光罩工艺，形成源/漏极金属层和沟道。

其中，所述在玻璃基板上采用第一道光罩工艺，形成栅极金属层和像素电极图案的步骤包括：

在所述玻璃基板上沉积预定厚度的像素电极层以及栅极金属层，并涂覆光刻胶；

采用半调式光罩工艺对所述光刻胶进行曝光显影；

然后对栅金属层进行第一次湿刻，对像素电极层进行湿刻，并去除部份光刻胶；然后对栅金属层进行第二次湿刻并剥离相应光刻胶，形成栅极金属层和像素电极图案。

其中，所述在玻璃基板沉积预定厚度的像素电极层以及栅极金属层的步骤具体为：

采用溅射或热蒸发的方法在所述玻璃基板上沉积厚度为 1000 Å ~6000Å 的栅金属薄膜 ,以及沉积厚度为 100Å~1000Å 的 ITO 像素电极层或 IZO 像素电极层。

其中，所述采用第二道光罩工艺，形成栅极绝缘层、半导体层图案的步骤包括：

在形成有栅极金属层和像素电极图案的玻璃基板上，沉积预定厚度为 2000 Å ~5000Å 的栅绝缘层、厚度为 1000 Å ~3000Å 的非晶硅半导体薄膜，并涂覆光刻胶；

采用半调式光罩工艺对所述光刻胶进行曝光显影；

然后对位于沟道上的绝缘保护层进行干刻以及对非晶硅半导体薄膜进行第一次干刻 ,去除部份光刻胶 ;然后对非晶硅半导体薄膜进行第二次干刻，并剥离相应光刻胶，形成栅极绝缘层和半导体层图案。

其中，所述采用第二道光罩工艺，形成栅极绝缘层、半导体层图案的步骤包括：

在形成有栅极金属层和像素电极图案的玻璃基板上，沉积预定厚度为2000 Å ~5000Å 的栅绝缘层、厚度为 1000 Å ~3000Å 的非晶硅半导体薄膜，并涂覆光刻胶；

采用灰调光罩工艺对所述光刻胶进行曝光显影；

然后对位于沟道上的绝缘保护层进行第一次干刻，对非晶硅半导体薄膜进行第一次干刻以及对栅极绝缘保护层进行干刻，去除部份光刻胶；对位于沟道上的绝缘保护层进行第二次干刻以及对非晶硅半导体薄膜进行第二次干刻，第二次去除部份光刻胶；对位于沟道上的绝缘保护层进行第三次干刻，并剥离相应光刻胶，形成栅极绝缘层和非晶硅半导体层和沟道绝缘保护层图案。

其中，所述采用第二道光罩工艺，形成栅极绝缘层、半导体层图案的步骤包括：

在形成有栅极金属层和像素电极图案的玻璃基板上，依次沉积厚度为2000 Å ~5000Å 的栅绝缘层、厚度为 300 Å ~1000Å 的氧化物半导体薄膜以及厚度为 1000 Å ~3000Å 的刻蚀阻挡层，并涂覆光刻胶；

采用灰调光罩工艺对所述光刻胶进行曝光显影；

然后对位于沟道上的绝缘保护层进行第一次干刻以及对氧化物半导体薄膜进行第一次干刻，对刻蚀阻挡层进行第一次干刻，去除部份光刻胶；然后对位于沟道上的绝缘保护层进行第二次干刻以及对氧化物半导体薄膜进行第二次干刻，第二次去除部份光刻胶；对刻蚀阻挡层进行第二次干刻，并剥离相应光刻胶，形成栅极绝缘层、氧化物半导体层和刻蚀阻挡层图案。

其中，所述采用第三道光罩工艺，形成源/漏极金属层和沟道的步骤包括：

在所述形成有形成栅极绝缘层、半导体层图案的玻璃基板上沉积预定厚度的源/漏极金属薄膜，并涂覆光刻胶；

采用第三道光罩工艺进行曝光显影，对源/漏极金属薄膜进行湿刻，对沟道进行干刻，并剥离相应的光刻胶，形成源极金属层、漏极金属层和沟道。

其中，所述在形成有形成栅极绝缘层、半导体层图案的玻璃基板上沉积

预定厚度的源/漏极金属薄膜的步骤具体为：

采用磁控溅射或热蒸发方法，沉积厚度为 1000 Å ~6000Å 的源/漏极金属薄膜。

其中，所述沉积栅绝缘层、半导体薄膜、氧化物半导体薄膜或刻蚀阻挡层采用等离子体增强化学气相沉淀法，所述栅绝缘层采用 SiNx，所述氧化物半导体薄膜采用 ZnO、InZnO、ZnSnO、GaInZnO 或 ZrInZnO 中的一种。

相应地，本发明实施例的另一方面，还提供一种 TFT 阵列基板的制造方法，包括如下步骤：

在玻璃基板上采用第一道光罩工艺，形成栅极金属层和像素电极图案，所述第一道光罩工艺为半调式光罩工艺；

采用第二道光罩工艺，形成栅极绝缘层、半导体层图案，所述第二道光罩工艺为半调式光罩工艺或灰调光罩工艺；

采用第三道光罩工艺，形成源/漏极金属层和沟道；

其中，所述在玻璃基板上采用第一道光罩工艺，形成栅极金属层和像素电极图案的步骤包括：

在所述玻璃基板上沉积预定厚度的像素电极层以及栅极金属层，并涂覆光刻胶；

采用半调式光罩工艺对所述光刻胶进行曝光显影；

然后对栅金属层进行第一次湿刻，对像素电极层进行湿刻，并去除部份光刻胶；然后对栅金属层进行第二次湿刻并剥离相应光刻胶，形成栅极金属层和像素电极图案。

其中，所述在玻璃基板沉积预定厚度的像素电极层以及栅极金属层的步骤具体为：

采用溅射或热蒸发的方法在所述玻璃基板上沉积厚度为 1000 Å ~6000Å 的栅金属薄膜，以及沉积厚度为 100Å~1000Å 的 ITO 像素电极层或 IZO 像素电极层。

其中，所述采用第二道光罩工艺，形成栅极绝缘层、半导体层图案的步骤包括：

在形成有栅极金属层和像素电极图案的玻璃基板上，沉积预定厚度为

2000 Å ~5000Å 的栅绝缘层、厚度为 1000 Å ~3000Å 的非晶硅半导体薄膜，并涂覆光刻胶；

采用半调式光罩工艺对所述光刻胶进行曝光显影；

然后对位于沟道上的绝缘保护层进行干刻以及对非晶硅半导体薄膜进行第一次干刻，去除部份光刻胶；然后对非晶硅半导体薄膜进行第二次干刻，并剥离相应光刻胶，形成栅极绝缘层和半导体层图案。

其中，所述采用第二道光罩工艺，形成栅极绝缘层、半导体层图案的步骤包括：

在形成有栅极金属层和像素电极图案的玻璃基板上，沉积预定厚度为 2000 Å ~5000Å 的栅绝缘层、厚度为 1000 Å ~3000Å 的非晶硅半导体薄膜，并涂覆光刻胶；

采用灰调光罩工艺对所述光刻胶进行曝光显影；

然后对位于沟道上的绝缘保护层进行第一次干刻，对非晶硅半导体薄膜进行第一次干刻以及对栅极绝缘保护层进行干刻，去除部份光刻胶；对位于沟道上的绝缘保护层进行第二次干刻以及对非晶硅半导体薄膜进行第二次干刻，第二次去除部份光刻胶；对位于沟道上的绝缘保护层进行第三次干刻，并剥离相应光刻胶，形成栅极绝缘层和非晶硅半导体层和沟道绝缘保护层图案。

其中，所述采用第二道光罩工艺，形成栅极绝缘层、半导体层图案的步骤包括：

在形成有栅极金属层和像素电极图案的玻璃基板上，依次沉积厚度为 2000 Å ~5000Å 的栅绝缘层、厚度为 300 Å ~1000Å 的氧化物半导体薄膜以及厚度为 1000 Å ~3000Å 的刻蚀阻挡层，并涂覆光刻胶；

采用灰调光罩工艺对所述光刻胶进行曝光显影；

然后对位于沟道上的绝缘保护层进行第一次干刻以及对氧化物半导体薄膜进行第一次干刻，对刻蚀阻挡层进行第一次干刻，去除部份光刻胶；然后对位于沟道上的绝缘保护层进行第二次干刻以及对氧化物半导体薄膜进行第二次干刻，第二次去除部份光刻胶；对刻蚀阻挡层进行第二次干刻，并剥离相应光刻胶，形成栅极绝缘层、氧化物半导体层和刻蚀阻挡层图案。

其中 ,所述采用第三道光罩工艺 ,形成源/漏极金属层和沟道的步骤包括：

在所述形成有形成栅极绝缘层、半导体层图案的玻璃基板上沉积预定厚度的源/漏极金属薄膜，并涂覆光刻胶；

采用第三道光罩工艺进行曝光显影 ,对源/漏极金属薄膜进行湿刻 ,对沟道进行干刻，并剥离相应的光刻胶，形成源极金属层、漏极金属层和沟道。

其中，所述在形成有形成栅极绝缘层、半导体层图案的玻璃基板上沉积预定厚度的源/漏极金属薄膜的步骤具体为：

采用磁控溅射或热蒸发方法 ,沉积厚度为 1000 Å ~6000Å 的源/漏极金属薄膜。

其中，所述沉积栅绝缘层、半导体薄膜、氧化物半导体薄膜或刻蚀阻挡层采用等离子体增强化学气相沉淀法，所述栅绝缘层采用 SiNx，所述氧化物半导体薄膜采用 ZnO、InZnO、ZnSnO、GaInZnO 或 ZrInZnO 中的一种。

实施本发明的实施例，具有如下的有益效果：

实施本发明实施例，在采用非晶硅半导体或的金属氧化物半导体制造工艺中只需要采用三道光罩工艺 ,简化了制造平板显示器面板的 TFT 阵列基板的工艺流程，可以减少掩膜板的使用量，从而降低生产成本。

附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其它的附图。

图 1 是本发明提供的一种 TFT 阵列基板的制造方法的一个实施例中的主流程示意图；

图 2 是图 1 中采用第一道光罩形成栅极金属层和像素电极层后的阵列基板的结构示意图；

图 3 是图 1 中采用第二道光罩形成栅极绝缘保护层和 a-Si 半导体层后的阵列基板的结构示意图；

图 4 是图 1 采用第三道光罩形成源/漏极金属层后的阵列基板的结构示意图；

图 5 是图 1 中形成的 TFT 阵列基板的结构示意图；

图6是本发明的提供的一种TFT阵列基板的制造方法的另一实施例中采用第一道光罩形成栅极金属层和像素电极层后的阵列基板的结构示意图；

图7是本发明的提供的一种TFT阵列基板的制造方法的另一实施例中采用第二道光罩形成栅极绝缘保护层和半导体层的结构示意图；

图 8 是图 7 完成后形成的阵列基板的结构示意图；

图 9 是采用第三道光罩形成源/漏极金属层后的阵列基板的结构示意图。

具体实施方式

下面参考附图对本发明的优选实施例进行描述。

如图 1 所示，是本发明提供的一种 TFT 阵列基板的制造方法的一个实施例中的主流程示意图；在该实施例中，该方法适宜于用来制造平板面板的非晶硅阵列基板，该方法包括如下步骤：

步骤 S10，在玻璃基板上采用第一道光罩工艺，形成栅极金属层和像素电极图案，第一道光罩工艺为半调式（half tone）光罩工艺；

具体地，该步骤包括：

在玻璃基板上沉积预定厚度的像素电极层以及栅极金属层，并涂覆光刻胶，例如在一个实施例中，采用溅射或热蒸发的方法在玻璃基板上沉积厚度为 1000 Å ~6000Å 的栅金属薄膜，以及沉积厚度为 100~1000Å 的 ITO（铟锡氧化物）像素电极层或 IZO（氧化锌）像素电极层，其中，栅金属薄膜可以采用诸如金属 Cr、Mo、Al、Cu 等；

采用半调式（half tone）光罩工艺对光刻胶进行曝光显影；

然后对栅金属层进行第一次湿刻，对像素电极层进行湿刻，并去除部份光刻胶；然后对栅金属层进行第二次湿刻，并剥离相应光刻胶，形成栅极金属层、像素电极和公共电极（Com）图案，其中栅极金属层图案包括栅极（Gate）以及栅极引线连接区（Gate pad）。

其中，形成栅极金属层和像素电极层后的阵列基板的结构示意图可参见图 2 所示。具体包括，玻璃基板 21 以及在其上形成的栅极 22、像素电极 23、公共电极 24 和栅极引线连接区 25。

步骤 S11，采用第二道光罩工艺，形成栅极绝缘层、半导体层图案，第

二道光罩工艺为半调式（half tone）光罩工艺；

具体地，该步骤包括：

在形成有栅极金属层和像素电极图案的玻璃基板上，沉积预定厚度的栅绝缘层（如 SiNx）以及非晶硅（a-Si）半导体层薄膜，并涂覆光刻胶，例如，在一个实施例中，采用化学气相沉积方法，在形成有栅极金属层和像素电极图案的玻璃基板上依次沉积厚度为 2000 Å ~5000Å 的栅绝缘层、厚度为 1000 Å ~3000Å 的 a-Si 半导体层薄膜，具体地，可以通过等离子体增强化学气相沉淀法（Plasma Enhanced Chemical Vapor Deposition，PECVD）来实现沉积过程；

采用半调式光罩工艺对光刻胶进行曝光显影，形成一定的图案；

然后对位于沟道上的绝缘保护层进行干刻以及对 a-Si 半导体层薄膜进行第一次干刻，去除部份光刻胶；然后对 a-Si 半导体层薄膜进行第二次干刻，并剥离相应光刻胶，形成栅极绝缘层和半导体层图案。

其中，形成栅极绝缘层、半导体层图案后的阵列基板的结构示意图可参见图 3 所示。其中，标号 26 代表的为栅绝缘层，标号 76 代表的为 a-Si 半导体层薄膜，其他标号所代表的元件可参照图 2 中的介绍。

步骤 S12，采用第三道光罩工艺，形成源/漏极金属层和沟道，其中，该第三道光罩工艺可以为普通的光罩工艺；

在形成有栅极绝缘层、半导体层图案的玻璃基板上沉积预定厚度的源/漏极金属薄膜，并涂覆光刻胶，例如，在一个实施例中，可以采用磁控溅射或热蒸发方法，沉积厚度为 1000 Å ~6000Å 的源/漏极金属薄膜；

采用第三道光罩工艺进行曝光显影，对源/漏极金属薄膜进行湿刻，对沟道进行干刻，并剥离相应的光刻胶，形成源极金属层、漏极金属层、沟道和数据引线连接区（Data pad）。

其中，形成有源/漏极金属层后的阵列基板的结构示意图可参见图 4 所示。其中，标号 28 代表的为源/漏极金属层，标号 29 代表的为数据引线连接区，其他标号所代表的元件可参照图 3 中的介绍。

如图 5 所示，是按照图 1 的方法形成的一个 TFT 阵列基板的结构示意图；其中，标号 280 代表一个 TFT 单元，其包括前述的源/漏极金属层 28 和沟道。

而 20 代表数据线，其他各标号所代表的元件可参照图 4 中的介绍。

相应地，在其他的实施例中，本发明提供的方法还可以应用于采用金属氧化物半导体工艺的 TFT 阵列基板制造过程中。如图 6-图 9 所示，示出了一种采用金属氧化物半导体工艺的 TFT 阵列基板制造步骤。具体地，在该实施例中包括如下步骤：

第一步骤：在玻璃基板上采用第一道光罩工艺，形成栅极金属层和像素电极图案，第一道光罩工艺为半调式（half tone）光罩工艺；

具体地，该步骤包括：

在玻璃基板上沉积预定厚度的像素电极层以及栅极金属层，并涂覆光刻胶，例如在一个实施例中，采用溅射或热蒸发的方法在玻璃基板上沉积厚度为 1000 Å ~6000Å 的栅金属薄膜，以及沉积厚度为 100~1000Å 的 ITO（铟锡氧化物）像素电极层或 IZO（氧化锌）像素电极层，其中，栅金属薄膜可以采用诸如金属 Cr、Mo、Al、Cu 等；

采用半调式（half tone）光罩工艺对光刻胶进行曝光显影；

然后对栅金属层进行第一次湿刻，对像素电极层进行湿刻，并去除部份光刻胶；然后对栅金属层进行第二次湿刻，并剥离相应光刻胶，形成栅极金属层、像素电极和公共电极（Com）图案，其中栅极金属层图案包括栅极（Gate）以及栅极引线连接区（Gate pad）。

其中，形成栅极金属层和像素电极层后的阵列基板的结构示意图可参见图 6 所示。具体包括，玻璃基板 21 以及在其上形成的栅极 22、像素电极 23、公共电极 24 和栅极引线连接区 25。

第二步骤，采用第二道光罩工艺，形成栅极绝缘层、半导体层图案，第二道光罩工艺为灰调（gray tone）光罩工艺；

具体地，该步骤包括：

在形成有栅极金属层和像素电极图案的玻璃基板上，依次沉积厚度为 2000 Å ~5000Å 的栅绝缘层 26、厚度为 300 Å ~1000Å 的氧化物半导体薄膜 27 以及厚度为 1000 Å ~3000Å 的刻蚀阻挡层 31（如 SiO2），并涂覆光刻胶；具体地，可以通过等离子体增强化学气相沉淀法（Plasma Enhanced Chemical Vapor Deposition，PECVD）来实现沉积过程，其中，氧化物半导体薄膜可

以是诸如 ZnO、 InZnO、ZnSnO、GaInZnO 或 ZrInZnO 等金属氧化物半导体薄膜；

采用灰调光罩工艺对所述光刻胶进行曝光显影，具体地采用一个具有多种透光率的灰阶掩膜板，如图 7 所示，示出了这样一种灰阶掩膜板，在该灰阶掩膜板中，不同区域的地方对光线具有不同的透过率。图 7 中示出了四种区域，其透过率分别为 0/3、1/3、2/3 和 3/3；

然后对位于沟道上的绝缘保护层进行第一次干刻以及对氧化物半导体薄膜进行第一次干刻，对刻蚀阻挡层进行第一次干刻，去除部份光刻胶；然后对位于沟道上的绝缘保护层进行第二次干刻以及对氧化物半导体薄膜进行第二次干刻，第二次去除部份光刻胶；对刻蚀阻挡层进行第二次干刻，并剥离相应光刻胶，形成栅极绝缘层、氧化物半导体层和刻蚀阻挡层图案。

其中，形成栅极绝缘层、氧化物半导体层图案后的阵列基板的结构示意图可参见图 8 所示。其中，标号 26 代表的为栅绝缘层，标号 76 代表的为氧化物半导体层薄膜，标号 31 代表的为刻蚀阻挡层；其他标号所代表的元件可参照图 6 中的介绍。

第三步骤，采用第三道光罩工艺，形成源/漏极金属层和沟道，其中，该第三道光罩工艺可以为普通的光罩工艺；

在形成有栅极绝缘层、半导体层图案的玻璃基板上沉积预定厚度的源/漏极金属薄膜，并涂覆光刻胶，例如，在一个实施例中，可以采用磁控溅射或热蒸发方法，沉积厚度为 1000 Å ~6000Å 的源/漏极金属薄膜；

采用第三道光罩工艺进行曝光显影，对源/漏极金属薄膜进行湿刻，对沟道进行干刻，并剥离相应的光刻胶，形成源极金属层、漏极金属层、沟道和数据引线连接区（Data pad）。

其中，形成有源/漏极金属层后的阵列基板的结构示意图可参见图 9 所示。其中，标号 28 代表的为源/漏极金属层，标号 29 代表的为数据引线连接区，其他标号所代表的元件可参照图 8 中的介绍。

可以理解的是，在其他的实施例中，也可以制造平板面板的非晶硅阵列基板时采用一道灰调（gray tone）光罩工艺，其具体方法与图 1 中示出的类似，只不过将步骤 S11 中的第二道光罩工艺替换为灰调光罩工艺，则在这种

实施例中，在步骤 S11 中采用第二道光罩工艺，形成栅极绝缘层、半导体层图案的步骤具体包括：

在形成有栅极金属层和像素电极图案的玻璃基板上，沉积预定厚度为 2000 Å ~5000Å 的栅绝缘层、厚度为 1000 Å ~3000Å 的半导体层薄膜，并涂覆光刻胶；

采用灰调光罩工艺对所述光刻胶进行曝光显影，灰调光罩工艺的原理可参见前述对图 7 的介绍；

然后对位于沟道上的绝缘保护层进行第一次干刻，对半导体层进行第一次干刻以及对栅极绝缘保护层进行干刻，去除部份光刻胶；对位于沟道上的绝缘保护层进行第二次干刻以及对半导体层进行第二次干刻，第二次去除部份光刻胶；对位于沟道上的绝缘保护层进行第三次干刻，并剥离相应光刻胶，形成栅极绝缘层和半导体层和沟道绝缘保护层图案。

而步骤 S10 和步骤 S12 与图 1 中示出的相同，可以参见前述的描述，在此不进行赘述。

实施本发明实施例，具有如下的有益效果：

实施本发明实施例，在采用非晶硅半导体或的金属氧化物半导体制造工艺中只需要采用三道光罩工艺，简化了制造平板显示器面板的 TFT 阵列基板的工艺流程，可以减少掩膜板的使用量，从而降低生产成本。

实施本发明实施例，在采用非晶硅半导体或的金属氧化物半导体制造工艺中只需要采用三道光罩工艺，简化了制造平板显示器面板的 TFT 阵列基板的工艺流程，可以减少掩膜板的使用量，从而降低生产成本。

以上所揭露的仅为本发明较佳实施例而已，当然不能以此来限定本发明之权利范围，因此等同变化，仍属本发明所涵盖的范围。

权 利 要 求

1、一种 TFT 阵列基板的制造方法，其中，包括如下步骤：

在玻璃基板上采用第一道光罩工艺，形成栅极金属层和像素电极图案，所述第一道光罩工艺为半调式光罩工艺；

采用第二道光罩工艺，形成栅极绝缘层、半导体层图案，所述第二道光罩工艺为半调式光罩工艺或灰调光罩工艺；

采用第三道光罩工艺，形成源/漏极金属层和沟道。

2、如权利要求 1 的一种 TFT 阵列基板的制造方法，其中，所述在玻璃基板上采用第一道光罩工艺，形成栅极金属层和像素电极图案的步骤包括：

在所述玻璃基板上沉积预定厚度的像素电极层以及栅极金属层，并涂覆光刻胶；

采用半调式光罩工艺对所述光刻胶进行曝光显影；

然后对栅金属层进行第一次湿刻，对像素电极层进行湿刻，并去除部份光刻胶；然后对栅金属层进行第二次湿刻并剥离相应光刻胶，形成栅极金属层和像素电极图案。

3、如权利要求 2 所述的一种 TFT 阵列基板的制造方法，其中，所述在玻璃基板沉积预定厚度的像素电极层以及栅极金属层的步骤具体为：

采用溅射或热蒸发的方法在所述玻璃基板上沉积厚度为 1000 Å ~6000Å 的栅金属薄膜 ,以及沉积厚度为 100Å~1000Å 的 ITO 像素电极层或 IZO 像素电极层。

4、如权利要求 3 所述的一种 TFT 阵列基板的制造方法，其中，所述采用第二道光罩工艺，形成栅极绝缘层、半导体层图案的步骤包括：

在形成有栅极金属层和像素电极图案的玻璃基板上，沉积预定厚度为 2000 Å ~5000Å 的栅绝缘层、厚度为 1000 Å ~3000Å 的非晶硅半导体薄膜，并涂覆光刻胶；

采用半调式光罩工艺对所述光刻胶进行曝光显影；

然后对位于沟道上的绝缘保护层进行干刻以及对非晶硅半导体薄膜进行第一次干刻 ,去除部份光刻胶 ;然后对非晶硅半导体薄膜进行第二次干刻，并剥离相应光刻胶，形成栅极绝缘层和半导体层图案。

5、如权利要求 3 所述的一种 TFT 阵列基板的制造方法，其中，所述采用第二道光罩工艺，形成栅极绝缘层、半导体层图案的步骤包括：

在形成有栅极金属层和像素电极图案的玻璃基板上，沉积预定厚度为 2000 Å ~5000Å 的栅绝缘层、厚度为 1000 Å ~3000Å 的非晶硅半导体薄膜，并涂覆光刻胶；

采用灰调光罩工艺对所述光刻胶进行曝光显影；

然后对位于沟道上的绝缘保护层进行第一次干刻，对非晶硅半导体薄膜进行第一次干刻以及对栅极绝缘保护层进行干刻，去除部份光刻胶；对位于沟道上的绝缘保护层进行第二次干刻以及对非晶硅半导体薄膜进行第二次干刻，第二次去除部份光刻胶；对位于沟道上的绝缘保护层进行第三次干刻，并剥离相应光刻胶，形成栅极绝缘层和非晶硅半导体层和沟道绝缘保护层图案。

6、如权利要求 3 所述的一种 TFT 阵列基板的制造方法，其中，所述采用第二道光罩工艺，形成栅极绝缘层、半导体层图案的步骤包括：

在形成有栅极金属层和像素电极图案的玻璃基板上，依次沉积厚度为 2000 Å ~5000Å 的栅绝缘层、厚度为 300 Å ~1000Å 的氧化物半导体薄膜以及厚度为 1000 Å ~3000Å 的刻蚀阻挡层，并涂覆光刻胶；

采用灰调光罩工艺对所述光刻胶进行曝光显影；

然后对位于沟道上的绝缘保护层进行第一次干刻以及对氧化物半导体薄膜进行第一次干刻，对刻蚀阻挡层进行第一次干刻，去除部份光刻胶；然后对位于沟道上的绝缘保护层进行第二次干刻以及对氧化物半导体薄膜进行第二次干刻，第二次去除部份光刻胶；对刻蚀阻挡层进行第二次干刻，并剥离相应光刻胶，形成栅极绝缘层、氧化物半导体层和刻蚀阻挡层图案。

7、如权利要求 4 所述的一种 TFT 阵列基板的制造方法，其中，所述采用第三道光罩工艺，形成源/漏极金属层和沟道的步骤包括：

在所述形成有形成栅极绝缘层、半导体层图案的玻璃基板上沉积预定厚度的源/漏极金属薄膜，并涂覆光刻胶；

采用第三道光罩工艺进行曝光显影，对源/漏极金属薄膜进行湿刻，对沟道进行干刻，并剥离相应的光刻胶，形成源极金属层、漏极金属层和沟道。

8、如权利要求 5 所述的一种 TFT 阵列基板的制造方法，其中，所述采用第三道光罩工艺，形成源/漏极金属层和沟道的步骤包括：

在所述形成有形成栅极绝缘层、半导体层图案的玻璃基板上沉积预定厚度的源/漏极金属薄膜，并涂覆光刻胶；

采用第三道光罩工艺进行曝光显影，对源/漏极金属薄膜进行湿刻，对沟道进行干刻，并剥离相应的光刻胶，形成源极金属层、漏极金属层和沟道。

9、如权利要求 6 所述的一种 TFT 阵列基板的制造方法，其中，所述采用第三道光罩工艺，形成源/漏极金属层和沟道的步骤包括：

在所述形成有形成栅极绝缘层、半导体层图案的玻璃基板上沉积预定厚度的源/漏极金属薄膜，并涂覆光刻胶；

采用第三道光罩工艺进行曝光显影，对源/漏极金属薄膜进行湿刻，对沟道进行干刻，并剥离相应的光刻胶，形成源极金属层、漏极金属层和沟道。

10、如权利要求 7 所述的一种 TFT 阵列基板的制造方法，其中，所述在形成有形成栅极绝缘层、半导体层图案的玻璃基板上沉积预定厚度的源/漏极金属薄膜的步骤具体为：

采用磁控溅射或热蒸发方法，沉积厚度为 1000 Å ~6000Å 的源/漏极金属薄膜。

11、如权利要求 10 所述的一种 TFT 阵列基板的制造方法，其中，

所述沉积栅绝缘层、半导体薄膜、氧化物半导体薄膜或刻蚀阻挡层采用等离子体增强化学气相沉淀法，所述栅绝缘层采用 SiNx，所述氧化物半导体薄膜采用 ZnO、InZnO、ZnSnO、GaInZnO 或 ZrInZnO 中的一种。

12、一种 TFT 阵列基板的制造方法，其中，包括如下步骤：

在玻璃基板上采用第一道光罩工艺，形成栅极金属层和像素电极图案，所述第一道光罩工艺为半调式光罩工艺；

采用第二道光罩工艺，形成栅极绝缘层、半导体层图案，所述第二道光罩工艺为半调式光罩工艺或灰调光罩工艺；

采用第三道光罩工艺，形成源/漏极金属层和沟道；

其中，所述在玻璃基板上采用第一道光罩工艺，形成栅极金属层和像素电极图案的步骤包括：

在所述玻璃基板上沉积预定厚度的像素电极层以及栅极金属层，并涂覆光刻胶；

采用半调式光罩工艺对所述光刻胶进行曝光显影；

然后对栅金属层进行第一次湿刻，对像素电极层进行湿刻，并去除部份光刻胶；然后对栅金属层进行第二次湿刻并剥离相应光刻胶，形成栅极金属层和像素电极图案。

13、如权利要求 12 所述的一种 TFT 阵列基板的制造方法，其中，所述在玻璃基板沉积预定厚度的像素电极层以及栅极金属层的步骤具体为：

采用溅射或热蒸发的方法在所述玻璃基板上沉积厚度为 1000 Å ~6000Å 的栅金属薄膜 ,以及沉积厚度为 100Å~1000Å 的 ITO 像素电极层或 IZO 像素电极层。

14、如权利要求 13 所述的一种 TFT 阵列基板的制造方法，其中，所述采用第二道光罩工艺，形成栅极绝缘层、半导体层图案的步骤包括：

在形成有栅极金属层和像素电极图案的玻璃基板上，沉积预定厚度为 2000 Å ~5000Å 的栅绝缘层、厚度为 1000 Å ~3000Å 的非晶硅半导体薄膜，并涂覆光刻胶；

采用半调式光罩工艺对所述光刻胶进行曝光显影；

然后对位于沟道上的绝缘保护层进行干刻以及对非晶硅半导体薄膜进行第一次干刻 ,去除部份光刻胶 ;然后对非晶硅半导体薄膜进行第二次干刻，并剥离相应光刻胶，形成栅极绝缘层和半导体层图案。

15、如权利要求 13 所述的一种 TFT 阵列基板的制造方法，其中，所述采用第二道光罩工艺，形成栅极绝缘层、半导体层图案的步骤包括：

在形成有栅极金属层和像素电极图案的玻璃基板上，沉积预定厚度为 2000 Å ~5000Å 的栅绝缘层、厚度为 1000 Å ~3000Å 的非晶硅半导体薄膜，并涂覆光刻胶；

采用灰调光罩工艺对所述光刻胶进行曝光显影；

然后对位于沟道上的绝缘保护层进行第一次干刻，对非晶硅半导体薄膜进行第一次干刻以及对栅极绝缘保护层进行干刻，去除部份光刻胶；对位于沟道上的绝缘保护层进行第二次干刻以及对非晶硅半导体薄膜进行第二次

干刻，第二次去除部份光刻胶；对位于沟道上的绝缘保护层进行第三次干刻，并剥离相应光刻胶，形成栅极绝缘层和非晶硅半导体层和沟道绝缘保护层图案。

16、如权利要求 13 所述的一种 TFT 阵列基板的制造方法，其中，所述采用第二道光罩工艺，形成栅极绝缘层、半导体层图案的步骤包括：

在形成有栅极金属层和像素电极图案的玻璃基板上，依次沉积厚度为 2000 Å ~5000Å 的栅绝缘层、厚度为 300 Å ~1000Å 的氧化物半导体薄膜以及厚度为 1000 Å ~3000Å 的刻蚀阻挡层，并涂覆光刻胶；

采用灰调光罩工艺对所述光刻胶进行曝光显影；

然后对位于沟道上的绝缘保护层进行第一次干刻以及对氧化物半导体薄膜进行第一次干刻，对刻蚀阻挡层进行第一次干刻，去除部份光刻胶；然后对位于沟道上的绝缘保护层进行第二次干刻以及对氧化物半导体薄膜进行第二次干刻，第二次去除部份光刻胶；对刻蚀阻挡层进行第二次干刻，并剥离相应光刻胶，形成栅极绝缘层、氧化物半导体层和刻蚀阻挡层图案。

17、如权利要求 14 所述的一种 TFT 阵列基板的制造方法，其中，所述采用第三道光罩工艺，形成源/漏极金属层和沟道的步骤包括：

在所述形成有形成栅极绝缘层、半导体层图案的玻璃基板上沉积预定厚度的源/漏极金属薄膜，并涂覆光刻胶；

采用第三道光罩工艺进行曝光显影，对源/漏极金属薄膜进行湿刻，对沟道进行干刻，并剥离相应的光刻胶，形成源极金属层、漏极金属层和沟道。

18、如权利要求 15 所述的一种 TFT 阵列基板的制造方法，其中，所述采用第三道光罩工艺，形成源/漏极金属层和沟道的步骤包括：

在所述形成有形成栅极绝缘层、半导体层图案的玻璃基板上沉积预定厚度的源/漏极金属薄膜，并涂覆光刻胶；

采用第三道光罩工艺进行曝光显影，对源/漏极金属薄膜进行湿刻，对沟道进行干刻，并剥离相应的光刻胶，形成源极金属层、漏极金属层和沟道。

19、如权利要求 16 所述的一种 TFT 阵列基板的制造方法，其中，所述采用第三道光罩工艺，形成源/漏极金属层和沟道的步骤包括：

在所述形成有形成栅极绝缘层、半导体层图案的玻璃基板上沉积预定厚

度的源/漏极金属薄膜，并涂覆光刻胶；

采用第三道光罩工艺进行曝光显影，对源/漏极金属薄膜进行湿刻，对沟道进行干刻，并剥离相应的光刻胶，形成源极金属层、漏极金属层和沟道。

20、如权利要求 18 所述的一种 TFT 阵列基板的制造方法，其中，所述在形成有形成栅极绝缘层、半导体层图案的玻璃基板上沉积预定厚度的源/漏极金属薄膜的步骤具体为：

采用磁控溅射或热蒸发方法，沉积厚度为 1000 Å ~6000Å 的源/漏极金属薄膜。

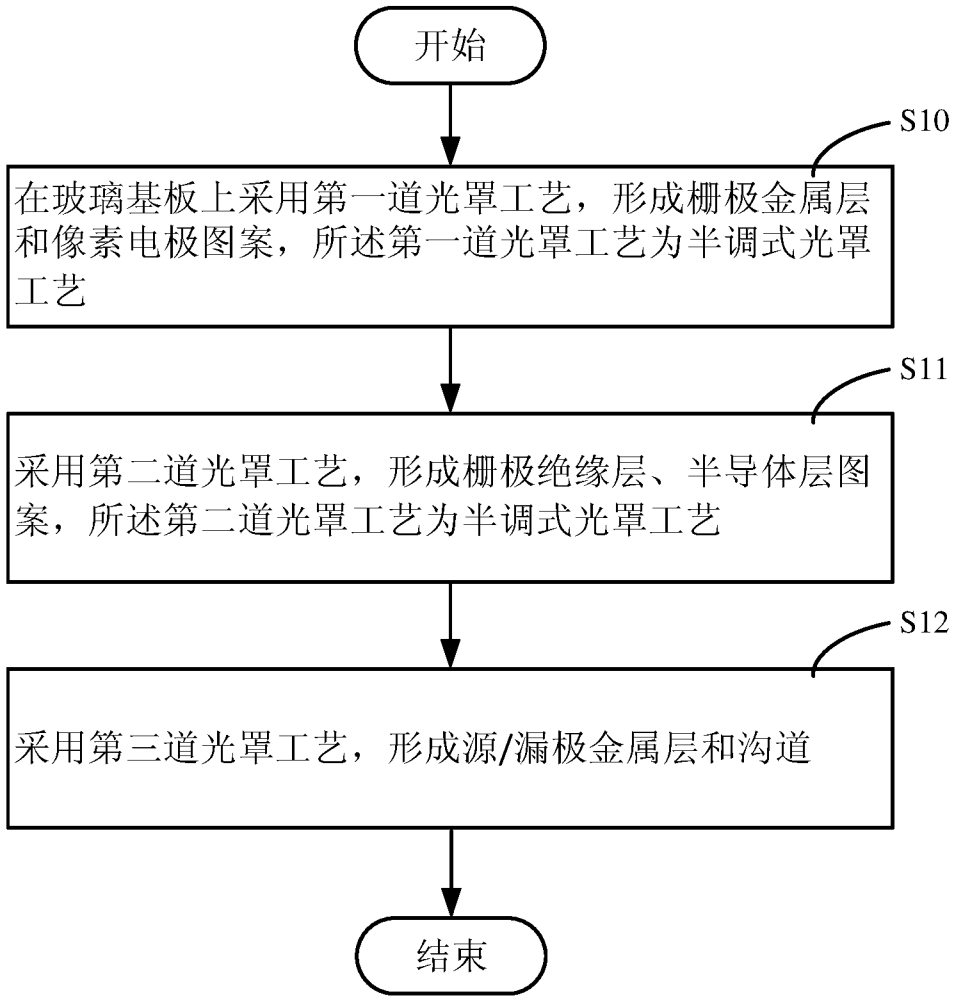
开始
S10
在玻璃基板上采用第一道光罩工艺，形成栅极金属层和像素电极图案，所述第一道光罩工艺为半调式光罩工艺
S11
采用第二道光罩工艺，形成栅极绝缘层、半导体层图案，所述第二道光罩工艺为半调式光罩工艺
S12
采用第三道光罩工艺，形成源/漏极金属层和沟道
结束

图 1

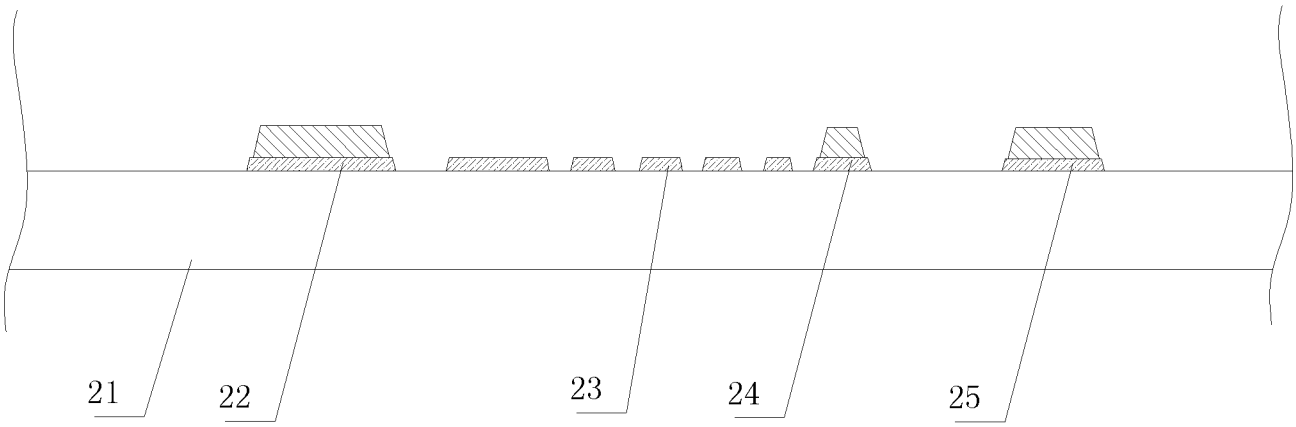
21
22
23
24
25

图 2

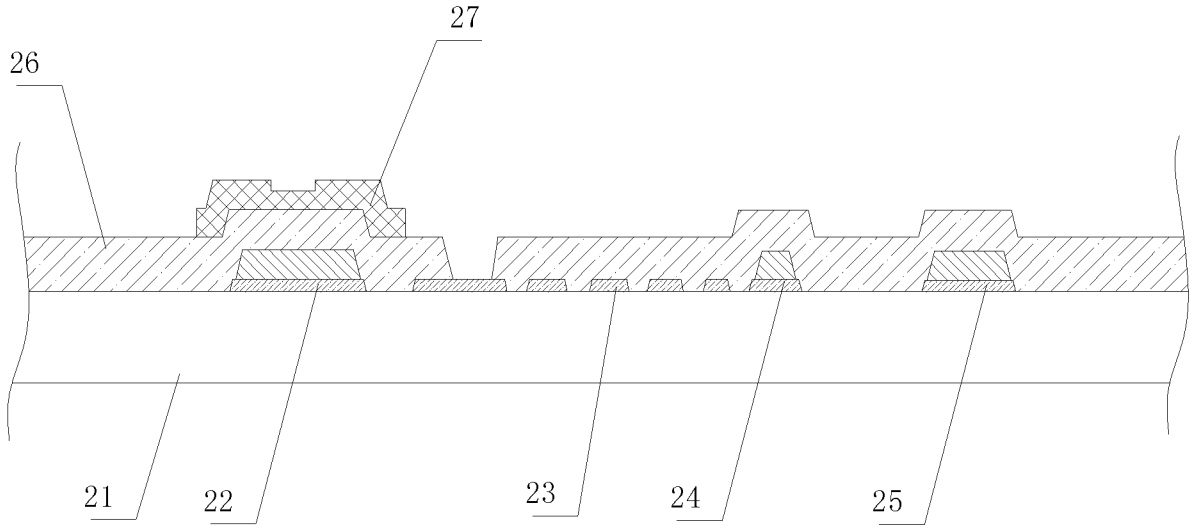

图 3

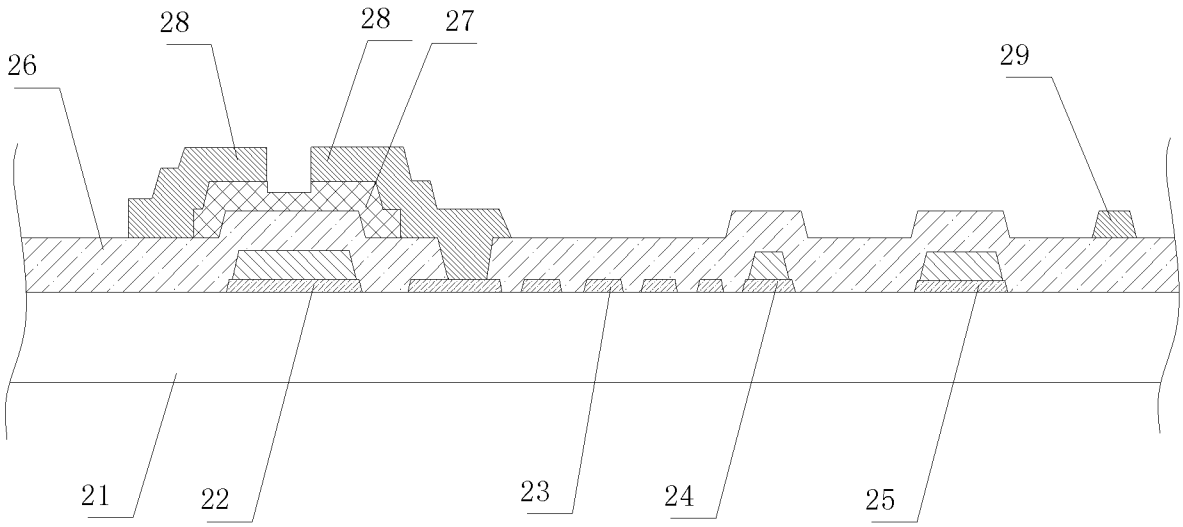

图 4

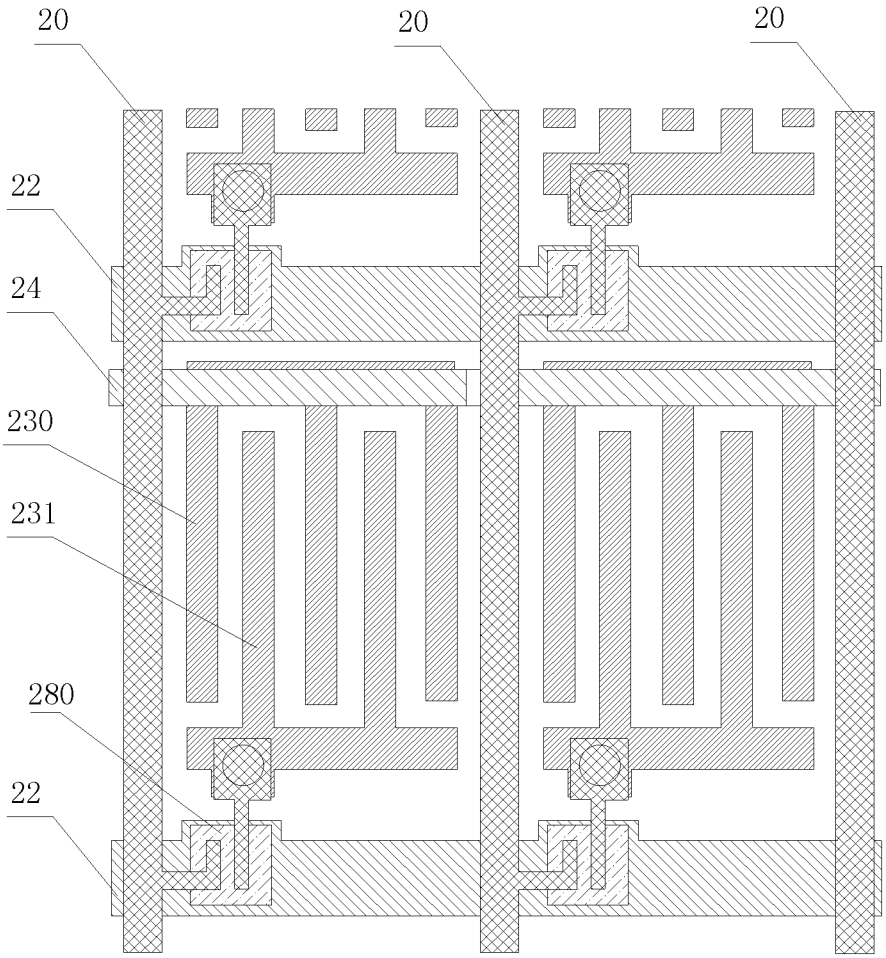

图 5

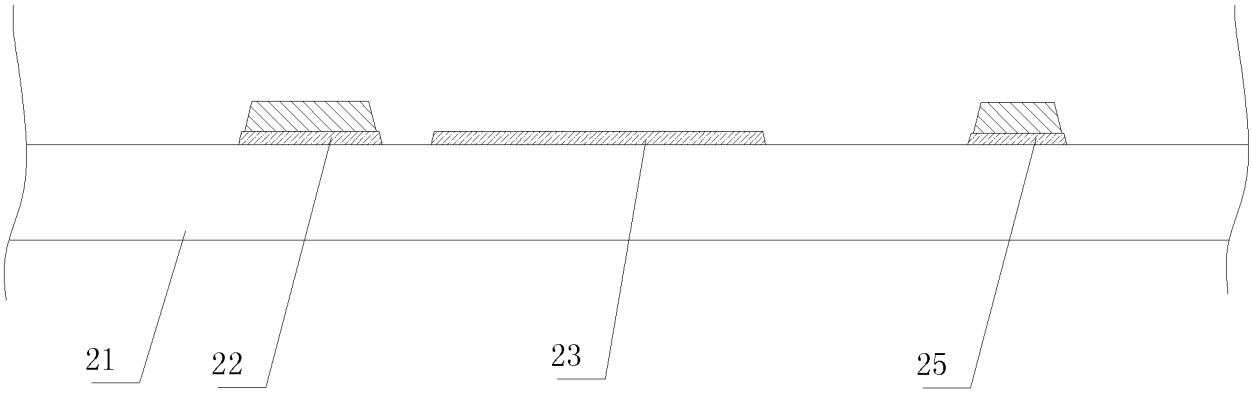

图 6

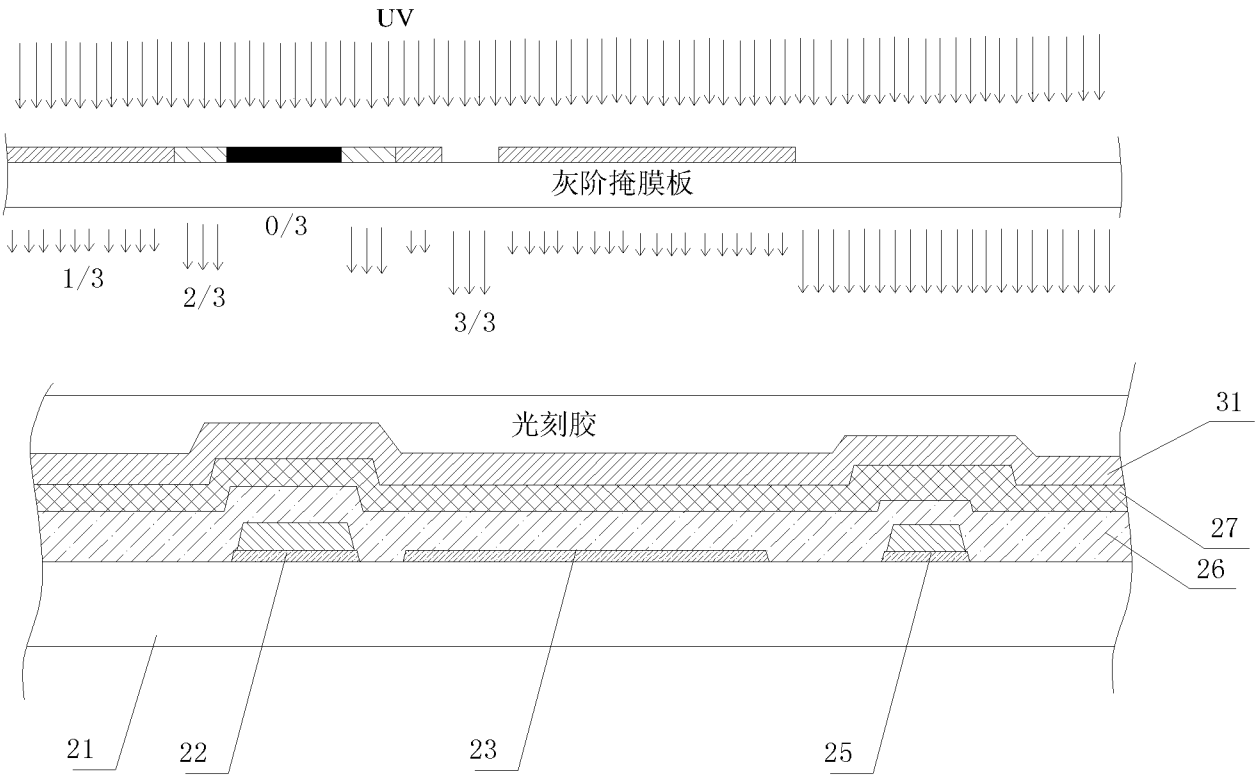

图 7

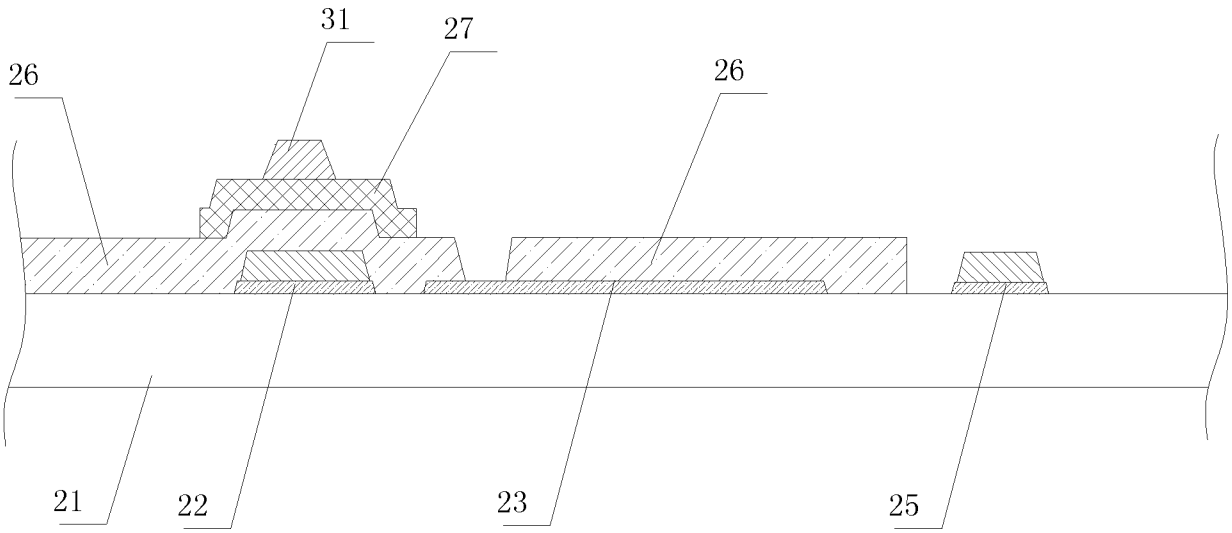

图 8

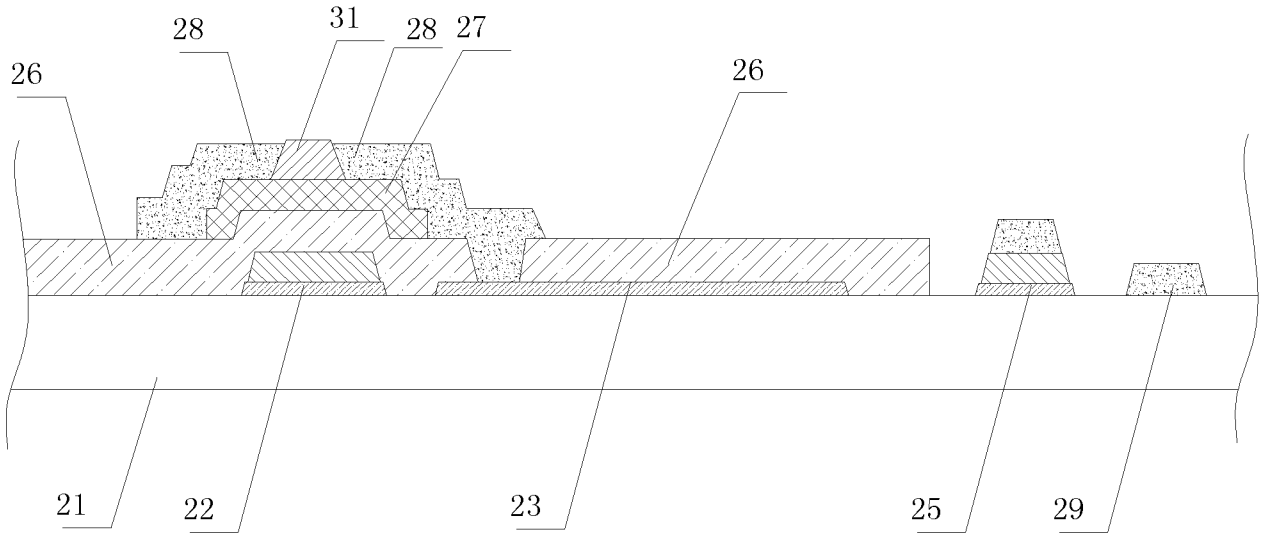

图 9

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2014/075577

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1368 (2006.01) i; H01L 21/84 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F/-; H01L/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, CNKI, WPI, EPODOC: TFT, array substrate, photomask, photoetch, barrier layer, wet etch, thin w film w transistor?, substrate?, mask?, grid, pixel? 3d electrode?, half w tone, gray w tone, channel?, etch+, source, drain

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101957526 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 26 January 2011 (26.01.2011), description, paragraphs [0060]-[0067] and [0076]-[0089], and figures 4-23	1-20
X	CN 101710579 A (SVA OPTRONICS CO., LTD.), 19 May 2010 (19.05.2010), description, paragraphs [0033]-[0039], and figures 4-7	1-5, 7-8, 10-15, 17-18, 20
X	CN 102270604 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 07 December 2011 (07.12.2011), description, paragraphs [0057]-[0080], and figures 6-13	1-5, 7-8, 10-15, 17-18, 20
X	KR 20020028014 A (HYUNDAI DISPLAY TECHNOLOGY INC.), 15 April 2002 (15.04.2002), description, paragraphs [0012]-[0026], and figure 1	1-5, 7-8, 10-15, 17-18, 20
E	CN 103887245 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 25 June 2014 (25.06.2014), description, paragraphs [0020]-[0025], and figures 1-4	1-4, 7, 12-14, 17
A	CN 102543866 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 04 July 2012 (04.07.2012), the whole document	1-20

☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
03 December 2014 (03.12.2014)	**30 December 2014 (30.12.2014)**
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer **LI, Pengfei** Telephone No.: (86-10) **010-61648470**

Form PCT/ISA/210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2014/075577

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2010105164 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.), 29 April 2010 (29.04.2010), the whole document	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2014/075577

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101957526 A	26 January 2011	CN 101957526 B	17 April 2013
		US 2011007234 A1	13 January 2011
CN 101710579 A	19 May 2010	None	
CN 102270604 A	07 December 2011	US 2011297929 A1	08 December 2011
		CN 102270604 B	20 November 2013
		US 8426259 B2	23 April 2013
KR 20020028014 A	15 April 2002	KR 100663288 B1	02 January 2007
CN 103887245 A	25 June 2014	None	
CN 102543866 A	04 July 2012	WO 2013131283 A1	12 September 2013
		CN 102543866 B	28 August 2013
		US 8470622 B1	25 June 2013
US 2010105164 A1	29 April 2010	US 8878178 B2	04 November 2014
		US 2013105793 A1	02 May 2013
		WO 2010047288 A1	29 April 2010
		US 8343799 B2	01 January 2013
		JP 2010123937 A	03 June 2010
		TW 201027631 A	16 July 2010

国际检索报告

国际申请号
PCT/CN2014/075577

A. 主题的分类

G02F 1/1368(2006.01)i；H01L 21/84(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G02F/-;H01L/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNABS，CNTXT，CNKI，WPI，EPODOC：TFT，薄膜晶体管，阵列基板，光罩，光刻，掩膜，栅极，像素电极，半调，半色调，灰调，灰色调，沟道，阻挡层，刻蚀，蚀刻，湿刻，源极，漏极，thin w film w transistor?，substrate?，mask?，grid，pixel? 3d electrode?，half w tone，gray w tone，channel? ，etch+，source，drain

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 101957526 A (北京京东方光电科技有限公司) 2011年 1月 26日 (2011 - 01 - 26) 说明书第[0060]-[0067]段，[0076]-[0089]段、附图4-23	1-20
X	CN 101710579 A (上海广电光电子有限公司) 2010年 5月 19日 (2010 - 05 - 19) 说明书第[0033]-[0039]段、附图4-7	1-5，7-8，10-15，17-18，20
X	CN 102270604 A (北京京东方光电科技有限公司) 2011年 12月 07日 (2011 - 12 - 07) 说明书第[0057]-[0080]段、附图6-13	1-5，7-8，10-15，17-18，20
X	KR 20020028014 A (HYUNDAI DISPLAY TECHNOLOGY INC.) 2002年 4月 15日 (2002 - 04 - 15) 说明书第[0012]-[0026]段、附图1	1-5，7-8，10-15，17-18，20
E	CN 103887245 A (深圳市华星光电技术有限公司) 2014年 6月 25日 (2014 - 06 - 25) 说明书第[0020]-[0025]段、附图1-4	1-4，7，12-14，17
A	CN 102543866 A (深圳市华星光电技术有限公司) 2012年 7月 04日 (2012 - 07 - 04) 全文	1-20

☑ 其余文件在C栏的续页中列出。　　☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2014年 12月 03日	2014年 12月 30日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国 传真号 (86-10)62019451	受权官员 李鹏飞 电话号码 (86-10)010-61648470

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 2010105164 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 2010年 4月 29日 (2010-04-29) 全文	1-20

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2014/075577

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101957526	A	2011年 1月 26日	CN	101957526	B	2013年 4月 17日
				US	2011007234	A1	2011年 1月 13日
CN	101710579	A	2010年 5月 19日		无		
CN	102270604	A	2011年 12月 07日	US	2011297929	A1	2011年 12月 08日
				CN	102270604	B	2013年 11月 20日
				US	8426259	B2	2013年 4月 23日
KR	20020028014	A	2002年 4月 15日	KR	100663288	B1	2007年 1月 02日
CN	103887245	A	2014年 6月 25日		无		
CN	102543866	A	2012年 7月 04日	WO	2013131283	A1	2013年 9月 12日
				CN	102543866	B	2013年 8月 28日
				US	8470622	B1	2013年 6月 25日
US	2010105164	A1	2010年 4月 29日	US	8878178	B2	2014年 11月 04日
				US	2013105793	A1	2013年 5月 02日
				WO	2010047288	A1	2010年 4月 29日
				US	8343799	B2	2013年 1月 01日
				JP	2010123937	A	2010年 6月 03日
				TW	201027631	A	2010年 7月 16日