

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4862906号
(P4862906)

(45) 発行日 平成24年1月25日(2012.1.25)

(24) 登録日 平成23年11月18日(2011.11.18)

(51) Int.Cl. F 1
G 0 6 F 1/10 (2006.01) G 0 6 F 1/04 3 3 0 A

請求項の数 8 (全 16 頁)

<p>(21) 出願番号 特願2009-69411 (P2009-69411) (22) 出願日 平成21年3月23日 (2009. 3. 23) (65) 公開番号 特開2010-224717 (P2010-224717A) (43) 公開日 平成22年10月7日 (2010. 10. 7) 審査請求日 平成21年3月23日 (2009. 3. 23)</p>	<p>(73) 特許権者 000004237 日本電気株式会社 東京都港区芝五丁目7番1号 (74) 代理人 100109313 弁理士 机 昌彦 (74) 代理人 100124154 弁理士 下坂 直樹 (72) 発明者 加藤 俊弘 東京都港区芝五丁目7番1号 日本電気株式会社内 審査官 小林 正明</p>
--	---

最終頁に続く

(54) 【発明の名称】 クロック分配装置及びクロック分配方法

(57) 【特許請求の範囲】

【請求項1】

基準クロックに同期した第1のクロックを出力する第1のクロック出力部と、
 前記基準クロックに同期した第2のクロックを出力する第2のクロック出力部と、
 前記第1のクロックが供給される第1のクロック分配部の第1の分岐点から分岐させた
 第3のクロックと、前記第2のクロックが供給される第2のクロック分配部の第2の分岐
 点から分岐させた第4のクロックとの位相差である、第1の位相差を検出する位相差検出
 部と、

前記第3のクロックを供給する第1の配線と前記第4のクロックを供給する第2の配線
 を短絡させるクロック短絡部とを備え、

前記位相差検出部は、前記第1の位相差に基づいて、前記第3のクロックの位相と前記
 第4のクロックの位相が等しい同相状態を検出し、

前記第2のクロック出力部は、

前記第2のクロックを、前記第1の位相差に基づいた第1の遅延時間だけ遅延させ第
 1の帰還クロックとして出力する第1の遅延回路と、

前記基準クロックと前記第1の帰還クロックとの位相差を制御することによって前記
 基準クロックに同期させた前記第2のクロックを出力する第1の位相同期回路を備え、

前記第1の位相差が小さくなるように、前記基準クロックと前記第2のクロックとの
 間に前記第1の位相差に基づく第2の位相差を設定し、

前記同相状態であるとき前記第1の遅延時間を保持し、

前記短絡部は、前記同相状態であるとき、前記第 1 の配線と前記第 2 の配線とを短絡させることを特徴とするクロック分配装置。

【請求項 2】

前記第 1 の遅延回路は、前記第 1 の位相差に設定された所定の許容位相差よりも小さい時間をステップとして、前記第 1 の遅延時間を増加又は減少させることを特徴とする請求項 1 記載のクロック分配装置。

【請求項 3】

前記位相差検出部は、前記第 1 の位相差が前記第 4 のクロックの位相が前記第 3 のクロックの位相よりも進んでいることを示す進相状態、及び前記第 1 の位相差が前記第 4 のクロックの位相が前記第 3 のクロックの位相よりも遅れていることを示す遅相状態を検出し、

10

前記第 2 のクロック出力部は、前記進相状態であるとき前記第 1 の遅延時間を増加させ、前記遅相状態であるとき前記第 1 の遅延時間を減少させることを特徴とする請求項 1 又は 2 記載のクロック分配装置。

【請求項 4】

前記進相状態又は遅相状態であるとき、前記第 1 の配線への前記第 3 のクロックの供給及び前記第 2 の配線への前記第 4 のクロックの供給を停止するクロック停止部を備えることを特徴とする請求項 3 記載のクロック分配装置。

【請求項 5】

20

前記第 2 のクロック出力部は、前記第 1 の位相差を測定し、前記測定した第 1 の位相差に基づいて前記第 2 の位相差を設定することを特徴とする請求項 1 記載のクロック分配装置。

【請求項 6】

前記第 2 のクロック出力部は、前記基準クロックに、前記第 2 の位相差に基づいた第 2 の遅延時間だけ遅延させ遅延基準クロックとして出力する第 2 の遅延回路と、

前記遅延基準クロックと前記第 2 のクロックとの位相差を制御することによって前記基準クロックに同期させた前記第 2 のクロックを出力する位相同期回路を備えることを特徴とする請求項 1 乃至 5 のいずれかに記載のクロック分配装置。

30

【請求項 7】

前記第 1 のクロック出力部は、前記第 1 のクロックを第 2 の帰還クロックとして入力に帰還し、前記基準クロックと前記第 2 の帰還クロックとの位相差を制御することによって前記基準クロックに同期させた前記第 1 のクロックを出力する第 2 の位相同期回路を備えることを特徴とする請求項 1 乃至 6 のいずれかに記載のクロック分配装置。

【請求項 8】

基準クロックに同期した第 1 のクロックが供給された第 1 のクロック分配部の第 1 の分岐点から分岐させた第 3 のクロックと、前記基準クロックに同期した第 2 のクロックが供給された第 2 のクロック分配部の第 2 の分岐点から分岐させた第 4 のクロックとの第 1 の位相差を検出する位相差検出工程と、

40

前記第 1 の位相差に基づいて、前記第 3 のクロックの位相と前記第 4 のクロックの位相が等しい同相状態を検出する同相状態検出工程と、

前記第 2 のクロックを、前記第 1 の位相差に基づいた第 1 の遅延時間だけ遅延させ第 1 の帰還クロックとして出力する第 1 の遅延工程と、

前記基準クロックと前記第 1 の帰還クロックとの位相差を制御することによって前記基準クロックに同期させた前記第 2 のクロックを出力する第 1 の位相同期工程と、

前記基準クロックと前記第 2 のクロックとの間に、前記第 1 の位相差に基づく第 2 の位相差を、前記第 1 の位相差が小さくなるように設定する位相差設定行程と、

前記同相状態であるとき前記第 1 の遅延時間を保持する遅延時間保持行程と、

50

前記同相状態であるとき、前記第1のクロックを供給する第1の配線と前記第2のクロックを供給する第2の配線とを短絡させるクロック短絡工程を備えることを特徴とするクロック分配方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、クロック分配装置及びクロック分配方法に関し、特に異なる系統のクロック間のクロック・スキューの低減が可能なクロック分配装置及びクロック分配方法に関する。

【背景技術】

10

【0002】

論理回路では、クロックを用いた同期動作を行うことが多い。クロックは論理回路内の各所に分配されるので、分配されたクロック間に、クロックの位相差、いわゆる「クロック・スキュー」が発生することがある。クロックを用いた同期回路では、クロック・スキューは極力小さいことが望ましい。そして、クロックが高速になるほど、クロック・スキューが論理回路の動作に与える影響は大きい。そのため、高速なクロックで動作する回路ほど、クロック・スキューを低減させる必要がある。

【0003】

一方、回路の物理的な規模が大きくなるほど、クロック・スキューが大きくなるという問題がある。例えば、半導体集積回路では、チップ・サイズが大きくなるにつれて、クロックの供給源からクロックの供給先までのクロック・ラインの、最も長いものの配線長と最も短いものの配線長との差が大きくなる。そのため、クロックの供給源からクロック供給先までの伝達遅延時間のバラツキが大きくなり、クロック・スキューが大きくなる。

20

【0004】

ところで、高速なクロックを用いる回路では、低速なクロックを高速なクロックに逡倍するためにPLL(Phase Locked Loop)を用いることがある。高速なクロックは回路内部の各所に分配され、データの同期転送等に用いられる。PLLを用いる場合におけるクロック・スキューの低減策として、1つのPLLから分配されるクロックが分配される回路の領域を狭くする方法がある。この方法では、回路内に複数のPLLを備えることが前提となる。この方法を用いる場合においても、異なるPLLから分配されたクロックを用いる回路間に同期関係が必要なパスが存在する場合がある。その場合も、クロック間のスキューが大きければ正常な同期動作ができないという課題がある。

30

【0005】

複数のPLLを用いる場合における、クロック・スキュー低減のための技術がある(例えば、特許文献1、特許文献2参照)。特許文献1のクロック分配回路では、複数のPLLがそれぞれクロック・ツリーを構成する。「クロック・ツリー」とは、クロック・ラインが、分岐を繰り返すことによって、全体として樹枝状(ツリー状)の配線を構成したものをいう。それぞれのクロック・ツリーの所定の分岐点からのクロックは、各々のPLLにフィードバックされ、PLLに入力される基準クロックと位相を合わせられる。基準クロックは、全PLLに共通に入力されている。従って、各々のクロック・ツリーの分岐点からのクロック同士の位相を合わせることができる。すなわち、クロック・ツリー間のクロック・スキューが低減される。

40

【0006】

特許文献2記載のクロック供給装置では、2系統のクロックの各々が、互いに相手側との位相を合わせるように、可変遅延回路を制御する。従って、2系統のクロック間のクロック・スキューが低減される。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2007-336003号公報(第7-11頁、図2)

50

【特許文献2】特開2008-219216号公報（第5頁、図1）

【発明の概要】

【発明が解決しようとする課題】

【0008】

特許文献1に記載されたクロック分配回路では、図11に示すように、PLLに供給される基準クロックの位相とクロック・ツリーの所定の分岐点から分配されるクロックとの位相を、PLLを用いて合わせている。ところが、基準クロックを各々のPLLに入力するための配線においても、クロックの伝達遅延がある。そのため、各々のPLLに入力される基準クロック自体にクロック・スキューが生じる。従って、個々のクロック・ツリーにおけるクロックの位相を各々のPLLの基準クロックの位相に合わせても、クロック・ツリー間のクロック・スキューは十分に低減できないという課題がある。

10

【0009】

また、基準クロックと位相が比較されるクロックとしてPLLに入力されるクロックは、クロック・ツリーの所定の分岐点からフィードバックされる。ところが、PLLからクロックの分岐点までのクロック・ライン、及びクロックのフィードバックのための配線には、伝達遅延時間が存在する。そして、その伝達遅延時間は、半導体プロセス等、製造バラツキのために一定値にはならない。また、クロックには、回路が動作することによって発生するノイズや立ち上がり時間、立ち下がり時間のバラツキ等によってクロック・ジッターが発生する。そのため、個々のPLLにフィードバックされるクロック間にも大きなクロック・スキューが存在し、従って、PLLの出力にもクロック・スキューが発生するという課題もある。

20

【0010】

特許文献2に記載されたクロック供給装置においても、特許文献1と同様の課題がある。すなわち、PLLに入力される基準クロック間のクロック・スキュー、及び位相合わせのために他方の系統のクロックに入力されるクロック間のクロック・スキューが存在する。従って、2系統のクロック間のスキューを十分に低減できないという課題がある。

（発明の目的）

本発明は上記のような技術的課題に鑑みて行われたもので、複数のクロック系統間のクロック・スキューを低減することができる、クロック分配装置及びクロック分配方法を提供することを目的とする。

30

【課題を解決するための手段】

【0011】

本発明のクロック分配装置は、基準クロックに同期した第1のクロックを出力する第1のクロック出力部と、基準クロックに同期した第2のクロックを出力する第2のクロック出力部と、第1のクロックが供給される第1のクロック分配部の第1の分岐点から分岐させた第3のクロックと、第2のクロックが供給される第2のクロック分配部の第2の分岐点から分岐させた第4のクロックとの位相差である、第1の位相差を検出する位相差検出部と、第3のクロックを供給する第1の配線と第4のクロックを供給する第2の配線を短絡させるクロック短絡部とを備え、位相差検出部は、第1の位相差に基づいて、第3のクロックの位相と第4のクロックの位相が等しい同相状態を検出し、第2のクロック出力部は、第2のクロックを、前記第1の位相差に基づいた第1の遅延時間だけ遅延させ第1の帰還クロックとして出力する第1の遅延回路と、基準クロックと第1の帰還クロックとの位相差を制御することによって基準クロックに同期させた第2のクロックを出力する第1の位相同期回路を備え、第1の位相差が小さくなるように、基準クロックと第2のクロックとの間に第1の位相差に基づく第2の位相差を設定し、同相状態であるとき第1の遅延時間を保持し、短絡部は、同相状態であるとき、第1の配線と第2の配線とを短絡させる。

40

【0012】

本発明のクロック分配方法は、基準クロックに同期した第1のクロックが供給された第1のクロック分配部の第1の分岐点から分岐させた第3のクロックと、基準クロックに同期した第2のクロックが供給された第2のクロック分配部の第2の分岐点から分岐させた第

50

4のクロックとの第1の位相差を検出する位相差検出工程と、第1の位相差に基づいて、第3のクロックの位相と第4のクロックの位相が等しい同相状態を検出する同相状態検出工程と、第2のクロックを、第1の位相差に基づいた第1の遅延時間だけ遅延させ第1の帰還クロックとして出力する第1の遅延工程と、基準クロックと第1の帰還クロックとの位相差を制御することによって基準クロックに同期させた第2のクロックを出力する第1の位相同期工程と、基準クロックと第2のクロックとの間に、第1の位相差に基づく第2の位相差を第1の位相差が小さくなるように設定する位相差設定行程と、同相状態であるとき第1の遅延時間を保持する遅延時間保持行程と、同相状態であるとき、第1のクロックを供給する第1の配線と第2のクロックを供給する第2の配線とを短絡させるクロック短絡工程を備える。

10

【発明の効果】

【0013】

本発明のクロック分配装置、クロック分配方法は、複数の系統のクロック間のクロック・スキューを低減することができるという効果がある。

【図面の簡単な説明】

【0014】

【図1】本発明の第1の実施形態のクロック分配装置の構成を示すブロック図である。

【図2】本発明の第1の実施形態のクロック分配装置の、第2のクロック出力部の内部構成の例を示すブロック図である。

【図3】本発明の第2の実施形態のクロック分配装置の構成を示すブロック図である。

20

【図4】本発明の第3の実施形態のクロック分配回路の、末端部付近の回路構成を示す回路図である。

【図5】トランスファースター・ゲートの構成例を示す回路図である。

【図6】本発明の第4の実施形態のクロック分配回路の、末端部付近の回路構成を示す回路図である。

【図7】本発明の第5の実施形態のクロック分配回路の、位相差検出部の回路構成を示す回路図である。

【図8】本発明の第5の実施形態のクロック分配回路の、位相差検出部の出力の各組み合わせに対する、遅延回路の動作の対応を示す表である。

【図9】本発明の第6の実施形態のクロック分配回路の、位相差検出部の回路構成を示す回路図である。

30

【図10】本発明の第6の実施形態のクロック分配回路の、位相差検出部の出力の各組み合わせに対する、遅延回路の動作の対応を示す表である。

【図11】特許文献1のクロック分配回路の構成を示す回路図である。

【発明を実施するための形態】

【0015】

(第1の実施形態)

本発明の第1の実施形態のクロック分配装置について、図面を参照して詳細に説明する。図1は、第1の実施形態のクロック分配装置の構成を示すブロック図である。本実施形態のクロック分配装置は、第1のクロック出力部101、第2のクロック出力部102、第1のクロック分配部201、第2のクロック分配部202、位相差検出部300を備える。

40

【0016】

第1のクロック出力部101は、基準クロック(以降、「CLK0」という。)を入力し、CLK0に同期した第1のクロック(以降、「CLK1」という。)を出力する。本明細書において、「同期」とは、2つの系統のクロックが一定の位相関係にある状態をいう。ただし、あるクロックの位相が、他のクロックの位相に対して所定の範囲内で変動する「ジッター」を持っている状態も「同期」に含まれるものとする。要するに、局所的に見て、あるクロックと他のクロックの個々のパルスに1対1の対応関係がありさえすれば、2つの系統のクロックは同期しているとみなすものとする。なお、クロックに含まれる

50

ジッターを、以降、「クロック・ジッター」という。

【0017】

第2のクロック出力部102は、CLK0を入力し、CLK0に同期した第2のクロック（以降、「CLK2」という。）を出力する。このとき、第2のクロック出力部102は、後述の位相差信号PDに基づいてCLK0の位相を変化させて、CLK2として出力する。

【0018】

第1のクロック分配部201は、CLK1を1回又は複数回分岐させ、CLK1に同期して動作する回路へ、第3のクロック（以降、「CLK3」という。）として供給する。第2のクロック分配部202は、CLK2を1回又は複数回分岐させ、CLK2に同期して動作する回路へ、第4のクロック（以降、「CLK4」という。）として供給する。第1のクロック分配部201、第2のクロック分配部202とは、例えば、前述のクロック・ツリーのような樹枝状の信号配線である。

【0019】

位相差検出部300は、CLK3とCLK4との位相差（以降、「第1の位相差」という。）を検出し、第1の位相差を示す位相差信号（以降、「PD」という。）を出力する。

【0020】

上記のように、CLK3は、第1のクロック分配部201を経由して出力されたCLK1である。CLK4は、第2のクロック分配部202を経由して出力されたCLK2である。従って、CLK3は、第1のクロック分配部201を経由したことによって、CLK1に対して位相が遅れている。CLK4は、第2のクロック分配部202を経由したことによって、CLK2に対して位相が遅れている。そして、CLK3とCLK4は、それぞれ異なるクロック分配部を経由したことによって、その位相差（第1の位相差）が大きくなっている可能性がある。本実施形態のクロック分配装置は、この第1の位相差をゼロに近づけるように、CLK2の位相を変化させる。

【0021】

CLK2の位相を変化させるための、第2のクロック出力部102の動作について説明する。第2のクロック出力部102は、PDによって示された第1の位相差に基づいてCLK0の位相を変化させて、CLK2として出力する。すなわち、第2のクロック出力部102は、CLK2とCLK0との間に第1の位相差に基づく位相差（以降、「第2の位相差」という。）を設け、CLK2を出力する。

【0022】

そして、第2のクロック出力部102は、第1の位相差が小さくなるように、理想的には第1の位相差がゼロになるように第2の位相差を変化させることによって、CLK2の位相を調整する。具体例としては次のような方法がある。例えば、CLK4の位相がCLK3の位相に比べて進んでいる場合には、CLK2の位相を遅らせる。逆に、CLK4の位相がCLK3の位相に比べて遅れている場合には、CLK2の位相を進める。従って、CLK3とCLK4との位相差、第1の位相差がゼロに近づく。

【0023】

以上の説明から明らかなように、本実施形態のクロック分配装置では、クロック・スキューが完全にゼロになる保証はない。しかし、第1の位相差は確実にゼロに近づく。すなわち、クロック・スキューは確実に低減される。

【0024】

なお、第2のクロック出力部102がCLK2の位相を変えるとき時間のステップ（刻み）（以降、「位相変化ステップ」という。）は、CLK3とCLK4との間のクロック・スキューに許容される最大値（以降、「スキュー許容値」という。）よりも小さいことが望ましい。すなわち、位相変化ステップは、第1の位相差の最大許容値よりも小さいことが望ましい。スキュー許容値とは、クロック・スキューがゼロである理想状態と、回路が正常動作できる最大のクロック・スキューとの差であり、正負の値を持つ。正のスキ

10

20

30

40

50

ユー許容値と負のスキュー許容値の絶対値は必ずしも等しくない。そのため、位相変化ステップを、CLK3及びCLK4を使用して動作する回路が正常動作できるように、適切に設定すればよい。

【0025】

なお、上記のように、遅延時間のあるステップで変化させCLK2の位相を調整するのではなく、第1の位相差を実際に測定し、その測定値に基づいて第2の位相差を設定してもよい。つまり、位相を進める制御と位相を遅らせる制御を繰り返すことによってCLK2の位相を調整するのではなく、第2の位相差を第1の位相差によって定められるある値に設定するのである。

【0026】

このときの第2の位相差の設定方法は2種類ある。一つの方法は、第1の位相差をデジタル的に測定し、その測定値に基づいてデジタル的に位相を設定する方法である。もう一方の方法は、第1の位相差をアナログ的に測定する方法である。例えば、位相差に基づいた電圧を発生させる。そして、その電圧に基づいて、無段階に位相を設定する。

【0027】

図2は、第2のクロック出力部102の内部構成の例を示すブロック図である。第2のクロック出力部102は、遅延回路111、位相同期回路112を備える。遅延回路111は、PDに基づいてCLK2を遅延させ、第5のクロック(以降、「CLK5」という。)として位相同期回路112へ出力する。

【0028】

位相同期回路112は、入力される2系統のクロック、CLK0とCLK5の位相差がゼロになるように、CLK0を遅延させて、CLK2として出力する。あるいは、一般のPLLのように、位相同期回路112の内部に発振器を備え、CLK0とCLK5の位相差がゼロになるように、発振器を制御してもよい。

【0029】

以上のように、第1の実施形態のクロック分配装置は、クロック分配部を経由して出力された2系統のクロックの位相差に基づいて、クロック分配部へ入力されるクロックの位相を変化させる。従って、クロック分配部を経由して出力された2系統のクロックの位相差を減少させることができる効果がある。

(第2の実施形態)

本発明の第2の実施形態について、図面を参照して詳細に説明する。図3は、第2の実施形態のクロック分配回路の構成を示す回路図である。本実施形態のクロック分配回路は、第1の実施形態のクロック分配装置の内部の回路構成を具体的に示すものである。

【0030】

本実施形態のクロック分配回路は、第1のクロック出力部101、第2のクロック出力部102、第1のクロック分配部201、第2のクロック分配部202、位相差検出部300と、実動作回路501、実動作回路502を備える。

【0031】

第1のクロック出力部101は、PLL113を備える。第2のクロック出力部102は、PLL112、遅延回路111を備える。

【0032】

なお、図3のクロック分配回路の構成要素で、図1の第1の実施形態のクロック分配装置の各構成要素と同じ符号を付した構成要素は、第1の実施形態のものと同じ機能を備える。それらの構成要素についての説明は省略する。

【0033】

第1のクロック分配部201、第2のクロック分配部202は、それぞれ、クロック・ツリーを構成する。第1のクロック分配部201、第2のクロック分配部202は、クロック・ドライバ203を備える。クロック・ドライバ203は、クロック信号の駆動能力を高めるために用いられるもので、信号の論理には影響を与えない。位相差検出部300は、D-フリップ・フロップ(以降、単に「F/F」という。)301を備える。

10

20

30

40

50

【0034】

本実施形態のクロック分配回路の回路構成について説明する。実動作回路501は、F/F503、504、論理回路505を含む。F/F503のデータ出力は論理回路505へ入力される。論理回路505の出力はF/F504のデータ入力に接続される。

【0035】

第1のクロック出力部101から出力されたCLK1は、クロック・ツリーの末端部で、CLK3として、F/F503のクロック入力、及び位相差検出部300のF/F301のデータ入力に接続される。第2のクロック出力部102から出力されたCLK2は、クロック・ツリーの末端部でCLK4として、F/F504のクロック入力、及び位相差検出部300のF/F301のクロック入力に接続される。

10

【0036】

次に、本実施形態のクロック分配回路の動作について説明する。CLK1は、第1のクロック分配部201のクロック・ツリーによって分配され、CLK3となり、実動作回路501に到達する。同様に、CLK2は、第2のクロック分配部202のクロック・ツリーによって分配され、実動作回路502に到達する。

【0037】

第1のクロック出力部101は、外部から供給されるCLK0と、第1のクロック出力部101の出力から直接フィードバックしたCLK1の位相を比較する。そして、CLK1をCLK0に同期させる。このように、第1のクロック出力部101には、第1のクロック分配部201の末端部からのクロックがフィードバックされない。そのため、フィードバックされるクロックの、クロック・ジッターは大きく低減され、また、クロック・スキューも低減される。

20

【0038】

第2のクロック出力部102についても同様である。すなわち、外部から供給されるCLK0と、第2のクロック出力部102の出力からフィードバックしたCLK2の位相を比較し、CLK2をCLK0に同期させる。そのため、フィードバックされるクロックの、クロック・ジッターは大きく低減され、また、クロック・スキューも低減される。

【0039】

F/F503はCLK3の立ち上がりエッジに同期して動作するので、論理回路505の出力もCLK3の立ち上がりエッジに同期して変化する。F/F504は、CLK3の立ち上がりエッジに同期して変化する論理回路505の出力を、CLK4の立ち上がりエッジに同期して保持する。

30

【0040】

本クロック分配回路によるCLK2の位相制御が行われていない初期状態では、CLK3、CLK4の位相は一致しない可能性がある。なぜなら、第1のクロック分配部201、第2のクロック分配部202における、クロックの伝達遅延時間は必ずしも同じではないからである。そこで、本実施形態のクロック分配回路では、CLK3とCLK4の位相が一致するように、CLK2の位相を変化させる。

【0041】

位相差検出部300を構成するF/F301は、CLK4の立ち上がりエッジに同期してCLK3を保持する。そのため、CLK4の立ち上がりタイミングに対して、CLK3の立ち上がりタイミングが遅いとき、F/F301の出力は0になる。逆に、CLK4の立ち上がりタイミングに対して、CLK3の立ち上がりタイミングが早いとき、F/F301の出力は1になる。つまり、F/F301の出力は、CLK4よりもCLK3の位相が遅れているとき0に、CLK4よりもCLK3の位相が進んでいるとき1になる。なお、F/F301の出力が、PDである。

40

【0042】

PDが0、すなわち、CLK4よりもCLK3の位相が遅れている場合、CLK2の位相を遅らせることによって、CLK4の位相をCLK3の位相に近づけることができる。そこで、PDが0のとき、遅延回路111の遅延量を小さくし、CLK2の位相を遅らせ

50

る。

【0043】

PDが1、すなわち、CLK4よりもCLK3の位相が進んでいる場合、CLK2の位相を進めることによって、CLK4の位相をCLK3の位相に近づけることができる。そこで、PDが1のとき、遅延回路111の遅延量を大きくし、CLK2の位相を進める。

【0044】

以上の遅延量の調整動作を繰り返すことによって、CLK3、CLK4の位相を近づけることができる。すなわち、CLK3とCLK4との間のクロック・スキューを低減することができる。

【0045】

以上のように、本実施形態のクロック分配回路は、2系統のクロック分配部の、各々の末端部におけるクロックの位相差に基づいて、クロック分配部へ入力するクロックの位相を変化させる。従って、クロック分配部の末端部におけるクロックの位相差、すなわちクロック・スキューを低減できる効果がある。

【0046】

さらに、クロック分配部の末端部からクロック出力部までクロックをフィードバックすることがないので、フィードバックされるクロックの、クロック・ジッターを大幅に低減でき、クロック・スキューも低減できるという効果がある。

(第3の実施形態)

本発明の第3の実施形態について、図4、図5を用いて説明する。第3の実施形態のクロック分配回路は、クロック・スキューをさらに低減するために、第2の実施形態のクロック分配回路に、2系統のクロックを短絡させるスイッチ回路を追加したものである。図4は、本実施形態のクロック分配回路の末端部付近の回路構成を示す回路図である。クロック分配部の末端部は、図3のAで示した部分である。本実施形態のクロック分配回路のその他の構成要素は、第2の実施形態のクロック分配回路と同じである。

【0047】

本実施形態のクロック分配回路は、図4に示すように、CLK3とCLK4のクロック・ライン間にスイッチ回路204を備える。スイッチ回路204は、スイッチ制御信号SWONによって制御される。スイッチ回路204の具体例としては、図5に示すような、トランスファー・ゲート205がある。トランスファー・ゲート205は、SWONが1のとき、CLK3のクロック・ラインとCLK4のクロック・ラインとを短絡する。そして、トランスファー・ゲート205は、SWONが0のとき、CLK3とCLK4とを開放状態とする。

【0048】

本実施形態のクロック分配回路による制御が行われる前の初期状態では、2系統のクロックCLK3、CLK4の位相は一致していない可能性がある。そのため、初期状態では、SWONを0にし、CLK3のクロック・ラインとCLK4のクロック・ラインとのショートを防止する。そして、第2の実施形態で説明した制御によって、CLK3、CLK4の「位相調整が完了」した後、SWONを1にし、CLK3のクロック・ラインとCLK4のクロック・ラインを短絡する。

本実施形態のクロック分配回路においても、第1の実施形態で説明したように、CLK3とCLK4との位相差(第1の位相差)が正確にゼロになるとは限らない。しかし、第1の位相差は確実に低減される。「位相調整が完了」とは、第1の位相差がCLK2の位相調整機能によって、十分に低減された状態を意味する。

【0049】

位相調整の完了は、例えば、CLK2の位相の調整が増加又は減少の一方向である状態から、逆の方向に変化したとき等をもって判断することができる。あるいは、CLK2の位相の調整を開始した後、所定の時間が経過したときに、第1の位相差の低減処理が完了したと判断することもできる。

【0050】

10

20

30

40

50

本実施形態のクロック分配回路では、CLK3、CLK4の位相調整が完了した状態において、CLK3のクロック・ラインとCLK4のクロック・ラインを強制的に短絡する。従って、CLK3、CLK4の位相差はさらに低減される。

【0051】

このように、スイッチ回路204は、CLK3とCLK4との位相差がある場合においても両方のクロック・ラインを強制的に短絡するので、オン抵抗は極力小さいことが望ましい。

【0052】

CLK3とCLK4は、F/F503、504、論理回路505等、実動作回路501、502へ供給される。CLK3とCLK4は、位相を強制的に一致させられているので、実動作回路501、502は確実な同期動作をすることができる。

10

【0053】

以上のように、第3の実施形態のクロック分配回路では、2系統のクロック間のクロック・スキューを低減した後、その2系統のクロックを強制的に短絡する。従って、クロックの位相調整によるクロック・スキューの低減の後、さらにそのクロック・スキューを低減することができるという効果がある。そして、クロック・スキューが存在する2系統のクロックを短絡させることがないという効果もある。

(第4の実施形態)

本発明の第4の実施形態について、図6を用いて説明する。第4の実施形態のクロック分配回路も、第3の実施形態と同様に、2系統のクロックを短絡させる短絡部を備える。そして、短絡部の直前にクロックの供給を停止するクロック停止回路を備える。図6は、本実施形態のクロック分配回路の末端部付近の回路構成を示す回路図である。クロック分配部の末端部は、図3のAで示した部分である。本実施形態のクロック分配回路のその他の構成要素は、第2の実施形態のクロック分配回路と同じである。

20

【0054】

本実施形態のクロック分配回路は、図6に示すように、CLK3、CLK4のそれぞれの信号線にANDゲート506、507が挿入されている。そして、クロック供給許可信号CLKONによって、ANDゲート506、507の後段の回路へのクロックの供給を制御する。ANDゲート506、507の出力は短絡されている。

【0055】

CLKONが0のとき、ANDゲート506、507の出力は、共に0固定となる。CLKONが1のとき、ANDゲート506、507は、それぞれCLK3、CLK4を出力する。そして、CLK3とCLK4はショートされ、F/F503、504、論理回路505等、実動作回路501、502へ供給される。CLK3とCLK4は、位相を強制的に一致させられているので、実動作回路501、502は確実な同期動作をすることができる。

30

【0056】

なお、本実施形態のクロック分配回路による制御が行われる前の初期状態においては、CLK3、CLK4の位相は一致していない可能性がある。そのため、初期状態では、CLKONを0にし、ANDゲート506、507の出力同士がショートしないように制御する。従って、CLK3とCLK4との間にクロック・スキューが存在した状態では、CLK3とCLK4とは短絡されることがない。そして、第2の実施形態で説明した制御によって、CLK3、CLK4の「位相調整が完了」した後、CLKONを1にし、CLK3、CLK4をショートする。「位相調整が完了」の意味は、第3の実施形態で説明したとおりである。位相調整の完了の判断方法も、第3の実施形態で説明したとおりである。

40

【0057】

以上のように、第4の実施形態のクロック分配回路でも、2系統のクロック間のクロック・スキューを低減した後、その2系統のクロックを強制的に短絡する。従って、クロックの位相調整によるクロック・スキューの低減の後、さらにそのクロック・スキューを低減することができるという効果がある。

50

【 0 0 5 8 】

そして、クロックの位相調整によるクロック・スキューの低減前には、クロックの短絡部へのクロックの供給を停止する。そのため、クロック・スキューが存在する2系統のクロックを短絡させることがないという効果もある。

(第5の実施形態)

本発明の第5の実施形態について、図7、図8を用いて説明する。第5の実施形態のクロック分配回路は、位相差検出部の位相差検出機能に、2系統のクロックの位相が一致していることの検出機能を追加したものである。図7は、本実施形態のクロック分配回路の、位相差検出部の回路構成を示す回路図である。図8は、図7の位相差検出部の出力の各組み合わせに対する、遅延回路の動作の対応を示す表である。

10

【 0 0 5 9 】

本実施形態の位相差検出部300は、図7に示すように、F/F302、303、遅延素子304、305を備える。F/F302のデータ入力にはCLK3を遅延素子304で遅延させて入力し、F/F302のクロック入力にはCLK4を遅延させずに入力する。F/F303のデータ入力にはCLK3を遅延させずに入力し、F/F303のクロック入力にはCLK4を遅延素子304で遅延させて入力する。なお、F/F302、303の出力の組み合わせが、位相差信号PDに相当する。以降、F/F302、303の出力をそれぞれ、PD1、PD2という。

【 0 0 6 0 】

PD1、PD2の値と、遅延回路の制御との組み合わせを図8に示す。CLK3の位相がCLK4の位相より遅い場合、PD1、PD2は共に0となる。このとき、CLK4の位相を遅らせるように遅延回路111の遅延量を小さくし、CLK2の位相を遅らせる。

20

【 0 0 6 1 】

CLK3の位相がCLK4の位相より早い場合、PD1、PD2は、共に1となる。このときは、逆にCLK4の位相を進めるように遅延回路111の遅延量を大きくし、CLK2の位相を進める。

【 0 0 6 2 】

以上の遅延量の調整動作を繰り返すことによって、CLK3とCLK4の位相を近づけることができる。すなわち、CLK3とCLK4のクロック・スキューを低減することができる。以上の、CLK2の位相調整によるクロック・スキューの低減機能については、第2の実施形態と同じである。

30

【 0 0 6 3 】

第5の実施形態の位相検出部300は、CLK3とCLK4の位相が一致していることの検出機能を備える。すなわち、CLK3、CLK4の位相が一致しているとき、PD1は0、PD2は1になるので、位相の一致を検出することができる。このときは、遅延回路111の遅延量はそのときの値で保持される。

【 0 0 6 4 】

CLK3とCLK4の位相が一致していることを検出する機能を備えなければ、位相が一致しているにもかかわらず、絶えずクロックの位相調整を続けることとなる。従って、CLK3とCLK4との間にクロック・スキューが発生する。さらに、CLK3とCLK4の位相の進み・遅れの関係が絶えず逆転する現象も引き起こされる。この場合は、スキューの存在自体だけでなく、論路回路のタイミング設計のマージンが不足するという問題もある。

40

【 0 0 6 5 】

しかし、第5の実施形態のクロック分配回路は、CLK3とCLK4の位相が一致しているときには位相の調整を停止する。そのため、上記のような問題は発生しない。そして、再び位相差が生じた場合は、第5の実施形態のクロック分配回路は位相の調整を再開し、位相が一致するように制御する。

【 0 0 6 6 】

以上のように、第5の実施形態のクロック分配回路の位相検出部は、2系統のクロック

50

の位相が一致していることの検出機能を備える。そのため、クロックの位相の変更を継続することによる、クロック・スキューの発生が防止される。従って、第2、第3の実施形態のクロック分配回路と比較して、さらにクロック・スキューを低減できるという効果がある。

【0067】

また、2系統のクロック間の位相の進み・遅れの関係が逆転する現象は発生しない。そのため、論路回路のタイミング設計のマージンが不足するという問題の発生を防止することができるという効果もある。

(第6の実施形態)

本発明の第6の実施形態について、図9、図10を用いて説明する。第6の実施形態のクロック分配回路も、第5の実施形態のクロック分配回路と同様に、位相差検出部の位相差検出機能に、2系統のクロックの位相が一致していることの検出機能を追加したものである。図9は、本実施形態のクロック分配回路の、位相差検出部の回路構成を示す回路図である。図10は、図9の位相差検出部の出力の各組み合わせに対する、遅延回路の動作の対応を示す表である。

10

【0068】

本実施形態の位相差検出部300は、図9に示すように、F/F306、307、308、309、遅延素子310、311、312、313、ORゲート314、ANDゲート315を備える。

【0069】

20

F/F306のデータ入力にはCLK3を遅延素子310で遅延させて入力し、F/F306のクロック入力にはCLK4を遅延させずに入力する。F/F307のデータ入力にはCLK4を遅延素子311で遅延させて入力し、F/F307のクロック入力にはCLK3を遅延させずに入力する。F/F308のデータ入力にはCLK3を遅延させずに入力し、F/F308のクロック入力には、CLK4を遅延素子312で遅延させて入力する。F/F309のデータ入力にはCLK4を遅延させずに入力し、F/F309のクロック入力にはCLK3を遅延素子313で遅延させて入力する。

【0070】

そして、F/F306の出力及びF/F307の反転出力をORゲート314に入力し、F/F308の出力及びF/F309の反転出力をANDゲート315に入力する。ORゲート314、ANDゲート315の出力の組み合わせが、位相差信号PDに相当する。以降、ORゲート314、ANDゲート315の出力をそれぞれ、PD3、PD4という。

30

【0071】

なお、F/F306、307、308、309間のタイミング特性の差、遅延素子310、311、312、313間のタイミング特性の差は、それぞれ、無視できることが望ましい。特性差が無視できるとき、CLK3に同期して動作するF/Fの出力とCLK4に同期して動作するF/Fの出力は、同じタイミングで変化するので、位相差検出部300の出力の誤動作を少なくすることができる。

【0072】

40

本実施形態の位相差検出部300の動作について説明する。PD3、PD4の値と、遅延回路の制御との組み合わせを図10に示す。CLK3の位相がCLK4より遅い場合、PD3、PD4は、共に0となる。このとき、CLK4の位相を遅らせるように、遅延回路111の遅延量を小さくし、CLK2の位相を遅らせる。

【0073】

CLK3の位相がCLK4の位相より早い場合、PD3、PD4は、共に1となる。このときは、逆にCLK4の位相を進めるように、遅延回路111の遅延量を大きくし、CLK2の位相を進める。

【0074】

以上の遅延量の調整動作を繰り返すことによって、CLK3とCLK4の位相を近づけ

50

ることができる。すなわち、CLK3とCLK4のクロック・スキューを低減することができる。以上の、CLK2の位相調整によるクロック・スキューの低減機能については、第2の実施形態と同じである。

【0075】

第6の実施形態の位相検出部300は、第5の実施形態の位相検出部300と同様に、CLK3とCLK4の位相が一致していることの検出機能を備える。すなわち、CLK3、CLK4の位相が一致しているとき、PD3は1、PD4は0になるので、位相の一致を検出することができる。このときは、遅延回路111の遅延量はそのときの値で保持される。

【0076】

CLK3とCLK4の位相が一致していることの検出機能を備えない場合の問題、及び第6の実施形態のクロック分配回路によってその問題が解決できる理由は、第5の実施形態で説明した内容と同じである。

【0077】

以上のように、第6の実施形態のクロック分配回路の位相検出部は、2系統のクロックの位相が一致していることの検出機能を備える。そのため、クロックの位相の変更を継続することによる、クロック・スキューの発生が防止される。従って、第2、第3の実施形態のクロック分配回路と比較して、さらにクロック・スキューを低減できるという効果がある。

【0078】

また、2系統のクロック間の位相の進み・遅れの関係が逆転する現象は発生しない。そのため、論路回路のタイミング設計のマージンが不足するという問題の発生を防止することができるという効果もある。

【0079】

なお、第5及び第6の実施形態の説明から明らかなように、本発明の位相差検出部には、各種の位相比較器を適用することができる。位相比較器は、第2乃至第4の実施形態のように、位相差の極性のみを検出できるもの、あるいは、第5、第6の実施形態のように、位相差の有無及び極性を検出できるものの、いずれも本発明に適用可能である。

【0080】

また、遅延回路111の挿入位置は、第2のクロック出力部102内のクロックのフィードバック・ラインに限られない。遅延回路111の挿入位置は、CLK1とCLK2の相対的な位相関係を調整することができる位置であれば、他の位置でも差し支えない。遅延回路111の挿入位置は、例えば、第1のクロック出力部101内のPLL113の、基準クロックCLK0の入力ライン、あるいはフィードバック・ラインでもよい。あるいは、遅延回路111の挿入位置は、第2のクロック出力部102内のPLL112の基準クロックCLK0の入力ラインでもよい。いずれの位置に遅延回路111を設けてもCLK1とCLK2の相対的な位相関係を調整することができるので、本発明の動作を実現することができる。

【0081】

なお、以上の実施形態は各々他の実施形態と組み合わせることができる。例えば、第3又は第4の実施形態のクロック間の短絡と、第5又は第6の実施形態の位相差検出部の改良を組み合わせることができる。

【符号の説明】

【0082】

101	第1のクロック出力部
102	第2のクロック出力部
111	遅延回路
201	第1のクロック分配部
202	第2のクロック分配部
203	クロック・ドライバ

10

20

30

40

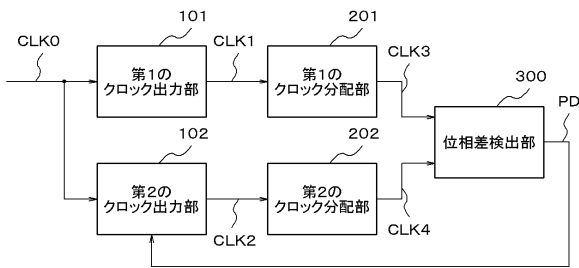
50

- 204 スイッチ回路
- 205 トランスファー・ゲート
- 300 位相差検出部
- 301、302、303 フリップ・フロップ(F/F)
- 304、305 遅延素子
- 306、307、308、309 フリップ・フロップ(F/F)
- 310、311、312、313 遅延素子
- 314 ORゲート
- 315 ANDゲート
- 501、502 実動作回路
- 503、504 フリップ・フロップ(F/F)
- 505 論理回路
- 506、507 ANDゲート
- CLK0 基準クロック
- CLK1 第1のクロック
- CLK2 第2のクロック
- CLK3 第3のクロック
- CLK4 第4のクロック
- CLK5 遅延第2のクロック
- PD、PD1、PD2、PD3、PD4 位相差信号
- SWON スイッチ制御信号
- CLKON クロック供給許可信号

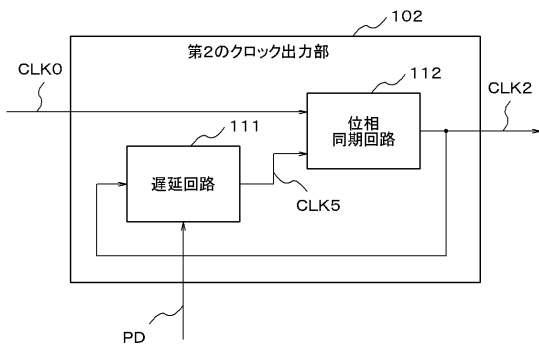
10

20

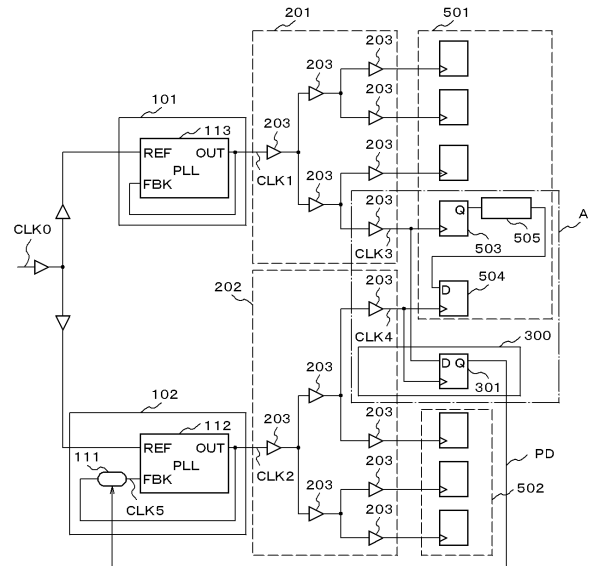
【図1】



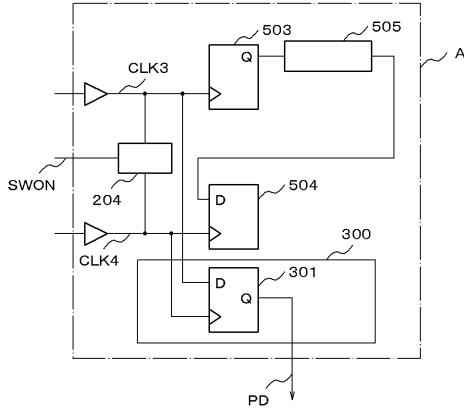
【図2】



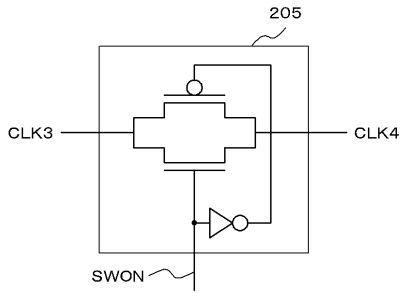
【図3】



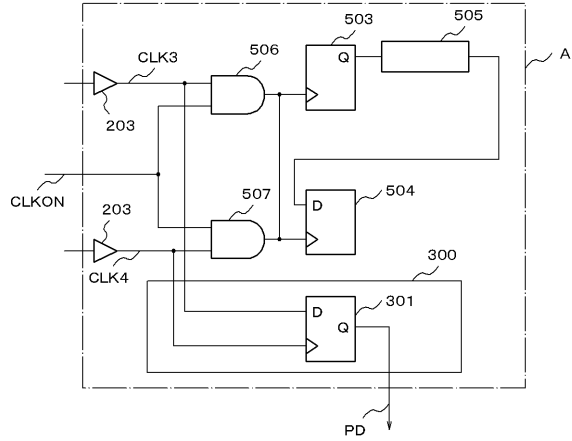
【図4】



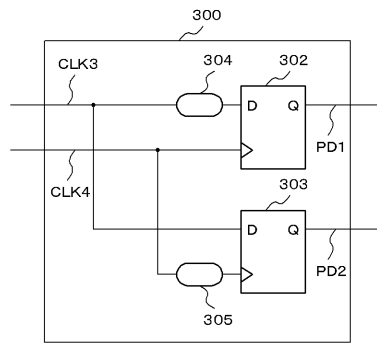
【図5】



【図6】



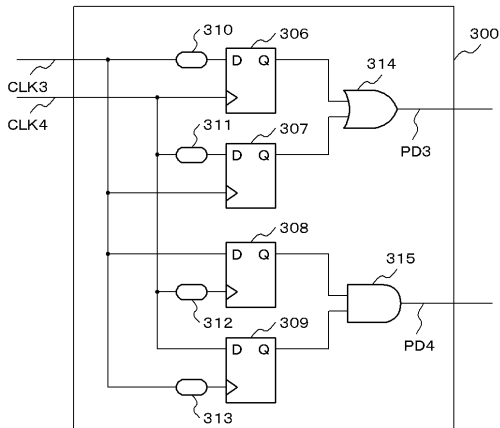
【図7】



【図8】

PD1	PD2	遅延回路動作
0	0	遅延量減少(CLK2を遅くする)
0	1	遅延量保持(CLK1とCLK2の位相一致)
1	1	遅延量増加(CLK2を早くする)

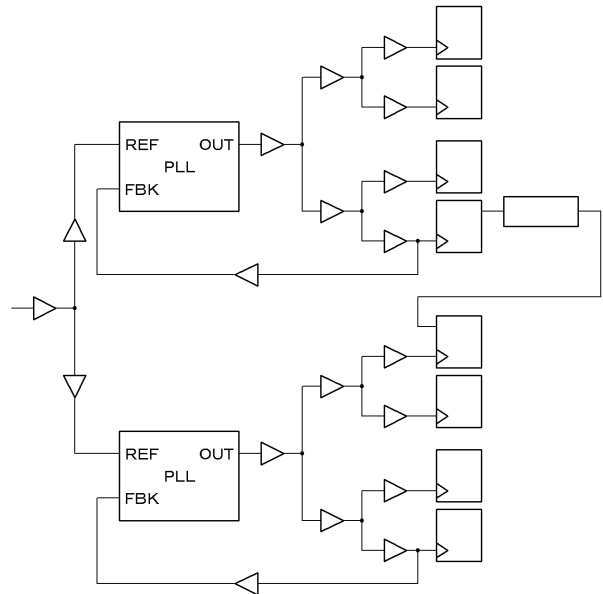
【図9】



【図10】

PD3	PD4	遅延回路動作
0	0	遅延量減少(CLK2を遅くする)
1	0	遅延量保持(CLK1とCLK2の位相一致)
1	1	遅延量増加(CLK2を早くする)

【図11】



フロントページの続き

- (56)参考文献 特開2004-159239(JP,A)
特開平04-076610(JP,A)
特開2005-044854(JP,A)
特開平07-281783(JP,A)
特開平06-276089(JP,A)
特開平10-041397(JP,A)
特開2007-336003(JP,A)
特開2008-219216(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F	1/10
H03L	7/00
H03K	5/15