

公告本

新型專利說明書 M253146

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：P2>1443714P83.01P11(22)

※申請日期：88.2.9

※IPC 分類：H03K 19/094, 19/20

壹、新型名稱：(中文/英文)

供一或多個脈衝輸入之高速比互補金氧半導體邏輯結構

HIGH SPEED RATIOED CMOS LOGIC STRUCTURES FOR ONE OR MORE PULSED INPUTS

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商英特爾公司/INTEL CORPORATION

代表人：(中文/英文)

F. 湯姆士.當烈二世/F. THOMAS DUNLAP, JR.

住居所或營業所地址：(中文/英文)

美國加州聖塔卡拉瓦市米遜大學路 2200 號

國籍：(中文/英文)

美國/U.S.A.

參、創作人：(共 4 人)

姓名：(中文/英文)

1. 芭芭拉 A. 泉培耳/BARBARA A. CHAPPELL

2. 泰瑞 I. 泉培耳/TERRY I. CHAPPELL

3. 馬克 S. 密須田/MARK S. MILSHTEIN

4. 湯瑪士 D. 福雷契爾/THOMAS D. FLETCHER

住居所地址：(中文/英文)

1. 美國奧立岡州波特蘭市西北頻納寇大道 2710 號

2. 美國奧立岡州波特蘭市西北頻納寇大道 2710 號

3. 美國奧立岡州希斯玻洛市東南第二十九路 221 號

4. 美國奧立岡州波特蘭市西北第 177 區 4785 號

國籍：(中文/英文)

美國/U.S.A.

肆、聲明事項：

☐ 本案係符合專利法第九十八條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家（地區）申請專利：

1. 美國；1997/12/29；08/999,102

2.

3.

4.

5.

☐ 主張國際優先權(專利法第一〇五條準用第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1.

2.

3.

4.

5.

☐ 主張國內優先權(專利法第一〇五條準用第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

3.

捌、新型說明：

技術領域

本創作通常係有關於邏輯電路，而更明確而言係關於與脈衝主動輸入使用的高速互補金屬氧化半導體(CMOS)電路結構。

先前技術

先進的半導體製造技術已允許電路設計者將龐大數目的電晶體整合在單一鑄模上。例如，現代的積體電路(ICs)普遍係包括在單一小基材上互相連接的數百萬個電晶體。典型上，這些是場效電晶體(FET)。同時，電腦結構、及更特殊的處理器結構已邁入強調較短週期時間的方向。先進的半導體製造和處理器結構已引導設計者考慮實現基本電路功能的新方式。

若要產生具較短週期時間的積體電路，其典型上需增加這些裝置操作的時脈頻率。增加時脈頻率係表示較少的邏輯閘延遲在每個時脈週期範圍內是允許的。然而，現代的處理器結構典型上儘可能快速發生邏輯操作的明顯量。如下所討論的，邏輯設計的數種風格已發展能夠達成高速操作。

靜態的完全CMOS邏輯需每個n通道效果電晶體(NFET)的p通道場效電晶體(PFET)。對於複雜邏輯閘而言，此係表示具PFET OR結構的NFET堆疊，或具PFET堆疊的NFET OR

結構。圖 1(a)係顯示靜態完全 CMOS 複雜邏輯閘的電晶體層級結構。圖 1(b) 係顯示邏輯符號，其表示由圖 1(a)電路所

實現的邏輯功能。這些複雜邏輯閘結構的實際設計會產生實質量的接合區域，而如輸出節點便有寄生電容存在。

諸如連鎖邏輯的動態邏輯結構已發展成，其可在與靜態完全 CMOS 邏輯結構有關的輸出節點上減少寄生電容。連鎖邏輯係參考具預充電輸出節點之許多連鎖級耦合邏輯的電路配置。耦合數個連鎖邏輯連鎖級的整個係稱為連鎖方塊。或者，該連鎖方塊係稱為管路連鎖級，既然它係時常用來實現高速 CMOS 邏輯積體電路的管線結構。個別邏輯級的輸出節點係預充電至第一邏輯位準，邏輯信號然後應用，其係決定在所要實現的邏輯功能及各種不同輸入信號的狀態，該輸出節點能切換至第二邏輯位準。當每個連鎖級在鏈上評估的時候，下一連鎖級的輸出便可啟動。既然該等預充電的節點是有順序，所以此操作已類比式地連鎖，而因此該名稱適用此電路配置型態。

當連鎖電路與靜態完全 CMOS 邏輯結構相比較有助於減少輸入電容和輸出電容的時候，連鎖電路是需要重置(亦即，預充電)電路，而進一步的連鎖電路對於充電分配所感應的雜訊問題敏感。

所需的結構係能提供高速組合邏輯功能，消耗少量的晶

片區域，呈現少於靜態完全CMOS邏輯結構的的輸入和輸出電容，而且不受充電分配問題的影響。

新型內容

簡單地說，適合於接收脈衝主動輸入信號的邏輯結構會產生具非常小固有交換延遲的邏輯輸出。下拉電晶體和互補提昇電晶體是成比例，以致於預設邏輯輸出位準保持接近額定值，即使當該邏輯結構沉接直流電流或是直流電流源。當該脈衝輸入信號是非主動的時候，沒有直流電流路徑會啟動。

在本創作的特殊具體實施例中，具PFET提昇和NFET下拉的邏輯結構係接收主動低脈衝輸入信號，而且當所有的輸入信號是在低位準的時候，會產生邏輯高輸出信號。在至少一而不是所有輸入信號是低信號而當沉接直流電流的時候，該邏輯結構會產生邏輯低輸出信號。當所有的輸入信號是在此特殊具體實施例的預設情況高位準的時候，該邏輯結構便會產生邏輯低輸出信號，而沒有直流電流路徑轉會啟動。

實施方式

本創作的具體實施例是在下面描述。在所描述的內容中，並非所有的實際製作觀點皆在此規格描述。當然歸功於任何如此實際具體實施例的發展，許多的特殊製作決定

必須要能達成開發者的特殊目標，諸如符合相關的系統、及相關商用限制，而此會從一種製作改變成另一製作。而且，要歸功如此的發展努力會是複雜而耗時，但依然是在具有此揭露優點技藝中的平常技術所承擔的運作。

概要

本創作的具體實施例係提供有效的區域的高速電路，用以達成具脈衝輸入的組合邏輯。在本創作的一觀點中，對稱邏輯結構具有相等數量的提昇通道和下拉通道。在本創作的進一步觀點中，非對稱邏輯結構具不相等數目的提昇通道和下拉通道，在典型的具體實施例中，下拉通道數目係超過提昇通道的數目。這些邏輯結構也可稱為邏輯閘。

根據本創作的範例電路具有複數PFET和NFET對，其中每個PFET和NFET對的邏輯閘係共同耦合至具輸入信號的信號源，其正常是在邏輯高狀態，並具有產生脈衝低輸出狀態的能力。

當連同連鎖邏輯電路使用的時候，根據本創作的邏輯結構會特別有用。脈衝連鎖電路典型上具有預設邏輯高狀態的輸出，且當該等輸入信號控制允許傳導至地端的連鎖評估路徑的時候，能產生低主動的短脈衝。在此具有所描述優點的技藝中之技術係確認當用以控制PFET連鎖評估路徑的輸入信號允許傳導至正電壓的時候，具PFETs所構成的

評估路徑的連鎖結構通常會產生高位準輸出。

專門術語

n型連鎖、n堆疊連鎖、及n通道評估路徑皆參考為連鎖級，其中連鎖級的該等邏輯輸入係控制從連鎖輸出節點至地端路徑的NFETs。術語p型連鎖、p堆疊連鎖、及p通道評估路徑皆參考為連鎖級，其中連鎖級的該等邏輯輸入係控制從輸出節點至正電壓供應路徑的PFETs。在技藝的技術會了解到連鎖電路級能夠以任何適當的元件而不僅是場效電晶體實現。

在此與連鎖級有關而使用的評估係參考為進入主動狀態的連鎖輸出節點。此主動狀態是來自不同於預充電狀態的位準。

注意本文所使用的術語“閘”，而且在描述積體電路的時候，能以兩種方式使用。如在此使用，當在本文使用邏輯閘的時候，閘係參考用以實現任意邏輯功能的電路。當在本文使用電晶體電路結構的時候，閘係參考為三端子場效電晶體(FET)的絕緣閘極端子。雖然當描述本創作具體實施例之半導體基材的時候，FET可視為四端子裝置，但所描述的FET係使用傳統的閘極-汲極-源極的三個端子模型。

脈衝係參考為堅持短持續時間的信號。典型上，脈衝係堅持連同時脈信號及個別非堅持時脈信號的轉變。而且，脈衝的持續時間，亦即，所堅持脈衝的時間長度相對於時脈時間通常是較短。

通常在數位電路技術領域中的重置係參考邏輯低信號或零的輸出節點。然而，隨著邏輯連鎖級，重置係參考“非評估”狀態的輸出節點。即是，具有 n 通道評估路徑的連鎖級會置成高位準，但是具有 p 通道評估路徑的連鎖級會重置成低位準。

自我重置連鎖級有時係視為原子重置電路。或者，自我重置連鎖級有時視為自我終止。當輸出節點評估的時候，所有的這些用語係參考具有連鎖級輸出節點的最初預充電電路的連鎖級。

Zipper連鎖級係參考具有複數所串聯之連鎖級的電路結構，其中該等連鎖級可以是 n 通道評估路徑級，及 p 通道評估路徑級。

電路結構

既然本創作的具體實施例連同連鎖級類型邏輯電路是特別有用，描述連鎖級電路某些基本資訊的提供係參考下面的圖2-3。在技藝中的技術可確認在一般連鎖級電路設計類型範圍內所完成的許多電路變化和修改。在連鎖邏輯電路範例的簡單描述之後，會描述根據本創作的比例CMOS邏輯結構之特殊具體實施例。

圖2係顯示連鎖邏輯中的兩輸入NAND閘210的傳統製作。NAND閘210係包含在輸出節點218和接地之間串聯(亦即， n 堆疊)耦合的NFETs 211-213，及在電壓供應和輸出節

點218之間的所耦合的PFET 214。PFET 214的閘極係耦合至

NFET 211的閘極，而兩閘極係接收輸入時脈信號CLK。

所顯示的資料輸入B和A係分別耦合至NFETs 212和213的閘極。在操作上，有兩階段，預充電階段和評估階段。這兩階段的替代用語係分別為預充電時間和評估時間。在預充電階段，當CLK是低信號的時候，輸出節點218會充電至高位準，因為NFET 211不導通，如此從輸出節點218至接地端並沒有傳導路徑，而同時PFET 214會導通，如此便可產生從電源供應Vcc至輸出節點218的傳導路徑。對於正確的操作而言，信號A和B會預期在CLK進入高位準之前變成穩定。在評估階段，CLK會進入高位準，如此便使PFET 214不導通，而使NFET 211導通。隨著NFET 211的導通，如果兩信號A和B是高位準，從輸出節點218至地端會有傳導路徑。即是，如果兩NAND輸入是高位準，輸出會在評估階段進入地電位，否則輸出會保持高位準。注意，當輸出節點218在評估階段並未經由n堆疊放電的時候，輸出節點218會“漂移”高位準，而其電壓受充電，由於經由漏電流及耦合至其它信號的電容之電荷損失或增加。輸出節點218係耦合至反相器220的輸入。

當連鎖級是串聯耦合的時候，它們通常係經由諸如反相器220的靜態反相邏輯級而耦合。雖然連鎖邏輯的zipper製

作已設計，但是更典型具有由靜態反相邏輯結構所串聯耦合的 n 堆疊連鎖級。此配置是很有用，因為 n 堆疊連鎖輸出節點會預充電至高位準，因此直接連接至另外 n 堆疊連鎖級的輸入會造成錯誤放電的連鎖級。在技藝中所熟知的技術是歸功於反相器以外的反相轉邏輯結是在連鎖級之間配置。例如，能使用邏輯NAND和NOR功能。

圖3係描述在本創作具體實施例中用來形成管級的連鎖邏輯級300。由在技藝中所熟知的技術可了解，各種不同的邏輯功能可藉由在連鎖輸出318和接地之間所耦合的各種不同NFETs配置而實現。在圖3所描述的範例中，係採用兩並聯的兩高AND堆疊。第一AND堆疊係藉著在如圖3所示的在連鎖輸出318和接地之間串聯耦合NFETs 302、304而達成。第二AND堆疊是藉由在如圖3所示的在連鎖輸出318和接地之間串聯耦合NFETs 306、308而達成。兩PFETs 314、316係並聯耦合在在電源供應和連鎖輸出318之間。PFET 316是重置裝置，而且提供所需的電荷，而將連鎖輸出318從低位準返回高位準。連鎖輸出節點318係耦合至反相器320的輸入。PFET 316具有耦合至重置信號的閘極312。在本創作的具體實施例中，該等連鎖級的至少其中之一會實現自我重置電路，而且至少一連鎖級會實現自我調整時脈重置。連鎖邏輯閘300的半保持器功能係包括反相器310。

反相器 310 的輸入係耦合至連鎖輸出 318。反相器 310 的輸出係耦合至 PFET 314 的閘極。反相器 310 連同 PFET 314 可實現半保持器功能。

當連鎖輸出 318 是高位準時候，反相器 310 的輸出會進入低位準，而在 PFET 314 閘極上的低位準會使 PFET 314 導通，所以在電源供應和連鎖輸出 318 之間存在傳導路徑。如此，高位準是由半保持器在連鎖輸出 318 上維護。當連

鎖輸出 318 評估為低位準的時候，反相器 310 的輸出會是高位準，而結果使 PFET 314 不導通。

當 PFET 316 的閘極 312 是在高位準的時候，PFET 316 會關閉，而在電源供應和連鎖輸出 318 之間沒有傳導路徑。當 PFET 316 的閘極 312 是在低位準的時候，PFET 316 便會導通，而在電源供應和連鎖輸出 318 之間存在傳導路徑。如此，連鎖輸出 318 會重置到高位準。當連鎖輸出 318 回到高位準的時候，反相器 310 的輸出會是低位準，結果使 PFET 314 導通。典型上，PFETs 314、316 是 PFET 314 具有大於 PFET 316 阻抗的大小。

請即參考圖 4(a)，其係根據本創作而描述三輸入、對稱、比例的 CMOS 邏輯結構。如圖中的顯示，PFETs 402、406、410 係耦合在第一電源供應節點和輸出節點 414 之間的源-汲極。如此，PFETs 402、406、410 會在第一電源供應節點

和輸出節點414之間形成可切換的傳導路徑。即是，在節點414和第一電源供應節點之間的傳導路徑可藉著控制提供給PFETs 402、406、410閘極的電壓而能開啟和關閉。NFETs 404、408、412係耦合在輸出節點414和第二電源供應節點的汲-源極之間。如此，NFETs 404、408、412會在輸出節點414和第二電源供應節點之間形成可切換的傳導路徑。即是，在節點414和第二電源供應節點之間的傳導路徑能藉由控制提供給NFETs 404、408、412閘極的電壓而開啟和關閉。在技藝中具有在此所描述優點的技術雖然歸功於在此所描述的可切換傳導路徑是在輸出節點和第一或第二電壓供應節點之間的單一電晶體，但是這些可切換的傳導路徑能夠與諸如場效電晶體的電路元件串聯實現。

在典型的製作中，第一電源供應節點是正電壓供應，而第二電源供應節點是接地。PFET 402和NFET 404的閘極係共同耦合至標示A的主動低脈衝信號源。PFET 406和NFET 408的閘極係共同耦合至標示B的主動低脈衝信號源。PFET 410和NFET 412的閘極係共同耦合至標示C的主動低脈衝信號源。該等NFETs 404、408、412其中每個是其中任何一個能沉接由兩PFETs所提供電流的大小，而該等兩PFETs是完全導通，並在輸出節點414上維持預定的額定低位準。

請仍參考圖4(a)，可看出當所有主動低脈衝輸入信號A、B、和C是在高位準狀態的時候，經由NFETs 404、408、412和PFETs 402、406、410而耦合至地端的輸出節點414會關閉，如此便沒有直流電流路徑。同樣地，當所有主動低脈衝輸入信號A、B、和C是在低位準狀態的時候，輸出節點414會很快變成高位準，因為經由NFETs而至地端的路徑已關閉，而所有三個PFETs 402、406、410是並聯導通，而且將輸出節點414驅動成高位準。然而，當該等其中一或兩主動低脈衝輸入信號變成低位準而該等至少一主動低脈衝輸入信號保持高位準的時候，輸出節點414會保持低位準，因為NFETs的大小係實質上能沉接來自導通PFETs的所有電流。在此唯一情況是存在直流電流路徑。

當設計者為了要減少由積體電路所消耗電力量而避免典型的直流電流路徑的時候，本創作的比例CMOS邏輯結構典型上可在輸入信號的主動低脈衝具有較短持續時間上操作，而因此直流電流路徑只存在於較短的時間。從此邏輯結構所獲得的切換速度對於高速設計是很有用，儘管與整個靜態CMOS結構相比較會銷耗額外的電力。

請即參考圖4(b)，其係根據本創作而描述三輸入、非對稱比例CMOS邏輯結構。如圖中所示，PFETs 402、406係耦合在第一電源供應節點和點輸出節點414之間的源-汲極。如

此，PFETs 402、406便可在第一電源供應節點和輸出節點414之間形成可切換的傳導路徑。即是，在節點414和第一電源供應節點之間的傳導路徑能藉由控制提供給PFETs 402、406閘極的電壓而開啟和關閉。NFETs 404、408、412係耦合在輸出節點414和第二電源供應節點之間的汲-源極。如此，NFETs 404、408、412便可在輸出節點414和第二電源供應節點之間形成可切換的傳導路徑。即是，在節點414和第二電源供應節點之間的傳導路徑能藉由控制提供給NFETs 404、408、412閘極的電壓而開啟和關閉。在典型的製作上，第一電源供應節點是正電壓供應，而第二電源供應節點是接地。PFET 402 和NFET 404的閘極係共同耦合至標示A的主動低脈衝信號源。PFET 406和NFET 408的閘極係共同耦合至標示B的主動低脈衝信號源。NFET 412的閘極係耦合至標示C的主動低脈衝信號源。該等NFETs 404、408、412其中每個的大小是在牠們其中任一

在導通的時候，能承接由PFETs所提供的電流，而PFETs整個能完全導通，而在輸出節點414上仍維持預定的額定低位準。非對稱製作具有少於對稱製作之輸出節點的寄生接合電容。

請即參考圖5，其係顯示本創作的電路具體實施例500，該電路具有當作低主動脈衝輸出信號的自我重置連鎖邏輯

級。如圖 5 可看出，當輸入信號 A 和 B 便程高位準的時候，自我重置 n 堆疊連鎖級 502 可在輸出節點 503 上產生低主動脈衝。同樣地，當輸入信號 C 和 D 便程高位準的時候，自我重置 n 堆疊連鎖級 504 可在輸出節點 505 上產生低主動脈衝。

比例 CMOS 邏輯結構範例係包括耦合在正電壓供應節點和輸出節點 514 之間源-汲極的 PFET 506、耦合在出節點 514 和接地之間汲-源極的 NFET 508、耦合在正電壓供應和輸出節點 154 之間的 PFET 510、及耦合在輸出節點 514 和接地之間汲-源極的 NFET 512。PFET 506 和 NFET 508 的閘極係耦合至連鎖邏輯級 502 的輸出節點 503。PFET 510 和 NFET 512 的閘極係耦合至連鎖邏輯級 504 的輸出節點 505。NFET 508 的大小是它能夠沉接在 PFET 510 上完全導通的電流。同樣地，NFET 512 的大小是它能夠沉接 PFET 506 上完全導通的電流。

在輸出節點 514 上由圖 5 顯示的比例 CMOS 邏輯結構所產生的輸出信號典型上係耦合至如圖中所示的另一連鎖邏輯級 516。在節點 514 上的輸出是信號 A、B、C、和 D 的邏輯 AND。在技藝中具有在此所描述優點的技術係歸功於其它的邏輯功能可同樣地實現。而且，在圖 5 所顯示的比例 CMOS 邏輯結構可展開，以致於 5 通道、6 通道、或更多 AND 功能而不是 4 通道 AND 功能可實現。本創作之比例 CMOS 邏輯結

構的特殊優點是無需使用 NFETs 或 PFETs 堆疊。這可減少與傳統靜態完全 CMOS 邏輯製作有關的輸入電容和輸出電容。

結論

本創作的具體實施例係提供適合於接收脈衝主動輸入信號的邏輯結構系列，及產生具非常小固有切換延遲的邏輯輸出。甚至在邏輯結構沉接直流電流或是直流電流源的時候，下拉電晶體和互補提昇電晶體係比例處理，以致預設邏輯輸出位準可保持接近額定值。當脈衝輸入信號是非主動的時候，便沒有直流電流路徑會產生。

本創作具體實施例的優點是達成 CMOS 邏輯結構，而無需堆疊 PFETs 或堆疊 NFETs，所以在輸出節點上的兩輸入電容、和寄生接合電容會隨著靜態完全 CMOS 邏輯結構而減少。

本創作具體實施例的進一步優點是，不像傳統的比例邏輯，當所有輸入信號是在它們預設高位準狀態的時候，便沒有直流電流路徑會產生。

本創作能以各種不同的變化實現，並取代所描述的具體實施例。例如，本創作能以較多或較少的輸入端實現。另一替代是本本創作的比例 CMOS 邏輯結構係配置成能與邏輯低位準的預設輸入及預設邏輯高輸出位準操作。在此結構中，當一或多個而非所有輸入信號轉變成邏輯高位準的

時候，PFETs會是維持邏輯高位準的不同電流源的大小。

業界之技藝人士將了解到所描述細節、材料、零件配置、和步驟，係為了要說明所達成的本創作特性，其在不違背申請專利範圍中所描述的本創作原理和精神下尚有各種不同其它變化。

圖式簡單說明

圖 1(a)係顯示靜態完全 CMOS 複雜邏輯閘的電晶體層級結構。

圖 1(b)係顯示表示由圖 1(a)的電路所實現邏輯功能的邏輯符號。

圖 2是基本連鎖邏輯級的電路結構圖。

圖 3是具連鎖相容輸入、半監督裝置、及重置裝置之連鎖邏輯級的電路結構圖。

圖 4(a)係根據本創作的對稱比 CMOS 邏輯結構圖。

圖 4(b)係根據本創作的不對稱比 CMOS 邏輯結構圖。

圖 5係顯示包括當作脈衝信號源的連鎖邏輯級之本創作具體實施例電路圖。

圖式元件符號說明

210	NAND 閘
211-213	N 型場效電晶體

214	P 型場效電晶體
218	輸出節點
220	反相器
300	連鎖邏輯級
302-308	N 型場效電晶體
310-311	反相器
314-316	P 型場效電晶體
318	連鎖輸出
320	反相器
402, 406, 410	P 型場效電晶體
404, 408, 412	N 型場效電晶體
414	輸出節點
500	邏輯電路
502	自我重置 N 堆疊連鎖級
503	輸出節點
504	自我重置 N 堆疊連鎖級
505	輸出節點
506, 510	P 型場效電晶體
508, 512	N 型場效電晶體
514	輸出節點
516	連鎖邏輯級

伍、中文新型摘要：

一種適合接收脈衝主動輸入信號之邏輯結構會產生具非常小的固有交換延遲之邏輯輸出。下拉電晶體和互補提昇電晶體會是預設的邏輯輸出位準，以保持接近於額定比，甚至是在邏輯結構沉接直流電流或直流電流源。當該等脈衝輸入信號是非主動的時候，沒有直流電流路徑能產生。在本創作的一特殊具體實施例中，當所有輸入信號是在低位準的時候，具p通道場效電晶體(PFET)提昇和n通道場效電晶體(NFET)下拉的邏輯結構係接收主動低脈衝輸入，並產生邏輯高位準輸出信號。當至少一而非所有輸入信號是低位準的時候，該邏輯結構在沉接直流電流的時候會產生邏輯低輸出信號。當所有輸入信號是在此特殊具體實施例的預設高位準情況，該邏輯結構便會產生邏輯低輸出信號，而且沒有直流電流路徑會產生。

陸、英文新型摘要：

A logic structure adapted to receive pulsed active input signals produces a logical output with a very small inherent switching delay. Pull-down transistors and complementary pull-up transistors are ratioed such that the default logical output level remains close to nominal even when the logic structure sinks or sources a DC current. When the pulsed input signals are inactive, no DC current path is enabled.

In one particular embodiment of the present invention, a logic structure having PFET pull-ups and NFET pull-downs, receives active low pulsed input signals and produces a logical high output signal when all the input signals are at a low level. When at least one, but not all, of the input signals are low, the logic structure produces a logical low output signal, while sinking a DC current. When all of the input signals are at a high level, which is the default condition for this particular embodiment, the logic structure produces a logical low output signal, and no DC current paths are switched on.

柒、指定代表圖：

(一)本案指定代表圖為：第（ 5 ）圖。

(二)本代表圖之元件代表符號簡單說明：

500	邏輯電路
502	自我重置 N 堆疊連鎖級
503	輸出節點
504	自我重置 N 堆疊連鎖級
505	輸出節點
506, 510	P 型場效電晶體
508, 512	N 型場效電晶體
514	輸出節點
516	連鎖邏輯級

玖、申請專利範圍：

1. 一種電路，包含：

在第一節點與輸出節點之間的第一可切換傳導路徑；

在該輸出節點與第二節點之間的第二可切換傳導路徑；及

在該輸出節點與第二節點之間的第一第三可切換傳導路徑；

其中該第一與第二可切換傳導路徑係耦合至第一低主動脈衝信號源，第三可切換傳導路徑係耦合至第二低主動脈衝信號源，而該等第二和第三可切換傳導路徑的其中每一個的阻抗係實質少於第一可切換傳導路徑的阻抗。

2. 如申請專利範圍第1項之電路，該第一節點係正電壓供應，而第二節點係接地。

3. 如申請專利範圍第1項之電路，該第一可切換傳導路徑係包含至少一PFET。

4. 如申請專利範圍第1項之電路，該第二可切換傳導路徑係包含至少一NFET。

5. 一種電路，包含：

一第一比例CMOS反相器，具有一輸出端及一耦合至

輸出節點之輸出端；及

一第二比例CMOS反相器，具有一輸入端及一耦合至該輸出節點之輸出端；

其中第一比例CMOS反相器的輸入端係耦合至第一低主動脈衝信號源的輸出節點，而第二比例CMOS反相器的輸入端係耦合至第二低主動脈衝信號源的輸出節點。

6. 如申請專利範圍第5項之電路，其中該第一比例CMOS反相器係包含在第一節點與該輸出端子之間源-汲極所耦合之一第一PFET，及具有一耦合至該輸入端之閘極之一第一PFET；具一耦合至輸入端閘極之第一NFET所存在的阻抗係實質少於第一PFET的阻抗，而第一NFET係耦合在該輸出端和第二節點之間的汲-源極；及

該第二反相器係包含在第一節點與該輸出端之間源-汲極所耦合之第二PFET，及具一耦合至輸入端閘極之第二PFET；具一耦合至輸入端閘極之一第二NFET所存在的阻抗係實質少於第二PFET的阻抗，第二NFET係耦合在該輸出端與第二節點之間的汲-源極。

7. 如申請專利範圍第5項之電路，其係進一步包含一具有一輸入端與一輸出端之第三比例CMOS反相器，其中該輸入端係耦合至低主動脈衝信號源的輸出節點，而該輸出端係耦合至該輸出節點。

8. 如申請專利範圍第5項之電路，其係進一步包含複數比例CMOS反相器，而每個具有一分別耦合至複數低主動脈衝信號源的輸入端，而複數輸出端係共同耦合至該輸出節點。
9. 如申請專利範圍第6項之電路，其係進一步包含一在該輸出節點與第二節點之間汲-源極所耦合的NFET，該NFET具有一耦合至低主動脈衝信號源之閘極。
10. 如申請專利範圍第6項之電路，其係進一步包含複數NFETs，而每個係耦合在該輸出節點與第二節點之間的汲-源極，而每個NFET具有一耦合至低主動脈衝信號源之閘極。
11. 如申請專利範圍第6項之電路，其中該第一節點係正電壓供應，而該第二節點係接地。
12. 如申請專利範圍第9項之電路，其中該低主動脈衝信號源係連鎖邏輯級。
13. 如申請專利範圍第10項之電路，其中該低主動脈衝信號源係連鎖邏輯級。
14. 一種電路，包含：
 - 一第一PFET，其係耦合在一第一電源供應節點與一輸出節點之間的源-汲極；
 - 一第一NFET，其係耦合在該輸出節點與一第二電源供

應節點之間的汲-源極；

一 第二PFET，其係耦合在第一電源供應節點與該輸出節點之間的源-汲極；

一 第二NFET，其係耦合在該輸出節點與第二電源供應節點之間的汲-源極；

一 第三NFET，其係耦合在該輸出節點與第二電源供應節點之間的汲-源極；

其中第一PFET之閘極與第一NFET之閘極係共同耦合至第一輸入信號源，第二PFET之閘極與第二NFET之閘極係共同耦合至第二輸入信號源，第三NFET之閘極係耦合至第三輸入信號源及無具有耦合至第三輸入信號源之閘極之PFET係耦合至輸出節點。

15. 如申請專利範圍第14項之電路，其中第一、第二、及第三NFETs其中每個阻抗係實質少於該等第一和第二PFETs的其中每個阻抗。

16. 如申請專利範圍第14項之電路，其中第一、第二、及第三信號源係主動低脈衝信號。

17. 如申請專利範圍第14項之電路，進一步包含在第一電源供應節點和該輸出節點之間的源-汲極所耦合的第三PFET。

18. 如申請專利範圍第14項之電路，其中每個PFET與每個

NFET具有一寬度與一長度，而任何NFET的寬度與任何PFET寬度的比率係在大約2.5和3.0之間。

19. 一種電路，包含：

一比例非對稱CMOS邏輯結構，具有複數個輸出端及一輸出端；及

複數個脈衝輸出連鎖邏輯級，分別具有一輸出節點；

其中比例非對稱CMOS邏輯結構的每一輸入端係耦合至複數個脈衝輸出連鎖邏輯級之一的對應輸出節點。

20. 如申請專利範圍第19項之電路，其中該比例非對稱CMOS邏輯結構包含複數個NFET及複數個PFET，其中NFET之數目大於PFET之數目。

21. 如申請專利範圍第19項之電路，其中比例非對稱CMOS邏輯結構包含從一輸出節點至一第一節點之一第一數目之邏輯相同之可切換路徑，及從一輸出節點至一第二節點之一第二數目之邏輯相同之可切換路徑，其中第一數目與第二數目不同。

22. 如申請專利範圍第21項之電路，其中可切換路徑包含電晶體。

拾、圖式：

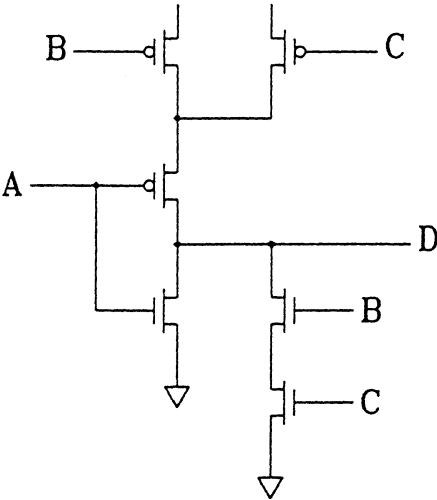


圖 1(a)

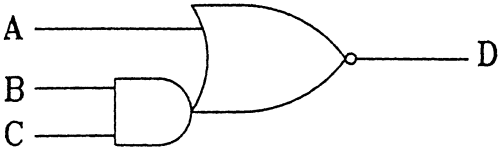


圖 1(b)

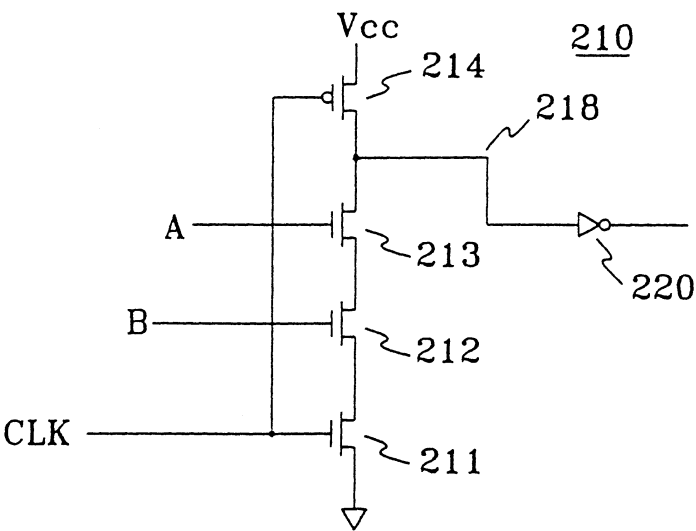


圖 2

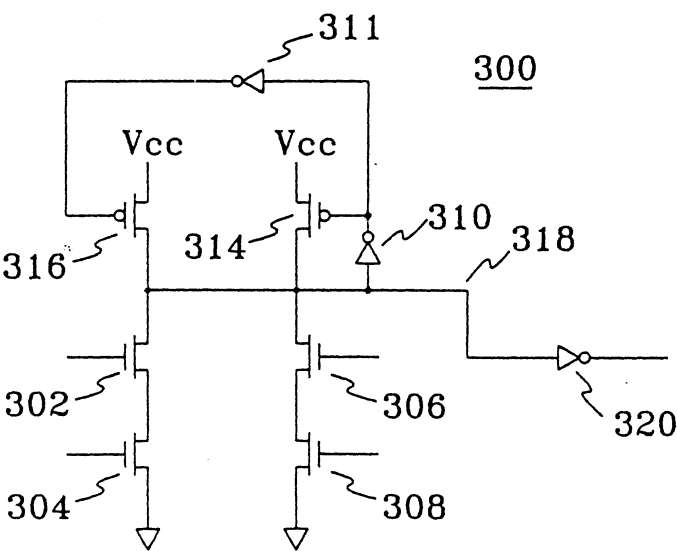


圖 3

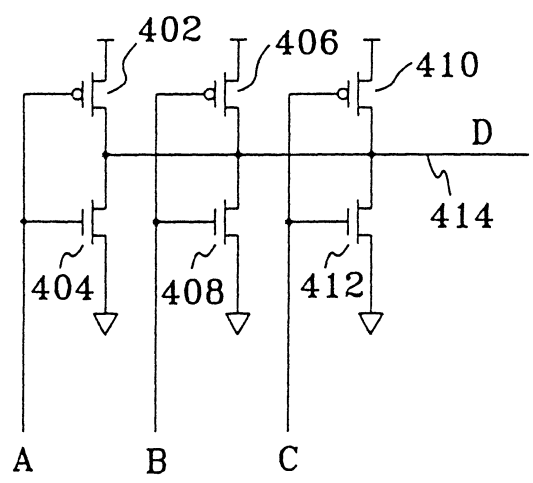


圖 4(a)

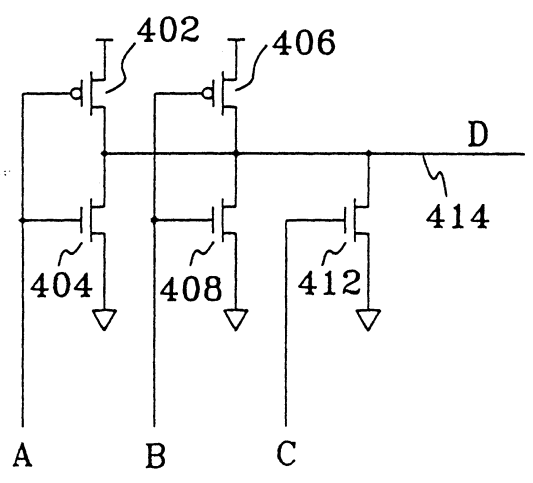


圖 4(b)

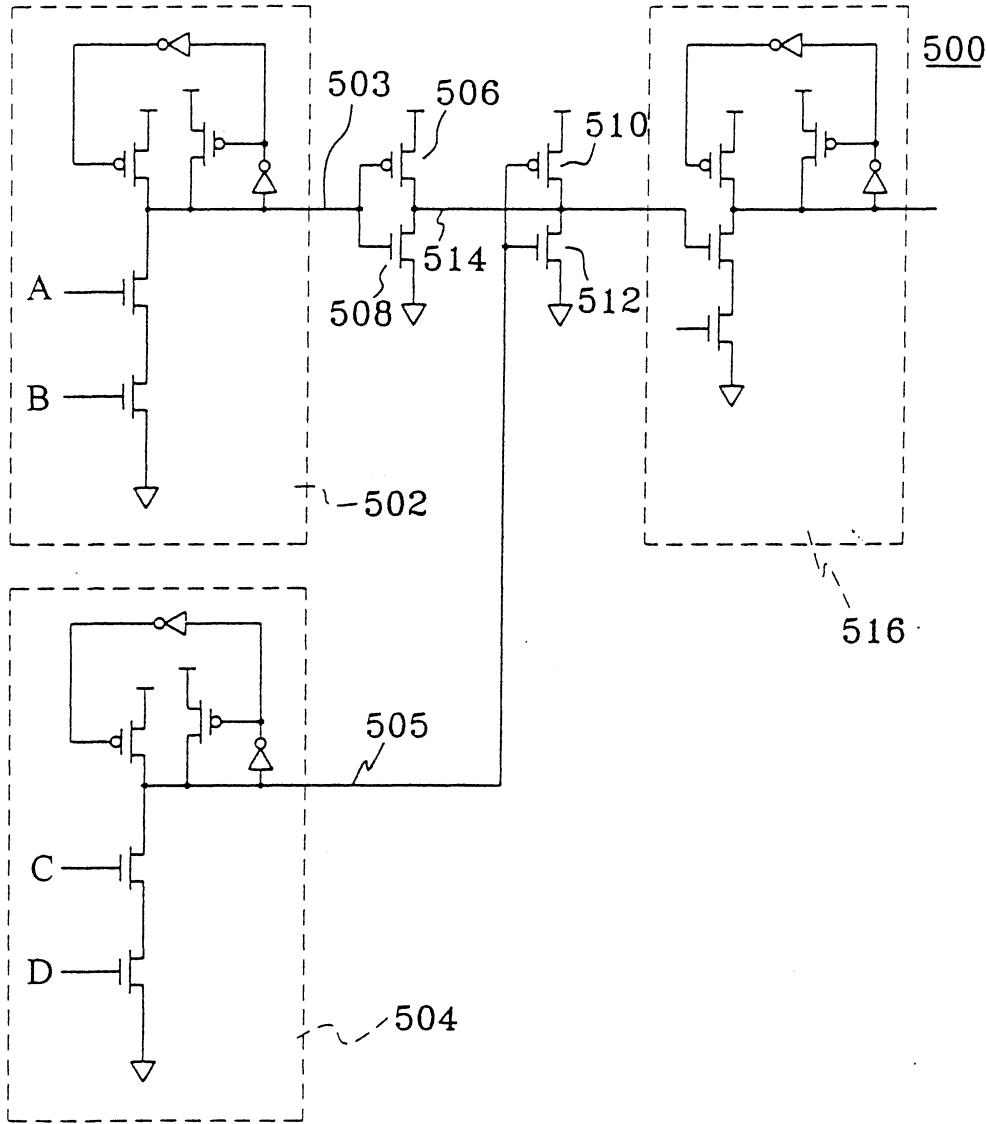


圖 5