

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7376728号
(P7376728)

(45)発行日 令和5年11月8日(2023.11.8)

(24)登録日 令和5年10月30日(2023.10.30)

(51)国際特許分類	F I
G 1 1 C 7/10 (2006.01)	G 1 1 C 7/10 3 0 0
G 1 1 C 11/4093(2006.01)	G 1 1 C 7/10 4 2 5
G 1 1 C 11/4096(2006.01)	G 1 1 C 7/10 5 2 0
G 0 6 F 13/16 (2006.01)	G 1 1 C 11/4093
	G 1 1 C 11/4096 4 5 0
請求項の数 15 (全17頁) 最終頁に続く	

(21)出願番号	特願2022-548061(P2022-548061)	(73)特許権者	522246670
(86)(22)出願日	令和3年6月18日(2021.6.18)		チャンシン メモリー テクノロジーズ
(65)公表番号	特表2023-513682(P2023-513682 A)		インコーポレイテッド
(43)公表日	令和5年4月3日(2023.4.3)		CHANGXIN MEMORY TEC
(86)国際出願番号	PCT/CN2021/100794		HNOLOGIES, INC.
(87)国際公開番号	WO2022/062497		中華人民共和国 2 3 0 6 0 1 アンフイ
(87)国際公開日	令和4年3月31日(2022.3.31)		プロヴィンス ヘーフエイ シティ エコ
審査請求日	令和4年8月5日(2022.8.5)		ノミック アンド テクノロジカル ディ
(31)優先権主張番号	202011006722.X		ベロップメント エリア エアポート イ
(32)優先日	令和2年9月23日(2020.9.23)	(74)代理人	100205659
(33)優先権主張国・地域又は機関	中国(CN)		弁理士 齋藤 拓也
		(74)代理人	100185269
			弁理士 小菅 一弘
		最終頁に続く	

(54)【発明の名称】 データバスインターフェース回路、メモリ及びストレージシステム

(57)【特許請求の範囲】

【請求項 1】

データバスインターフェース回路であって、
 内部ポート及び外部ポートにそれぞれ接続され、記憶データを前記外部ポートから前記内部ポートに伝送するように構成される書き込みパスモジュールと、
 前記内部ポート及び前記外部ポートにそれぞれ接続され、前記記憶データを前記内部ポートから前記外部ポートに伝送するように構成される読み取りパスモジュールと、
 前記外部ポート及び前記内部ポートにそれぞれ接続され、前記外部ポート又は前記内部ポートから前記記憶データを取得し、前記記憶データに対して遅延処理を実行し、処理後の前記記憶データを前記書き込みパスモジュール及び/又は前記読み取りパスモジュールに伝送するように構成される第1遅延モジュールと、
 前記第1遅延モジュールに接続され、外部から入力された信号命令を受信し、前記信号命令に従って、前記第1遅延モジュールが前記遅延処理を実行する遅延時間を制御するように構成される遅延制御モジュールと、を備える、前記データバスインターフェース回路。

【請求項 2】

前記第1遅延モジュールは、選択ユニット及び一時記憶ユニットを備え、
 前記選択ユニットの入力端は前記外部ポート及び前記内部ポートにそれぞれ接続され、前記選択ユニットの制御端は前記信号命令を受信するように構成され、
 前記一時記憶ユニットのデータ入力端は前記選択ユニットの出力端に接続され、前記一時記憶ユニットの制御端は前記遅延制御モジュールの出力端に接続される、

請求項 1 に記載のデータバスインターフェース回路。

【請求項 3】

前記一時記憶ユニットは、ラッチ、フリップフロップ及びレジスタのうちの少なくとも 1 つを含み、前記一時記憶ユニットの制御端は、クロック駆動端、セット端及びリセット端のうちの少なくとも 1 つを含む、

請求項 2 に記載のデータバスインターフェース回路。

【請求項 4】

前記書き込みバスモジュールは、書き込みバッファユニットを備え、

前記書き込みバッファユニットの入力端は前記一時記憶ユニットの出力端に接続され、前記書き込みバッファユニットの出力端は前記内部ポートに接続され、前記書き込みバッファユニットの制御端は前記信号命令を受信するように構成され、

前記読み取りバスモジュールは、読み取りバッファユニットを備え、

前記読み取りバッファユニットの入力端は前記一時記憶ユニットの出力端に接続され、前記読み取りバッファユニットの出力端は前記外部ポートに接続され、前記読み取りバッファユニットの制御端は前記信号命令を受信するように構成される、

請求項 2 に記載のデータバスインターフェース回路。

【請求項 5】

前記遅延制御モジュールは、遅延チェーン及び制御信号生成回路を備え、

前記遅延チェーンの入力端は前記信号命令を受信し、前記信号命令を遅延して出力するように構成され、

前記制御信号生成回路の入力端は前記遅延チェーンの出力端に接続され、前記制御信号生成回路の出力端は前記一時記憶ユニットの制御端に接続され、前記制御信号生成回路は、前記遅延チェーンによって出力された信号に従って 1 つの制御信号を生成するように構成される、

請求項 2 に記載のデータバスインターフェース回路。

【請求項 6】

前記遅延チェーンは、プログラマブル遅延チェーンである、

請求項 5 に記載のデータバスインターフェース回路。

【請求項 7】

前記第 1 遅延モジュール及び前記遅延制御モジュールは、2 つの動作モードを備え、前記 2 つの動作モードは遅延モード及び迅速モードを含み、前記遅延モードにある場合、前記第 1 遅延モジュール及び前記遅延制御モジュールは両方とも有効であり、前記迅速モードにある場合、前記遅延制御モジュールは無効であり、前記第 1 遅延モジュールによる前記記憶データの伝送遅延はゼロであり、前記データバスインターフェース回路は更に、

前記第 1 遅延モジュール及び前記遅延制御モジュールにそれぞれ接続され、前記信号命令を受信し、前記信号命令に従って、前記第 1 遅延モジュール及び前記遅延制御モジュールの動作モードを制御するように構成されるモード選択モジュールを備える、

請求項 1 に記載のデータバスインターフェース回路。

【請求項 8】

メモリであって、

請求項 1 ないし 7 のいずれか一項に記載のデータバスインターフェース回路と、前記データバスインターフェース回路の外部ポートに接続され、前記記憶データを処理するように構成されるデータ処理モジュールと、

前記データバスインターフェース回路の内部ポートに接続され、前記記憶データを記憶するように構成されるメモリブロックと、を備える、前記メモリ。

【請求項 9】

前記メモリは更に、

前記メモリブロックに接続され、前記信号命令を受信し、前記信号命令に従ってメモリブロック制御信号を生成するように構成される第 2 遅延モジュールを備え、前記メモリブロック制御信号は、前記記憶データが前記メモリブロックに入る時間を制御するように構

10

20

30

40

50

成される、

請求項 8 に記載のメモリ。

【請求項 10】

メモリブロック制御信号に対して前記第 2 遅延モジュールによって生成される遅延時間は、前記記憶データに対して前記データパスインターフェース回路によって生成される遅延時間と一致する、

請求項 9 に記載のメモリ。

【請求項 11】

前記メモリブロックは、少なくとも 2 つのメモリサブブロックを含み、前記メモリサブブロックは、同じメモリブロック制御回路に接続され、

前記メモリブロック制御回路は、行デコーディング回路、列デコーディング回路及び冗長回路のうちの少なくとも 1 つを含む、

請求項 8 に記載のメモリ。

【請求項 12】

前記メモリは、複数の前記データパスインターフェース回路及び複数のメモリブロックを備え、前記データパスインターフェース回路と前記メモリブロックは 1 対 1 で対応して配置され、

前記複数のデータパスインターフェース回路の外部ポートは、同じ前記データ処理モジュールに接続され、前記データパスインターフェース回路の内部ポートは、複数の前記メモリサブブロックに接続される、

請求項 11 に記載のメモリ。

【請求項 13】

前記データ処理モジュールの出力端から任意の前記メモリサブブロックへの前記記憶データの伝送時間は互いに一致し、

任意の前記メモリサブブロックから前記データ処理モジュールへの前記記憶データの伝送時間は互いに一致する、

請求項 12 に記載のメモリ。

【請求項 14】

前記メモリは、2 つの前記データ処理モジュールを備え、前記データ処理モジュールは、前記複数のデータパスインターフェース回路にそれぞれ接続されており、

前記メモリが単一データ処理モジュール有効モードにある場合、1 つの前記データ処理モジュールをオンにしてデータを伝送するように制御し、前記メモリが複数データ処理モジュール有効モードにある場合、所定数の前記データ処理モジュールをオンにして異なる前記メモリサブブロックにデータを同期的に送信するように制御する、

請求項 12 に記載のメモリ。

【請求項 15】

ストレージシステムであって、

請求項 8 ないし 14 のいずれか一項に記載のメモリと、

電子機器と、

前記メモリ及び前記電子機器にそれぞれ接続され、前記電子機器のシステム情報に従って、前記メモリ内の対応する数の前記データ処理モジュールをオンにするように構成される処理モジュールコントローラと、を備える、前記ストレージシステム。

【発明の詳細な説明】

【技術分野】

【0001】

[関連出願への相互参照]

本願は、2020年9月23日に中国特許局に提出された、出願番号が202011006722.Xであり、発明の名称が「データパスインターフェース回路、メモリ及びストレージシステム」である中国特許出願の優先権を主張し、当該中国特許出願の全ての内容が参照として本願に組み込まれている。

10

20

30

40

50

【 0 0 0 2 】

本願実施例は、集積回路分野に関し、特に、データパスインターフェース回路、メモリ及びストレージシステムに関する。

【背景技術】

【 0 0 0 3 】

半導体メモリは、半導体回路を介してアクセスするメモリであり、ここで、ダイナミックランダムアクセスメモリ（DRAM：Dynamic Random Access Memory）は、その速い記憶速度及び高い統合性により、様々な分野に幅広く適用されている。より大きなメモリ空間を実現するために、通常、メモリには複数のメモリブロックが配置されるが、現在のメモリが動作しているときには、異なるメモリブロックのデータ伝送速度が異なるため、異なるメモリブロックのタイミングに一貫性がなく、記憶データの伝送同期性が良くない。

10

【発明の概要】

【 0 0 0 4 】

本願の1つの態様では、データパスインターフェース回路を提供し、前記データパスインターフェース回路は、

内部ポート及び外部ポートにそれぞれ接続され、記憶データを前記外部ポートから前記内部ポートに伝送するように構成される書き込みパスモジュールと、

前記内部ポート及び前記外部ポートにそれぞれ接続され、前記記憶データを前記内部ポートから前記外部ポートに伝送するように構成される読み取りパスモジュールと、

20

前記外部ポート及び前記内部ポートにそれぞれ接続され、前記外部ポート又は前記内部ポートから前記記憶データを取得し、前記記憶データに対して遅延処理を実行し、処理後の前記記憶データを前記書き込みパスモジュール及び/又は前記読み取りパスモジュールに伝送するように構成される第1遅延モジュールと、

前記第1遅延モジュールに接続され、外部から入力された信号命令を受信し、前記信号命令に従って、前記第1遅延モジュールが前記遅延処理を実行する遅延時間を制御するように構成される遅延制御モジュールと、を備える。

【 0 0 0 5 】

本願の別の態様では、メモリを提供し、前記メモリは、

上記のデータパスインターフェース回路と、

30

前記データパスインターフェース回路の外部ポートに接続され、前記記憶データを処理するように構成されるデータ処理モジュールと、

前記データパスインターフェース回路の内部ポートに接続され、前記記憶データを記憶するように構成されるメモリブロックと、を備える。

【 0 0 0 6 】

本願の更に別の態様では、ストレージシステムを提供し、前記ストレージシステムは、上記のメモリと、

電子機器と、

前記メモリ及び前記電子機器にそれぞれ接続され、前記電子機器のシステム情報に従って、前記メモリ内の対応する数の前記データ処理モジュールをオンにするように構成される処理モジュールコントローラと、を備える。

40

【 0 0 0 7 】

本発明の各実施例の詳細は以下の図面及び説明に記載されている。当業者は、本明細書、図面及び特許請求の範囲の記載に基づいて、本発明の他の特徴、解決すべき問題及び有益な効果を容易に理解することができる。

【図面の簡単な説明】

【 0 0 0 8 】

【図1】第1実施例に係るデータパスインターフェース回路の概略構造図である。

【図2】第2実施例に係るデータパスインターフェース回路の概略構造図である。

【図3】第3実施例に係るデータパスインターフェース回路の概略構造図である。

50

【図 4】第 4 実施例に係るデータパスインターフェース回路の概略構造図である。

【図 5】第 5 実施例に係るデータパスインターフェース回路の概略構造図である。

【図 6】1 つの実施例に係るメモリの概略構造図である。

【図 7】1 つの実施例に係る、2 つのデータ処理モジュールが両方とも有効である動作モードの概略図である。

【図 8】第 1 実施例に係る、単一のデータ処理モジュールが有効である動作モードの概略図である。

【図 9】第 2 実施例に係る、単一のデータ処理モジュールが有効である動作モードの概略図である。

【図 10】第 3 実施例に係る、単一のデータ処理モジュールが有効である動作モードの概略図である。

10

【図 11】第 4 実施例に係る、単一のデータ処理モジュールが有効である動作モードの概略図である。

【図 12】別の実施例に係るメモリの概略構造図である。

【発明を実施するための形態】

【0009】

本願の実施例をよりよく説明及び例示するために、1 つ又は複数の図面を参照することができるが、図面を説明するための追加の詳細又は例は、本願発明、説明される実施例又は好ましい実施形態のいずれか 1 つを限定するものと見なされるべきではない。

【0010】

20

本願実施例をより容易に理解させるために、以下、関連する図面を参照して本願実施例についてより一般的に説明する。図面には、本願実施例の好ましい実施例を示されている。しかしながら、本願実施例は様々な形態で実現でき、本明細書に記載の実施例に限定されるべきではない。それどころか、これらの実施例を提供する目的は、本願実施例の開示される内容をより明確且つ完全にすることである。

【0011】

特に定義されない限り、本明細書で使用される全ての技術用語及び科学用語は、本願実施例が属する技術分野の当業者によって一般に理解されるのと同じ意味を有する。本明細書において、本願実施例の説明で使用される用語は、特定の実施例を説明するためのものに過ぎず、本発明を限定することを意図するものではない。本明細書で使用される「及び/又は」という用語は、1 つ又は複数の列挙された項目のいずれか及び全ての組み合わせを含む。

30

【0012】

本願実施例の説明において、「上」、「下」、「垂直」、「水平」、「内」、「外」などの用語が示す方向又は位置関係は、図面に示す方向又は位置関係に基づいており、本願実施例の説明を容易且つ簡潔にするためだけであり、言及された装置又は要素が特定の方向を有するか特定の方向で構築及び操作しなければならないことを示すか暗示するものではないため、本願実施例を限定するものとして理解すべきではない。

【0013】

図 1 は、第 1 実施例に係るデータパスインターフェース回路 10 の概略構造図であり、図 1 を参照すると、本実施例において、データパスインターフェース回路 10 は、書き込みパスモジュール 100、読み取りパスモジュール 200、第 1 遅延モジュール 300 及び遅延制御モジュール 400 を備える。データパスインターフェース回路 10 は、内部ポート 11 及び外部ポート 12 を備え、内部ポート 11 は、メモリ内のメモリブロック 30 に接続され、書き込まれる記憶データをメモリブロック 30 に伝送するか、又は記憶データをメモリブロック 30 から読み取るように構成され、外部ポート 12 は、外部の電子機器から送信された、書き込まれる記憶データを受信するか、又はメモリブロック 30 から読み取られた記憶データを外部の電子機器に送信するように構成される。

40

【0014】

書き込みパスモジュール 100 は、内部ポート 11 及び外部ポート 12 にそれぞれ接続

50

されており、記憶データを前記外部ポート12から前記内部ポート11に伝送するように構成される。ここで、書き込みパスモジュール100の入力端は外部ポート12に間接的に接続され、具体的には、書き込みパスモジュール100の入力端は、第1遅延モジュール300を介して外部ポート12に間接的に接続され、書き込みパスモジュール100の出力端は、内部ポート11に直接接続される。つまり、書き込まれる記憶データは、外部の電子機器から入力され、データバスインターフェース回路の外部ポート12、第1遅延モジュール300、書き込みパスモジュール100及び内部ポート11を経由してメモリブロック30に到達し、これにより、記憶データの書き込みが実現される。

【0015】

読み取りパスモジュール200は、前記内部ポート11及び前記外部ポート12にそれぞれ接続されており、前記記憶データを前記内部ポート11から前記外部ポート12に伝送するように構成される。ここで、読み取りパスモジュール200の入力端は内部ポート11に間接的に接続され、具体的には、読み取りパスモジュール200の入力端は、第1遅延モジュール300を介して内部ポート11に間接的に接続され、読み取りパスモジュール200の出力端は外部ポート12に直接接続される。つまり、記憶データは、メモリブロック30から読み取られ、データバスインターフェース回路の内部ポート11、第1遅延モジュール300、読み取りパスモジュール200及び外部ポート12を経由して外部の電子機器に到達し、これにより、記憶データの読み取りが実現される。理解できることとして、データバスインターフェース回路10は、ある時点で書き込み動作と読み取り動作のうち的一方のみを実行するため、書き込みパスモジュール100及び読み取りパスモジュール200は、記憶データを時分割モードで出力する。

【0016】

第1遅延モジュール300は、前記外部ポート12及び前記内部ポート11にそれぞれ接続されており、前記外部ポート12又は前記内部ポート11から前記記憶データを取得し、前記記憶データに対して遅延処理を実行し、処理後の前記記憶データを前記書き込みパスモジュール100及び/又は前記読み取りパスモジュール200に伝送するように構成される。

【0017】

具体的には、データバスインターフェース回路10が記憶データを書き込む場合、第1遅延モジュール300は、外部ポート11から、記憶データを取得し、データに対して遅延処理を実行してから書き込みパスモジュール100に送信する。ここで、書き込まれる記憶データは、メモリのデータピンから書き込まれ、各データピンは、複数のメモリブロック30に接続され、それに接続された複数のメモリブロック30に記憶データを送信する。理解できることとして、各データバスインターフェース回路10の外部ポート12とデータピンとの間の伝送パスの長さとは同じではないため、データがデータピンに同時に到達したとしても、同様のデータ伝送速度及び異なる伝送パスの長さにより、記憶データが各メモリブロック30に同時に到達することはできない。その結果、背景技術に記載の記憶データの非同期伝送現象が引き起こされる。データバスインターフェース回路10が記憶データを読み取る時にも、記憶データの非同期伝送現象があり、その現象が起こる原因は、上記のデータの非同期書き込みの原因と同様であり、ここでは繰り返して説明しない。本実施例では、第1遅延モジュール300は、受信された記憶データに対して遅延処理を実行することで、記憶データが所定の目標時間に内部ポート11に到達するようにし、これにより、記憶データが各データバスインターフェース回路10の内部ポート11に到達する時間は同じになり、又は時間誤差がデータバスインターフェース回路10の許容誤差範囲内にあるようにし、これにより、記憶データの非同期伝送現象が解決される。

【0018】

例示的に、様々なハードウェア構造により、書き込みパスモジュール100及び読み取りパスモジュール200が時分割モードで記憶データを出力する機能を実現することができる。例示的に、図1に示される実施例では、第1遅延モジュール300は、出力端を備え、当該出力端は、書き込みパスモジュール100及び読み取りパスモジュール200に

10

20

30

40

50

それぞれ接続され、第1遅延モジュール300は、遅延処理後の記憶データを書き込みパスモジュール100及び読み取りパスモジュール200に同時に出力し、書き込みパスモジュール100及び読み取りパスモジュール200のうちの1つがオンになるように制御することで、そのうちの一方が記憶データを出力するようにする。他の実施例では、第1遅延モジュール300は、2つの出力端を備えてもよく、当該2つの出力端は、それぞれ、書き込みパスモジュール100及び読み取りパスモジュール200に1対1で対応して接続され、第1遅延モジュール300の2つの出力端のうちの1つが記憶データを出力するように制御することで、書き込みパスモジュール100及び読み取りパスモジュール200のうちの一方のみが記憶データを受信できるようにし、そのうちの一方が記憶データを出力するようにする。

10

【0019】

遅延制御モジュール400は、前記第1遅延モジュール300に接続され、外部から入力された信号命令を受信し、前記信号命令に従って、前記第1遅延モジュール300が前記遅延処理を実行する遅延時間を制御するように構成される。ここで、信号命令は、データバスインターフェース回路10が対応する動作を実行するように指示する命令を指し、信号命令は、例えば、書き込み命令、読み取り命令、モード選択コーディング命令のうちの少なくとも1つであり得、例示的に、書き込み命令は、対応する書き込み動作を実行するようにデータバスインターフェース回路10に指示する。

【0020】

具体的には、遅延制御モジュール400は、少なくとも1つの入力端を備え、入力端から入力された信号命令に従って、第1遅延モジュール300の制御信号を生成することができる。例えば、遅延制御モジュール400が1つの入力端を備える場合、書き込み命令、読み取り命令、モード選択コーディング命令のうちの1つに応じて制御信号を生成することができる。遅延制御モジュール400が2つの入力端を備える場合、書き込み命令、読み取り命令、モード選択コーディング命令のうちの2つに応じて制御信号を生成することができる。理解できることとして、遅延制御モジュール400が必要とする対応する信号命令のタイプが多いほど、制御信号を生成するロジックが複雑になるが、これに応じて、信頼度がより高い全面的な制御機能を持つことができ、これにより、データバスインターフェース回路10の信頼度と全面性を向上させ、すなわち、記憶データの伝送同期性を大幅に改善する。

20

30

【0021】

本実施例では、データバスインターフェース回路10は、書き込みパスモジュール100と、読み取りパスモジュール200と、第1遅延モジュール300と、遅延制御モジュール400を備える。書き込みパスモジュール100は、内部ポート11及び外部ポート12にそれぞれ接続され、記憶データを前記外部ポート12から前記内部ポート11に伝送するように構成される。読み取りパスモジュール200は、前記内部ポート11及び前記外部ポート12に接続され、前記記憶データを前記内部ポート11から前記外部ポート12に伝送するように構成される。第1遅延モジュール300は、前記外部ポート12及び前記内部ポート11にそれぞれ接続され、前記外部ポート12又は前記内部ポート11から前記記憶データを取得し、前記記憶データに対して遅延処理を実行し、処理後の前記記憶データを前記書き込みパスモジュール100及び/又は前記読み取りパスモジュール200に伝送するように構成される。遅延制御モジュール400は、前記第1遅延モジュール300に接続され、外部から入力された信号命令を受信し、前記信号命令に従って、前記第1遅延モジュール300が前記遅延処理を実行する遅延時間を制御するように構成される。遅延制御モジュール400によって出力された制御信号により、第1遅延モジュール300に、受信された記憶データへの適切な遅延時間の遅延処理を実行させて、記憶データが所定の目標時間に内部ポート11又は外部ポート12に到達するようにし、これにより、各データバスインターフェース回路10の内部ポート11と外部ポート12との間の記憶データの伝送時間は同じになり、又は伝送時間の誤差がデータバスインターフェース回路10の許容誤差範囲内にあるようにし、したがって、より優れた記憶データの伝

40

50

送同期性を備えたデータパスインターフェース回路 10 を実現することができる。

【 0 0 2 2 】

図 2 は、第 2 実施例に係るデータパスインターフェース回路 10 の概略構造図であり、図 2 を参照すると、本実施例では、前記第 1 遅延モジュール 300 は、選択ユニット 310 及び一時記憶ユニット 320 を備える。本実施例では、書き込みパスモジュール 100、読み取りパスモジュール 200 及び遅延制御モジュール 400 の配置方式は、図 1 の実施例の配置方式と同様であり、ここでは繰り返して説明しない。

【 0 0 2 3 】

選択ユニット 310 において、前記選択ユニット 310 の入力端は、前記外部ポート 12 及び前記内部ポート 111 にそれぞれ接続され、前記選択ユニット 310 の制御端は、

10

信号命令を受信するように構成される。

【 0 0 2 4 】

具体的には、選択ユニット 310 は 2 つの入力端を備え、選択ユニット 310 の 2 つの入力端は、内部ポート 11 及び外部ポート 12 に 1 対 1 で接続され、それぞれ 2 つのポートから記憶データを取得し、選択ユニット 310 は更に制御端を備え、選択ユニット 310 の制御端は、信号命令を受信し、信号命令に従って、受信された 2 つの記憶データのうちの 1 つを選択して出力するように構成される。例示的に、信号命令は書き込み命令であってもよく、この場合、選択ユニット 310 は、外部ポート 12 からの記憶データを選択して出力し、これにより、データの書き込みを実現する。図 2 に示される実施例では、

20

選択ユニット 310 は、二者択一マルチプレクサであり、他の実施例では、選択ユニット 310 は、三者択一マルチプレクサであってもよく、つまり、3 つの入力端を配置することで、より複雑な選択機能と伝送機能を実現することができる。

【 0 0 2 5 】

一時記憶ユニット 320 において、前記一時記憶ユニット 320 のデータ入力端は、前記選択ユニット 310 の出力端に接続され、前記一時記憶ユニット 320 の制御端は、前記遅延制御モジュール 400 の出力端に接続される。ここで、前記一時記憶ユニット 320 は、ラッチ、フリップフロップ及びレジスタのうちの少なくとも 1 つを含み、前記一時記憶ユニット 320 の制御端は、クロック駆動端、セット端及びリセット端のうちの少なくとも 1 つを含む。

【 0 0 2 6 】

具体的には、図 2 に示される実施例では、一時記憶ユニット 320 は、1 つのフリップフロップを備えることができ、当該フリップフロップは D フリップフロップであり、D フリップフロップの入力端は、選択ユニット 310 の出力端に接続され、D フリップフロップのクロック駆動端は、遅延制御モジュール 400 の出力端に接続され、D フリップフロップの出力端は、書き込みパスモジュール 100 及び読み取りパスモジュール 200 にそれぞれ接続される。D フリップフロップは、クロック駆動端から入力された制御信号に

30

応答して、入力端から入力された信号をサンプリングし、したがって、制御信号の遅延時間を調整することにより、D フリップフロップのサンプリング時間を制御することができ、これによって、記憶データが書き込みパスモジュール 100 又は読み取りパスモジュール 200 を介して、目標時間に内部ポート 11 又は外部ポート 12 に到達するようにすることができ、これにより、より優れたタイミング同期性を備えたデータパスインターフェース回路 10 を実現することができる。例示的に、一時記憶ユニット 320 に対してセット端及び / 又はリセット端を構成し、一時記憶ユニット 320 が信号サンプリングを実行しないとき、所定のイネーブル信号をセット端及び / 又はリセット端に出力することにより、一時記憶ユニット 320 の安定した出力を確保することができ、これにより、データパスインターフェース回路 10 の出力信号の信頼度を向上させることができる。他の実施例では、一時記憶ユニット 320 は、JK フリップフロップや RS フリップフロップなど、信号一時記憶機能を備えた他のデバイスであってもよい。

40

【 0 0 2 7 】

更に、前記制御信号は、パルス信号、信号立ち上がりエッジ及び信号立ち下がりエッジ

50

のうちの少なくとも1つを含む。ここで、一時記憶ユニット320がラッチである場合、それはパルス信号を介して制御されることができる。一時記憶ユニット320がフリップフロップである場合、それは、信号立ち上がりエッジ又は信号立ち下がりエッジを介してトリガされることができ、理解できることとして、エッジトリガは、より大きなタイミングマージンを提供することができ、これにより、一時記憶ユニット320のサンプリングタイミングの精度を向上させ、更に、データバスインターフェース回路10の信頼度を向上させることができる。

【0028】

図3は、第3実施例に係るデータバスインターフェース回路10の概略構造図であり、図3を参照すると、本実施例では、前記書き込みパスモジュール100は、書き込みバッファユニット110を備え、読み取りパスモジュール200は、読み取りバッファユニット210を備える。本実施例では、選択ユニット310、一時記憶ユニット320及び遅延制御モジュール400の配置方式は、図2の実施例の配置方式と同様であり、ここでは繰り返して説明しない。

10

【0029】

書き込みバッファユニット110において、前記書き込みバッファユニット110の入力端は、前記一時記憶ユニット320の出力端に接続され、前記書き込みバッファユニット110の出力端は、前記内部ポート11に接続され、前記書き込みバッファユニット110の制御端は、前記信号命令を受信するように構成される。書き込みバッファユニット110は、制御端によって受信された信号命令にตอบสนองして、入力端から入力された遅延処理後の記憶データをバッファリングして出力することにより、タイミングの更なる制御を実現し、これによって、記憶データを書き込むときのタイミング精度がより優れた書き込みパスモジュール100及びデータバスインターフェース回路10を提供する。読み取りバッファユニット210において、前記読み取りバッファユニット210の入力端は、前記一時記憶ユニット320の出力端に接続され、前記読み取りバッファユニット210の出力端は、前記外部ポート12に接続され、前記読み取りバッファユニット210の制御端は、前記信号命令を受信するように構成される。書き込みバッファユニット110と同様に、読み取りバッファユニット210を配置することにより、記憶データを読み取る際のタイミング精度がより優れた読み取りパスモジュール200及びデータバスインターフェース回路10を提供することができる。

20

30

【0030】

図4は、第4実施例に係るデータバスインターフェース回路10の概略構造図であり、図4を参照すると、本実施例では、前記遅延制御モジュール400は、遅延チェーン410及び制御信号生成回路420を備える。本実施例では、選択ユニット310、一時記憶ユニット320、書き込みバッファユニット110及び読み取りバッファユニット210の配置方式は、図3の実施例の配置方式と同様であり、ここでは繰り返して説明しない。

【0031】

遅延チェーン410において、前記遅延チェーン410の入力端は、前記信号命令を受信し、前記信号命令を遅延して出力するように構成される。

【0032】

1つの実施例では、遅延チェーン410は、固定遅延チェーン410であり得る。例示的に、固定遅延チェーン410は、直列に接続された複数のトランスミッションゲートを含み得、各トランスミッションゲートには、固定の遅延時間が設定されており、したがって、遅延チェーン410によって生成される所定の遅延時間に基づいて、対応する数のトランスミッションゲートを設置することにより、目標の所定遅延時間を生成することができる。別の例では、固定遅延チェーン410は、直列に接続された偶数のインバータを含んでもよく、偶数のインバータを設置することにより、出力される遅延信号を、入力された信号命令の電気レベル状態に対応させ、且つタイミングの違いのみが発生することを保証し、上記のトランスミッションゲートで構成された固定遅延チェーン410と同様に、遅延チェーン410によって生成される所定の遅延時間に基づいて、対応する数のインバ

40

50

ータを設置することにより、目標の所定遅延時間を生成することができる。

【0033】

別の実施例では、前記遅延チェーン410は、プログラマブル遅延チェーン410である。理解できることとして、データパスインターフェース回路10における信号伝送速度などの特性は、使用環境の温度などの条件の変化に応じて変化する。したがって、使用環境の条件が変化すると、タイミング異常、更には伝送される信号のエラーが発生する恐れがある。本実施例では、プログラマブル遅延チェーン410からなる遅延チェーン410を設置し、対応する検出構造を設置し、検出構造により、データパスインターフェース回路10の使用環境の条件変化状況を検出し、検出結果に基づいて、プログラマブル遅延チェーン410の遅延時間を調整することができ、これにより、タイミングエラーの発生を回避し、信頼度が高いデータパスインターフェース回路10を提供する。ここで、検出構造は、使用環境を検出するセンサであってもよく、環境の変化に応じて遅延時間を調整することができる。検出構造は、フィードバック回路であってもよく、つまり、データパスインターフェース回路10によって出力された信号のタイミングに従って入力に対してフィードバックし、これにより、閉ループ調整によりタイミングの精度を改善する。

10

【0034】

更に、プログラマブル遅延チェーン410は、複数の遅延ユニットを含み得、各遅延ユニットは、設定されたステップ長の遅延を生成し、コーディンググループを介して遅延時間の調整を実現するように構成される。具体的には、コーディンググループは、複数の制御コーディングビットを含み、コーディングビットは、遅延ユニットと1対1で対応する。例示的に、プログラマブル遅延チェーン410は8つの遅延ユニットを含み、コーディンググループは8つの制御コーディングビットを含み、コーディンググループの値が10000000である場合、1番目の遅延ユニットがオンになり、他の遅延ユニットがオフになるように制御され、これによって、1つの設定されたステップ長の遅延を生成する。コーディンググループの値が10000001である場合、1番目の遅延ユニットユニット及び8番目の遅延ユニットがオンになり、他の遅延ユニットがオフになるように制御し、これによって、2つの設定されたステップ長の遅延を生成する。したがって、コーディンググループの値を変更することにより、プログラマブル遅延チェーン410の制御を実現することができる。留意すべきこととして、上記の例は、説明のためのものに過ぎず、プログラマブル遅延チェーン410及びコーディンググループを限定するためのものではない。

20

30

【0035】

制御信号生成回路420において、前記制御信号生成回路420の入力端は、前記遅延チェーン410の出力端に接続され、前記制御信号生成回路420の出力端は、前記一時記憶ユニット320の制御端に接続され、前記制御信号生成回路420は、前記遅延チェーン410によって出力された信号に従って1つの制御信号を生成するように構成される。具体的には、上記の説明によれば、制御信号生成回路420によって出力された制御信号がパルス信号、信号立ち上がりエッジ又は信号立ち下がりエッジである場合、制御信号は、一時記憶ユニット320上でより信頼性の高いタイミング制御機能を実現することができ、理解できることとして、信号命令及び遅延処理後の信号命令が上記の所望の制御信号形式であるとは限らないため、制御信号生成回路420を設置することにより、遅延処理後の信号命令のタイミングに一致する目標形式の制御信号を生成することができ、これにより、一時記憶ユニット320の正確な制御を実現することができる。

40

【0036】

1つの実施例では、前記第1遅延モジュール300及び前記遅延制御モジュール400には、2つの動作モードを備え、前記2つの動作モードは遅延モード及び迅速モードを含み、前記遅延モードにある場合、前記第1遅延モジュール300と前記遅延制御モジュール400は両方もも有効であり、前記迅速モードにある場合、前記遅延制御モジュール400は無効であり、前記第1遅延モジュール300による前記記憶データの伝送遅延はゼロである。ここで、前記第1遅延モジュール300と前記遅延制御モジュール400が両

50

方とも有効であるということは、第1遅延モジュール300の遅延機能がオンになり、遅延制御モジュール400が信号命令に従って制御信号を生成することによって、それに応じて記憶データを遅延させることを指す。前記第1遅延モジュール300及び前記遅延制御モジュール400が両方とも無効であるということは、第1遅延モジュール300が記憶データの伝送機能のみをオンにし、遅延機能をオフにすることで、記憶データを迅速に通過させ、これによって、データパスインターフェース回路10の動作速度を向上させることを指す。留意すべきこととして、上記の「伝送遅延がゼロである」とは、第1遅延モジュール300が、記憶データに対して追加の遅延時間を設定しないことを指すが、第1遅延モジュール300の導線などの構造は特定の固有遅延を有する。しかし、この固有遅延の遅延時間は非常に短いため、この固有遅延は無視しても良い。

10

【0037】

図5は、第5実施例に係るデータパスインターフェース回路10の概略構造図であり、図5を参照すると、本実施例では、前記データパスインターフェース回路10は更に、モード選択モジュール500を備える。

【0038】

モード選択モジュール500は、前記第1遅延モジュール300及び前記遅延制御モジュール400にそれぞれ接続され、前記信号命令を受信し、前記信号命令に従って、前記第1遅延モジュール300及び前記遅延制御モジュール400の動作モードを制御するように構成される。理解できることとして、各メモリブロック30が記憶データを受信するパス長は、異なる動作モード及びメモリブロック30の位置によって異なり、したがって、データ伝送パスが最も長いメモリブロック30に対応するデータパスインターフェース回路10が迅速モードにあるように設定することにより、記憶データを最高速度で通過させ、他のメモリブロック30のデータパスインターフェース回路10が遅延モードにあるように設定し、各メモリブロック30に対応するデータパスインターフェース回路10が対応する遅延を生成するように制御し、これによって、伝送パスでの記憶データの伝送時間と遅延時間との合計が設定値になるようにし、これにより、各メモリブロック30に対応するデータ伝送時間が同じになる。ここで、当該設定値は、最も長いデータ伝送パスに対応する伝送時間であってもよい。

20

【0039】

図6は、1つの実施例に係るメモリの概略構造図であり、図6を参照すると、本実施例では、メモリは、データパスインターフェース回路10、データ処理モジュール20及びメモリブロック30を備える。

30

【0040】

上記のデータパスインターフェース回路10は、データ処理モジュール20及びメモリブロック30にそれぞれ接続され、伝送される記憶データのタイミング処理を実現する。

【0041】

データ処理モジュール20は、前記データパスインターフェース回路10の外部ポート12に接続され、前記記憶データを処理するように構成される。例示的に、データ処理モジュール20による記憶データの処理は、記憶データ伝送の直列/並列変換であり得、理解できることとして、データ処理モジュール20は、記憶データに対して他のタイプの処理を実行して、記憶データの伝送速度を向上させるなどの目的を実現することもできる。

40

【0042】

メモリブロック30は、前記データパスインターフェース回路10の内部ポート11に接続され、前記記憶データを記憶するように構成される。ここで、前記メモリブロック30は、少なくとも2つのメモリサブブロック31を含み得、前記メモリサブブロック31は、同じメモリブロック30の制御回路に接続される。ここで、制御回路は、行デコーディング回路、列デコーディング回路及び冗長回路のうち少なくとも1つを含み、制御回路を共有することで、メモリ内の配線数を減らすことができ、これにより、メモリの全体的な集積度を向上させることができる。理解できることとして、制御回路を共有すると、制御の複雑さが高くなり、したがって、実際の配線ニーズに応じて適切な回路を選択して

50

共有することができ、これにより、集積度と制御難易度のバランスを取ることができる。

【0043】

留意すべきこととして、図6の実施例は、複数の双方向ドライバ40を示し、双方向ドライバ40は、記憶データの伝送パスに設置され、図6の双方向ドライバ40は、データ伝送パスの長さやデータの伝送速度を例示的に説明するためにのみ使用され、具体的には、双方向ドライバ40を備えたデータ伝送パスが比較的長く、データの伝送速度が比較的遅いことを意味する。しかし、図6に示される双方向ドライバ40は、本願実施例に係るデータ伝送パスの特定の構造を限定するために使用されるものではない。各伝送パス上の双方向ドライバ40は、図6に示される数及び設置位置に限定されない。

【0044】

更に、引き続き図6を参照すると、前記メモリは、複数の前記データバスインターフェース回路10及び複数のメモリブロック30を含み、前記データバスインターフェース回路10と前記メモリブロック30は1対1で対応して設置され、前記複数のデータバスインターフェース回路10の外部ポート12は、同じ前記データ処理モジュール20に接続され、前記データバスインターフェース回路10の内部ポート11は、複数の前記メモリサブブロック31に接続される。読み取られる記憶データは、メモリサブブロック31から、インターフェース回路の内部ポート11、外部ポート12を経由してデータ処理モジュール20に到達し、これにより、データの読み取りを実現することができる。書き込まれる記憶データは、データ処理モジュール20から、インターフェース回路の外部ポート12、内部ポート11を経由してメモリサブブロック31に到達し、これにより、データの書き込みを実現することができる。ここで、前記データ処理モジュール20の出力端から任意の前記メモリサブブロック31への前記記憶データの伝送時間は互いに一致し、及び/又は任意の前記メモリサブブロック31から前記データ処理モジュール20への前記記憶データの伝送時間は互いに一致する。留意すべきこととして、伝送時間が一致することは、各メモリサブブロック31に対応するデータ伝送時間が完全に同じであることを含み、伝送時間が一致することは、異なるメモリサブブロック31に対応するデータ伝送時間間の誤差が許容範囲内にあり、すなわち、記憶データの精度に影響を与えないことを更に含む。

【0045】

更に、図6に示される実施例では、異なる構成を有する電子機器への適用のために、2つのデータ処理モジュール20を備える。具体的には、前記データ処理モジュール20は、前記複数のデータバスインターフェース回路10にそれぞれ接続され、ここで、前記メモリが単一データ処理モジュール有効モードにある場合、1つの前記データ処理モジュール20をオンにしてデータを伝送するように制御し、前記メモリが複数データ処理モジュール有効モードにある場合、所定数の前記データ処理モジュール20をオンにして異なる前記メモリブロック30にデータを同期的に送信するように制御する。例示的に、メモリが64ビットシステムのコンピュータに適用される場合、コンピュータの演算速度及びアドレス指定能力が強いため、2つのデータ処理モジュール20を同時にオンにして、より速いデータ伝送速度を実現し、メモリが32ビットシステムのコンピュータに適用される場合、1つのデータ処理モジュール20のみをオンにすることで、記憶データの安定した信頼できる伝送を保証する。本実施例に係るメモリは、外部の電子機器に応じて、対応する数のデータ処理モジュール20をオンにすることができ、これにより、メモリの応用の柔軟性及び普遍性を向上させる。

【0046】

具体的には、図7は、1つの実施例に係る、2つのデータ処理モジュール20が両方も有効である動作モードの概略図であり、図7の実施例では、メモリサブブロックB0L及びメモリサブブロックB0Hにアクセスすることを例にする。図7を参照すると、図7の右側の第2データ処理モジュール20H(High Byte)に接続されたメモリサブブロックB0Hの場合、データ伝送パス202が比較的長いので、記憶データは、データバスインターフェース回路10を最高速度で通過し、2つのデータ処理モジュール20

10

20

30

40

50

の回路間の双方向ドライバ40を介して遠端の第2データ処理モジュール20Hに到達すべきである。図7の左側の第1データ処理モジュール20L(Low Byte)に接続されたメモリサブブロックB0Lの場合、データ伝送パス201が比較的短いので、記憶データは、データバスインターフェース回路10で一時的に遅延され、読み書き動作の方向に従って対応するドライバに出力される。インターフェース回路の遅延時間は、中央の双方向ドライバ40及び対応する伝送パスの長さをマッチングさせるために使用される。本実施例では、インターフェース回路の遅延時間を調整することにより、2つのメモリサブブロック31(メモリサブブロックB0L及びメモリサブブロックB0H)に対応するデータタイミングを一致させることができる。他のメモリブロック30の遅延時間の調整方式は、メモリサブブロックB0L及びメモリサブブロックB0Hの調整方式と同様であり、ここでは繰り返して説明しない。

10

【0047】

図8～図11は、4つの実施例に係る、単一のデータ処理モジュール20が有効である動作モードの概略図であり、図8～図11を参照すると、単一データ処理モジュール20が有効である動作モードの場合、メモリサブブロックB0L、メモリサブブロックB0H、メモリサブブロックB3L及びメモリサブブロックB3Hにアクセスすることを例として説明する。

【0048】

図8に示すように、単一データ処理モジュール20Lが有効である動作モードの場合、最も長い伝送パスは、第1データ処理モジュール20LからメモリサブブロックB3Hまでのデータ伝送パス203(黒太字で示す)であり、したがって、他の位置にアクセスするデータ伝送パスは、メモリサブブロックB3Hにアクセスするデータ伝送パス203と一致する必要があり、ここで、データ伝送パス203は、タイミング基準パスとも呼ばれ、当該タイミング基準パスは、配線及びデータバスインターフェース回路10を含む。メモリサブブロックB3Hにアクセスするとき、データは、双方向ドライバ40を2回通過し、一方は、2つのデータ処理モジュール20間の双方向ドライバ401を通過することであり、もう一方は、同一のデータ処理モジュール20Hの下の双方向ドライバ402を通過することであり、データバスインターフェース回路10の場合、遅延時間制御がスキップされ、つまり、迅速モードで動作し、データが最高速度で伝送される。

20

【0049】

図9を参照すると、メモリサブブロックB3Lにアクセスとき、メモリサブブロックB3Hと比較すると、データ伝送パスにおいて、1つの双方向ドライバ40と配線の一部が削減され、当該伝送パスは、図9の204(黒太字の実線)で示される通りであり、したがって、メモリサブブロックB3Lのデータバスインターフェース回路10の遅延時間回路が動作し、遅延時間は、メモリサブブロックB3Hのデータ伝送パス上の追加の双方向ドライバ40及び関連する配線と一致するように設定される。

30

【0050】

図10及び図11を参照すると、メモリサブブロックB0L及びメモリサブブロックB0Hにアクセスするとき、読み取り動作の場合、データバスインターフェース回路10の遅延時間回路によって生成される遅延時間は限られているため、まず、メモリサブブロックB0L及びメモリサブブロックB0Hの信号命令を遅延してから、メモリサブブロックB0L及びメモリサブブロックB0Hに送信する必要があり、また、当該遅延時間を、メモリサブブロックB3L及びメモリサブブロックB3Hのデータ伝送パス上の中央の双方向ドライバ40を介して導入される遅延時間に一致させることができる。データ処理モジュール20LからメモリサブブロックB0Hまでの伝送パスは、図10の205(黒太字の実線)で示される通りである。データ処理モジュール20LからメモリサブブロックB0Lまでの伝送パスは、図11の201(黒太字の実線)で示される通りである。

40

【0051】

図12は、別の実施例に係るメモリの概略構造図であり、図12は、メモリサブブロックB0L及びメモリサブブロックB0Hのみを示す簡略図である。図12を参照すると、

50

本実施例では、メモリは更に、第2遅延モジュール50を備え、第2遅延モジュール50は、上記のメモリサブブロックB0L及びメモリサブブロックB0Hへのメモリブロック制御信号遅延を生成し、これによって、伝送パス上の遅延時間に更に一致させることができる。具体的には、第2遅延モジュール50は、前記メモリブロック30に接続され、前記信号命令を受信し、前記信号命令に従ってメモリブロック制御信号を生成するように構成され、前記メモリブロック制御信号は、前記記憶データが前記メモリブロック30に入る時間を制御するように構成される。上記の構造に基づき、メモリブロック制御信号に対して前記第2遅延モジュール50によって生成される遅延時間は、前記記憶データに対して前記データバスインターフェース回路10によって生成される遅延時間と一致する。本実施例では、第1遅延モジュール300と第2遅延モジュール50は同時に作用するため、複数のメモリサブブロック31間での記憶データの伝送同期性を更に改善することができる。

10

【0052】

引き続き図8、図9、図10、図11及び図12を参照すると、タイミング基準パス203(図8を参照)の遅延時間はT1として記録され、伝送パス204(図9を参照)の配線上の遅延時間はT2Aとして記録され、伝送パス204(図9を参照)のデータバスインターフェース回路10上の遅延時間はT2Bとして記録され、伝送パス205(図10を参照)の配線上の遅延時間はT3Aとして記録され、伝送パス205(図10を参照)のデータバスインターフェース回路10上の遅延時間はT3Bとして記録され、伝送パス201(図11を参照)の配線上の遅延時間はT4Aとして記録され、伝送パス201(図11を参照)のデータバスインターフェース回路10上の遅延時間はT4Bとして記録され、信号命令が第2遅延モジュール50を通過してからメモリブロック制御信号が生成されるまでの遅延時間はT4Cとして記録され、この場合、T2AとT2Bの合計、T3AとT3Bの合計、T4AとT4BとT4Cの合計は全てT1と一致する必要がある、ここでの一致とは、等しいこと、又はほぼ等しいこと、又は誤差が許容範囲内にあることを指す。

20

【0053】

本願実施例は、ストレージシステムを更に提供し、前記ストレージシステムは、上記のようなメモリと、電子機器と、処理モジュールコントローラとを備え、前記処理モジュールコントローラは、前記メモリ及び前記電子機器にそれぞれ接続され、前記電子機器のシステム情報に従って、前記メモリ内の対応する数の前記データ処理モジュールをオンにするように構成される。本実施例では、上記の構造より、より高い記憶データ伝送同期性を備えたストレージシステムが実現され、ここで、メモリの具体的な設定方式については、上記の説明を参照することができ、ここでは繰り返して説明しない。

30

【0054】

上記の実施例の各技術的特徴を任意に組み合わせることができ、説明を簡潔にするために、上述の実施例における各技術的特徴の全ての可能な組み合わせについて説明されていないが、これらの技術的特徴の組み合わせに矛盾がない限り、それらは全て、本発明の範囲に含まれるものとする。

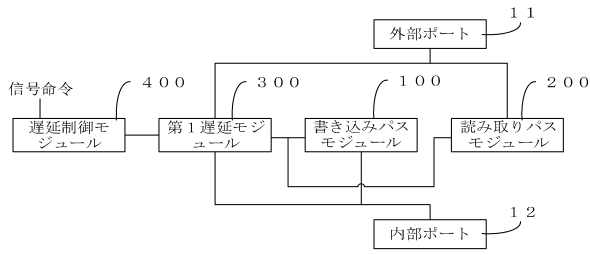
【0055】

上記の実施例は、本願実施例のいくつかの実施形態を説明するだけであり、その説明は、比較的具体的且つ詳細であるが、本発明の範囲を限定するものとして解釈されるべきではない。当業者にとって、本願実施例の構想から逸脱することなく、いくつかの変形又は改善を加えることもでき、このような変形又は改善は全て、本願実施例の保護範囲に含まれることに留意されたい。したがって、本願実施例の保護範囲は、特許請求の範囲の保護範囲に従うものとする。

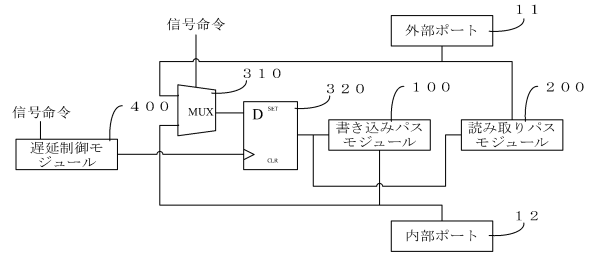
40

【図面】

【図 1】

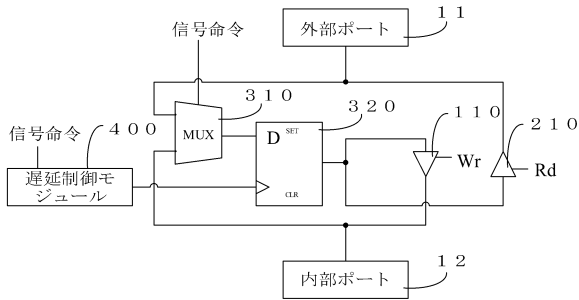


【図 2】

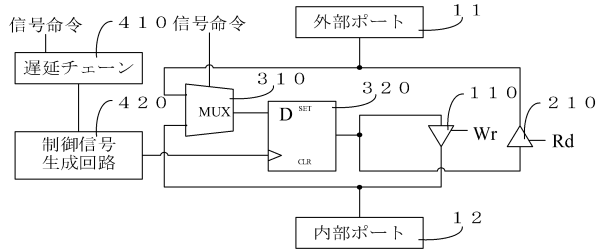


10

【図 3】

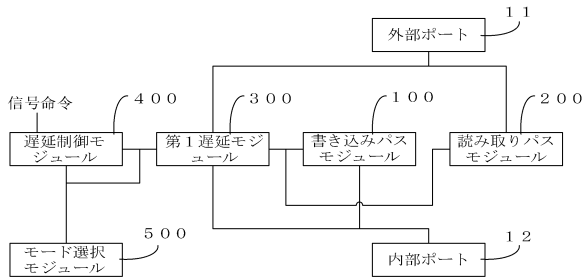


【図 4】

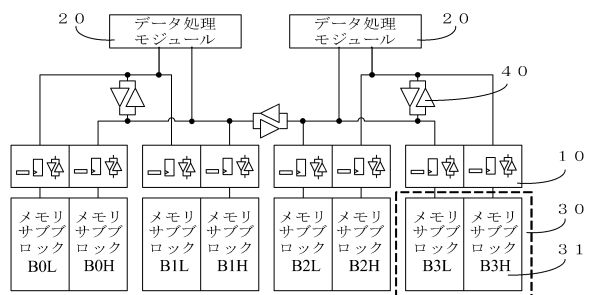


20

【図 5】



【図 6】

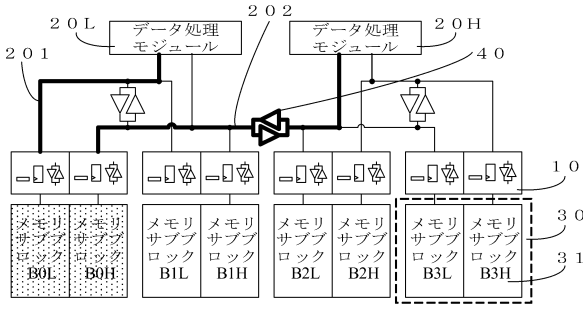


30

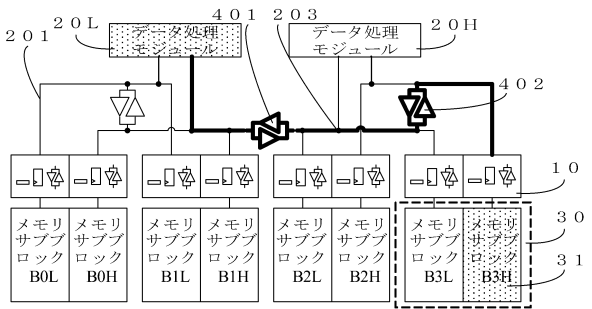
40

50

【図7】

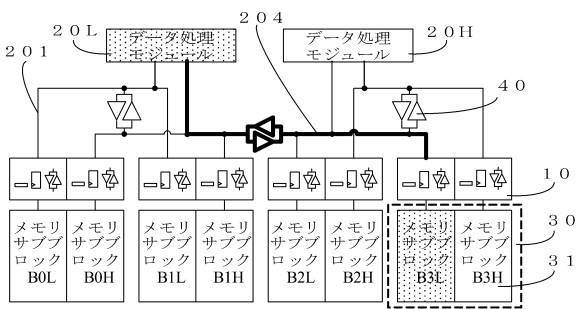


【図8】

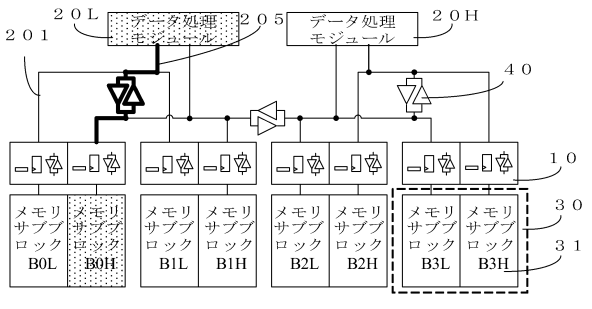


10

【図9】

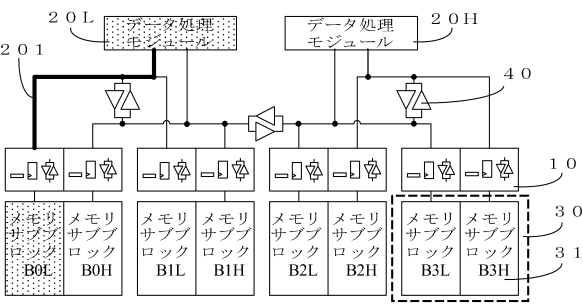


【図10】

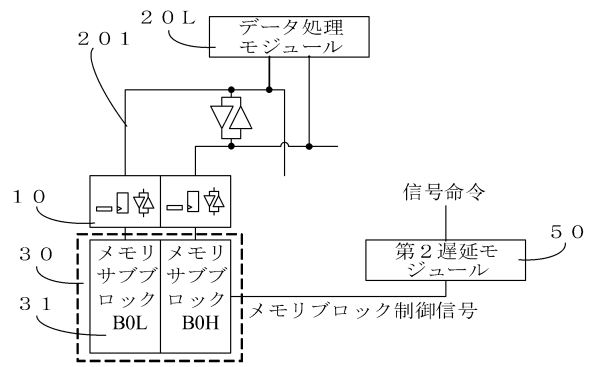


20

【図11】



【図12】



30

40

50

フロントページの続き

(51)国際特許分類

F I

G 0 6 F 13/16 5 1 0 E

G 0 6 F 13/16 5 2 0 B

(72)発明者 ジー カンリン

中華人民共和国 2 3 0 6 0 1 アンファイ プロヴィンス ヘーフェイ シティ エコノミック アンド
テクノロジカル ディベロップメント エリア エアポート インダストリアル パーク シンイエ ア
ベニュー ナンバー 3 8 8

審査官 小林 紀和

(56)参考文献 特開平 1 1 - 1 9 1 0 2 0 (J P , A)

米国特許出願公開第 2 0 1 0 / 0 2 7 1 8 8 7 (U S , A 1)

特開 2 0 0 5 - 3 4 6 9 0 8 (J P , A)

米国特許出願公開第 2 0 1 4 / 0 0 9 2 6 9 9 (U S , A 1)

(58)調査した分野 (Int.Cl. , D B 名)

G 1 1 C 7 / 1 0

G 0 6 F 1 3 / 1 6

G 1 1 C 1 1 / 4 0 9 3

G 1 1 C 1 1 / 4 0 9 6