

[51] Int. Cl.

G06F 1/32 (2006.01)



[12] 发 明 专 利 说 明 书

专利号 ZL 200380105853.1

[45] 授权公告日 2008 年 10 月 1 日

[11] 授权公告号 CN 100422905C

[22] 申请日 2003.11.24

[21] 申请号 200380105853.1

[30] 优先权

[32] 2002. 12. 11 [33] US [31] 10/317,798

[32] 2003. 5.12 [33] US [31] 10/436,903

[86] 国际申请 PCT/US2003/037614 2003.11.24

[87] 国际公布 WO2004/053706 英 2004.6.24

[85] 进入国家阶段日期 2005.6.13

[73] 专利权人 英特尔公司

地址 美国加利福尼亚州

[72] 发明人 T·库尔茨 D·奥伦斯坦

M · 于菲

[56] 参考文献

US5432944A 1995.7.11

US6073195A 2000.6.6

US6058059A 2000.5.2

US6243817B1 2001.6.5

US5737746A 1998.4.7

US6141765A 2000.10.31

审查员 谢阿萍

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 程天正 王 勇

权利要求书 4 页 说明书 22 页 附图 17 页

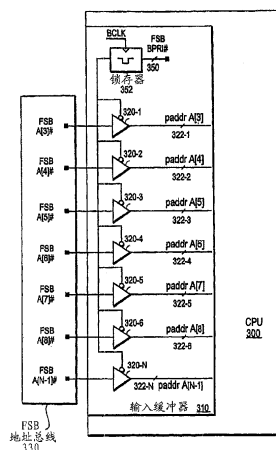
[54] 发明名称

用于地址总线功率控制的设备和方法

[57] 摘要

描述了各种设备和方法。依照通过处理器执行的第一种方法，其中所述处理器具有数据读出放大器，所述数据读出放大器用于从前侧总线的数据总线部分接收数据，并且其中：响应于地址选通的声明来启动数据读出放大器。然后至少响应于队列为空来禁止所述数据读出放大器。所述队列记录还有待于在前侧总线上执行的交易。依照通过处理器执行的第二种方法，其中所述处理器具有数据读出放大器以及地址读出放大器，所述数据读出放大器用于从前侧总线的数据总线部分接收数据，所述地址读出放大器用于从前侧总线的地址总线部分接收地址，其中：响应于请求指示的声明来启动地址读出放大器。响应于地址选通的声明来启动数据读出放大器。响应于所述请求指示的解除声明来禁止地址读出放大器。至少响应于队列为空来禁止地址读出

放大器。所述队列记录还有待于在数据总线上执行的交易。



1. 一种用于具有从前侧总线的数据总线部分接收数据的数据读出放大器的处理器中的方法，所述方法包括如下步骤：

响应于地址选通的声明来启动所述数据读出放大器；并且

至少响应于队列为空来禁止所述数据读出放大器，所述队列用于记录还有待于在所述前侧总线上执行的交易。

2. 一种用于具有从前侧总线的数据总线部分接收数据的数据读出放大器和从所述前侧总线的地址总线部分接收地址的地址读出放大器的处理器中的方法，所述方法包括如下步骤：

响应于请求指示的声明来启动所述地址读出放大器；

响应于地址选通的声明来启动所述数据读出放大器；

响应于所述请求指示的解除声明来禁止所述地址读出放大器；并且，

至少响应于队列为空来禁止所述数据读出放大器，所述队列用于记录还有待于在所述数据总线上执行的交易。

3. 一种用于多处理器计算系统的方法，所述多处理器计算系统具有多个处理器以及存储器控制器，所述多个处理器和所述存储器控制器经由前侧总线被耦合在一起，所述多个处理器包括从所述前侧总线的地址总线部分接收地址的地址读出放大器，所述方法包括如下步骤：

响应于来自于所述多个处理器中一个处理器的第一请求指示的声明来启动所述地址读出放大器；

如果在所述第一请求指示被解除声明之前从所述存储器控制器声明第二请求指示，就在所述第一请求指示被解除声明之后保持所述地址读出放大器启动；并且，

响应于所述第二请求指示的解除声明来禁止所述地址读出放大器。

4. 一种总线代理，包括：

连接到外部总线的控制器，用于如果将要把地址传送到连接到外部总线的接收总线代理，那么促使声明功率信号，所述功率信号用于在所述接收总线代理接收所述地址之前启动所述接收总线代理的一组输入地址读出放大器，

其中所述控制器还用于促使解除声明所述功率信号，以便一旦所述接收总线代理已经接收到所述地址之后禁止所述读出放大器。

5. 如权利要求 4 所述的总线代理, 其中所述控制器还用于促使解除声明所述功率信号, 以便如果在预定数量的时钟周期内没有计划发送附加地址值, 那么在已经接收到所述地址之后禁止所述读出放大器。

6. 如权利要求 4 所述的总线代理, 其中所述总线代理是芯片组。

7. 如权利要求 4 所述的总线代理, 其中所述总线代理是存储器控制器。

8. 如权利要求 4 所述的总线代理, 其中所述接收总线代理是处理器。

9. 一种总线代理, 包括:

通向总线的接口, 如果所述总线代理将把地址置于所述总线上, 那么所述接口用于促使声明功率控制信号, 所述功率控制信号用于允许总线上的接收总线代理的一组输入地址读出放大器来接收所述地址, 其中所述接口还用于促使解除声明所述功率控制信号, 以便一旦所述接收总线代理已经接收到所述地址之后禁止所述读出放大器。

10. 如权利要求 9 所述的总线代理, 其中所述接口还用于促使解除声明所述功率信号, 以便如果在预定数量的时钟周期内没有计划发送附加地址, 那么在已经接收到所述地址之后禁止所述读出放大器。

11. 如权利要求 9 所述的总线代理, 其中所述预定数量的时钟周期是至少 2 个时钟周期。

12. 如权利要求 9 所述的总线代理, 其中所述总线代理是芯片组。

13. 如权利要求 9 所述的总线代理, 其中所述总线代理是存储器控制器。

14. 如权利要求 9 所述的总线代理, 其中所述接收总线代理是处理器。

15. 一种总线代理, 包括:

输入缓冲器, 具有一组输入地址读出放大器; 并且

所述读出放大器被耦合了功率控制信号, 所述读出放大器被促使在总线代理接收地址之前, 响应于外部总线代理对所述功率控制信号的声明而被启动, 以便接收来自于外部总线代理的地址。

16. 如权利要求 15 所述的总线代理, 其中在所述总线代理已经接收到所述地址之后, 响应于所述外部总线代理对所述功率控制信号的解除声明来促使禁止所述输入地址读出放大器。

17. 如权利要求 15 所述的总线代理, 其中所述总线代理是处理器。

18. 如权利要求 15 所述的总线代理, 其中所述外部总线代理是芯片组。

19. 如权利要求 15 所述的总线代理, 其中所述外部总线代理是存储器控制器。

20. 如权利要求 15 所述的总线代理, 其中所述读出放大器被促使响应于在所述总线代理接收到地址之前的至少两个时钟周期的所述功率控制信号的声明而被启动, 以便接收来自于所述外部总线代理的地址。

21. 一种用于计算机系统的方法, 包括如下步骤:

由一个总线代理识别将要在总线上传送的地址;

声明功率控制信号, 以便在接收总线代理接收所述地址之前, 在总线上启动所述接收总线代理的一组输入地址读出放大器, 并且

解除声明所述功率信号, 以便在完成所述地址的传送之后禁止该组输入地址读出放大器。

22. 如权利要求 21 所述用于计算机系统的方法, 还包括延迟对所述功率信号的解除声明, 以便如果在预定数量的时钟周期内计划把地址发送到所述接收总线代理, 那么在完成地址传送之后禁止该组输入地址读出放大器。

23. 如权利要求 21 所述用于计算机系统的方法, 其中声明所述功率信号包括在一个地址递送周期之前的至少两个时钟周期声明所述功率信号。

24. 如权利要求 21 所述用于计算机系统的方法, 其中所述方法是通过芯片组来执行的。

25. 如权利要求 21 所述用于计算机系统的方法, 其中所述方法是通过存储器控制器来执行的。

26. 如权利要求 21 所述用于计算机系统的方法, 其中所述接收总线代理是处理器。

27. 一种计算机系统, 包括:

外部总线;

连接到所述外部总线的芯片组, 该芯片组包括:

控制器, 用于如果将要把地址传送到处理器则促使声明功率控制信

号,所述控制器用于解除声明所述功率控制信号,以便在完成所述地址的传送之后禁止该组输入地址读出放大器;以及

连接到所述外部总线的处理器,包括:

输入缓冲器,具有一组输入地址读出放大器,所述读出放大器被耦合至所述功率控制信号,所述读出放大器被促使在所述处理器接收到所述地址之前响应于所述功率控制信号的声明而被启动,以便接收来自于所述芯片组的地址。

28. 如权利要求 27 所述的计算机系统,其中所述芯片组的控制器还用于促使解除声明所述功率控制信号,以便如果在预定数量的时钟周期内没有计划把地址发送到所述请求代理的话,则在完成所述地址传送之后禁止该组输入地址读出放大器。

用于地址总线功率控制的设备和方法

相关申请

本申请是于2002年12月11日提交的序号为10/317,798的美国专利申请的部分延续。

技术领域

本发明的一个或多个实施例总体上涉及集成电路和计算机系统领域。更具体来讲，本发明的一个或多个实施例涉及用于地址总线功率控制的方法和设备。

背景技术

计算机系统及设备之间的通信通常是使用互联这种设备的一条或多条总线来执行的。这些总线可以是耦合两个设备的专用总线，或者是由多个部件和设备多路复用的非专用总线（例如，总线代理）。此外，计算机系统总线可以专用于传送特定类型的信息。例如，由加利福尼亚州的 Santa Clara 的英特尔公司开发的 x86 微处理器体系结构就包括具有地址、数据和控制总线的三总线系统，地址、数据和控制总线分别用于传送地址、数据和控制信号。

在采用先进的体系结构和处理器的计算机系统中，其中所述处理器诸如是 Pentium®Pro、Pentium®II、Pentium®III 或者 Pentium®4 处理器，总线交易通常以流水线方式发生。具体来讲，下一次存储器存取可以在先前的交易请求被发布之后开始；并且在可以开始另一总线交易以前，不要求完成总线交易的所有部分或者阶段。因此，来自于很多总线代理的请求可以在任意一个时间被挂起。通过分离的数据和地址总线来简化总线交易的流水线操作。当正在地址总线上发送请求的地址时，可以在数据总线上返回对应于先前在地址总线上所发布的地址的数据（或者信号）。

大量研究和系统体系结构设计工作都已经针对增加计算机系统内的数据吞吐率。诸如数据流水线、乱序执行等等的技术能够实现具有明显更高的时钟速率以及世界级的性能的先进的体系结构和处理。

此外，这种研究以及体系结构的重新设计已经能够实现用于膝上型计算机、手持设备、个人数字助理 (PDA) 等等的移动市场。使人遗憾

的是，这种移动式平台会受到运行时间的限制，当无法利用其他电源时，所述运行时间是由相应的移动式平台所使用的电池的寿命来确定的。根据所述移动式平台的复杂性，在相对短的时间段中，就可能耗尽附属电池的功率资源。这部分地是由于这样的事实，即：所述平台的许多电子元件即使当没有被使用时也持续消耗功率。

发明内容

按照本发明第一方面的一种用于具有从前侧总线的数据总线部分接收数据的数据读出放大器的处理器中的方法，所述方法包括如下步骤：响应于地址选通的声明来启动所述数据读出放大器；并且至少响应于队列为空来禁止所述数据读出放大器，所述队列用于记录还有待于在所述前侧总线上执行的交易。

按照本发明第二方面的一种用于具有从前侧总线的数据总线部分接收数据的数据读出放大器和从所述前侧总线的地址总线部分接收地址的地址读出放大器的处理器中的方法，所述方法包括如下步骤：响应于请求指示的声明来启动所述地址读出放大器；响应于地址选通的声明来启动所述数据读出放大器；响应于所述请求指示的解除声明来禁止所述地址读出放大器；并且，至少响应于队列为空来禁止所述数据读出放大器，所述队列用于记录还有待于在所述数据总线上执行的交易。

按照本发明第三方面的一种用于多处理器计算系统的方法，所述多处理器计算系统具有多个处理器以及存储器控制器，所述多个处理器和所述存储器控制器经由前侧总线被耦合在一起，所述多个处理器包括从所述前侧总线的地址总线部分接收地址的地址读出放大器，所述方法包括如下步骤：响应于来自于所述多个处理器中另一个处理器的第一请求指示的声明来启动所述地址读出放大器；如果在所述第一请求指示被解除声明之前从所述存储器控制器声明第二请求指示，就在所述第一请求指示被解除声明之后保持所述地址读出放大器启动；并且，响应于所述第二请求指示的解除声明来禁止所述地址读出放大器。

按照本发明第四方面的一种总线代理，包括：连接到外部总线的控制器，用于如果将要地址传送到连接到外部总线的单个的总线代理，那么促使声明功率信号，所述功率信号用于在所述单个的总线代理接收所述地址之前启动所述单个的总线代理的一组输入地址读出放大

器，其中所述控制器还用于促使解除声明所述功率信号，以便一旦所述单个的总线代理已经接收到所述地址之后禁止所述读出放大器。

按照本发明第五方面的一种总线代理，包括：通向总线的接口，如果所述总线代理将把地址置于所述总线上，那么所述接口用于促使声明功率控制信号，所述功率控制信号用于允许总线上的单个的总线代理的一组输入地址读出放大器来接收所述地址，其中所述接口还用于促使解除声明所述功率控制信号，以便一旦所述单个的总线代理已经接收到所述地址之后禁止所述读出放大器。

按照本发明第六方面的一种总线代理，包括：输入缓冲器，具有一组输入地址读出放大器；并且所述读出放大器被耦合了功率控制信号，所述读出放大器被促使在总线代理接收地址之前，响应于外部总线代理对所述功率控制信号的声明而被启动，以便接收来自于外部总线代理的地址。

按照本发明第七方面的一种方法，包括如下步骤：由一个总线代理识别将要在总线上传送的地址；声明功率控制信号，以便在单个的总线代理接收所述地址之前，在总线上启动所述单个的总线代理的一组输入地址读出放大器，并且解除声明所述功率信号，以便在完成所述地址的传送之后禁止该组输入地址读出放大器。

按照本发明第八方面的一种系统，包括：外部总线；连接到所述外部总线的芯片组，该芯片组包括：控制器，用于如果将要把地址传送到处理器则促使声明功率控制信号，所述控制器用于解除声明所述功率控制信号，以便在完成所述地址的传送之后禁止该组输入地址读出放大器；以及连接到所述外部总线的处理器，包括：输入缓冲器，具有一组输入地址读出放大器，所述读出放大器被耦合至功率控制信号，所述读出放大器被促使在所述处理器接收到所述地址之前响应于所述功率控制信号的声明而被启动，以便接收来自于所述芯片组的地址。

附图说明

本发明的各种实施例是通过举例而非限制的方式在附图中示出的，其中：

图 1 是举例说明先前的处理器以及存储器控制集线器的框图。

图 2 是举例说明依照一个实施例的具有输入缓冲器的处理器的框图。

图 3 是举例说明依照一个实施例的单个处理器系统平台的框图。

图 4 举例说明了依照一个实施例的时序图。

图 5 举例说明了依照一个实施例的流程图。

图 6 举例说明了依照一个实施例的流程图。

图 7 举例说明了依照一个实施例的流程图；

图 8 是举例说明用于使用所公开的技术来模拟、仿效并且制造设计的各种设计描述或者格式的框图。

图 9 是举例说明依照一个实施例的单个处理器系统平台的框图。

图 10 是举例说明依照一个实施例的具有地址输入读出放大器的处理器的框图。

图 11 举例说明了表明用于启动地址读出放大器的技术的时序图。

图 12 举例说明了依照一个实施例的具有数据读出放大器的处理器。

图 13 举例说明了表明用于启动数据读出放大器的技术的时序图。

图 14 是举例说明依照一个实施例的多处理器系统平台的框图。

图 15 举例说明了可用于在多处理器环境中锁存地址值的电路。

图 16 举例说明了表明用于在多处理器环境中启动地址读出放大器的技术的时序图。

图 17 举例说明了可用于锁存数据和地址值这两者的电路。

具体实施方式

在随后的描述中，阐明了许多具体细节，诸如逻辑实现方式、信

号和总线的大小和名称、系统组件的类型和相关性以及逻辑分区/集成选择等,以便提供对本发明更彻底的了解。然而本领域中的普通技术人员应理解的是,本发明可以在没有这种具体细节的情况下来实施。在其他实例中,为了不模糊本发明,没有详细地示出控制结构和门级电路。本领域中的普通技术人员依照所包括的描述将能够在不需要进行过度实验的情况下实现适当的逻辑电路。

图1是举例说明了用于示例性计算机系统的先前处理器(CPU)110以及存储器控制器(MCH)装置的图表。如图所示,CPU 110可以包括输入缓冲器112,其用于获取经由处理器系统总线或前侧总线(FSB)102的数据线接收到的数据。所述CPU 110的输入缓冲器112包括多个地址总线输入读出放大器114(114-1,...,114-N),这些地址总线输入读出放大器可以被耦合以便读出数据,所述数据是经由所述FSB 102的数据总线部分传输到所述CPU 110的。

对于所述CPU 110来说,所述数据总线输入读出放大器114跟随系统初始化而被连续地启动。当被启动时,所述数据输入读出放大器114消耗功率。

现在参照图2,描述了一个实施例的处理器(CPU)。对于图2中所示的实施例来说,所述CPU 300是移动式平台CPU。应理解的是,对于其他实施例来说,所述CPU 300可以是不同类型的处理器,例如包括数字信号处理器、图形处理器、嵌入式处理器等等。

如图所示,CPU 300包括全部作为输入缓冲器310示出的输入缓冲器。所述输入缓冲器310包括N个地址输入读出放大器320(320-1,...,320-N)。所述读出放大器320具有耦合至内部地址总线信号线(paddr)322(322-1,...,322-N-1)的输出端。输入缓冲器310还可以被耦合至附加内部数据和/或控制线。对于一个实施例来说,所述读出放大器320具有耦合至前侧总线(FSB)330的多条地址线FSB A[0...N-1]#的输入端。

对于一个实施例而言,所述FSB 330与Pentium® 4处理器前侧总线协议兼容,这些方面在Singh及其他人的于11/01/2001公开的申请号为US 2001/0037421 A1的一并待审的美国专利申请中进行了描述。在所述FSB与Pentium 4处理器前侧总线兼容的情况下,所述FSB 330包括64条数据线FSB D[0..63]。对于其他实施例来说,应理解的

是, 所述 FSB 330 可以与不同的总线协议兼容, 和/或可以包括不同数目的数据线。

继续参考图 2, 对于一个实施例而言, 所述输入缓冲器 310 还包括锁存器 352, 所述锁存器 352 被耦合以便接收总线时钟 (BCLK) 信号和与 FSB 330 相关联的地址总线功率控制 (BPRI#) 信号 350。对于一个实施例而言, 所述 BPRI# 信号例如可以从芯片组设备 (未示出) 接收, 可以把所述芯片组设备经由所述 FSB 330 耦合至 CPU 300。所述锁存器 352 的输出端被耦合以便启动每个地址输入读出放大器 320 的输入端。

操作中, 当所述 BCLK 信号转换时, 所述锁存器 352 锁存所述 BPRI# 信号的状态。响应于所述 BPRI# 信号的声明, 输入缓冲器 310 的所述地址输入读出放大器 320 被启动以便经由地址线 FSB A[0.. N-1]# 从 FSB 330 获取地址。反之, 响应于所述 BPRI# 信号的解除声明, 所述输入地址读出放大器被禁止。当所述输入读出放大器被禁止时, 它们的功率损耗被减少, 其中所述功率损耗主要是由于输入缓冲器所提供的偏置电流而引起的热损耗功率 (TDP)。

图 3 是一个实施例的计算系统 500 的框图, 其中可以有利地使用图 2 的 CPU 300。除所述 CPU 300 以外, 所述系统 500 包括存储器控制器, 在一个实施例中被称为存储器控制集线器 (MCH) 510, 并且包括输入/输出 (I/O) 控制器, 在一个实施例中被称为输入/输出控制集线器 (ICH) 530。可以把所述 MCH 510 和 ICH 530 合起来称为芯片组 502。把所述 MCH 510 经由所述 FSB 330 耦合至 CPU 300 并且经由总线 150 耦合至所述 ICH 530。此外, 把主存储器 520 和一个或多个图形设备 550 耦合至所述 MCH 510。所述 MCH 还可以具有集成的图形支持 (例如, 供移动应用之用)。

系统 500 的输入/输出子系统可以包括各种耦合至所述 ICH 530 的不同类型的输入和/或输出设备、诸如硬盘驱动器 (HDD) 210, 一个或多个 USB 端口 190 可以经由通用串行总线 (USB) 192 耦合至所述 ICH 530, 和/或一个或多个外围部件互联 (PCI) 设备 180 可以经由相应总线 182 耦合至所述 ICH。另外, 对于某些实施例来说, 还可以把一个或多个音频通道 170 和/或局域网 (LAN) 接口 220 耦合至 ICH 530。

采用各种处理器和前侧总线技术的实现方式都是可能的。在一个

实施例 中，其中所述 FSB 330 与所述 P4 处理器前侧总线兼容，所述 FSB 330 是一种流水线数据总线，其包括地址、数据和控制部分，替代地可在此将其称为地址、数据和控制总线。

根据所述 FSB 330，此处把耦合至所述 FSB 330 的设备也称为总线代理。对于一个实施例而言，三种类型的代理可以驻留在 FSB 330 上：请求代理、响应代理和探听代理。请求代理是这样一种设备，其通过发布请求来启动交易，所述请求是诸如存储器或者 I/O 读或者写请求之类的请求。响应代理是诸如 I/O 目标或者存储器目标之类的交易目标。探听代理是总线上通常与高速缓冲存储器相关联的设备。对于其他实施例来说，可以把总线代理依照不同方式来归类。

在所述 FSB 330 是流水线总线 的情况下，可以把总线交易分成阶段，并且多个交易可以重叠。具体来讲，在可以开始另一总线交易之前，无需完成总线交易的所有部分或者阶段。

如此处所使用的那样，术语“交易”指明与单个总线存取请求相关的总线活动。交易可以包括几个阶段，每个阶段与总线信号的特定集合相关联以便传递特定类型的信息。对于一个实施例而言，示例性的阶段例如可以包括判优阶段、请求阶段、探听阶段、响应阶段和/或数据阶段。

在所述请求阶段中，所述请求代理在所述 FSB 330 上驱动请求控制和地址信息。在后续的探听阶段期间，确定是否寻找在本地存储的数据，和/或所述交易是否有可能根据先前发布的交易按顺序完成。在响应阶段中，响应代理向所述请求代理汇报表明所请求的交易已成功或成败的信息。如果所请求的交易包括数据传送，那么也称为数据传送阶段的数据阶段可以响应于数据就绪 (DRDY#) 信号的声明而被启动。

如图 3 所示，在一个实施例中，上述的 BPRI#信号是通过作为所述 FSB 330 的一部分的 MCH 510 来被声明和解除声明的。在一个实施例中，所述 MCH 包括控制器 512，用于促使 BPRI#信号的声明和解除声明。在可替代的实施例中，所述控制器 512 可以被设置在其他设备/代理上，所述其他设备/代理被耦合至所述 FSB 330。下面更详细地讨论所述控制器 512 用于促使声明和解除声明所述 BPRI#信号的方式。

在一个实施例中，所述控制器 512 将这样促使声明和解除声明所述 BPRI#信号，使得在所述 FSB 330 上没有地址活动期间禁止所述 CPU

300 的输入地址读出放大器 320, 并且在地址传送操作之前启动它。对于一个实施例而言, 所述控制器将把所述 BPRI#信号及时应用于处理器, 以便获取地址信息。就另一方式而言, 所述控制器 512 将这样促使声明所述 BPRI#信号, 使得及时启动所述 CPU 300 的读出放大器 320 以便读出在所述 FSB 330 上提供的地址值。一旦地址值已经通过所述 FSB 330 传送至所述处理器, 那么如果在预定时间帧内(例如, 给定数目的时钟周期)没有即将到来的地址值传送, 则所述控制器 512 将促使解除声明所述 BPRI#信号以便减少所述读出放大器的功耗。

图 4 是举例说明可用于计算系统(例如, 如在图 3 中观察到的那样)的实施例的 BPRI#信号的时序图。图 4 的时序图示出了如下信号的时钟周期 T1-T10, 所述信号是: 1) 总线时钟(BCLK)信号 410, 在上面根据图 2 的论述中提及; 2) 总线请求信号 BR[0]#信号 420, 由所述计算系统处理器来控制; 3) 所述 BPRI#信号 350; 4) 用于锁定所述总线的 LOCK#信号 430; 5) 地址选通信号(ADS#)440; 以及 6) 在地址总线上提供的地址值的表示。

对于上述信号来说, 所述信号名称末尾的“#”表明相关联的信号是低电平有效信号(即, 当它处于逻辑低电平时认为是被声明的)。应理解的是, 随着在关联电路方面的相应变化, 可以替代地使用高电平有效信号来提供类似功能。此外, 对于一个实施例而言, 一个或多个所述 FSB 330 信号是低压摆动信号, 其具有小于全摆幅的电压摆动。

在图 4 中所举例说明的示例性交易中, 就所述地址值的传送而言, 所述 FSB 在时钟周期 T1 是“静止的”; 因此, 所述处理器的读出放大器处于禁止的、低功耗状态。然后, 所述发送总线代理的控制器通过在 T2 中促使声明 BPRI #信号 350 而开始用于把地址值经由所述 FSB 传送到接收总线代理的过程。例如, 如果所述发送总线代理识别出它需要向所述接收总线代理发送请求, 那么可以启动所述过程。这里, 所述请求可以通过在地址总线上提供地址值来做出(例如, 在总线协议的请求阶段期间)。在一个实施例中, 所述发送总线代理是 MCH(例如, 图 3 的 MCH 512); 而所述接收总线代理是处理器(例如, 图 3 的 CPU 300)。在该情况下, 所述 MCH 可以被给予优先代理状态, 以便如果所述 MCH 需要使用所述 FSB, 那么所述 MCH 可以控制所述 FSB。

在一个实施例中, 所述发送代理(例如, 图 3 的所述 MCH 512)包

括控制器 512, 其识别将要执行地址值的传送(例如, 通过识别应该经由总线发送请求); 并且因此在所述接收代理将要接收地址值之前充分促使声明所述 BPRI#信号 350(以便所述接收代理的读出放大器能够被正确启动来接收地址值)。这里, 所述接收总线代理检测所述 BPRI#信号的声明; 并且作为响应, 所述读出放大器被启动。照此, 更一般说来, 所述控制器将促使声明功率信号(例如, 图 4 的 BPRI#信号); 其又促使接收代理的读出放大器变为启动。

在图 4 的实施例, 所述接收总线代理在跟随声明了所述 BPRI#信号的时钟周期的下一时钟周期开始启动其读出放大器。整个时钟周期被消耗(时钟周期 T3), 以便确保所述读出放大器将从所述 FSB 正确地接收地址值。也就是说, 依照图 4 的实施例, 所述 BPRI#信号 350 由所述接收总线代理在时钟周期 T2 和 T3 之间的时钟边沿上锁存。响应于所述接收代理检测到所述 BPRI#信号, 所述接收代理启动所述读出放大器。所述读出放大器被给予随后的整个时钟周期(时钟周期 T3), 以便变为充分启动以从所述发送总线代理接收地址值。由于在时钟周期 T3 中出现从禁止到启动的转换, 所以所述读出放大器在时钟周期 T3 中被认为是“禁止的”。在图 4 的实施例的时钟周期 T4, 所述发送总线代理向 FSB 的地址值(如图 4 中由“Req A”和“Req B”表示)提供地址选通信号(ADS#)440 的声明。

因此, 在图 4 所述的实施例, 把所述 Req A 和 Req B 地址值通过所述读出放大器在适当地定位在时钟边沿上(例如, 在时钟周期 T4 期间的总线时钟 410 的下降沿上来锁存 Req A 值; 并且在时钟周期 T4 和 T5 之间的总线时钟 410 的上升沿上锁存 Req B 值)锁存到接收总线代理中。此外, 在时钟周期 T5 期间, 所述发送总线代理还解除声明地址选通 440, 以便立即跟随的地址值的传送(周期 T6 期间的“ReqA”和“Req B”)可以根据在时钟周期 T4 期间发生的地址值传送来被清楚地描绘。然后在时钟周期 T6 期间重新声明地址选通 440, 以便影响第二地址值传送。

应注意的是, 在图 4 的实施例, 随着在时钟周期 T6 期间重新声明地址选通信号 440, 所述发送代理的控制器 512 促使解除声明 BPRI#信号 350。在一个实施例中, 所述发送总线代理的控制器(例如, 诸如图 3 的控制器 512 的前述的控制器)被设计用于: 1) 识别出在某一时间

周期(例如, 超过地址值“当前”传送(在时钟周期 T6, 所述“当前”传送是 Req A 和 Req B 值的第二传送)的多个时钟周期)将不会出现地址值的“下一”传送, 并且 2), 因此, 促使解除声明所述 BPRI#信号 350 以便在由接收总线代理接收到当前地址值传送之后不久禁止读出放大器。这里, 在一个实施例中, 所述控制器又通过监控是否需要经由 FSB 做出请求, 以此来识别“下一”传送地址是否将要发生。也就是说, 通过把地址值置于 FSB 的地址总线部分上来在所述总线上提供请求。

在图 4 的例子中, 在时钟周期 T6 应该意识到的是, 至少在四个时钟周期内没有跟随“T6”传送的地址值的另一传送(因为, 如图 4 所示, 在时钟周期 T6 和 T10 之间没有发生地址值传送); 并且因此, 所述控制器 512 促使 BPRI#信号的解除声明将在时钟周期 T6 解除声明。应理解的是, 对于其他实施例来说, 可以使用后续地址传送之间的不同数目的时钟周期或者时间的另一量度来促使解除声明所述 BPRI#信号 440。

在图 5 中举例说明的流程图 500 中描述了地址总线功率控制的方法。在处理块 502, 发送代理(例如, 所述 MCH)检测将要传送到所述接收代理(例如处理器)的地址。在处理块 504, 所述发送代理确定何时声明所述 BPRI#信号。在处理块 506, 所述发送代理促使声明所述 BPRI#信号以便启动接收代理的读出放大器来接收地址。

在处理块 508, 所述发送代理基于到所述接收代理的地址传送的完成来确定何时促使解除声明所述 BPRI#信号。在处理块 510, 所述发送代理促使解除声明所述 BPRI#信号, 这促使所述接收代理的地址输入读出放大器被禁止。

图 6 依照一个实施例描述了举例说明促使解除声明地址总线功率控制信号 BPRI#的附加技术的流程图 600。在处理块 602, 所述发送代理确定是否附加地址(关于正被传送到所述接收代理的当前地址的附加地址)将被发送给所述接收代理。如果这种附加地址没有被检测到, 那么在处理块 608, 在当前地址传送完成之后, 促使地址总线功率控制信号 BPRI#被解除声明, 以便禁止所述接收代理的地址输入读出放大器。

反之, 如果所述发送代理检测到将要附加地址传送到所述接收

代理,那么在处理块 604 所述发送代理确定所述附加地址是否将在预定的时钟周期内被发送给所述接收代理。如果将超过预定的时钟周期来传送所述附加地址,那么在处理块 608,在完成当前地址传送之后,促使地址总线功率控制信号 BPRI#被解除声明,以便禁止所述接收代理的地址输入读出放大器。

如果将要在所述预定的时钟周期内传送附加地址,那么在处理块 606,所述发送代理延迟解除声明地址总线功率控制信号 BPRI#,以便令地址输入读出放大器继续被启动。在处理块 608,所述发送代理在完成附加地址传送后解除声明所述 BPRI#信号来禁止所述接收代理的地址读出放大器,以便禁止所述接收代理的地址输入读出放大器。

在图 7 中举例说明的流程图 700 中描述了数据总线功率控制的方法。在处理块 702 中,所述接收代理(例如,CPU)将从独立的代理接收地址。在处理块 704 中,在接收地址之前,所述接收代理检测到所述 BPRI#信号的声明,这促使所述接收代理的地址输入读出放大器被启动以便接收地址。在处理块 706 中,所述接收代理接收地址。在处理块 708 中,所述接收代理检测到所述 BPRI#信号的解除声明,这促使所述接收代理的地址输入读出放大器的禁止以便减少功耗。

图 8 是举例说明用于使用所公开的技术来模拟、仿效并且制造设计的各种设计表示或者格式的框图。表示设计的数据可以依照多种方式来表示所述设计。首先,因为在模拟时有用,可以使用硬件描述语言或者其它功能描述语言来表示所述硬件,这些语言主要提供期望如何执行所设计的硬件的计算机化模型。所述硬件模型 810 可以存储在诸如计算机存储器的存储介质 800 中,以便可以使用模拟软件 820 来模拟所述模型,所述模拟软件把特定测试组 830 应用于所述硬件模型以便确定它是否真正起到预期作用。在一些实施例中,所述模拟软件没有被记录、获取或者包含在所述介质中。

另外,可以在设计过程的某些阶段生成具有逻辑和/或晶体管门电路的电路级模型。所述模型可以通过专用硬件模拟器来类似地模拟多次,所述专用硬件模拟器使用可编程逻辑来形成所述模型。在一定程度上所采用的此类模拟还可以是仿真技术。在任何情况下,可重构的硬件是另一实施例,其可以涉及存储采用所公开的技术的模型的机器可读介质。

此外，在某一阶段的大部分设计达到表示各种设备在硬件模型中的物理位置的数据级别。在使用常规的半导体制造技术的情况中，表示所述硬件模型的数据可以是具体说明各种特征在用于产生集成电路的不同掩模层或者掩模上存在还是不存在的数。此外，表示所述集成电路的这种数据具体实现了所公开的技术，因为所述电路逻辑和所述数据可以被模拟或者制造以便执行这些技术。

在所述设计的任意表示中，可以把所述数据依照机器可读介质的任意形式来存储。被调制或者被生成以便传送这种信息的光或者电波 860、存储器 850 或者磁或者光存储器 840（诸如盘）可以是所述机器可读介质。这些介质中任一介质可以承载所述设计信息。术语“承载”（例如，承载信息的机器可读介质）由此覆盖存储在存储设备上的信息或者被编码或者被调制到载波中或上的信息。描述所述设计或者所述设计的具体细节的位集是（当包括在机器可读介质、诸如载体或者存储介质中时）一种物品，其可以是封入或者出自其自身、或者由其他人使用以便进一步设计或制造。

替代的实施例

应理解的是，对于其他实施来说，可以使用不同的系统配置。例如，当所述系统 500 包括单个 CPU 300 时，对于其他实施来说，多处理器系统（其中一个或多个处理器在结构和操作上可以类似于上述的 CPU 300）可以受益于各种实施的地址总线功率控制方法。此外，不同类型的系统或者不同类型的计算机系统，诸如服务器、工作站、台式计算机系统、游戏系统、嵌入式计算机系统、刀片服务器等等，都可以用于其他实施。

根据已公开的示例性实施，当保持在不脱离本发明的实施的范围内的情况下，可以对所公开的实施例做出修改和变化，本发明的实施的范围由如下的权利要求来定义。

向下可兼容的功率节省总线设计

图 9 是示例性的单处理器计算系统 900 的框图，其中可以使用中央处理单元 (CPU) 901。除所述 CPU 901 以外，所述系统 900 还包括存储器控制器，在一个实施中被称为存储器控制集线器 (MCH) 910，并且包括输入/输出 (I/O) 控制器，在一个实施中被称为输入/输出控制集线器 (ICH) 930。当作为多个半导体芯片来实现时，可以把所述 MCH

910 和 ICH 930 合起来称为芯片组 902。把所述 MCH 910 经由前侧总线(FSB)931 耦合至所述 CPU 901 并且经由总线 950 耦合至所述 ICH 930。此外,把主存储器 920 和一个或多个图形设备 940 耦合至所述 MCH 910。

所述计算系统 900 的输入/输出子系统可以包括各种耦合至所述 ICH 930 的不同类型的输入和/或输出设备,诸如是硬盘驱动器(HDD)911,一个或多个 USB 端口设备 912 可以经由通用串行总线(USB)913 耦合至 ICH 930,和/或一个或多个外围部件互联(PCI)设备 914 可以经由相应的 PCI 总线 915 耦合至所述 ICH。另外,对于某些实施例来说,还可以把一个或多个音频通道 916 和/或局域网(LAN)接口 917 耦合至 ICH 930。应注意的是,在至少一个实施例中,所述 FSB 931 与来自于英特尔公司的 P4 处理器前侧总线兼容。

根据所述 FSB 931,此处把耦合至所述 FSB 931 的设备也称为总线代理。对于一个实施例而言,三种类型的代理可以驻留在 FSB 931 上:请求代理、响应代理和探听代理。请求代理是这样一种设备,其通过发布请求来启动交易,所述请求诸如是存储器或者 I/O 读或者写请求之类的请求。响应代理是诸如 I/O 目标或者存储器目标之类的交易目标。探听代理是总线上通常与高速缓冲存储器相关联的设备。对于其他实施例来说,可以把总线代理依照不同方式来归类。

在所述 FSB 931 是流水线总线的情况下,可以把总线交易分成阶段,并且多个交易可以重叠。具体来讲,在可以开始另一总线交易之前,无需完成总线交易的所有部分或者阶段。

如此处所使用的那样,术语“交易”指明与单个总线存取请求相关的总线活动。交易可以包括几个阶段,每个阶段与总线信号的特定集合相关联以便传递特定类型的信息。对于一个实施例而言,示例性的阶段例如可以包括判优阶段、请求阶段、错误阶段、探听阶段、响应阶段和/或数据阶段。

在所述请求阶段中,所述请求代理驱动请求控制和所述 FSB 931 上的地址信息。在后续的探听阶段期间,它确定是否寻找在本地存储的数据,和/或所述交易是否有可能根据先前发布的交易按顺序完成。在响应阶段中,响应代理向所述请求代理汇报表明所请求的交易是否已成功或失败的信息。如果所请求的交易包括数据传送,那么也称为数

据传送阶段的数据阶段可以随着数据就绪 (DRDY#) 信号的声明而被执行。

如下文将更加详细描述的那样, 请求信号可以通过所述 MCH 910 来声明以便使用 FSB 931。时常, 由于存储器 920 必须总体上实现计算系统的总体效率的重要性, 所以基于所述 FSB 931, 把所述 MCH 910 称为“优先”代理。照此, 在各种实施例中, 把所述 MCH 910 在 FSB 931 上声明的前述请求信号称为“总线优先代理请求指示”(BPRI)。当所述 MCH 910 希望使用所述 FSB 931 时, 所述 MCH 声明所述 BPRI#信号; 并且当所述 MCH 910 不再希望使用所述 FSB 931 时, 所述 MCH 解除声明所述 BPRI#信号(注意: 术语“#”表明低电平有效信号)。所述 MCH 包括控制器 918 (或者控制逻辑 918), 用于控制所述 BPRI#信号的声明和解除声明。

在一个实施例中, 所述控制器 918 这样促使声明所述 BPRI#信号, 使得及时启动所述 CPU 910 内的读出放大器以便读出由所述 MCH 910 在所述 FSB 931 上提供的地址值。一旦地址值已经通过所述 FSB 931 传送至所述处理器 901, 那么如果在预定时间帧(例如, 给定数目的时钟周期)中没有即将到来的地址值传送, 则所述控制器 918 促使解除声明所述 BPRI#信号, 以便减少所述读出放大器的功耗。

现在参照图 10, 观察到 CPU 1001。图 10 的 CPU 1001 可以被看作是对应于 CPU 901 的实施例, 其中所述 CPU 901 在关于图 9 的上述内容中刚提及。如图所示, CPU 1001 包括整体作为输入缓冲器 1010 示出的输入缓冲器。图 10 的所述输入缓冲器实施例 1010 包括 $(N-1)-3$ 地址输入读出放大器 1020 (1020-3, ..., 1020-(N-1))。所述读出放大器 1020 具有耦合至内部地址总线信号线 (paddr) 1022 (1022-3, ..., 1022-(N-1)) 的输出端。输入缓冲器 1010 还可以被耦合至附加的内部数据和/或控制线。对于一个实施例来说, 所述读出放大器 1020 具有耦合至多条地址线 FSB A[3..N-1]#的输入端, 所述地址线存在于所述前侧总线 (FSB) 1031 上。例如, 可以把图 10 的 FSB 地址总线 1031 (以下简称为 FSB 1031) 看作对应于图 9 的 FSB 931 的地址部分。

至少对于一个实施例而言, 所述 FSB 1031 与英特尔 Pentium® 4 处理器 (P4) 前侧总线兼容。对于其他实施例来说, 应理解的是, 所述

FSB 1031 可以与不同的总线协议兼容。应注意的是，图 10 的所述输入缓冲器 1010 实施例包括锁存器 1052，其被配置用于接收总线时钟 (BCLK) 信号和与 FSB 1031 相关联的前述的 BPRI#信号 1050。所述锁存器 1052 的输出端被耦合以便启动每个地址输入读出放大器 1020 的输入端。

操作中，当所述 BCLK 信号转换时，所述锁存器 1052 锁存所述 BPRI#信号的状态。响应于所述 BPRI#信号的声明，输入缓冲器 1010 的所述地址输入读出放大器 1020 被启动以便经由地址线 FSB A[3..N-1]#从 FSB 1031 获取地址。反之，响应于所述 BPRI#信号的解除声明，所述输入地址读出放大器被禁止。当所述输入读出放大器被禁止时，它们的功率耗损(例如，因为偏置电流而产生的热损耗功率(TDP))被减少。

图 11 是举例说明可用于单个处理器计算系统(例如，如在图 9 中观察到的那样)的实施例的 BPRI#信号的时序图。图 11 的时序图示出了如下信号的时钟周期 T1-T10，所述信号是：1)总线时钟(BCLK)信号 1110，其在上文提及了；2)BREQ0#信号 1120；3)所述 BPRI#信号 1150，其在上文提及了；4)LOCK#信号 1130；5)地址选通信号(ADS#)1140；6)在地址总线上提供的地址值 1102、1104 的表示；以及 7)输入缓冲器读出放大器的状态。对于上述信号来说，所述信号名称末尾的“#”表明所述相关联的信号是低电平有效信号(即，当它处于逻辑低电平时认为是被声明)。应理解的是，随着相关联的电路的相应变化，可以替代地使用高电平有效信号来提供类似功能。

在图 11 中举例说明的示例性交易中，就所述地址值的传送而言，所述 FSB 最初是“静止的”；因此，所述处理器的读出放大器最初处于禁止的、低功耗状态。发送总线代理(例如，诸如优先总线代理，诸如所述 MCH)然后开始用于通过在 T2 中声明 BPRI#信号 1150、把地址值经由 FSB 传送到接收总线代理(例如，处理器/CPU)的过程。在图 11 的实施例中，所述接收总线代理(例如，所述 CPU)具有其读出放大器，所述读出放大器能够在跟随声明了 BPRI#信号 350 的时钟周期的时钟周期之后接收地址值。这在图 11 中通过从“禁止”(在时钟周期 T3)到“启动”(在时钟周期 T4)的转换来示出。

也就是说，整个时钟周期被消耗(时钟周期 T3)，以便确保在时钟

周期 T4 期间所述读出放大器将从所述 FSB 正确地接收地址值。依照可由图 11 表出的至少一个实施例，所述 BPRI#信号 1150 通过接收总线代理输入缓冲器在时钟周期 T2 和 T3 的时钟边沿上被锁存，之后，所述读出放大器开始被启动。然后所述读出放大器被给予随后的整个时钟周期(时钟周期 T3)，以便变得充分启动以从所述发送总线代理接收地址值。在时钟周期 T4，所述发送总线代理提供 FSB 的地址值(如图 11 中由“Req A”和“Req B”表示的那样)，并且声明地址选通信号(ADS#)1140。

因此，所述 Req A 和 Req B 地址值可通过所述读出放大器在适当地定位的时钟边沿上(例如，在总线时钟 1110 的上升沿锁存 Req A 值；而在总线时钟 1110 的下降沿锁存 Req B 值)锁存到所述接收总线代理中。此外，在时钟周期 T5 期间，所述发送总线代理解除声明地址选通 1140，以便立即跟随的地址值(周期 T6 期间的“Req A”和“Req B”)的传送可以根据在时钟周期 T4 期间发生的地址值传送来被清楚地描绘。然后在时钟周期 T6 期间重新声明地址选通 1140，以便影响第二地址值传送。

应注意的是，在图 11 的实施例中，在时钟周期 T6 期间所述发送代理也不激活所述 BPRI#信号 1150，并且重新声明地址选通信号 1140。在一个实施例中，所述发送总线代理(例如，图 9 的控制器 918)处的一种形式的智能被设计用于：1) 识别在除地址值的“当前”传送以外(在时钟周期 T6，其是 Req A 和 Req B 值的第二传送)的至少一些数目的时钟周期内不会发生地址值的“下一”传送；并且 2) 因此，自动地解除声明所述 BPRI#信号 1150，以便在由所述接收总线代理接收到当前地址值传送之后不久禁止在处理器侧的读出放大器。

在图 11 的例子中，应该认识到的是，只要 BPRI#不再次声明，那么所述 MCH 可以不向所述 FSB 发布更多的交易。由此，所述输入缓冲器读出放大器可以保持被禁止，以便减少处理器的功耗。在图 11 的例子中，当在 T7 解除声明时，对 BPRI#进行采样，由此在 T7 至 T10 之间不向总线发布 ADS#。应理解的是，对于其他实施例来说，适当地是，可以使用后续地址传送之间的不同数目的时钟周期或者时间的另一量度来促使解除声明所述 BPRI#信号 1150。

图 10 和 11 涉及这样一种较低功率总线交易方法，其基于前侧总

线上的总线请求信号的状态来触发地址读出放大器的启动。相反，图 12 和 13 涉及这样一种较低功率总线交易方法，其基于其他前侧总线信号来触发数据读出放大器的启动（正如以下将更详细描述的那样）。与图 10 相似，图 12 示出了具有多个数据读出放大器 1220-1 至 1220-N 的 CPU 1201，这些数据读出放大器由控制逻辑电路 1252 来启动。在 FSB 交易的数据阶段期间，所述数据读出放大器 1220-1 至 1220-N 捕捉在所述 FSB 的数据总线上提供的数据。所述数据读出放大器 1220-1 至 1220-N 在没有数据将从所述 FSB 被接收的时间段上被禁止；并且因此，产生较低功耗的结果。读者应理解的是，图 10 至 13 的讲授内容可以被设计为单个处理器。

这里，所述控制逻辑电路 1252 响应于某些信号来启动和禁止所述数据读出放大器 1220-1 至 1220-N，所述某些信号与所述 FSB 相关联，以便在适当的时候使读出放大器 1220-1 至 1220-N 启动/禁止。特别的是，在一个实施例中，所述控制逻辑电路 1252：1) 响应于正在所述 FSB 上声明的地址信号（例如，ADS#）来启动所述数据读出放大器 1220-1 至 1220-N；并且 2) 响应于如下信号来禁止所述数据读出放大器 1220-1 至 1220-N，所述信号为：(i) 正被解除声明的“最后的”数据准备就绪信号（例如，Last_DRDY）；(ii) 正变为空的 In-Order-Queue（数据队列）(IOQ)（例如，通过正被设置为等于 0 的 RCNT 参数来表示）；以及 (iii) 正被解除声明的数据忙信号 (DBSY#)。这里，所述处理器 1201 可以被容易地设计成跟踪总线的状态，以便可以容易地识别上述的情况。例如，所述“Last_DRDY”信号可以被容易地设计为处理器内部控制信号（和前侧总线控制信号相反）。

所述 ADS# 信号的激活表明：有效数据可以很快被提供在数据总线上（例如，在 ADS# 声明起作用的交易的数据阶段；和/或后续交易的数据阶段）。因此，所述读出放大器 1220-1 至 1220-N 应该被启动以便接收这种应该被提供的有效数据。所述 Last_DRDY 和 DBSY# 信号的解除声明以及正为空的 IOQ 表明：在重要的后续时间周期内在所述数据总线上不期待有效数据。因此，所述读出放大器 1220-1 至 1220-N 被禁止以便储备功率。

这里应注意的是，所述 IOQ 被认为是依照在前侧总线上提供交易的顺序来对交易的有效数据响应进行排队。因此，只要所述 IOQ 不为

空, 就可以期望有效数据在近期出现在所述前侧总线上。因此, 依照图 12 和 13 的方法, 只要所述 IOQ 不为空, 所述数据读出放大器就保持启动。在 P4 可兼容的应用中, 把 “RCNT” 参数用于跟踪还有待于执行的数据阶段。由此, 如果没有把所述 RCNT 参数设置为等于零, 那么所述 IOQ 被认为是不为空的; 并且, 如果把所述 RCNT 参数设置为等于零, 那么所述 IOQ 被认为是空的。

图 13 示出了如上所述的数据读出放大器的启动/禁止方案的示例性描述。依照图 6 的描述, 可以观察到一对总线交易。第一总线交易涉及: 1) 在周期 T4 (其对应于第一总线交易的请求阶段) 声明的 ADS # 信号; 2) 在周期 T8 和 T9 上 (其对应于第一总线交易的数据阶段) 声明的 DRDY# 信号和相应的数据传送 1301。第二总线交易涉及: 1) 在周期 T6 (其对应于第二总线交易的请求阶段) 声明的 ADS # 信号; 2) 在周期 T13 和 T14 上 (其对应于第二总线交易的数据阶段) 声明的 DRDY# 信号和相应的数据传送 1302。

从周期 T1 至 T3 禁止所述数据读出放大器 (应注意的是在周期 T1 至 T3 上所述 RCNT 参数 = “0”)。在周期 T3 和 T4 之间为第一总线交易声明所述 ADS # 信号, 这通过提供随后的整个时钟周期 (T4) 来允许所述数据读出放大器变为完全启动而对应于数据读出放大器在时钟周期 T5 一开始的时候被认为是启动的。应注意的是, 周期 T3 和 T4 之间的 ADS # 信号的声明促使所述 RCNT 参数从 “0” 递增至 “1” (即, 所述 IOQ 被认为是在周期 T3 和 T4 之间从空转换为非空)。一旦启动了所述数据读出放大器, 就不禁止它们, 直到所述 IOQ 为空 (即, RCNT = 0) 并且所述 DRDY# 和 DBSY# 信号表明数据总线不是有效的。

因为在完成第一总线交易的数据阶段 (周期 T9) 之前出现第二总线交易的 ADS # 声明 (在周期 T6 上), 所以从周期 T6 至周期 T8, 所述 RCNT 值被递增至值 “2”; 然后, 当对交易的响应被提供在所述总线上 (例如, 如由在周期 T8 上正有效的 RS[2:0]# 表示的) 时, 将其递减回 RCNT = 1 的值。因此, 从周期 T9 开始的 RCNT = 1 表明: 第一总线交易的数据阶段已经完成; 但是, 第二总线交易的数据阶段还没有完成。依照图 13 的示例性描述, 直到周期 T14 才完成第二总线交易的数据阶段, 并且, 由于在第二总线交易之后不再出现其他的总线交易 (如由 ADS# 信号所表示的, 该信号从周期 T6 直到图 13 的剩余周期保持无效), 因

此递增 RCNT (由于第二交易的数据阶段被完成, 所以所述 RCNT 参数被从“1”递减到“0”)。

因此, 用于禁止所述数据读出放大器的条件根据第二交易的所述数据阶段被完成(如由在周期 T14 变成无效的所述 DBSY#信号以及在周期 T15 变成无效的 DRDY#信号所示)以及所述 RCNT 参数相应递减到“0”(从周期 T14 开始)而出现。给予所述数据读出放大器整个时钟周期以便被认为是从 DRDY#变为无效的时间起被禁止, 所述数据读出放大器被认为是在周期 T16 开始被禁止的。实际上, 中间信号 Last-DRDY(其又可以作为所述处理器中的内部控制信号来实现)可用来表明在一串最近的数据传送中的“最后的”数据传送。例如, 当在所述总线上存在一串最近的数据传送中的所述“最后的”数据传送时, 所述 Last-DRDY 信号可以是有效的。因此, 所述 Last-DRDY 信号的失效是一种指示, 即: 所述数据读出放大器能够被关闭。

涉及图 10 至 13 的论述可用来实现单个处理器计算环境(例如, 如在图 9 中描述的那样); 其中, 图 10 和 11 与地址读出放大器的低功耗方案相关; 而图 12 和 13 与数据读出放大器的低功耗方案相关。此外, 应注意的是, 至少就存在 P4 可兼容的实现方式而论, 这些低功率方案可以在不向前侧总线添加附加信号的情况下来实现。也就是说, 此处讲授的所述低功率方案可以在不向前侧总线添加任何“新”信号的情况下来使用, 因此, 与先前存在的前侧总线实现方式引脚兼容。

与上面根据图 10 至 13 所提及的单处理器实施例相比, 图 14 相对照地举例说明了“多处理器”计算系统的一部分的实施例。这里, 所述 MCH 1452 和多个处理器 1400₀至 1400₃共享所述 FSB 1431。在多处理器环境中, MCH 1452 和处理器 1400₀至 1400₃中的每一个均可以请求总线交易(例如, 通过具有对另一总线代理的功能依赖性)。然而, 可以把上面根据图 12 和 13 论述的相同的数据读出放大器方案(及其相应的替代的实现方式)用于多处理器环境中。也就是说, 即使在多处理器环境中, 也可以基于第一次声明的 ADS#信号把数据读出放大器从禁止转换为启动, 其中所述 ADS#信号是当所述数据读出放大器在禁止状态下时被识别出来的; 并且此外, 可以把所述数据读出放大器配置为保持启动, 直到所述 IOQ 为空并且所述数据总线空闲为止。

然而, 就单处理器实现方式的寻地部分而论(例如, 在图 10 和 11

中所示), 应做出修改以便实现低功率多处理器方案。图 15 示出了可以对图 10 的锁存电路 1052 做出的适当修改。具体来讲, 尽管在单个处理器环境中(例如, 图 9 的 MCH 910)图 10 的所述锁存电路 1052 接受来自于与处理器 1001 相连的唯一的总线优先代理的单个输入(BPRI#); 但是相反, 图 15 的所述锁存电路 1552 可以被触发, 以便在多处理器环境中响应于来自任何总线代理的总线交易的启动来锁存所述读出放大器的启动/禁止线(以便启动所述读出放大器)。这里, 作为一个例子, 图 15 的锁存电路 1552 可以视作被集成到第一处理器(例如, 四个处理器系统中的处理器“0”)中; 并且从而, 所述锁存电路 1552 响应总线交易的开始, 其中所述总线交易的开始是由与第一处理器共享前侧总线的“其他”总线代理(例如, 参考图 14, 来自于如由 BPRI#所表示的 MCH 1452; 如分别由 BR[1]#至 BR[3]#所表示的“其他”三个处理器 1400₁至 1400₃)来启动的。

依照图 15 的电路, 如果所述“其他”总线代理中的任何一个请求总线交易, 那么“处理器-0”内的锁存电路 1552 将把所述读出放大器置于启动状态, 以便“处理器-0”可以接收来自于任何一个启动所述总线交易的总线代理的地址。此外, 每当没有总线代理开始总线交易时, 所述锁存电路 1552 将把所述读出放大器置于禁止状态。图 16 示出了一个例子。图 16 涉及示例性的“四个处理器”的多处理器环境。图 16 表明这些处理器中的第一个处理器的操作(例如, 处理器 0 至 3 中的“处理器-0”)。依照图 16, 处理器 0、1 和 2 从未启动总线交易; 因此, 遍及图 16, 通过把它们相应的请求信号(BR[0]#、BR[1]#和 BR[2]#)保持在逻辑高状态 1620 来使其无效。

相反, 在图 16 示出的时间帧中, 第四处理器和所述 MCH 都启动总线交易。具体来讲, 第四个处理器通过在周期 T2 声明其 BR[3]#输出 1630 来启动第一总线交易。应理解的是, 所述第四个处理器(“处理器-3”)将在下一请求阶段拥有总线(通过在周期 T4 声明所述 ADS#线 1640), 所述 MCH 等待随后的请求阶段(并且在以后的周期 T6 声明所述 ADS#线 1640)。在各种实施例中, 多处理器环境中的所述处理器应该被配置在“非总线停放(non-bus parking)”模式下。非总线停放模式是在多处理器环境中协作或者有礼的一种形式, 其中可防止处理器“独占”所述前侧总线。更具体地说, 在处理器的/MCH 的“BR[x]”/

“BPRI”信号的每次声明之后，处理器/MCH 将使其“BR[x]” / “BPRI”信号无效，以便另一总线代理可以在处理器的交易之后使用总线进行交易(即使所述处理器具有需要使用前侧总线的另一事件)。这种方案的实施例在图 16 中进行了描述，因为“处理器-3”在其对应的请求阶段(通过在周期 T4 声明所述 ADS # 信号 1640)使所述 BR[3] # 线 1630 失活；并且，所述 MCH 在其对应的请求阶段(通过在周期 T6 声明所述 ADS # 信号 1640)使所述 BPRI # 线 1650 失活。

依据图 16 的非总线激发模式实施例，应注意的是，总线交易的第一阶段(即，所述判优阶段)基于 BPRI # 或者 BR[x] # 线的声明而开始；并且，总线交易的第二阶段(即，所述请求阶段)基于 BPRI # 或者 BR[x] # 线的声明而开始。如果 BPRI # 或者 BR[x] # 信号保持声明，直到其相应的交易进入所述请求阶段为止；并且如果在解除声明 BPRI # 或者 BR[x] # 线的时钟周期内出现有效地址值，那么可以通过如下方式来适当地启动地址读出放大器，所述方式为：1) 响应于所述 BPRI # 或者 BR[x] # 线的任一的声明来启动地址读出放大器；以及 2) 每当 BPRI # 或者 BR[x] # 线的解除声明导致没有 BPRI # 或者 BR[x] # 线被声明的状态时，禁止地址读出放大器。应注意的是，因为响应于所述 BR[3] # 线 1630 的早期声明(周期 T1 和 T2 之间)而启动地址读出放大器；并且响应于所述 BPRI # 线 1630 的稍后的解除声明(在周期 T6 内)而禁止地址读出放大器，所以图 16 示出了这种方案。

给予所述读出放大器足够的时间来改变它们的启动/禁止状态，一旦所述锁存电路 1552 在 BCLK 上升沿上锁存，就会使读出放大器只在时钟周期 T4 至 T7 上被启动。此时间周期是足够长的，以便获取出现于周期 T4 和 T6 的有效地址值；而且通过在周期 T1 至 T2 上并且从周期 T8 开始(其中周期 T3 和 T7 被认为是转换周期，分别在该周期上地址读出放大器的状态从禁止变为启动并且从启动到禁止)禁止所述地址读出放大器来减少功耗。在一个实施例中，为了允许所述读出放大器有适当的时间量来改变状态，在声明 BR[x] # 或者 BPRI[x] # 信号和声明相应的 ADS # 信号之间消耗至少两个时钟周期。例如，如在图 16 中观察到的那样，在所述周期 T2 开始时所述 BR[3] # 信号 1630 的声明导致在周期 T4 开始时声明其相应的 ADS # 1640；并且，在周期 T3 开始时所述 BPRI # 信号的声明导致在周期 T6 开始时声明其相应的 ADS #

1640. 在另外的实施例中, 把“默认”P4总线用于确保上面刚描述的“至少两个时钟周期”的策略。

图 17 示出了电路的另一实施例, 所述电路可以被视为图 10 和 12 中观察到的电路的组合。图 17 的电路启动和禁止地址读出放大器 1721 以及启动和禁止所述数据读出放大器 1722。因此, 把单个控制逻辑电路 1752 用于控制地址读出放大器 1721 和数据读出放大器 1722。为了确保正确操作, 随着所述 BPRI#信号的激活启动地址和数据读出放大器 1721、1722 (以便确保足够早地启动地址读出放大器 1721, 如根据图 10 的电路在图 11 中所观察到的那样); 并且, 随着 RCNT = 0、Last_DRDY 变成无效并且 DBSY#变为无效, 禁止地址和数据读出放大器 1721、1722 (以便确保足够迟地禁止数据读出放大器, 如根据图 12 的电路在图 13 中观察到的那样)。虽然图 17 的所述电路可被用于单处理器环境中, 但是图 17 的电路通过重新配置通向所述控制逻辑 1752 的输入端可以被扩展为与多处理器环境兼容, 其中所述控制逻辑 1752 用于使读出放大器的启动如图 15 所示的那样。

读者应理解的是, 如就图 8 所论述的那样, 根据图 9 至 17 的讲授, 可以实现设计的模拟、仿效和制造的各种设计表示或者格式。

根据已公开的示例性实施例, 在保持在本发明的实施例的范围的情况下, 可以对所公开的实施例做出修改和变化, 本发明的实施例的范围由如下的权利要求来定义。

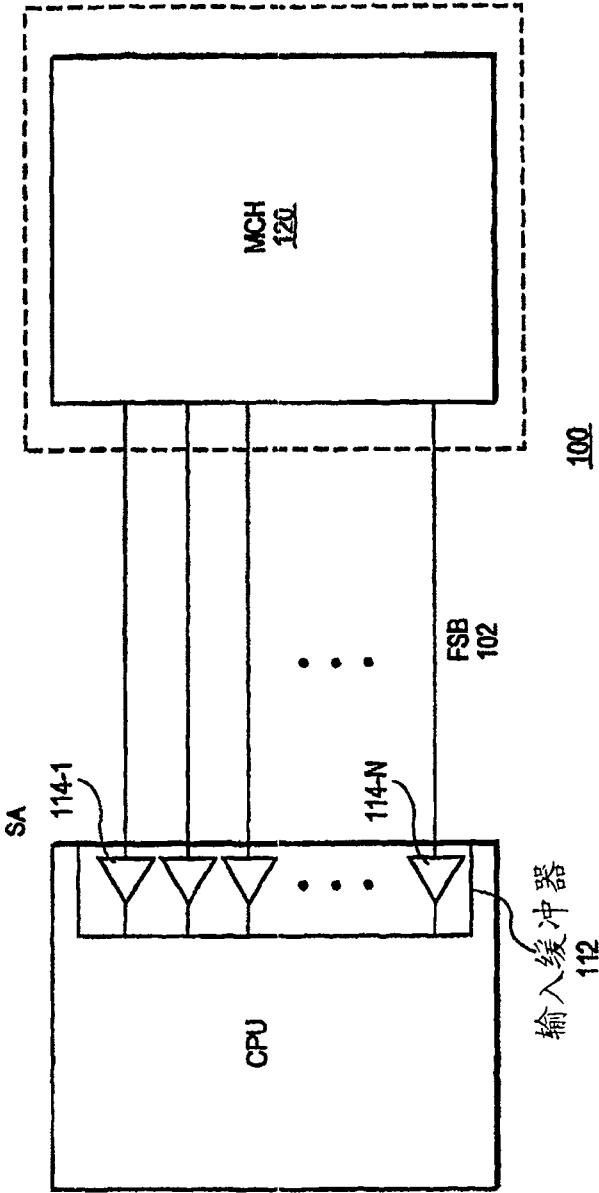


图 1
现有技术

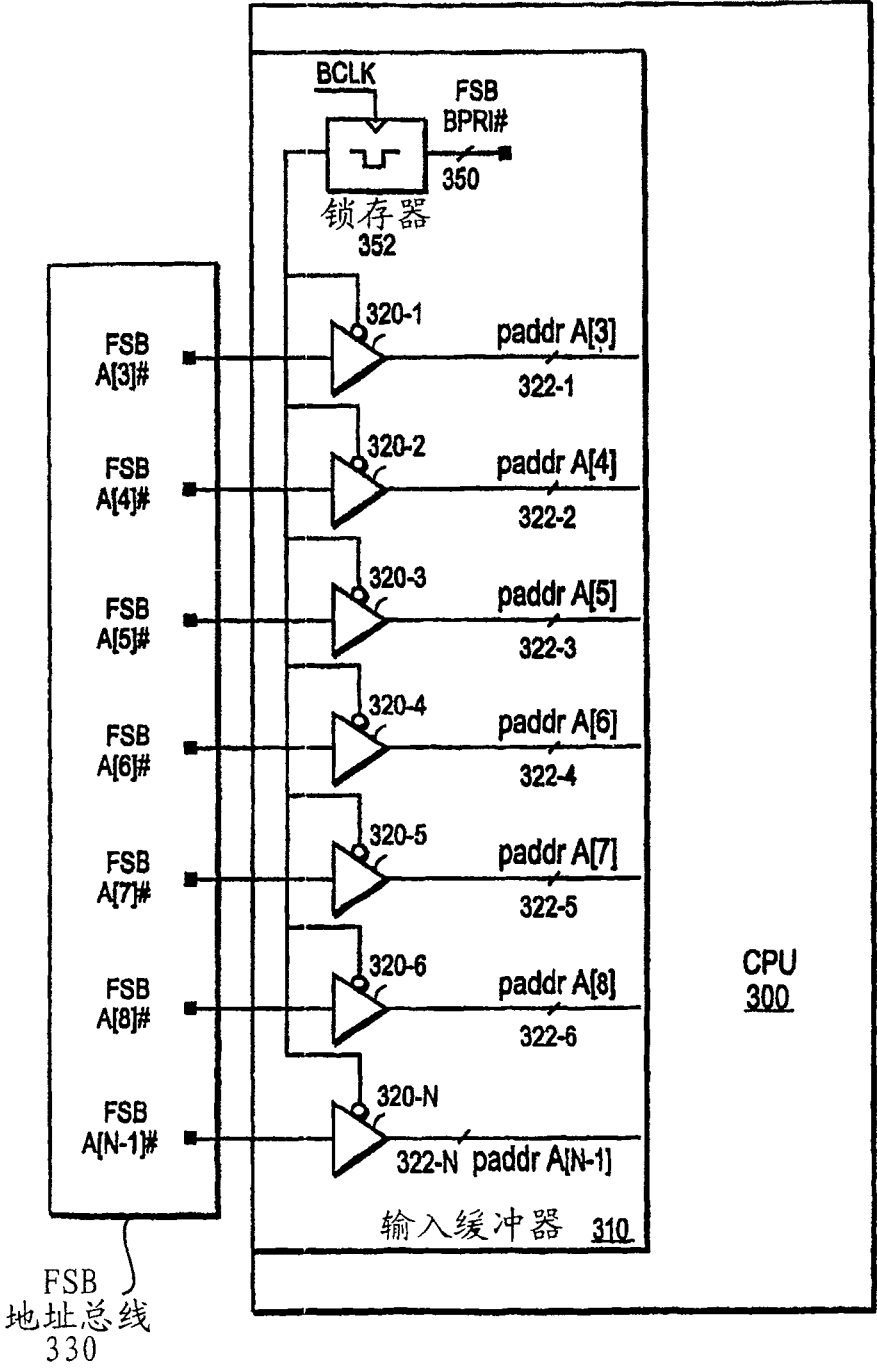


图 2

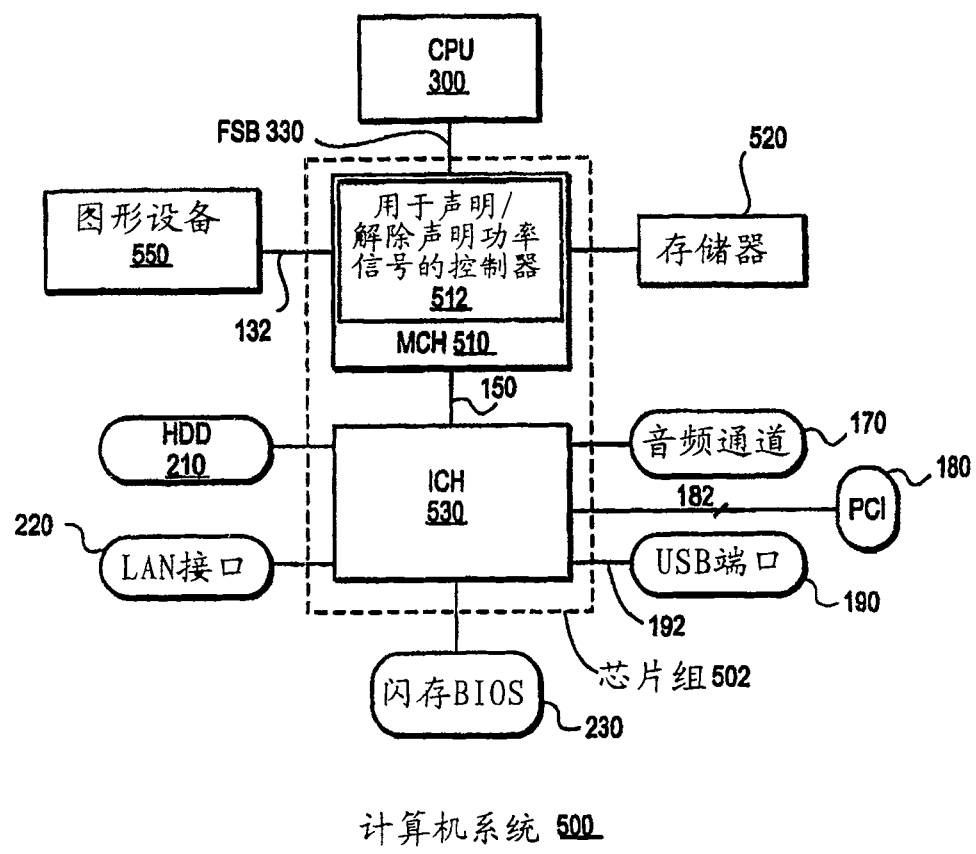


图 3

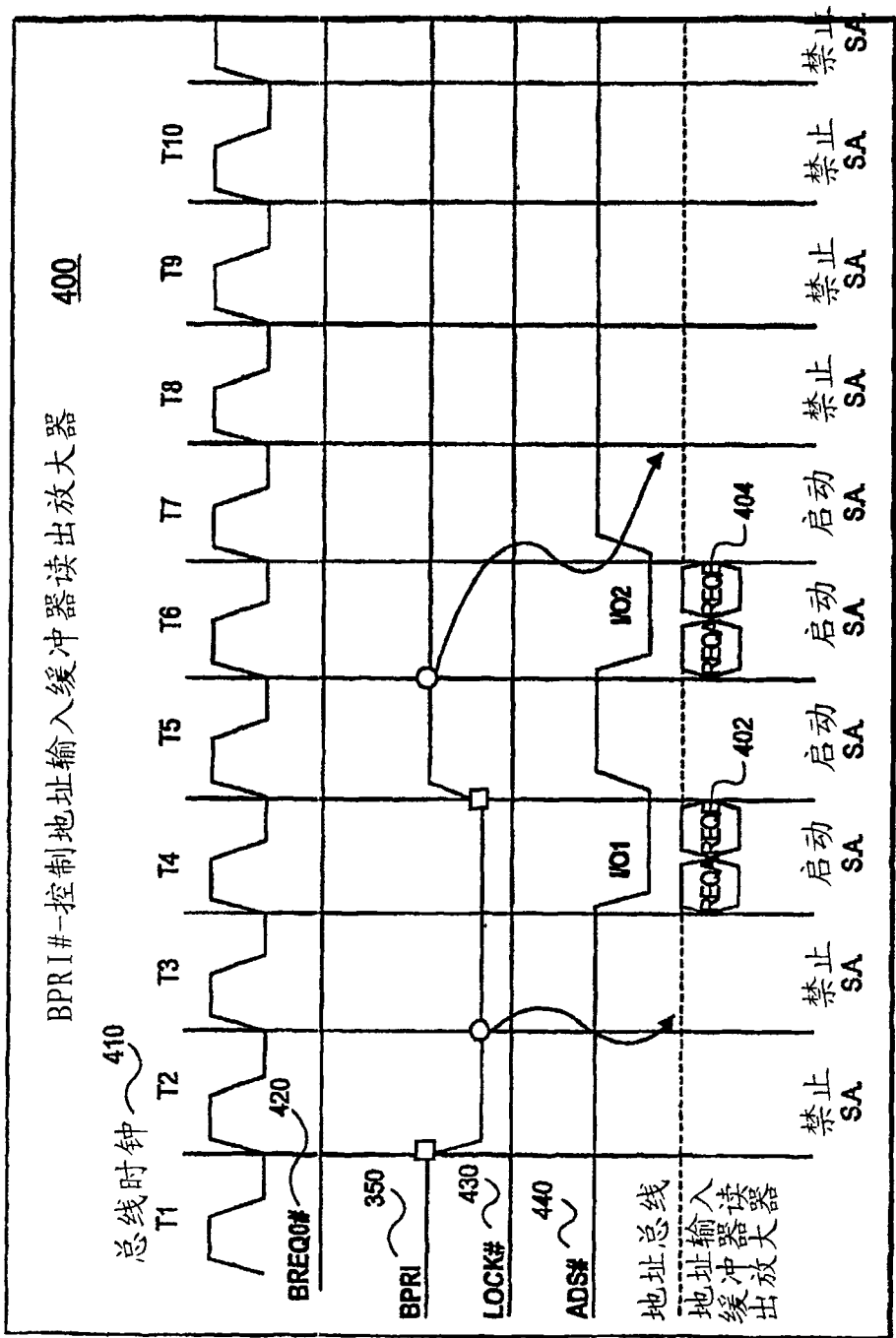


图 4

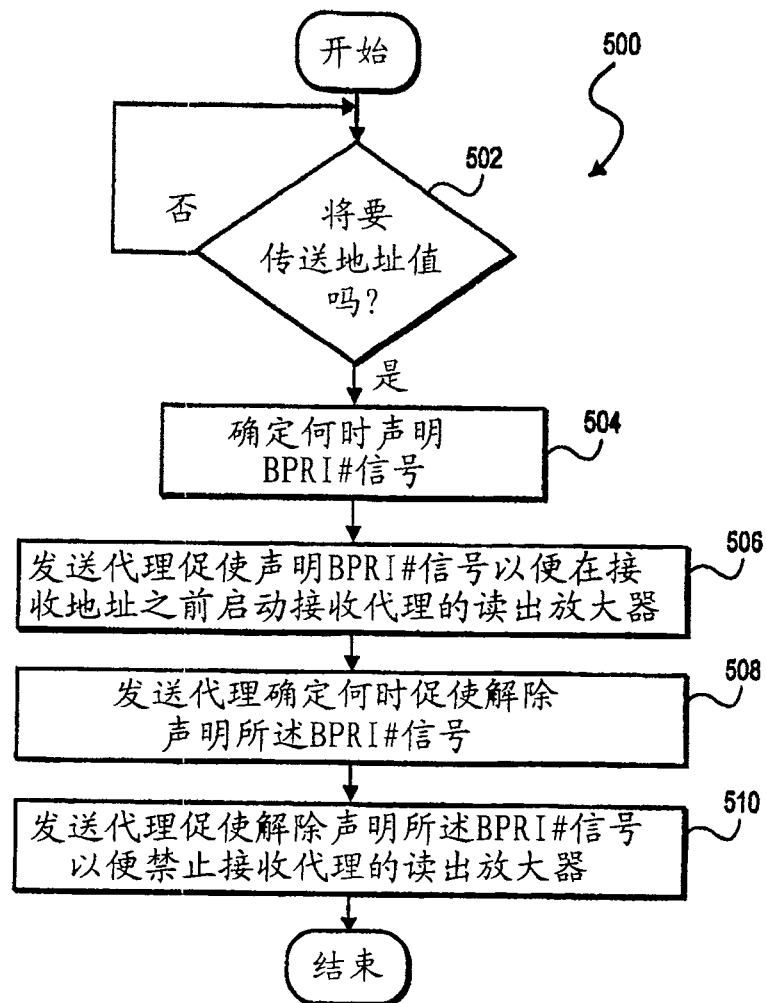


图 5

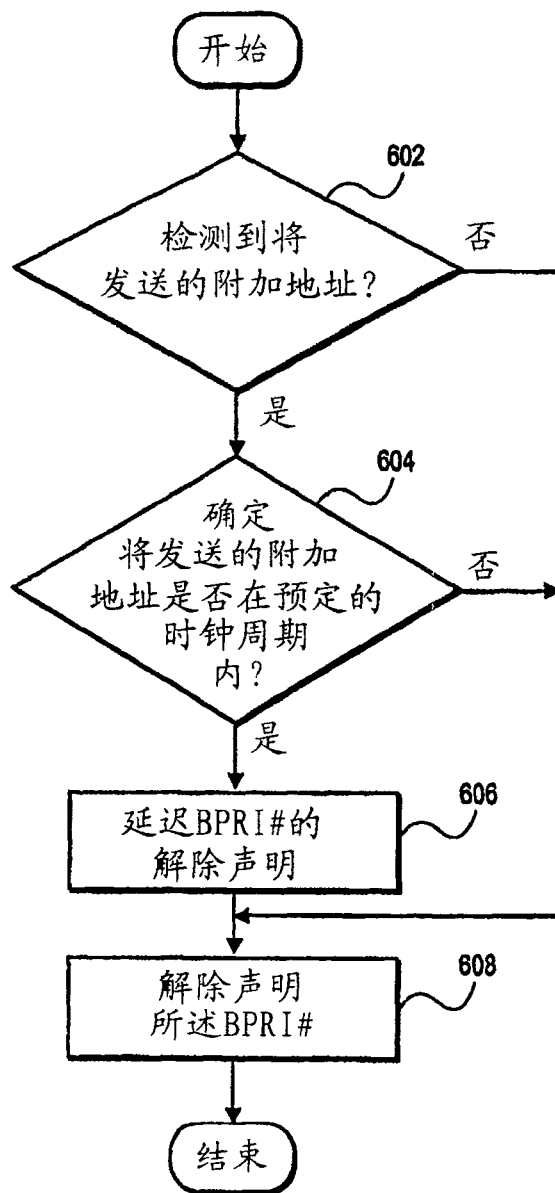


图 6

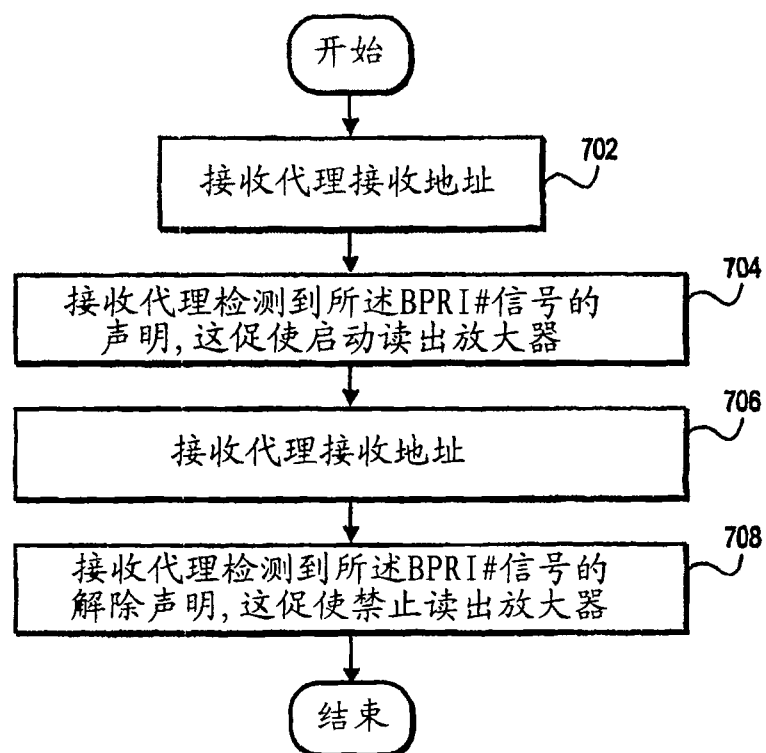


图 7

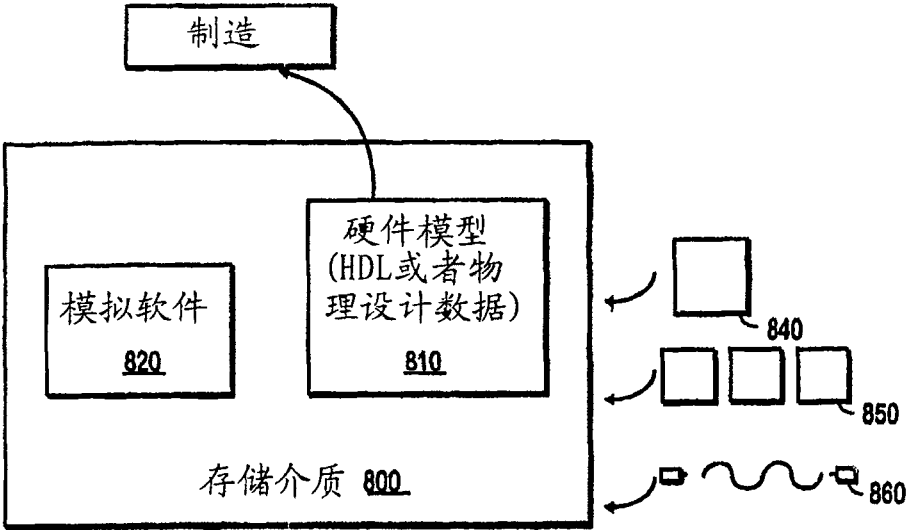
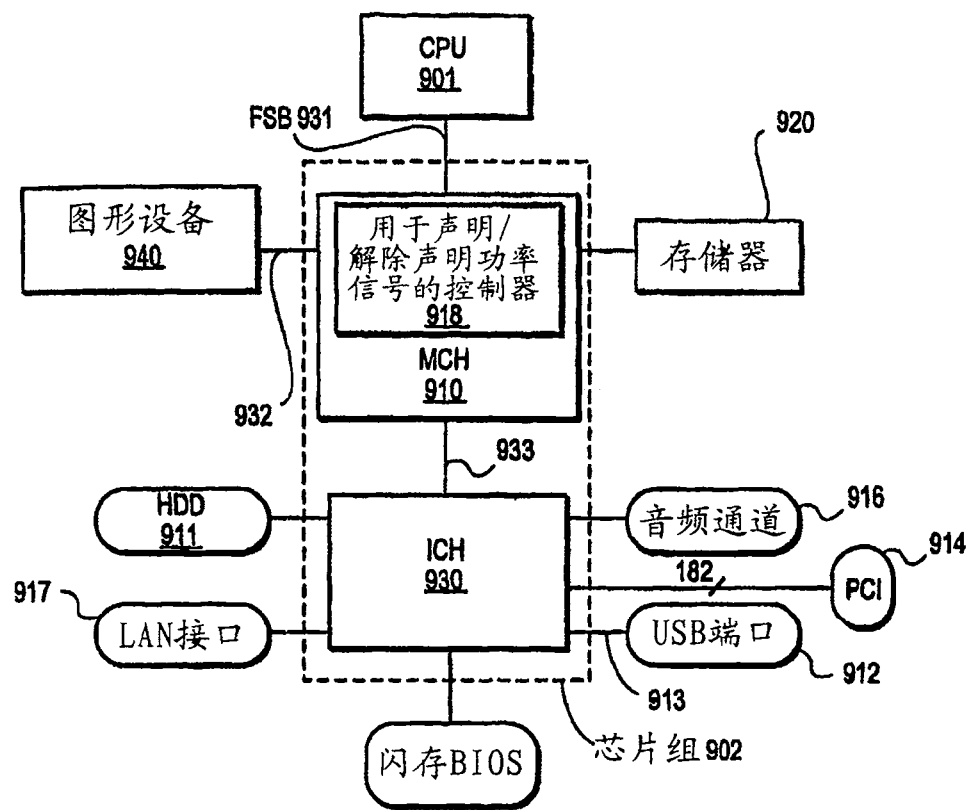


图 8



计算机系统 900

图 9

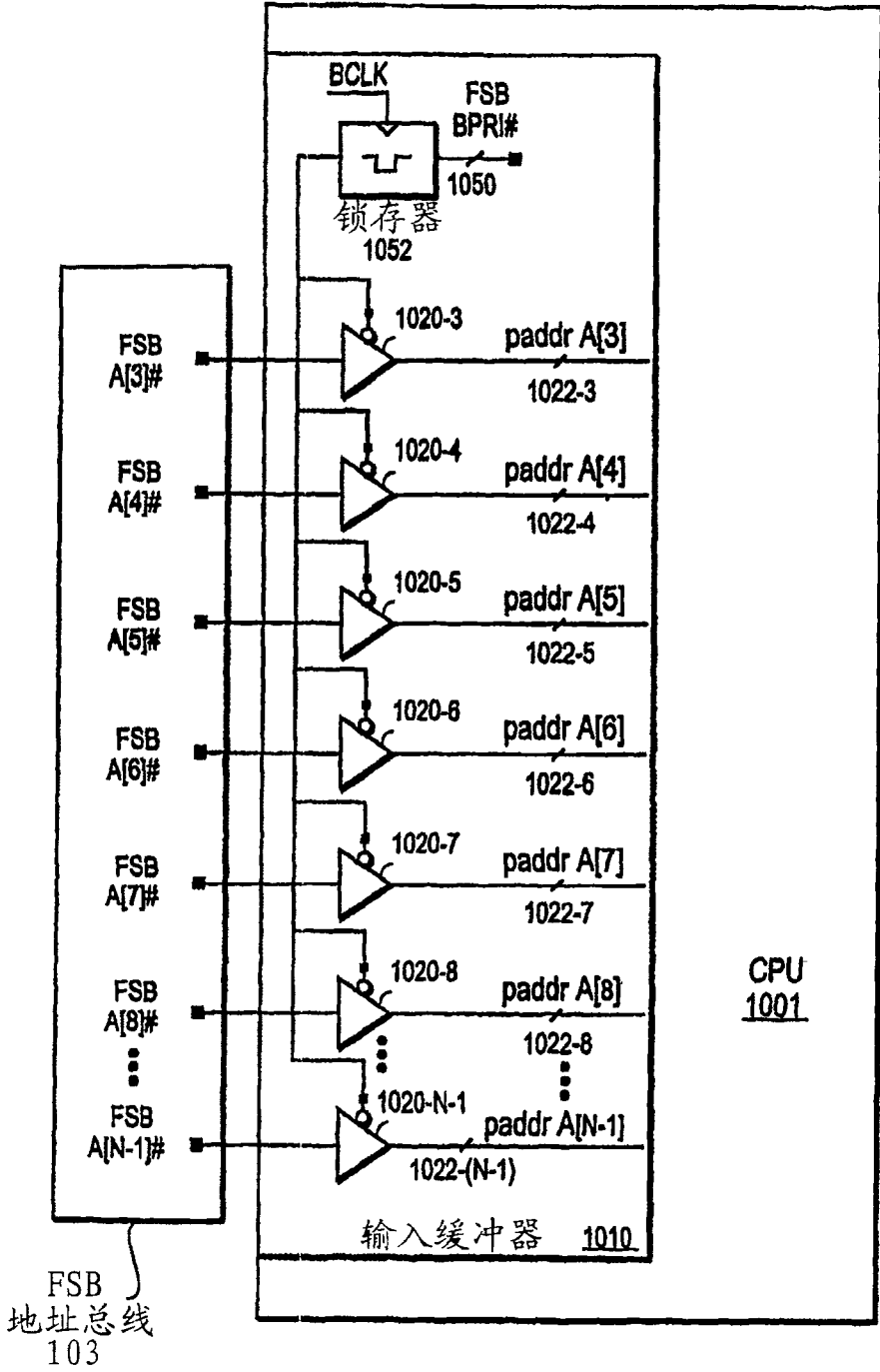


图 10

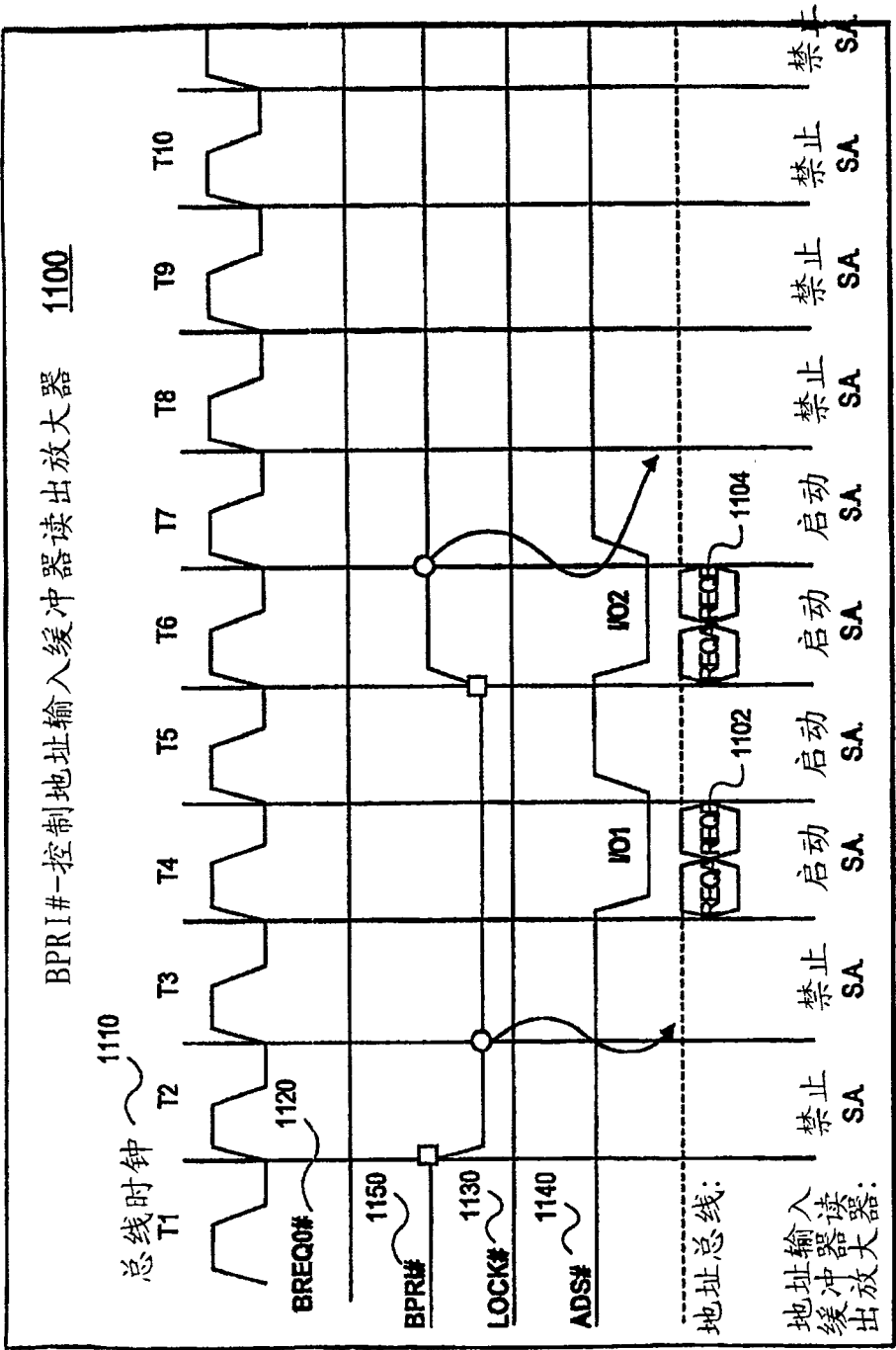


图 11

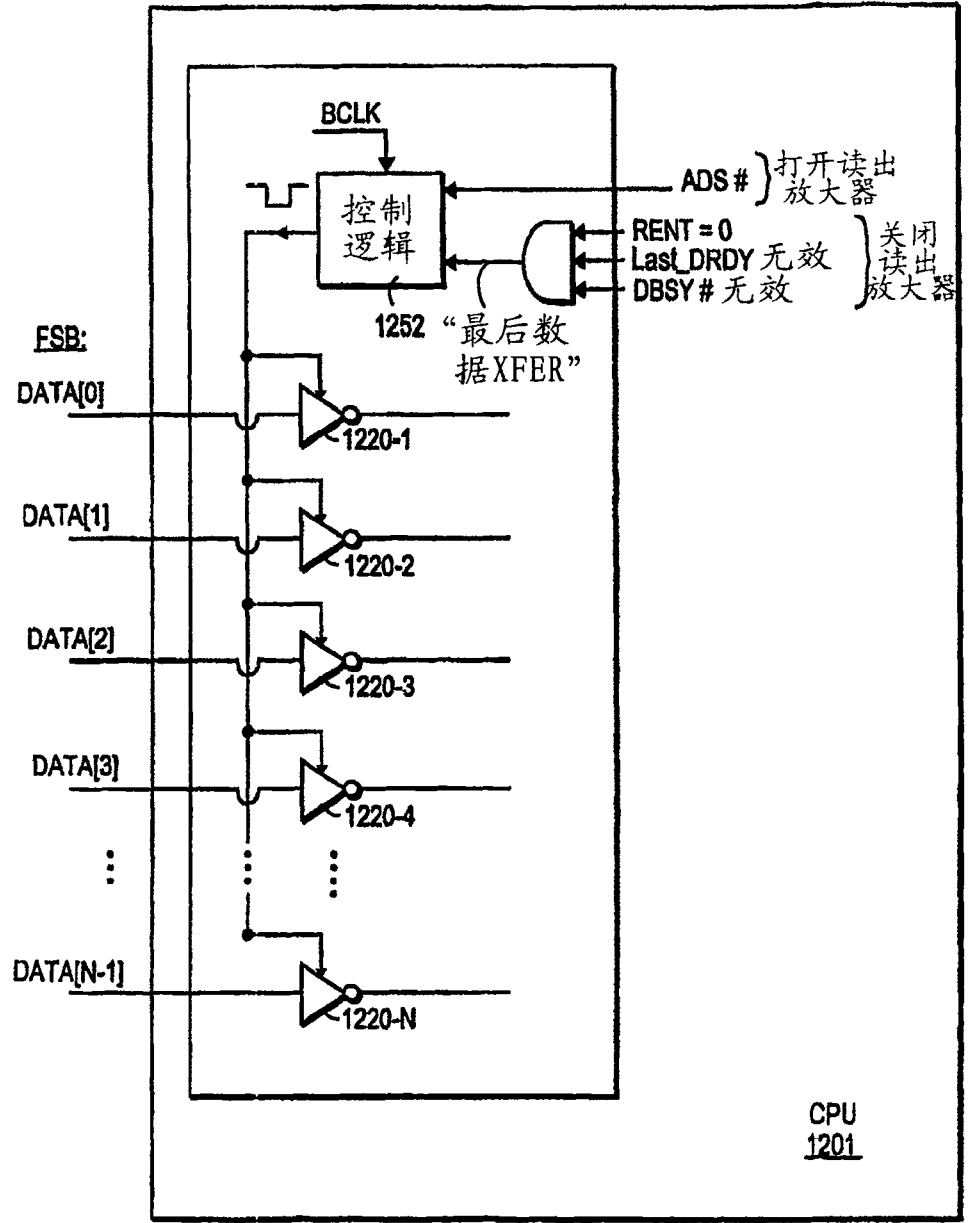


图 12

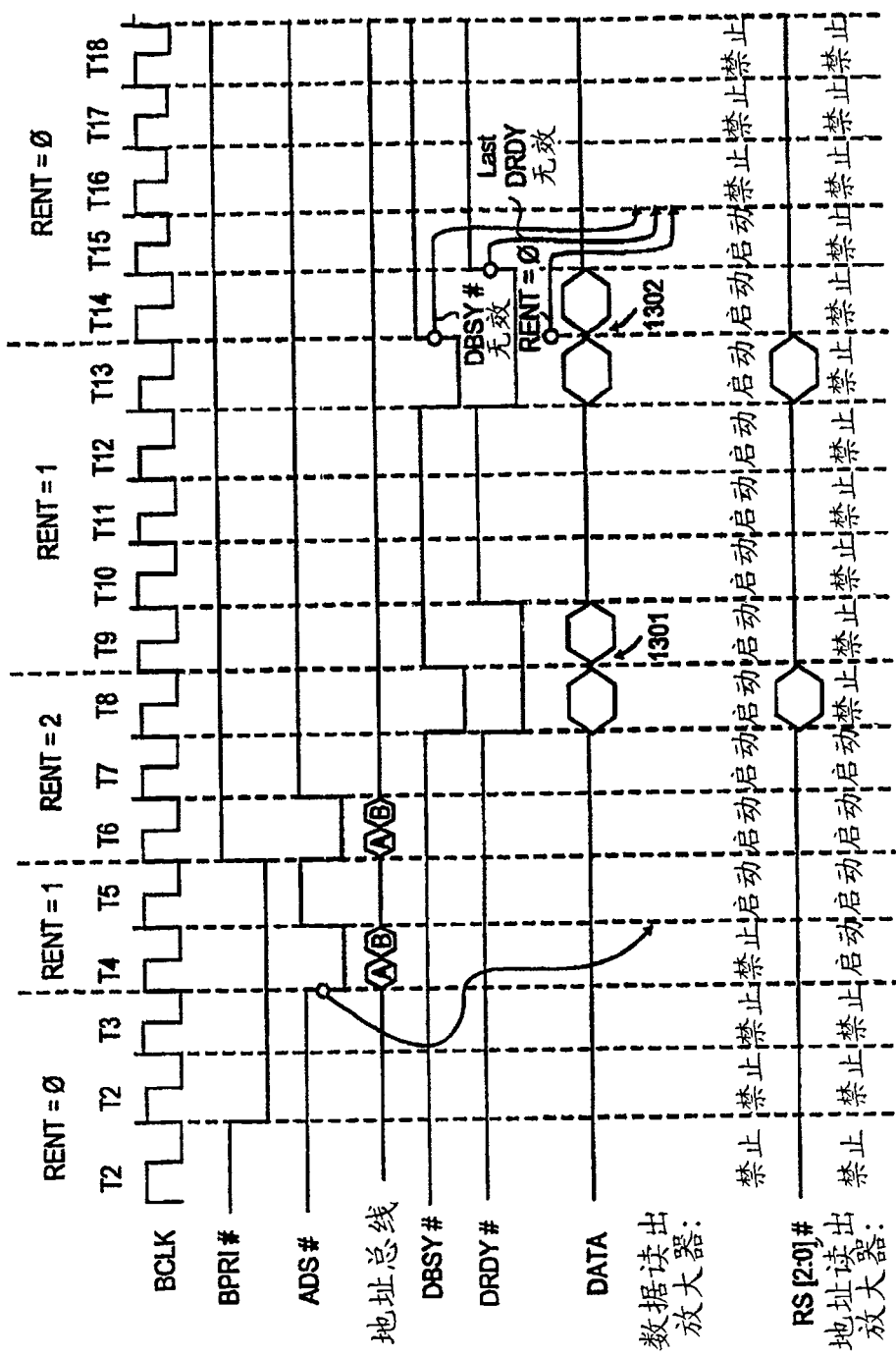


图 13

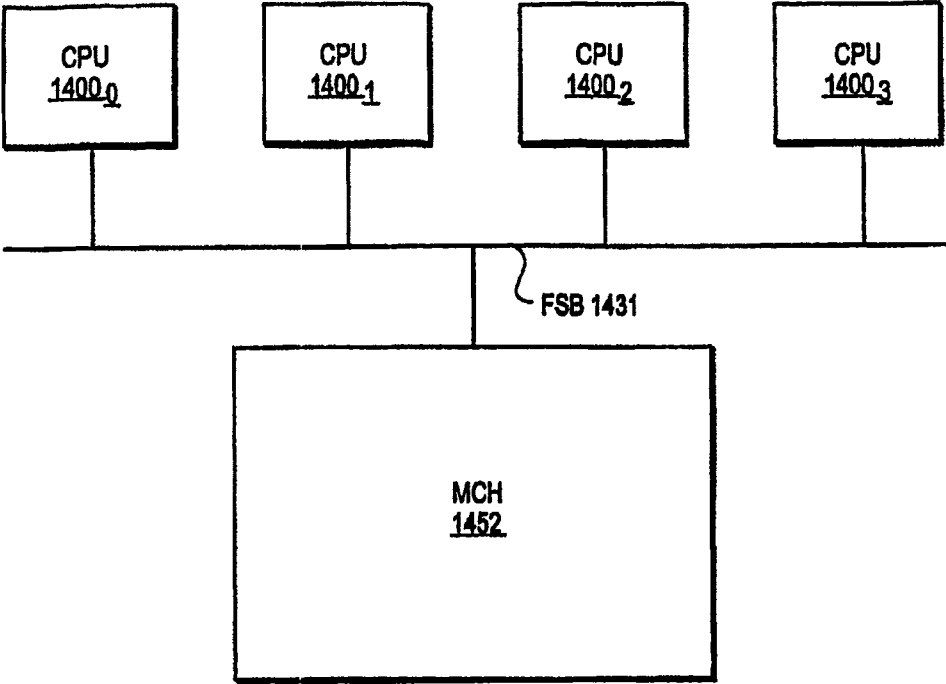


图 14

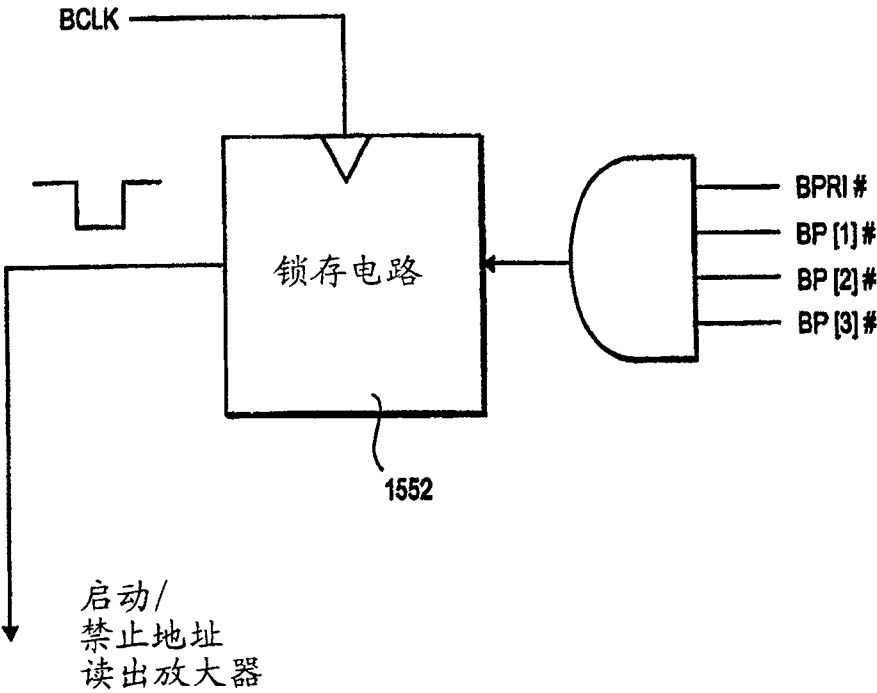


图 15

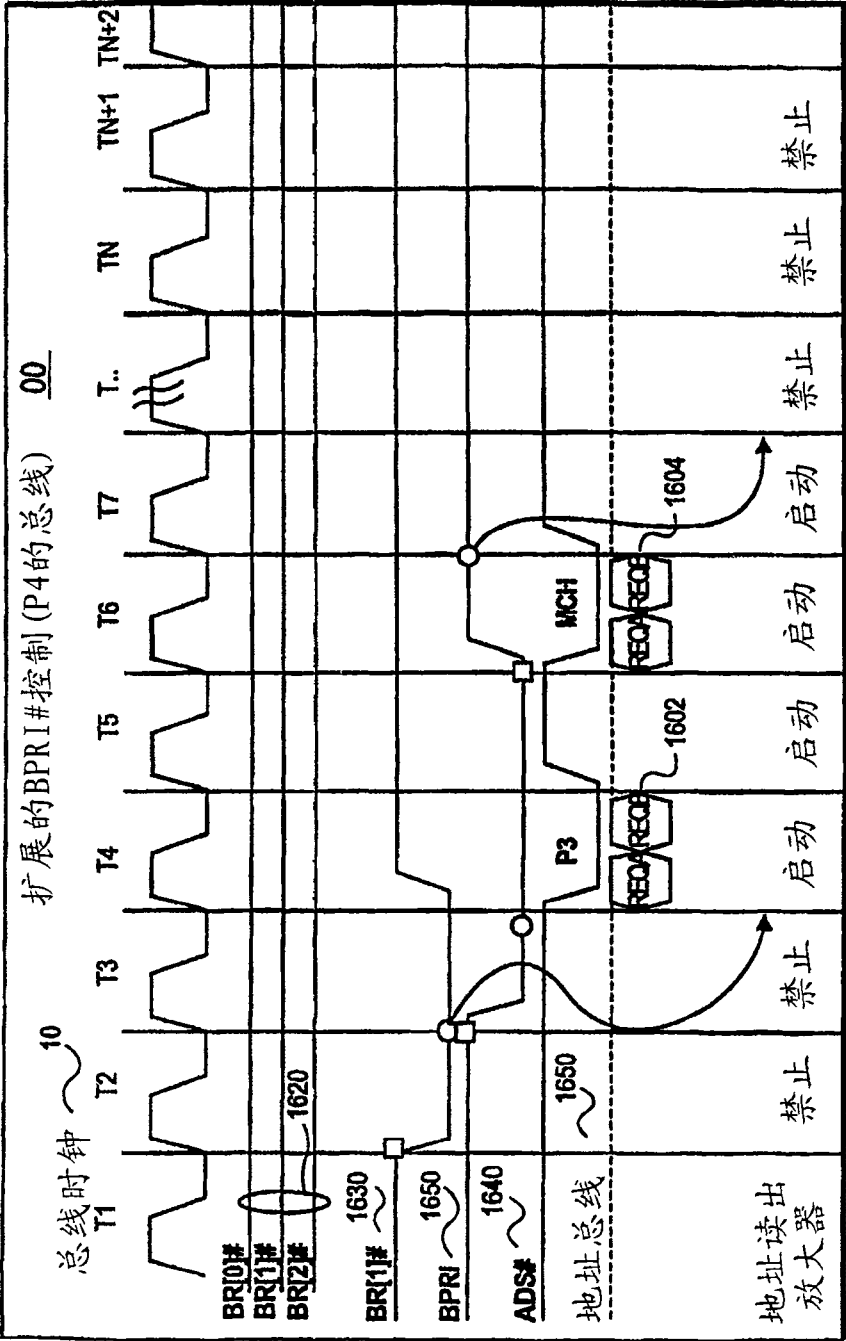


图 16

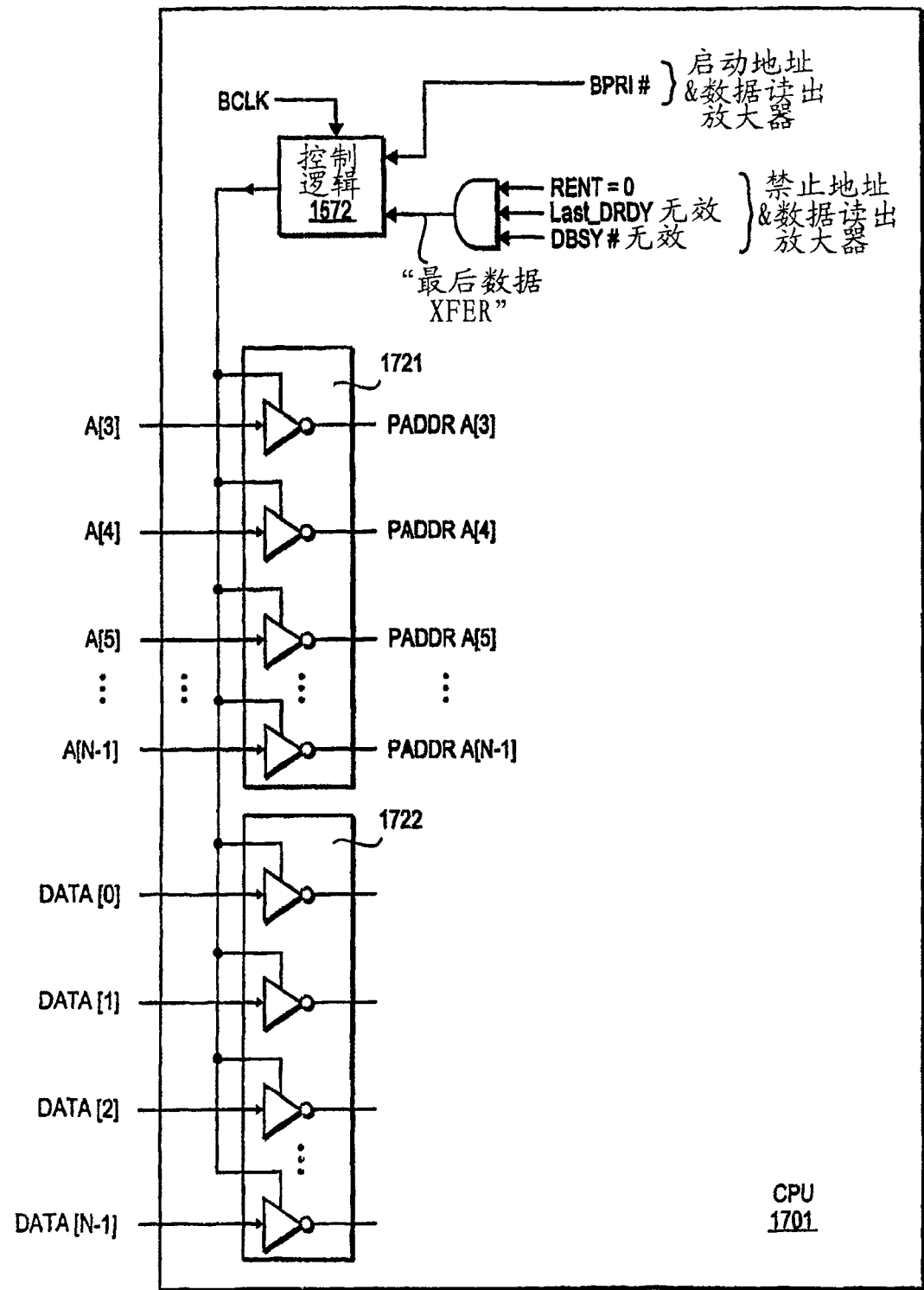


图 17