



(12) 发明专利申请

(10) 申请公布号 CN 101860356 A

(43) 申请公布日 2010. 10. 13

(21) 申请号 201010161459. 1

(22) 申请日 2010. 04. 13

(30) 优先权数据

61/168, 801 2009. 04. 13 US

12/717, 705 2010. 03. 04 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市

(72) 发明人 杨天骏 隋彧文 林志昌 普强荣

(74) 专利代理机构 隆天国际知识产权代理有限公司 72003

代理人 姜燕 邢雪红

(51) Int. Cl.

H03K 19/0175(2006. 01)

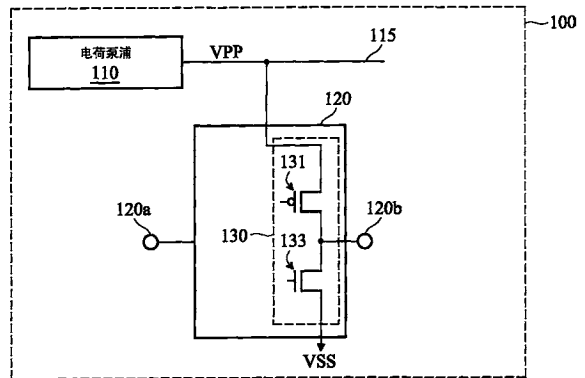
权利要求书 2 页 说明书 7 页 附图 5 页

(54) 发明名称

电压电平移位器、电压电平移位方法以及集成电路

(57) 摘要

本发明提供一种电压电平移位器、电压电平移位方法以及集成电路, 该电压电平移位器包括可以接收输入电压信号的一输入端, 上述输入电压信号包括从第一电压状态至第二电压状态的一第一状态转换, 一输出端输出具有相对于上述输入电压信号的上述第一状态转换的由第三电压状态至第二电压状态的一第二状态转换的一输出电压信号, 一驱动级包括一第一晶体管和一第二晶体管, 从一对应于上述第一电压状态和上述第二电压状态的电压电平的平均值的一时间开始, 避免施加上述第二电压状态至上述第一晶体管的栅极以使得第一晶体管不导通。本发明可以避免在高电压操作下的闪存的各装置、晶体管和 / 或电路损坏。



1. 一种电压电平移位器,包括:

一输入端,接收一输入电压信号,上述输入电压信号包括由一第一电压状态转换至一第二电压状态的一第一状态转换;

一输出端,输出一输出电压信号,上述输出电压信号对应于上述输入电压信号的上述第一状态转换而具有由一第三电压状态转换至上述第二电压状态的一第二状态转换;以及

一驱动级,耦接于上述输入端以及上述输出端之间,上述驱动级包括一第一晶体管以及第二晶体管,其中从在一时间之后,上述第二电压状态被免于施加在上述第一晶体管的栅极上以使得上述第一晶体管不导通,其中上述时间对应于上述第一电压状态和上述第二电压状态的电压电平的平均值。

2. 如权利要求 1 所述的电压电平移位器,其中对应于上述第一电压状态和上述第二电压状态的电压电平的平均值的上述时间为 1ns 或小于 1ns。

3. 如权利要求 2 所述的电压电平移位器,其中由对应于上述第一电压状态和上述第二电压状态的电压电平的平均值的上述时间开始,对应于上述第一状态转换的一电荷漏损通过上述第一晶体管和上述第二晶体管,以及上述电荷漏损为 0.5pC 或小于 0.5pC。

4. 如权利要求 1 所述的电压电平移位器,其中上述第一晶体管的栅极耦接于上述第二晶体管的栅极,并且上述第一晶体管的栅极和上述第二晶体管的栅极耦接在一相同的电压。

5. 如权利要求 1 所述的电压电平移位器,其中上述第一电压状态的大小为一操作电压,以及上述第二电压状态的大小为 0 伏。

6. 如权利要求 5 所述的电压电平移位器,其中上述第一晶体管的源极耦接至可提供一加压电压的一电压线,并且上述加压电压的大小大于上述操作电压。

7. 如权利要求 6 所述的电压电平移位器,还包括:

一反相器,耦接于上述输入端;

一第三晶体管,耦接于上述反相器,上述第三晶体管具有一漏极和源极,上述第三晶体管的漏极耦接于上述电压线;

一第四晶体管,耦接于上述输出端,上述第四晶体管具有一漏极和源极,上述第四晶体管的源极耦接于上述电压线;

一第五晶体管,耦接于上述输入端,上述第三晶体管具有一漏极和源极,上述第五晶体管的源极耦接于上述第三晶体管和上述第四晶体管;以及

一第六晶体管,耦接于上述输入端,上述第六晶体管具有一漏极和源极,上述第六晶体管的漏极与上述第五晶体管的漏极以及上述第一和上述第二晶体管的栅极耦接。

8. 一种电压电平移位方法,适用于操作一电压电平移位器,包括

接收一输入电压信号,上述输入电压信号包括由一第一电压状态转换至一第二电压状态的一第一状态转换;

在对应于上述第一电压状态和上述第二电压状态的电压电平的平均值的一时间之后,免于施加上述第二电压状态于一驱动级的一第一晶体管的栅极上以使得上述第一晶体管不导通,其中上述第一晶体管与比上述第一电压状态大的一第三电压状态耦接;以及

输出一输出电压信号,上述输出电压信号具有相对于上述输入电压信号的上述第一电压转换的由一第三电压状态转换至上述第二电压状态的一第二状态转换。

9. 如权利要求 8 所述的电压电平移位方法,其中对应于上述第一电压状态和上述第二电压状态的电压电平的平均值的上述时间为 1ns 或小于 1ns。

10. 如权利要求 9 所述的电压电平移位方法,其中由对应于上述第一电压状态和上述第二电压状态的电压电平的平均值的上述时间开始,对应于上述第一状态转换的一电荷漏损通过上述第一晶体管 and 上述第二晶体管,以及上述电荷漏损为 0.5pC 或小于 0.5pC。

11. 如权利要求 8 所述的电压电平移位方法,还包括:

供应一相同的电压至上述驱动级中的上述第一晶体管的栅极以及一第二晶体管的栅极。

12. 如权利要求 8 所述的电压电平移位方法,其中上述第一电压状态的大小为一操作电压,以及上述第二电压状态的大小为 0 伏特。

13. 一种集成电路,包括

一电荷泵浦;

一电压线,耦接于上述电荷泵浦;以及

一电压电平移位器,耦接于上述电压线,其中上述电压电平移位器还包括:

一输入端,接收一输入电压信号,上述输入电压信号能够在一转换期间内由一第一电压状态转换至一第二电压状态;

一输出端,输出相对于上述输入电压信号的一输出电压信号;以及

一驱动级,耦接至上述输入端以及上述输出端,上述驱动级包括一第一晶体管以及第二晶体管,其中从在对应于上述第一电压状态和上述第二电压状态的电压电平的平均值的一时间之后,上述第二电压状态被免于施加在上述第一晶体管的栅极上以使得上述第一晶体管不导通。

电压电平移位器、电压电平移位方法以及集成电路

技术领域

[0001] 本发明涉及一种半导体电路的领域,尤其涉及一种用于控制电平移位的电压电平移位器、集成电路、系统以及方法。

背景技术

[0002] 在各种的应用中都会使用到闪存,闪存提供随机存取等处理以存储例如应用程序的数据。数据可从闪存单元中多次写入与读出,一般的闪存单元为一改良式具有堆叠栅 (stacked gate) 的金属氧化物半导体晶体管。该堆叠栅包括了一控制栅以及一浮动栅,该控制栅用来控制晶体管的导通或不导通以控制从漏极 (Drain) 到源极 (Source) 的电流,而浮动栅位于控制栅与装置沟道之间。电荷会注入或离开浮动栅,此浮动栅因为由绝缘材料所包围而变的受到限制。快闪晶体管单元的阈值电压会随着浮动栅的充电状态 (charging-state) 而改变,且根据浮动栅的充电状态将二进制数据数值存储于各个闪存单元中。

[0003] 浮动栅的充电或放电的过程被称之为擦除 (erasing) 或写入 (programming),擦除或写入该闪存单元需要能够克服像是氧化层所造成的能量势垒 (energy barrier) 的电子 (其中该氧化层介于浮动栅电极与充电电源之间),该电子的能量等级须借由于能量势垒施加相对大的跨压以推高至高于该能量势垒的数值。例如,透过将电子由浮动栅注入至控制栅以擦除该闪存单元。控制栅施加一高的正电压,而浮动栅则电容性耦接于一低电压或一负电压。相同地,在擦除以及写入的期间,可使用装置的漏极、源极或沟道区来获得或者释放电子。

发明内容

[0004] 为克服现有技术的缺陷,本发明一实施例提出一种电压电平移位器,包括:一输入端,接收一输入电压信号,上述输入电压信号包括由一第一电压状态转换至一第二电压状态的一第一状态转换;一输出端,输出一输出电压信号,上述输出电压信号对应于上述输入电压信号的上述第一状态转换而具有由一第三电压状态转换至上述第二电压状态的一第二状态转换;以及一驱动级,耦接于上述输入端以及上述输出端之间,上述驱动级包括一第一晶体管以及第二晶体管,其中从在一时间之后,上述第二电压状态被免于施加在上述第一晶体管的栅极上以使得上述第一晶体管不导通,其中上述时间对应于上述第一电压状态和上述第二电压状态的电压电平的平均值。

[0005] 本发明一实施例提出一种电压电平移位方法,适用于操作一电压电平移位器,包括接收一输入电压信号,上述输入电压信号包括由一第一电压状态转换至一第二电压状态的一第一状态转换;在对应于上述第一电压状态和上述第二电压状态的电压电平的平均值的一时间之后,免于施加上述第二电压状态于一驱动级的一第一晶体管的栅极上以使得上述第一晶体管不导通,其中上述第一晶体管与比上述第一电压状态大的一第三电压状态耦接;以及输出一输出电压信号,上述输出电压信号具有相对于上述输入电压信号的上述第

一电压转换的由一第三电压状态转换至上述第二电压状态的一第二状态转换。

[0006] 本发明一实施例提出一种集成电路,包括一电荷泵浦;一电压线,耦接于上述电荷泵浦;以及一电压电平移位器,耦接于上述电压线,其中上述电压电平移位器还包括:一输入端,接收一输入电压信号,上述输入电压信号能够在转换期间内由一第一电压状态转换至一第二电压状态;一输出端,输出相对于上述输入电压信号的一输出电压信号;以及一驱动级,耦接至上述输入端以及上述输出端,上述驱动级包括一第一晶体管以及第二晶体管,其中从在对应于上述第一电压状态和上述第二电压状态的电压电平的平均值的一时间之后,上述第二电压状态被免于施加在上述第一晶体管的栅极上以使得上述第一晶体管不导通。

[0007] 本发明具有一预期的电荷损失的电压电平移位器、集成电路、系统以及用于控制电平移位器的方法,从而可以避免在高电压操作下的闪存的各装置、晶体管和/或电路损坏。

[0008] 以上的描述概括了本发明的特征和技术优点,因此可透过以下所详细描述的叙述来更了解本发明,该摘要仅简单描述某些本发明的实施例,但本发明并非仅限于上述实施例。

[0009] 在此描述本发明的其余特征和优点,以构成本发明的权利要求。任何本领域普通技术人员,在不脱离本发明的精神和范围内,当可做些许的更动与润饰,因此本发明的保护范围当视随附的权利要求所界定的范围为准。

附图说明

[0010] 图 1 显示一集成电路的示意图。

[0011] 图 2 显示一输入电压信号的电压状态变化以及驱动级的第一晶体管的栅极的电压状态。

[0012] 图 3 显示根据本发明实施例所述的电压电平移位器的漏电流的模拟结果。

[0013] 图 4 显示一电压电平移位器的示意图。

[0014] 图 5 显示包括一集成电路的系统的示意图。

[0015] 其中,附图标记说明如下:

[0016] 100 ~ 集成电路

[0017] 110 ~ 电荷泵浦

[0018] 115 ~ 电压线

[0019] 120 ~ 电压电平移位器

[0020] 120a ~ 输入端

[0021] 120b ~ 输出端

[0022] 130 ~ 驱动级

[0023] 131 ~ 晶体管

[0024] 133 ~ 晶体管

[0025] 410 ~ 反相器

[0026] 415、420、425、430 ~ 晶体管

[0027] 500 ~ 系统

[0028] 510 ~ 处理器

[0029] a ~ 节点

具体实施方式

[0030] 常见的闪存电路中具有一电压电平移位器。该常见的电压电平移位器就像是一高电压开关,而电压电平移位器由一驱动级(driver stage)、一N沟道金属氧化物半导体(简称NMOS)晶体管N1、一P沟道金属氧化物半导体(简称PMOS)晶体管P1以及一反相器所组成的。N沟道金属氧化物半导体晶体管N1以及P沟道金属氧化物半导体晶体管P1串联耦接,并且与该驱动级并联配置。该反相器耦接于N沟道金属氧化物半导体晶体管N1与驱动级之间,P沟道金属氧化物半导体晶体管P1的源极端则与一低电压VSS耦接。当输入电压信号为高的情况下,驱动级的输出端则会输出一高电压HV;当输入电压信号为低的情况下,驱动级的输出端则输出一低电压VSS。

[0031] 一般的驱动级由N沟道金属氧化物半导体晶体管N2和一P沟道金属氧化物半导体晶体管P2所组成的,该P沟道金属氧化物半导体晶体管P2和该N沟道金属氧化物半导体晶体管N2串联在高电压HV和低电压VSS之间,该N沟道金属氧化物半导体晶体管N2的源极端与高电压HV耦接,而该P沟道金属氧化物半导体晶体管P2的源极端与低电压VSS耦接。而该N沟道金属氧化物半导体晶体管N2和P沟道金属氧化物半导体晶体管P2的漏极端作为该电压电平移位器的输出端,该电压电平移位器的输出端耦接至P沟道金属氧化物半导体晶体管P1的栅极,而P沟道金属氧化物半导体晶体管P1的漏极耦接至P沟道金属氧化物半导体晶体管P2的栅极。

[0032] 当输入电压信号为高的情况下,N沟道金属氧化物半导体晶体管N1为导通的,该反相器将高电压状态转为低电压状态,使得N沟道金属氧化物半导体晶体管N2不导通。导通的N沟道金属氧化物半导体晶体管N1则将P沟道金属氧化物半导体晶体管P1的漏极耦接至低电压VSS,该低电压VSS可导通将高电压HV耦接至电压电平移位器的输出端的P沟道金属氧化物半导体晶体管P2。

[0033] 当输入电压信号从高电压状态转至低电压状态时,则N沟道金属氧化物半导体晶体管N1不导通。紧接着,将低电压状态施加于反相器以将低电压状态转为高电压状态,高电压状态则施加于N沟道金属氧化物半导体晶体管N2的栅极,因此导通了N沟道金属氧化物半导体晶体管N2。当高电压状态施加于N沟道金属氧化物半导体晶体管N2的栅极时,低电压状态依旧施加于P沟道金属氧化物半导体晶体管P2的栅极。可发现N沟道金属氧化物半导体晶体管N2以及P沟道金属氧化物半导体晶体管P2完全被导通,该完全被导通的N沟道金属氧化物半导体晶体管N2以及P沟道金属氧化物半导体晶体管P2会导致由高电压HV流至低电压VSS的大漏电流(leakage current)。即使完全导通的时间非常短,由于大漏电流的关系,依旧不希望发生电流通过完全被导通的N沟道金属氧化物半导体晶体管N2以及P沟道金属氧化物半导体晶体管P2的情形。该电荷损失将会拉降了高电压HV,导致在高电压操作下的闪存的各装置、晶体管和/或电路损坏。

[0034] 因此,根据上述说明,具有一预期的电荷损失的电压电平移位器、集成电路、系统以及用于控制电平移位器的方法,实为所冀。

[0035] 可了解的是接下的内容是为了实践本发明不同的技术特征的实施例或范例。为了

简化本发明,在下面叙述中具体描述该组成以及安排的例子,想当然尔,这些仅为范例,并非为限制。除此之外,本实施例可能会重复某些参考数字以及文字,该重复的目的是为了简化和清楚描述,并非拿来指定各种所讨论的实施例和 / 或结构间的关系。并且,像是在本发明中一元件在另一元件上面,相连,和 / 或耦接等的结构可包括元件以直接接触的方式形态的实施例,也可包括其他元件在插入其他元件中形成的实施例,像这样也是直接接触。此外,形容空间的词汇,例如下方、上方、水平、垂直、之下、之上、上、下、顶部、底部等,或其中衍生字(例如:水平地、向下地、向上地等)被使用来描述实施例中一元件与另一元件的关系。形容空间的词汇可涵盖包括元件装置的不同导向。

[0036] 图 1 显示一集成电路的示意图。在图 1 中,一集成电路 100 包括一电荷泵浦 (Charge pump) 110、一电压线 115 以及一电压电平移位器 120。该电荷泵浦 110 与电压线 115 耦接,电压线 115 与电压电平移位器 120 耦接。集成电路 100 包括一非易失性存储器电路,例如:闪存 (flash)、可擦除可编程只读存储器 (EPROM)、电子可擦除可编程只读存储器 (E2PROM)、静态随机存取存储器 (SRAM) 电路、一整合式静态随机存取存储器电路、动态随机存取存储器 (DRAM) 电路、一元件可程序逻辑栅阵列 (Field Programmable Gate Array) 电路,一逻辑电路和 / 或其他集成电路。

[0037] 电荷泵浦 110 可将一电压状态加压至另一电压状态,在使用闪存电路的有些实施例中,电荷泵浦 110 可将大约 1.8 伏特的内部操作电压 VDD 加压变成大约 10 ~ 13 伏特的加压电压 VPP。电压线 115 可传送加压电压 VPP 至各个操作于高电压的装置、晶体管、二极管和 / 或具有集成电路 120 的电路中。

[0038] 关于图 1,电压线 115 将加压电压 VPP 耦接至作为高电压输出的电压电平移位器 120。电压电平移位器 120 包括了一输入端 120a、一输出端 120b 以及一驱动级 130。输入端 120a 接收一输入电压信号,该输入电压信号从一电压状态像是高电压状态或电压 VDD 转换到另一电压状态像是低电压状态或 0 伏特(在此,输入电压信号的电压状态转换称之为第一状态转换)。该输出电压信号从一高电压状态像是于电压线 115 上的加压电压 VPP 转换到相对于输入端 120a 所收到的输入电压信号的电压状态像是 VSS 或接地(在此,输出电压信号的电压状态转换称之为第二状态转换)。值得注意的是,在有些实施例中,当输入端 120a 所收到的输入电压信号为高的情况下,则电压电平移位器 120 则在输出端 120b 输出该加压电压 VPP;而当输入端 120a 所收到的输入电压信号为低的情况下,则电压电平移位器 120 则在输出端 120b 输出低电压 VSS。

[0039] 耦接于输入端 120a 和输出端 120b 之间的驱动级 130 包括了一第一晶体管,例如晶体管 131,以及一第二晶体管,例如晶体管 133。晶体管 131 和晶体管 133 各包括了一栅极端、一源极端以及一漏极端。该晶体管 131 的源极端耦接至提供加压电压 VPP 的电压线 115,该晶体管 133 的源极端与电压源(例如接地或 VSS)耦接。该晶体管 131 的栅极端与晶体管 133 的栅极端相互耦接,并且耦接至电压电平移位器 120 的输出端 120b。

[0040] 大约来说,从时间 t_1 开始,其中时间 t_1 对应于第一电压状态和第二电压状态的电压大小的平均值(例如 VDD 的 1/2 的大小,显示于图 2 中),则第二电压状态(例如:0 伏特)不再施加于晶体管 131 的栅极,因此,晶体管 131 大体上不导通。图 2 显示一输入电压信号的电压状态变化以及驱动级的第一晶体管的栅极的电压状态。在图 2 中,该输入电压信号由高电压状态(例如:VDD)转为低电压状态(例如:0 伏)。在时间 t_1 ,输入电压信号

的电压大约为 VDD 的 1/2 的大小,而另外,从时间 t_1 开始,晶体管 131 的栅极的电压状态就开始从低电压状态 (0 伏) 往高电压状态 (VDD) 上升,使得晶体管 131 不导通。在有些实施例中,大约从时间 t_1 开始的意思代表大约从 1ns 或稍微慢于时间 t_1 。在其他实施例中,大约从时间 t_1 开始的意思代表大约稍微慢于 0.5ns 或稍微慢于时间 t_1 。

[0041] 值得注意的,一般的电压电平移器具有包括 PMOS 晶体管 P2 和 NMOS 晶体管 N2 的驱动级。当输入电压信号为高电压的情况下,则导通了 PMOS 晶体管 P2;而当输入电压信号由 VDD 转为 0 伏的情况下,则高电压状态是施加在 NMOS 晶体管 N2 的栅极,而低电压状态 0 伏施加在 PMOS 晶体管 P2 的栅极。则 NMOS 晶体管 N2 和 PMOS 晶体管 P2 皆是导通的,即使 NMOS 晶体管 N2 和 PMOS 晶体管 P2 皆完全导通的期间相当短暂,由高电压 HV 至低电压 VSS 的漏电流依旧相当大,例如:1.5mA。在有些实施例中,使用 0.18 μm 的 CMOS 晶体管以及 2.7V 的加压电压,则漏电流可能会导致大约为 1pC(pico coulmb) 的电荷损失。电荷损失将会拉低了高电压 HV,损毁了在高电压下操作的装置、晶体管和 / 或电路。

[0042] 相对于一般的电压电平移器,电压电平移器 120 在大约从时间 t_1 (时间 t_1 对应于大约 1/2VDD 大小的电压状态) 开始则移除施加晶体管 131 的栅极的低电压 0 伏。大约在时间 t_1 之后,晶体管 133 的栅极的电压往电压状态 VDD 的同时,晶体管 131 的栅极的电压不再是低电压 0 伏,因此,大约在时间 t_1 之后,晶体管 131 和晶体管 133 则不再同时被导通,由电压线 115 至低电压 VSS 的漏电流将是预期中的变小 (大约 0.8mA 或更少)。在有些使用 2.7 伏加压电压和 0.18 μm 的 CMOS 晶体管的实施例中,对应于高电压变至低电压的输入电压信号的电荷损失于时间 t_1 之后则大约为 0.5pC (表示于图 3 中),值得注意的是,大约为 0.5pC 的电荷损失仅仅为一范例,本领域普通技术人员可透过修改加压电压和 / 或晶体管 131 和 133 的尺寸大小来预期性地减少电荷损失,而本发明的范围并非仅限于此。

[0043] 值得注意的是,描述在以上图 1 至图 3 的输入和输出电压信号的转换状态仅仅为示范,且电压状态 VDD、VSS、VPP 和 / 或 0 伏也皆仅仅为示范。因此,本领域普通技术人员可修改输入和输出电压信号的电压转换和 / 或电压状态来达成所想要的电压电平移器的操作。

[0044] 图 4 显示根据本发明的一实施例的电压电平移器的示意图。在图 4 中,电压电平移器 120 包括了一反相器,例如:反相器 410,其中该反相器 410 与输入端 120a 耦接。一第三晶体管 (例如晶体管 415) 耦接于反相器 410,该晶体管 415 具有一漏极端和一流源极,该晶体管 415 的漏极端耦接于具有加压电压 VPP 的电压线 115 (表示于图 1 中)。

[0045] 电压电平移器 120 包括了耦接于该输出端 120b 的一第四晶体管 (例如晶体管 420),晶体管 420 具有一漏极端和一流源极,该晶体管 420 的源极耦接于具有加压电压 VPP 的电压线 115 (表示于图 1 中)。

[0046] 电压电平移器 120 包括了一第五晶体管 (例如晶体管 425),该晶体管 425 耦接于该输入端 120a,晶体管 425 具有一漏极端和一流源极,并且晶体管 425 的源极耦接于晶体管 415 和 420 耦接。

[0047] 电压电平移器 120 包括了一第六晶体管 (例如晶体管 430),并且该晶体管 430 耦接于该输入端 120a。晶体管 430 具有一漏极端和一流源极,晶体管 430 的漏极端耦接于晶体管 425 的漏极端以及驱动级 130 的晶体管 131 和 133 的栅极。

[0048] 以下的描述涉及电压电平移器 120 的示范操作。当在输入端 120a 的输入电压信

号为高的情况下（例如电压状态为 VDD），则该电压状态 VDD 使得晶体管 425 未导通以及使得晶体管 430 导通。导通的晶体管 430 使得一节点 a 耦接至一低电压（例如电压 VSS 或接地）。如图 4 所表示的，该节点 a 耦接至晶体管 131 和 133 的栅极，并且晶体管 131 和 133 的栅极相互耦接。电压状态 VSS 耦接至晶体管 131 和 133 的栅极，使得晶体管 133 未导通而晶体管 131 导通，该导通的晶体管 131 将加压电压 VPP 耦接至电压电平移位器 120 的输出端 120b，该加压电压 VPP（大约为 10-13 伏）即为输出端 120b 上的输出。

[0049] 当输入电压信号由电压状态 VDD 降低为低电压状态（例如：0 伏），该 0 伏的电压状态将使得晶体管 430 未导通，且使得晶体管 425 导通。值得注意的是，反相器 410 可将 0 伏的电压状态转变为电压状态 VDD。而电压状态 VDD 则会导通了晶体管 415，而导通的晶体管 415 和晶体管 425 则将加压电压 VPP 耦接至该节点 a 以及晶体管 131 和 133 的栅极。加压电压 VPP 使得晶体管 131 不导通，但相对地导通了晶体管 133。导通的晶体管 133 则将输出端 120b 和晶体管 420 的栅极耦接至电压状态 VSS。电压状态 VSS 将使得晶体管 420 不导通，该未导通的晶体管 420 协助上拉在节点 a 上的电压朝向加压电压的大小。

[0050] 关于图 2 和图 4，当输入电压信号从电压 VDD 降至 $1/2VDD$ 或更低时，晶体管 425 开始导通。由反相器 410 输出的电压状态也开始导通晶体管 415，大约于时间 t_1 后，节点 a 上的电压状态则会开始朝向加压电压上拉，而节点 a 中上拉的电压状态可导通晶体管 133 以及使得晶体管 131 不导通。因相同的上拉电压状态被施加于晶体管 131 和 133 的栅极，则晶体管 131 的栅极电压不受 0 伏的电压状态影响，而晶体管 133 的栅极电压不受电压状态 VDD 所影响，因此晶体管 131 和 133 不会同时被导通，减少了由加压电压 VPP 至电压状态 VSS 的漏电流。漏电流所造成的电荷损失则下降至不会大幅地下拉电压线 115 的加压电压状态的电压等级。

[0051] 值得一提的是，晶体管 415-430 的种类和数目多寡以及反相器 420 仅为描述于图 4 中的一实施例。例如，也可增加额外的反相器以改变电压信号的状态，也可增加额外的晶体管来控制经驱动级的漏电流，本领域普通技术人员可透过改变晶体管的种类或数量以及反相器 420 来达成一所需要的电压电平移位器。

[0052] 图 5 显示一系统的示意图，其中该系统包括了一示范的存储器电路。在图 5 中，一系统 500 包括与一集成电路 100 耦接的一处理器 510。在有些实施例中，处理器 510 可为一处理单元、中央处理单元、数字信号处理器、或可适用于存储器电路的数据存取的处理器。

[0053] 在有些实施例中，处理器 510 和集成电路 100 可构成物理上或电路上耦接至印刷线路板 (PWB) 或印刷电路板 (PCB) 的一系统以形成一电子装置。该电子装置可能为一电子系统（例如：计算机、无线通信装置、计算机相关周边设备、娱乐装置等）的一部分。

[0054] 在有些例子中，包括集成电路 100 的系统 500 可提供在一芯片中的全面的系统，即被称之为系统单芯片 (system on a chip, 简称 SOC) 或系统集成电路 (system on integrated circuit, 简称 SOIC) 的装置。这些系统单芯片装置可提供像是被来执行手机 (cell phone)、个人数字助理 (Personal Digital Assistant, 简称 PDA)、数字视频录像设备 (digital VCR)、数字动态摄影机、数字相机、MP3 播放器的所有电路或者在单一集成电路上等类似的装置。

[0055] 以上叙述用来概述实施例中的特征以便于本领域普通技术人员可对本发明更透彻的了解。为了实践相同的目的和 / 或达到在此所介绍实施例的相同优点，本领域普通技

术人员可更加地了解可透过使用本发明为基础加以设计或修改其过程和结构。本领域普通技术人员可了解相等的结构是不违背本发明的精神和范围的,并且在违背本发明的精神和范围下可作各种的变化、替代以及交换。

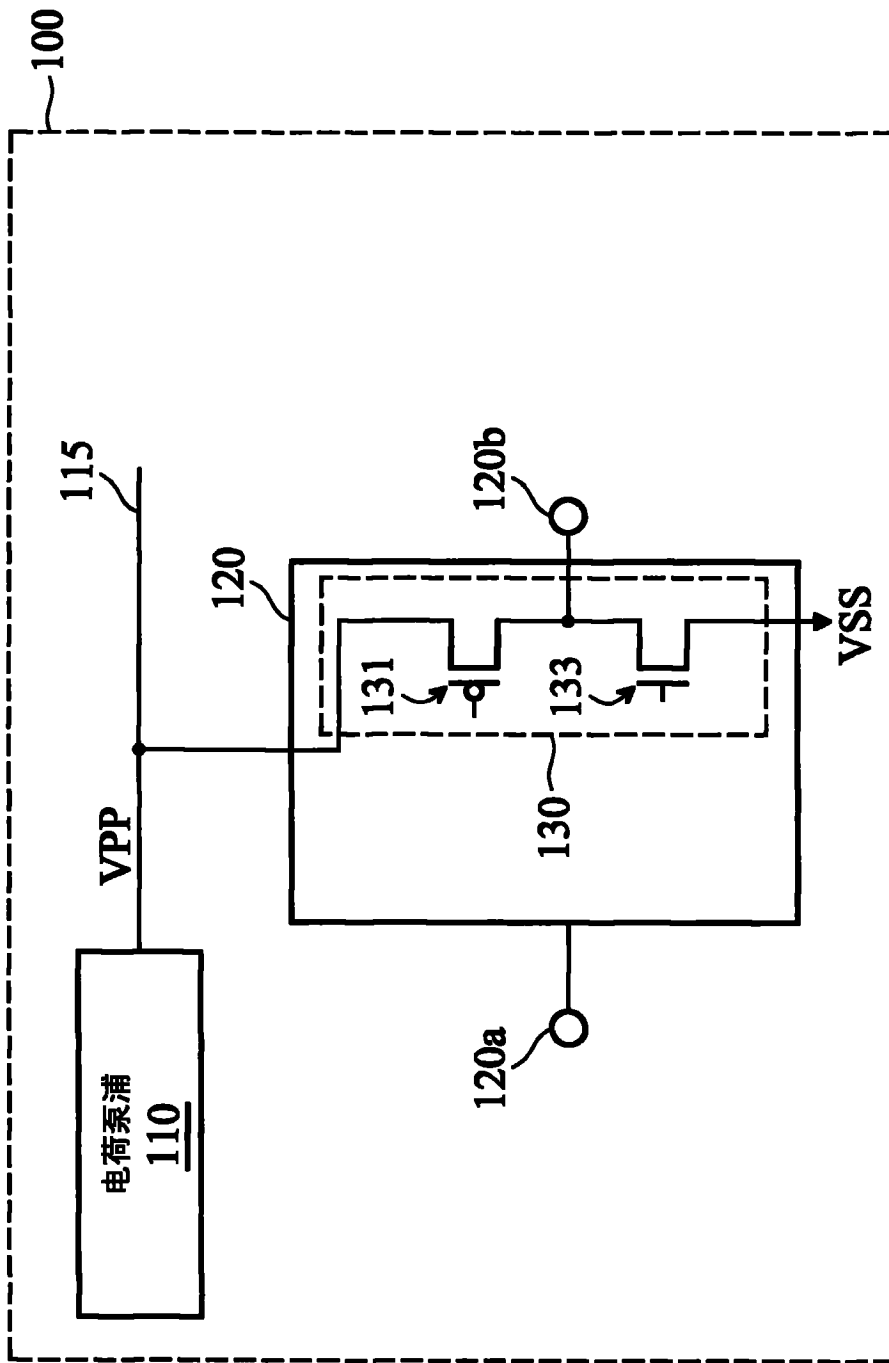


图 1

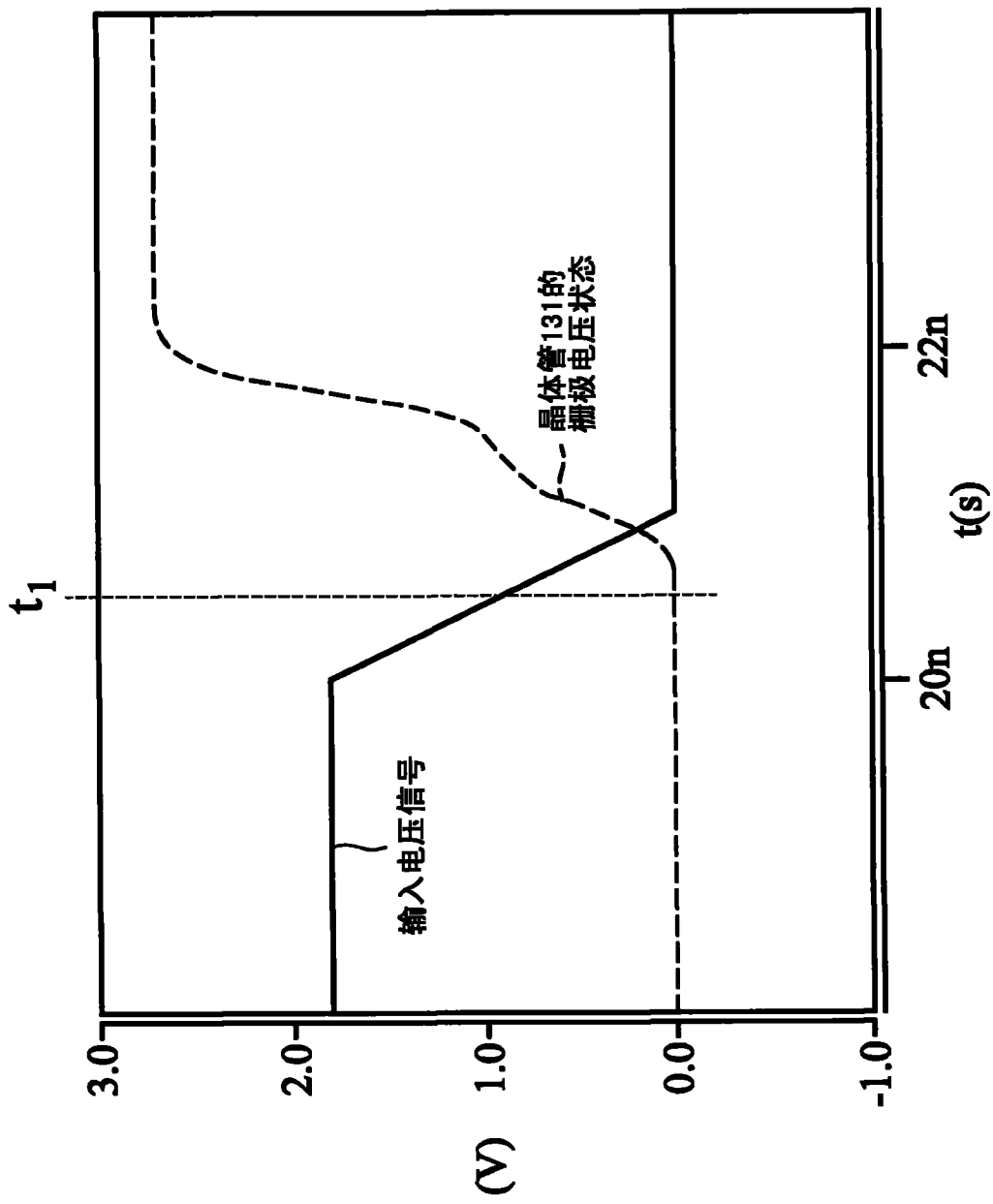


图 2

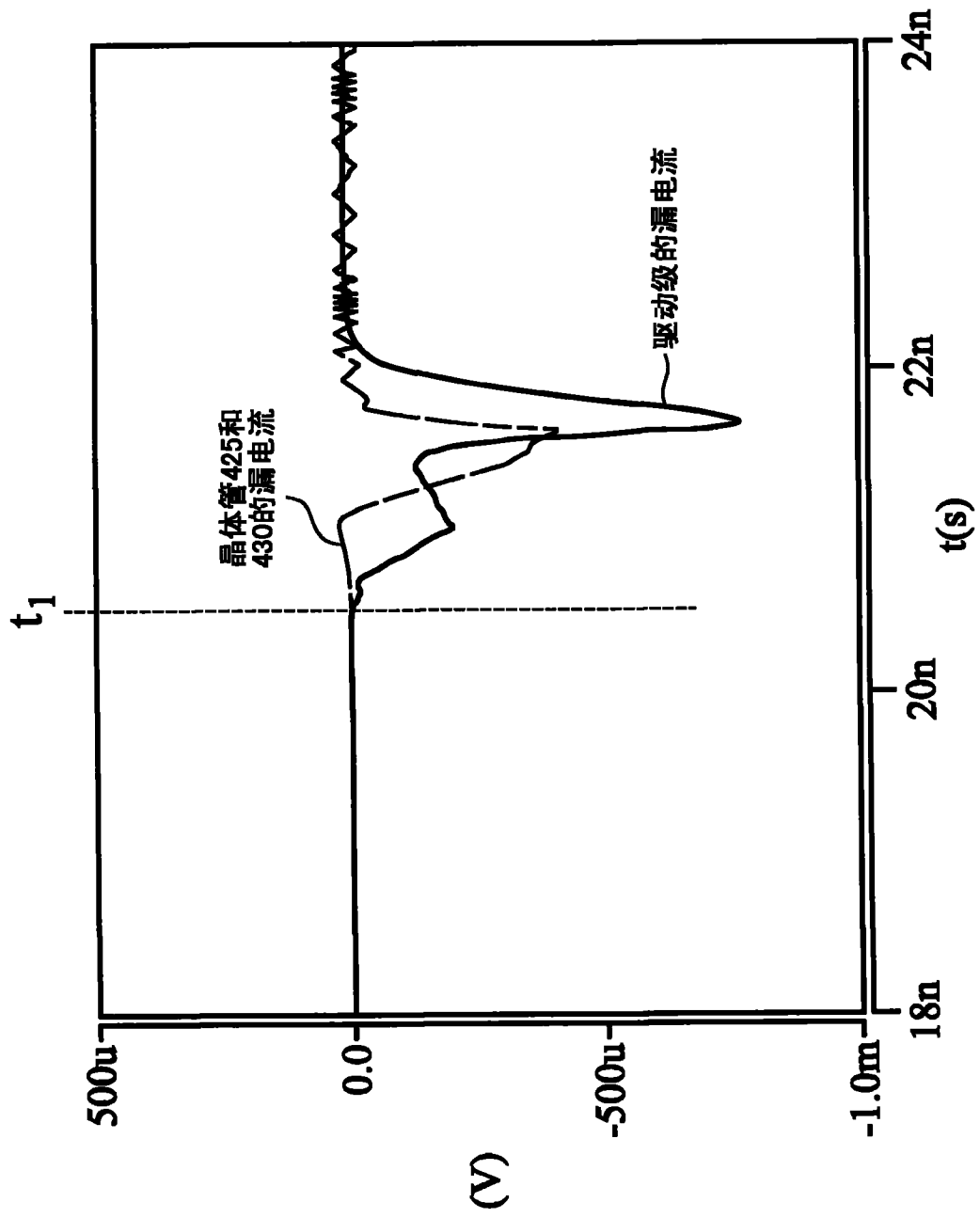


图 3

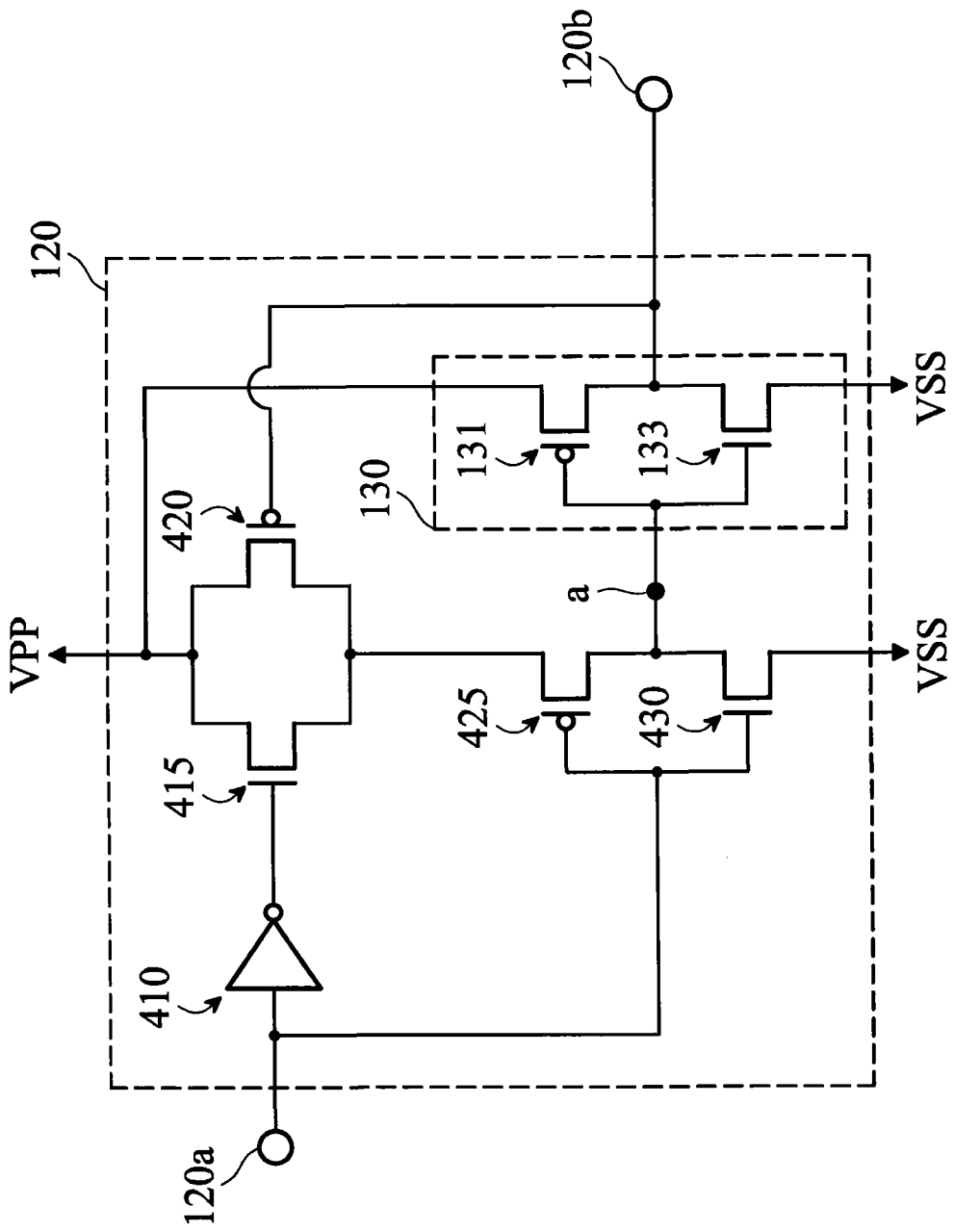


图 4

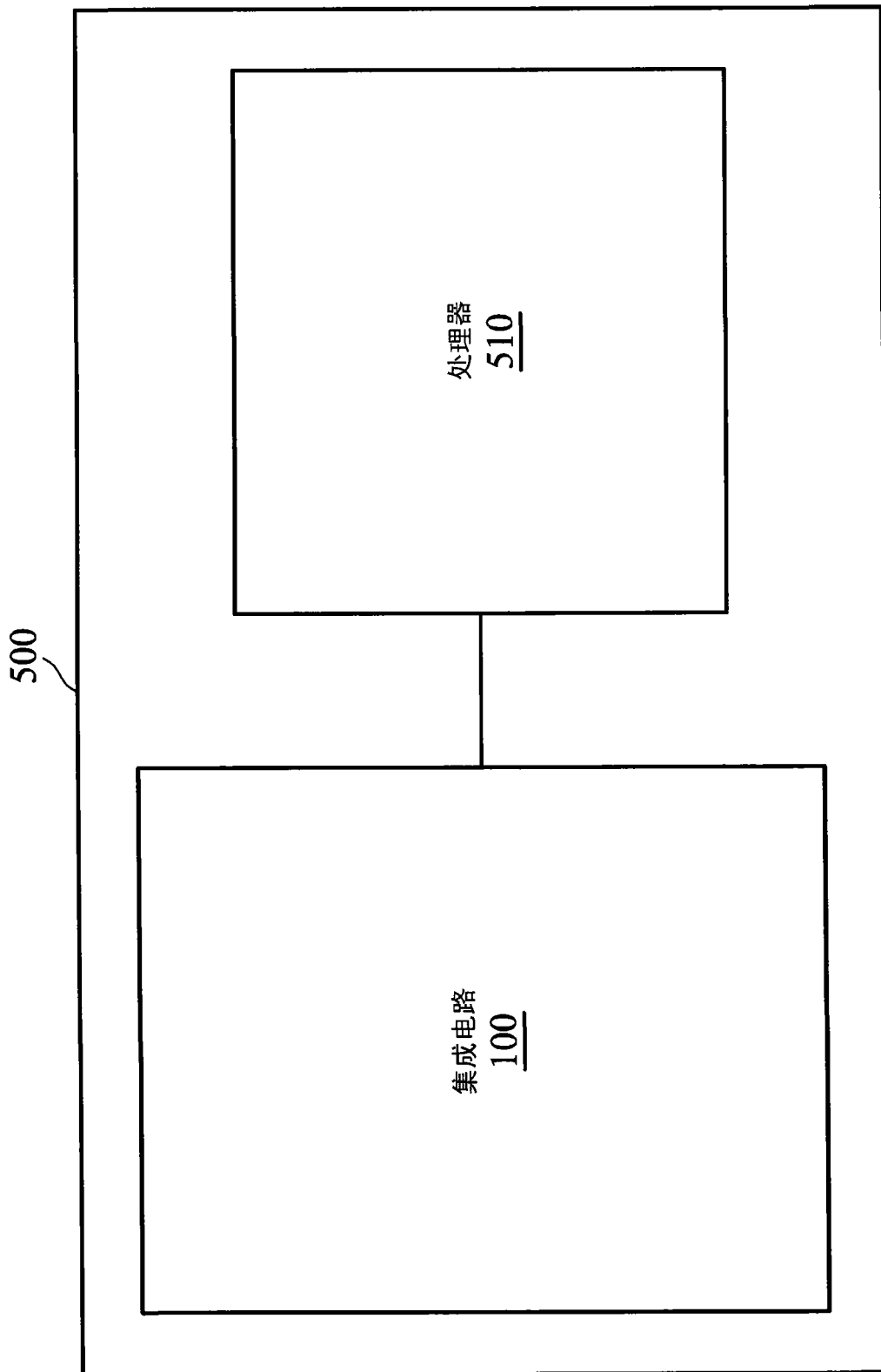


图 5