

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成24年2月9日(2012.2.9)

【公表番号】特表2011-505705(P2011-505705A)

【公表日】平成23年2月24日(2011.2.24)

【年通号数】公開・登録公報2011-008

【出願番号】特願2010-536543(P2010-536543)

【国際特許分類】

H 01 L 23/12 (2006.01)

H 01 L 23/52 (2006.01)

H 01 L 21/3205 (2006.01)

【F I】

H 01 L 23/12 501 P

H 01 L 21/88 T

【手続補正書】

【提出日】平成23年12月12日(2011.12.12)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の再配置層構造体に電気的に接続される第1のサイトと、第1のサイトに構造的に連なると共に第2の再配置層構造体に電気的に接続される第2のサイトとを有するアンダーバンプメタライゼーション構造体を半導体チップ上に形成することと、

前記アンダーバンプメタライゼーション構造体に高分子層を装着することと、

前記アンダーバンプメタライゼーション構造体上にはんだ構造体を、当該はんだ構造体の一部が前記高分子層の上に位置づけられた状態にして形成することと、

を含む、製造方法。

【請求項2】

前記アンダーバンプメタライゼーション構造体上における前記第1のサイトの近傍に前記はんだ構造体を形成することを含む、請求項1に記載の方法。

【請求項3】

前記アンダーバンプメタライゼーション構造体上における前記第2のサイトの近傍にははんだ構造体を形成しないことを含む、請求項1に記載の方法。

【請求項4】

前記アンダーバンプメタライゼーション構造体を形成することは、前記第1の再配置層構造体に電気的に接続された前記第1のサイトと、前記第2の再配置層構造体に電気的に接続された第2のサイトとを有する導体グリッドを形成することを含む、請求項1に記載の方法。

【請求項5】

前記アンダーバンプメタライゼーション構造体を形成することは、ハブおよび前記ハブに接続された少なくとも前記第1および第2のサイトを有するクラスターを形成することを含み、前記第1のサイトは前記第1の再配置層構造体に接続されると共に前記第2のサイトは前記第2の再配置層構造体に接続される、請求項1に記載の方法。

【請求項6】

前記半導体チップを基板に接続すると共に前記基板を演算装置に実装することを含む、

請求項 1 に記載の方法。

【請求項 7】

コンピュータ可読媒体に記憶された命令を実行することにより前記方法を実施する、請求項 1 に記載の方法。

【請求項 8】

第 1 の再配置層構造体に電気的に接続される第 1 のサイトと、第 1 のサイトに構造的に連なると共に第 2 の再配置層構造体に電気的に接続される第 2 のサイトとを有する第 1 の導体構造体を半導体チップ上に形成することと、

第 3 の再配置層構造体に電気的に接続される第 3 のサイトと、第 3 のサイトに構造的に連なると共に第 4 の再配置層構造体に電気的に接続される第 4 のサイトを有する第 2 の導体構造体を前記半導体チップ上に形成することと、

前記第 1 および第 2 の導体構造体に高分子層を装着することと、

前記第 1 の導体構造体上に第 1 のはんだ構造体を形成すると共に前記第 2 の導体構造体上に第 2 のはんだ構造体を形成することとを含み、

前記高分子層の一部は前記第 1 の導体構造体上に位置づけられ、前記高分子層の他の一部分は前記第 2 の導体構造体上に位置づけられる、製造方法。

【請求項 9】

前記第 1 のはんだ構造体を前記半導体チップの接地経路に電気的に接続すると共に前記第 2 のはんだ構造体を前記半導体チップの電源経路に電気的に接続することを含む、請求項 8 に記載の方法。

【請求項 10】

前記第 1 の導体構造体を形成することは、前記第 1 の再配置層構造体に電気的に接続された前記第 1 のサイトと、前記第 2 の再配置層構造体に電気的に接続された前記第 2 のサイトとを有する導体グリッドを形成することを含む、請求項 8 に記載の方法。

【請求項 11】

前記第 2 の導体構造体を形成することは、ハブおよび前記ハブに接続された少なくとも前記第 3 および第 4 のサイトを有するクラスターを形成することを含み、前記第 3 のサイトは前記第 3 の再配置層構造体に接続され且つ前記第 4 のサイトは前記第 4 の再配置層構造体に接続される、請求項 10 に記載の方法。

【請求項 12】

前記第 1 の導体構造体上において前記第 1 のサイトの近傍に前記第 1 のはんだ構造体を形成することを含む、請求項 8 に記載の方法。

【請求項 13】

前記第 1 の導体構造体上において前記第 2 のサイトの近傍にははんだ構造体を形成しないことを含む、請求項 8 に記載の方法。

【請求項 14】

前記半導体チップを基板に接続すると共に前記基板を演算装置に実装することを含む、請求項 8 に記載の方法。

【請求項 15】

少なくとも 2 つの再配置層構造体を有する半導体チップと、

前記半導体チップ上のアンダーバンプメタライゼーション構造体であって、前記少なくとも 2 つの再配置層構造体のうちの第 1 の再配置層構造体に電気的に接続される第 1 のサイトと、第 1 のサイトに構造的に連なると共に前記少なくとも 2 つの再配置層構造体のうちの第 2 の再配置層構造体に電気的に接続される第 2 のサイトを有するアンダーバンプメタライゼーション構造体と、

前記アンダーバンプメタライゼーション構造体上に配置される高分子層と、

前記高分子層の上に一部分が位置づけられた状態でアンダーバンプメタライゼーション構造体上に配置されるはんだ構造体と、  
を備える、装置。

【請求項 16】

前記少なくとも 2 つの再配置層構造体は同タイプの電気経路の一部を含み、当該電気経路がグランド、電源、信号のうちの 1 つに対するものである、請求項 1 5 に記載の装置。

【請求項 1 7】

前記アンダーバンプメタライゼーション構造体は、前記少なくとも 2 つの再配置層構造体のうちの前記第 1 の再配置層構造体に電気的に接続される前記第 1 のサイトと、前記少なくとも 2 つの再配置層構造体のうちの前記第 2 の再配置層構造体に電気的に接続される前記第 2 のサイトとを有する導体グリッドを備える、請求項 1 5 に記載の装置。

【請求項 1 8】

前記アンダーバンプメタライゼーション構造体は、ハブと前記ハブに接続された前記第 1 および第 2 のサイトを有するクラスターとを備える、請求項 1 5 に記載の装置。

【請求項 1 9】

前記はんだ構造体は、前記アンダーバンプメタライゼーション構造体上において前記第 1 のサイトの近傍に配置される、請求項 1 5 に記載の装置。

【請求項 2 0】

前記アンダーバンプメタライゼーション構造体上において前記第 2 のサイトの近傍には、はんだ構造体は配置されない、請求項 1 5 に記載の装置。

【請求項 2 1】

前記半導体チップに接続された基板を備える、請求項 1 5 に記載の装置。

【請求項 2 2】

前記基板に接続された演算装置を備える、請求項 2 1 に記載の装置。

【請求項 2 3】

導体構造体に電気的に接続される第 1 のサイトと、第 1 のサイトに構造的に連なると共に第 2 の導体構造体に電気的に接続される第 2 のサイトとを有するアンダーバンプメタライゼーション構造体を半導体チップ上に形成することと、

前記アンダーバンプメタライゼーション構造体に高分子層を装着することと、

前記アンダーバンプメタライゼーション構造体上にはんだ構造体を、当該はんだ構造体の一部が前記高分子層の上に位置づけられた状態にして形成することと、  
を含む、製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 4

【補正方法】変更

【補正の内容】

【0 0 4 4】

【図 2 9】図 2 9 は、断面 2 9 - 2 9 における図 2 8 の断面図である。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 6 9

【補正方法】変更

【補正の内容】

【0 0 6 9】

上に説明した図 1 9 では、電気配線に UBM 構造体を使用した例を示した。UBM 配置を用いた複雑な配線の数例を図 2 3 ~ 3 0 に図示する。これらの図面の説明を始める前に、入出力にはんだ構造体を利用する半導体チップの従来の電気配線設計の簡単な再確認が有益であろう。図 2 1 は、複数の導体ボールが見えるように底面側を上に配置させた従来の例示的な半導体チップ 5 0 0 の絵図である。ボールの 2 つに参照符号 5 1 0 および 5 1 5 を付している。プリント配線基板(図示せず。)へ実装する際に、チップ 5 0 0 をひっくり返すことにより、ボール 5 1 0 、 5 1 5 等が下向き、プリント配線基板上の対応するはんだ構造体との金属接続が確立される。はんだボール 5 1 0 、 5 1 5 等は、図 2 1 には示されていないチップ 5 0 0 の本体における様々な回路構造体と相互接続される。しか

しながら、はんだボール 510 および 515 とチップ 500 における回路構造体との相互接続構造体例の幾つかを、図 22において、はるかに大きく拡大して示す。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0071

【補正方法】変更

【補正の内容】

【0071】

RDL550 は、はんだボール 510 および 515、並びに図 21に示す他のはんだボールの配線およびレイアウトにさらなる柔軟性を提供するように設計される。はんだボールは一般的に、初期のミスアライメントまたは熱リフロー中の流出および結果的に生じる短絡の多少の危険性を有して製造されるので、このような相互間の悪影響や短絡の可能性を減らすために、RDL550 の RDL 構造体 570 と 575 との間に、一定の最小ピッチ  $X_1$  が維持されなければならない。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0083

【補正方法】変更

【補正の内容】

【0083】

最後に、クラスター 1260 は、ハブ 1400 と、スパーク 1405、1410、1415、1420 および 1423 と、スパーク 1405、1410、1415、1420 にそれぞれ接続されたリード線 1425、1430、1435 および 1440 とで構成されていてもよい。リード線 1425 および 1430 は、その下の RDL 構造体 1245 に接続されていてもよく、リード線 1435 および 1440 は、その下の RDL 構造体 1235 に接続されていてもよい。クラスター 1250 および 1255 と同様に、クラスター 1260 には、接地の入出力用であるはんだバンプ 1450 が設けられていてもよい。電源バンプ 1460 および 1465 は、その下の RDL 構造体 1470 および 1475 に接続されている。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0087

【補正方法】変更

【補正の内容】

【0087】

様々な理由から、バンプアレイ 1515 の周囲 1535 の付近にあるバンプ位置は、信号の入出力専用である傾向があり、アレイ 1515 のコアパッド位置 1540 は、電源および接地の入出力専用である傾向がある。この従来の設計手法は、多くの設計状況において満足に機能する。しかしながら、いわゆるディープバンプ、すなわち、チップ 620 の縁 1550 に比較的近い場所にある、バンプ 623 等の半導体チップ 620 上のバンプが、電源または接地の入出力を必要とする特定の設計状況が存在する。アレイ 1515 の周囲バンプ位置 1535 は、信号の入出力専用である傾向があるので、あるピン 1525 からアレイ 1515 上の周囲に位置するパッドサイトへと電源または接地を配線するためには、基板 1510 において何らかの埋設相互接続構成を構築することが必要となり得る。この解決法には、費用上の不利益があり、おそらく、基板トレースの配線を大幅に変更しなければならない場合に性能の問題が生じ得る。しかしながら、本明細書に開示したような UBM 配線の使用により、電源または接地の入出力をこのようなディープバンプ 623 へと配線し得る。この点に関して、UBM 配線構造体 1555 は、ディープバンプ 623 およびチップ 620 の中央に位置するバンプ 1560 の 1 つに電気的に接続される。バンプ 623 および 1560 とその下の UBM 構造体 1555 との間に配置される絶縁材料が

存在するので、UBM構造体1555を破線で示している。UBM構造体1555は、本明細書に開示した実施形態のいずれかに記載したように構成され得る。