

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年8月11日(2005.8.11)

【公開番号】特開2002-100689(P2002-100689A)

【公開日】平成14年4月5日(2002.4.5)

【出願番号】特願2000-289129(P2000-289129)

【国際特許分類第7版】

H 01 L 21/8247

H 01 L 27/115

H 01 L 27/10

H 01 L 29/788

H 01 L 29/792

【F I】

H 01 L 27/10 4 3 4

H 01 L 27/10 4 6 1

H 01 L 29/78 3 7 1

【手続補正書】

【提出日】平成17年1月18日(2005.1.18)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

不純物拡散領域からなるソース・ドレイン領域を含み、互いに平行でかつ直線形状に配置された複数の活性領域と、

隣接する前記活性領域間を互いに分離し、かつ直線形状に配置された複数の素子分離領域と、

浮遊電極と制御電極とが互いに積層された積層構造を備え、前記活性領域および前記素子分離領域に直交して配置された複数のゲート電極と、

前記ゲート電極と平行にかつ直線形状に配置され、隣接する前記ゲート電極間において複数の前記ソース領域同士を接続する複数の第1の配線層と、

個別の島形状を備え、複数の前記ドレイン領域それぞれに対応して接続する複数の第2の配線層と

から成るメモリセルアレイ構造を少なくとも有する不揮発性半導体記憶装置を備え、

前記第1および第2の配線層は、同一の金属配線層から構成されることを特徴とする半導体装置。

【請求項2】

不純物拡散領域からなるソース・ドレイン領域を含み、互いに平行でかつ直線形状に配置された複数の活性領域と、

隣接する前記活性領域間を互いに素子分離し、かつ直線形状に配置された複数の素子分離領域と、

浮遊電極と制御電極とが互いに積層された積層構造を備え、前記活性領域および前記素子分離領域に直交して配置された複数のゲート電極と、

前記ゲート電極と平行に、かつ直線形状に配置され、隣接する前記ゲート電極間において、複数の前記ソース領域同士を接続する第1の金属配線層から形成された複数の第1の配線層と、

前記ゲート電極と直交し、コンタクトを介して前記ドレイン領域接続され、かつ前記第1の金属配線層上部に配置された第2の金属配線層から形成された複数の第2の配線層とから成るメモリセルアレイ構造を少なくとも有する不揮発性半導体記憶装置を備えることを特徴とする半導体装置。

【請求項3】

前記メモリセルアレイ構造は、前記ゲート電極に直交して配置され、かつ隣接する前記浮遊電極同士を分離する浮遊電極分離領域を更に備えることを特徴とする請求項1又は請求項2に記載の半導体装置。

【請求項4】

前記素子分離領域は、トレンチ分離構造を有することを特徴とする請求項1乃至請求項3の内、いずれか1項に記載の半導体装置。

【請求項5】

前記メモリセルアレイ構造は、NOR型メモリセルを備えることを特徴とする請求項1乃至請求項4の内、いずれか1項に記載の半導体装置。