

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】平成31年2月7日 (2019.2.7)

【公開番号】特開2016-130850(P2016-130850A)

【公開日】平成28年7月21日 (2016.7.21)

【年通号数】公開・登録公報2016-043

【出願番号】特願2016-2457(P2016-2457)

【国際特許分類】

G 0 9 G 3/36 (2006.01)

G 0 9 G 3/20 (2006.01)

G 0 2 F 1/133 (2006.01)

G 1 1 C 19/28 (2006.01)

G 1 1 C 19/00 (2006.01)

【 F I 】

G 0 9 G 3/36

G 0 9 G 3/20 6 2 2 E

G 0 9 G 3/20 6 2 2 C

G 0 9 G 3/20 6 7 0 K

G 0 2 F 1/133 5 0 5

G 1 1 C 19/28 D

G 1 1 C 19/00 J

G 1 1 C 19/00 G

【手続補正書】

【提出日】平成30年12月18日 (2018.12.18)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

表示パネルの第 1 及び第 2 ゲートラインを各々駆動する第 1 及び第 2 駆動ステージを含むゲート駆動回路において、

前記第 1 駆動ステージは、

制御ノードに接続された制御電極、クロック信号を受信する入力電極及び前記クロック信号に基づいて生成された第 1 ゲート信号を出力する出力電極を含む第 1 出力トランジスタと、

前記制御ノードに接続された制御電極、前記クロック信号を受信する入力電極、及び前記クロック信号に基づいて生成された第 1 キャリー信号を出力する出力電極を含む第 2 出力トランジスタと、

前記第 1 ゲート信号が出力される前に、前記第 1 駆動ステージの入力端子を通じて前記第 2 駆動ステージから受信された信号に基づいて前記制御ノードの電位を制御する第 1 制御トランジスタと、

前記第 1 ゲート信号が出力される間に、前記第 1 キャリー信号を前記第 1 制御トランジスタの入力電極に提供する第 2 制御トランジスタと、を含むことを特徴とするゲート駆動回路。

【請求項 2】

前記第 2 駆動ステージから受信された信号は、前記第 2 駆動ステージの第 2 キャリー信

号であることを特徴とする請求項 1 に記載のゲート駆動回路。

【請求項 3】

前記第 1 制御トランジスタは、前記入力端子に共通に接続された入力電極及び制御電極、並びに前記制御ノードと接続された出力電極を含むことを特徴とする請求項 2 に記載のゲート駆動回路。

【請求項 4】

前記第 2 制御トランジスタは、前記第 1 キャリー信号を共通に受信する入力電極及び制御電極、並びに前記第 1 制御トランジスタの前記入力電極に接続された出力電極を含むことを特徴とする請求項 3 に記載のゲート駆動回路。

【請求項 5】

前記表示パネルの第 3 及び第 4 ゲートラインを各々駆動する第 3 及び第 4 駆動ステージをさらに含み、

前記第 1 駆動ステージは、

前記クロック信号を受信し、受信されたクロック信号に基づいて出力ノードにスイッチング信号を出力するインバータ部と、

前記第 1 出力トランジスタの出力電極及び第 1 電圧入力端子の間に提供され、前記出力ノードの前記スイッチング信号又は第 1 制御端子を通じて前記第 3 駆動ステージから受信される信号に応答して前記第 1 出力トランジスタの出力端子に前記第 1 電圧入力端子を通じて受信される第 1 放電電圧を提供する第 1 ブルダウン部と、

前記第 2 出力トランジスタの出力電極及び第 2 電圧入力端子の間に提供され、前記出力ノードのスイッチング信号又は第 2 制御端子を通じて前記第 4 駆動ステージから受信される信号に応答して前記第 2 出力トランジスタの出力端子に前記第 2 電圧入力端子を通じて受信される第 2 放電電圧を提供する第 2 ブルダウン部と、をさらに含むことを特徴とする請求項 1 に記載のゲート駆動回路。

【請求項 6】

前記第 3 駆動ステージから受信される信号は、第 3 キャリー信号であり、

前記第 4 駆動ステージから受信される信号は、第 4 キャリー信号であることを特徴とする請求項 5 に記載のゲート駆動回路。

【請求項 7】

前記第 1 キャリー信号は、前記第 2 駆動ステージの入力端子に提供され、第 2 キャリー信号は、前記第 3 駆動ステージの入力端子に提供され、前記第 3 キャリー信号は、前記前記第 4 駆動ステージの入力端子に提供されることを特徴とする請求項 6 に記載のゲート駆動回路。

【請求項 8】

前記第 1 ブルダウン部は、第 1 及び第 2 ブルダウントランジスタを含み、

前記第 1 ブルダウントランジスタは、前記第 1 電圧入力端子と接続された入力電極、前記出力ノードと接続された制御電極、及び前記第 1 出力トランジスタの出力電極と接続された出力電極を含み、

前記第 2 ブルダウントランジスタは、前記第 1 電圧入力端子と接続された入力電極、前記第 1 制御端子と接続された制御電極、及び前記第 1 出力トランジスタの出力電極と接続された出力電極を含み、

前記第 1 ブルダウントランジスタは、前記スイッチング信号によって駆動され、前記第 2 ブルダウントランジスタは、前記第 3 キャリー信号によって駆動されることを特徴とする請求項 6 に記載のゲート駆動回路。

【請求項 9】

前記第 2 ブルダウン部は、第 1 及び第 2 ブルダウントランジスタを含み、

前記第 1 ブルダウントランジスタは、前記第 2 電圧入力端子と接続された入力電極、前記出力ノードと接続された制御電極、及び前記第 2 出力トランジスタの出力電極と接続された出力電極を含み、

前記第 2 ブルダウントランジスタは、前記第 2 電圧入力端子と接続された入力電極、前

記第 2 制御端子と接続された制御電極、及び前記第 2 出力トランジスタの出力電極と接続された出力電極を含み、

前記第 1 プルダウントランジスタは、前記スイッチング信号によって駆動され、前記第 2 プルダウントランジスタは、前記第 4 キャリー信号によって駆動されることを特徴とする請求項 6 に記載のゲート駆動回路。

【請求項 10】

前記第 1 駆動ステージは、

前記制御ノード及び前記第 2 電圧入力端子の間に直列接続され、前記第 1 制御端子を通じて受信される前記第 3 キャリー信号に応答して前記制御ノードに前記第 2 放電電圧を提供する少なくとも 1 つの第 3 制御トランジスタと、

前記制御ノード及び前記第 2 電圧入力端子の間に直列接続され、前記スイッチング信号に応答して前記制御ノードに前記第 2 放電電圧を提供する少なくとも 1 つの第 4 制御トランジスタと、をさらに含むことを特徴とする請求項 6 に記載のゲート駆動回路。

【請求項 11】

表示パネルの第 1 及び第 2 ゲートラインを各々駆動する第 1 駆動ステージ及び第 2 駆動ステージを含むゲート駆動回路において、

前記第 1 駆動ステージは、

制御ノードの電圧に응答してクロック信号に基づいて生成された第 1 ゲート信号及び第 1 キャリー信号を出力する出力部と、

前記第 2 駆動ステージから出力される第 2 キャリー信号に基づいて前記制御ノードの電圧を制御する制御部と、

前記クロック信号に基づいて生成されたスイッチング信号を出力するインバータ部と、前記第 1 ゲート信号が出力された後に前記出力部から出力される前記第 1 ゲート信号及び第 1 キャリー信号の電圧をダウンさせるプルダウン部と、を含み、

前記制御部は、

前記第 2 キャリー信号に基づいて前記制御ノードの電位を制御する第 1 制御トランジスタと、

前記第 1 キャリー信号に응答して前記第 2 キャリー信号を前記第 1 制御トランジスタの入力電極に提供する第 2 制御トランジスタと、を含むことを特徴とするゲート駆動回路。

【請求項 12】

前記第 1 制御トランジスタは、前記制御ノードと接続された出力電極と、

前記第 2 キャリー信号を共通に受信する前記入力電極及び制御電極と、を含み、

前記第 2 制御トランジスタは、前記第 1 キャリー信号を共通に受信する入力電極及び制御電極と、前記第 1 制御トランジスタの前記入力電極に接続された出力電極を含むことを特徴とする請求項 11 に記載のゲート駆動回路。

【請求項 13】

前記出力部は、

前記クロック信号を受信する入力電極、前記制御ノードと接続された制御電極、及び前記第 1 ゲート信号を出力する出力電極を含む第 1 出力トランジスタと、

前記クロック信号を受信する入力電極、前記制御ノードと接続された制御電極、及び前記第 1 キャリー信号を出力する出力電極を含む第 2 出力トランジスタと、を含むことを特徴とする請求項 11 に記載のゲート駆動回路。

【請求項 14】

前記ゲート駆動回路は、前記表示パネルの第 3 及び第 4 ゲートラインを各々駆動する第 3 及び第 4 駆動ステージをさらに含み、

前記制御部は、

前記制御ノード及び第 1 電圧入力端子の間に直列接続され、第 1 制御端子を通じて前記第 3 駆動ステージから受信される第 3 キャリー信号に응答して前記制御ノードに第 1 放電電圧を提供する少なくとも 1 つの第 3 制御トランジスタと、

前記制御ノード及び前記第 1 電圧入力端子の間に直列接続され、前記スイッチング信号

に
応答して前記制御ノードに第2放電電圧を提供する少なくとも1つの第4制御トランジスタをさらに含むことを特徴とする請求項13に記載のゲート駆動回路。

【請求項15】

前記ブルダウン部は、

前記スイッチング信号又は前記第3駆動ステージからの前記第3キャリア信号に応答して前記第1ゲート信号をダウンさせる第1ブルダウン部と、

前記スイッチング信号又は前記第4駆動ステージからの第4キャリア信号に応答して前記第1キャリア信号をダウンさせる第2ブルダウン部と、を含むことを特徴とする請求項14に記載のゲート駆動回路。

【請求項16】

前記第1ブルダウン部は、第1及び第2ブルダウントランジスタを含み、

前記第1ブルダウントランジスタは、第2電圧入力端子と接続された入力電極と、前記スイッチング信号を受信する制御電極と、前記第1出力トランジスタの出力端子と接続された出力端子と、を含み、

前記第2ブルダウントランジスタは、前記第2電圧入力端子と接続された入力電極と、前記第3キャリア信号を受信する制御電極と、前記第1出力トランジスタの出力端子と接続された出力端子と、を含むことを特徴とする請求項15に記載のゲート駆動回路。

【請求項17】

前記第2ブルダウン部は、第1及び第2ブルダウントランジスタを含み、

前記第1ブルダウントランジスタは、第2電圧入力端子と接続された入力電極と、前記スイッチング信号を受信する制御電極と、前記第2出力トランジスタの出力端子と接続された出力端子と、を含み、

前記第2ブルダウントランジスタは、前記第2電圧入力端子と接続された入力電極と、前記第4キャリア信号を受信する制御電極と、前記第2出力トランジスタの出力端子と接続された出力端子と、を含むことを特徴とする請求項15に記載のゲート駆動回路。

【請求項18】

前記第1キャリア信号は、前記第3駆動ステージの入力端子に提供され、前記第3キャリア信号は、前記第4駆動ステージの入力端子に提供されることを特徴とする請求項14に記載のゲート駆動回路。

【請求項19】

前記制御部は、

前記制御ノード及び前記第1電圧入力端子の間に直列接続され、前記第3キャリア信号に応答して前記制御ノードに第1放電電圧を提供する少なくとも1つの第1制御トランジスタと、

前記制御ノード及び前記第1電圧入力端子の間に直列接続され、前記スイッチング信号に応答して前記制御ノードに前記第1放電電圧を提供する少なくとも1つの第2制御トランジスタと、を含むことを特徴とする請求項14に記載のゲート駆動回路。

【請求項20】

$i - 1$ 番目(ここで、 i は2以上の自然数)のゲートライン及び i 番目のゲートラインに $i - 1$ 番目のゲート信号及び i 番目のゲート信号を各々出力する $i - 1$ 番目の駆動ステージ及び i 番目の駆動ステージを含み、

前記 i 番目の駆動ステージは、

制御ノードに接続された制御電極、クロック信号を受信する入力電極及び前記 i 番目のゲート信号を出力する出力電極を含む第1出力トランジスタと、

前記制御ノードに接続された制御電極、前記クロック信号を受信する入力電極、 i 番目のキャリア信号を出力する出力電極を含む第2出力トランジスタと、

第2駆動ステージから受信された $i - 1$ 番目のキャリア信号を前記制御ノードに出力する第1制御トランジスタと、

前記 i 番目のキャリア信号を前記第1制御トランジスタの前記入力電極に出力する第2制御トランジスタと、を含むことを特徴とするゲート駆動回路。

