

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-172541
(P2004-172541A)

(43) 公開日 平成16年6月17日(2004.6.17)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/336	HO 1 L 29/78 3 O 1 P	4 M 1 O 4
HO 1 L 21/265	HO 1 L 21/28 3 O 1 S	5 F O 4 8
HO 1 L 21/28	HO 1 L 27/08 3 3 1 E	5 F 1 1 O
HO 1 L 21/8234	HO 1 L 21/265 W	5 F 1 4 O
HO 1 L 21/8238	HO 1 L 29/78 6 1 6 K	

審査請求 未請求 請求項の数 6 O L (全 17 頁) 最終頁に続く

(21) 出願番号	特願2002-339320 (P2002-339320)	(71) 出願人	503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号
(22) 出願日	平成14年11月22日 (2002.11.22)	(74) 代理人	100089233 弁理士 吉田 茂明
		(74) 代理人	100088672 弁理士 吉竹 英俊
		(74) 代理人	100088845 弁理士 有田 貴弘
		(72) 発明者	尾田 秀一 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(72) 発明者	佐山 弘和 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

最終頁に続く

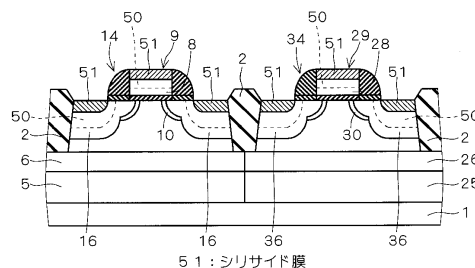
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 シリサイド化によるリーク電流の増加を抑制する半導体装置の製造方法を提供する。

【解決手段】 シリサイド反応を抑制する不純物（抑制不純物）、例えばゲルマニウムを、ソース・ドレイン領域16, 36にその上面から導入する。そして、ソース・ドレイン領域16, 36において、抑制不純物が分布している領域50よりも浅い領域をシリサイド化し、ソース・ドレイン領域16, 36にシリサイド膜51を形成する。このように抑制不純物が分布している領域50よりも浅い領域をシリサイド化することによって、シリサイド化される領域よりも下方にシリサイド反応が進行することを抑制することができ、ソース・ドレイン領域16, 36とウェル領域との間の接合リークを低減することができる。

【選択図】 図12



【特許請求の範囲】

【請求項 1】

(a) 第 1 導電型の第 1 の不純物領域と第 2 導電型の第 2 の不純物領域とを上面内に備え、前記第 2 の不純物領域が前記第 1 の不純物領域の上面内に設けられている半導体基板を準備する工程と、

(b) シリサイド反応を抑制する不純物を、前記第 2 の不純物領域にその上面から導入する工程と、

(c) 前記工程 (b) の後に、前記第 2 の不純物領域において、その上面から、前記工程 (b) で導入された前記不純物が分布している領域の下限よりも浅い領域をシリサイド化する工程と

を備える、半導体装置の製造方法。

10

【請求項 2】

前記工程 (b) において、前記工程 (c) でシリサイド化される領域よりも深い位置に、前記不純物の濃度のピークを設定する、請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記工程 (a) において、上面上にゲート構造を更に備え、前記第 2 の不純物領域をソース・ドレイン領域とする前記半導体基板を準備する、請求項 1 及び請求項 2 のいずれか一つに記載の半導体装置の製造方法。

【請求項 4】

(a) 絶縁層と、前記絶縁層上に設けられた半導体層とを備える S O I 基板を準備する工程と、

(b) ソース・ドレイン領域を前記半導体層の上面内に形成するとともに、側面にサイドウォールを有するゲート構造を、前記ソース・ドレイン領域に隣接する、前記半導体層の上面上に形成する工程と、

(c) 前記 S O I 基板の上方から、前記ソース・ドレイン領域にシリサイド反応を抑制する不純物を導入する工程と、

(d) 前記工程 (c) の後に、前記ソース・ドレイン領域をその上面からシリサイド化する工程と

を備え、

前記サイドウォールは、前記ソース・ドレイン領域上にも部分的に設けられており、前記工程 (c) において、前記ソース・ドレイン領域の露出している上面の下方のみならず、前記サイドウォールの下方にも前記不純物を導入する、半導体装置の製造方法。

30

【請求項 5】

前記工程 (c) において、前記ソース・ドレイン領域の露出している上面の下方では前記ソース・ドレイン領域よりも下方に、前記サイドウォールの下方では前記ソース・ドレイン領域内に、前記不純物の濃度のピークを設定する、請求項 4 に記載の半導体装置の製造方法。

【請求項 6】

前記不純物はゲルマニウムである、請求項 1 乃至請求項 5 のいずれか一つに記載の半導体装置の製造方法。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、シリサイド膜を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】

半導体装置は近年、高集積化が進み、1チップに多くの素子が搭載されている。これらの素子の大部分は M O S トランジスタであって、M O S トランジスタには、電子が流れる n M O S トランジスタ (n e g a t i v e M O S トランジスタ) と正孔が流れ p M O S トランジスタ (p o s i t i v e M O S トランジスタ) とがある。半導体装置では、これ

50

らの極性の異なるトランジスタの組み合わせで回路が構成される。

【0003】

従来のMOSトランジスタでは、ソース・ドレイン領域及びゲート電極の低抵抗化のために、それらの上にシリサイド膜が形成される。一般的に、シリサイド膜は、ソース・ドレイン領域やゲート電極を直接シリサイド化して形成される。ゲート電極をシリサイド化する場合には、その下にゲート絶縁膜が形成されているため、そのゲート絶縁膜を越えて半導体基板にまでシリサイド反応が進行することが無いため問題とならないが、ソース・ドレイン領域をシリサイド化するには、シリサイド反応が半導体基板の深さ方向に進行するため、ソース・ドレイン領域の深さを十分に大きく設定し、接合リークを増加を防止する必要があった。そして、このことが半導体装置の微細化を妨げる要因となっていた。

10

【0004】

そこで、ソース・ドレイン領域にシリサイド反応を抑制する原子（以後、単に「抑制原子」と呼ぶ）を導入し、ソース・ドレイン領域のシリサイド膜を、ゲート電極のシリサイド膜よりも薄く形成することによって半導体装置の微細化を実現しようとしている技術が、下記特許文献1に提案されている。

【0005】

特許文献1に記載の技術では、抑制原子として、フッ素原子、窒素原子あるいは酸素原子を使用し、かかる原子をソース・ドレイン領域の表面付近に導入することによって、ソース・ドレイン領域でのシリサイド反応を抑制している。

【0006】

なお、ソース・ドレイン領域の低抵抗化を目的として、ソース・ドレイン領域上にシリコンゲルマニウム(SiGe)層を形成して、かかるシリコンゲルマニウム層をシリサイド化する技術が下記特許文献2に記載されている。

20

【0007】

【特許文献1】

特開平11-111980号公報

【特許文献2】

特開2001-53027号公報

【0008】

【発明が解決しようとする課題】

特許文献1に記載の従来技術では、ソース・ドレイン領域の表面付近に抑制原子が導入され、その後、抑制原子が導入された領域のすべてがシリサイド化されている（特許文献1の図1，8参照）。そのため、シリサイド反応が半導体基板の深さ方向に局所的に進行し、シリサイドが接合付近にまで形成され、接合リークが増大することがあった。以下にこの問題点について具体的に説明する。

30

【0009】

例えば、シリサイド反応で良く使用される高融点金属のコバルト(Co)は、500前後のアニールにより、CoSiやCo₂Siが混在したシリコン金属化合物となる。CoSiやCo₂Siのような、コバルト原子とひとつのシリコン原子とが化合したコバルトモノシリサイドでは抵抗が高いため、通常さらに、700以上のアニールにより、コバルトモノシリサイドをより低抵抗のCoSi₂に相転移させる。

40

【0010】

CoSiやCo₂SiなどのモノシリサイドがCoSi₂に変化する反応過程では、更にシリコンを必要とするが、CoSiとCo₂SiとではCoSi₂化に必要なシリコン原子数が異なり、反応速度に差を生じる。従って、CoSi₂のシリサイド粒子の大きさは、モノシリサイドの種類や、隣接するシリサイドの成長の仕方によって異なるようになる。その結果、モノシリサイドが成長の早いグレインに囲まれた場合には、局所的にシリコンの供給が基板の一方向だけとなり、シリサイド反応が半導体基板の深くまで進行して、シリサイドが接合付近にまで成長することがあった。

【0011】

50

特許文献 1 に記載の技術では、導入された窒素原子等によってシリサイド反応を抑制しているが、最終的には、抑制原子が導入された領域のすべてをシリサイド化している。従って、シリサイド化される領域の下方には、抑制原子が存在していない。そのため、上述の理由により、シリサイド化される領域よりも下方にまで局所的にシリサイド反応が進行し、接合リークの増大が起こり得る。

【0012】

また近年、半導体装置の微細化により、SOI (silicon on insulator) 基板のシリコン層が薄くなってきており、シリサイド膜とシリコン層との厚みの差が小さくなってきている。そのため、SOI 基板のシリコン層に形成されたソース・ドレイン領域をシリサイド化した場合には、シリサイド化される領域の下方よりも多くのシリコンが存在する、ゲート電極下方のチャンネル領域に向かってシリサイドが大きく成長し、ソースとドレイン間のリーク電流が増大することがあった。

10

【0013】

なお、仮に特許文献 1 に記載の技術を SOI 基板に適用した場合であっても、抑制原子がソース・ドレイン領域の露出面の下方にだけ導入されているため、ソース・ドレイン領域を上面からシリサイド化した場合には、同じような問題が生じる。

【0014】

そこで、本発明は上述の問題に鑑みて成されたものであり、シリサイド化によるリーク電流の増加を抑制する半導体装置の製造方法を提供することを目的とする。

【0015】

20

【課題を解決するための手段】

この発明の半導体装置の製造方法は、(a) 第 1 導電型の第 1 の不純物領域と第 2 導電型の第 2 の不純物領域とを上面内に備え、前記第 2 の不純物領域が前記第 1 の不純物領域の上面内に設けられている半導体基板を準備する工程と、(b) シリサイド反応を抑制する不純物を、前記第 2 の不純物領域にその上面から導入する工程と、(c) 前記工程 (b) の後に、前記第 2 の不純物領域において、その上面から、前記工程 (b) で導入された前記不純物が分布している領域の下限よりも浅い領域をシリサイド化する工程とを備える。

【0016】

また、他の発明の半導体装置の製造方法は、(a) 絶縁層と、前記絶縁層上に設けられた半導体層とを備える SOI 基板を準備する工程と、(b) ソース・ドレイン領域を前記半導体層の上面内に形成するとともに、側面にサイドウォールを有するゲート構造を、前記ソース・ドレイン領域に隣接する、前記半導体層の上面上に形成する工程と、(c) 前記 SOI 基板の上方から、前記ソース・ドレイン領域にシリサイド反応を抑制する不純物を導入する工程と、(d) 前記工程 (c) の後に、前記ソース・ドレイン領域をその上面からシリサイド化する工程とを備え、前記サイドウォールは、前記ソース・ドレイン領域上にも部分的に設けられており、前記工程 (c) において、前記ソース・ドレイン領域の露出している上面の下方のみならず、前記サイドウォールの下方にも前記不純物を導入する。

30

【0017】

【発明の実施の形態】

40

実施の形態 1 .

図 1 ~ 9 , 1 2 , 1 3 は本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。以下に、これらの図を参照して、本実施の形態 1 に係る半導体装置の製造方法について説明する。

【0018】

まず図 1 に示すように、周知の LOCOS 分離技術やトレンチ分離技術によって、例えば p 型のシリコン基板である半導体基板 1 の上面内に素子分離絶縁膜 2 を形成する。そして、露出している半導体基板 1 上にシリコン酸化膜 3 を形成する。

【0019】

素子分離絶縁膜 2 は、例えばシリコン酸化膜から成り、p チャンネル MOS トランジスタが

50

形成される領域（以後、「pMOSトランジスタ形成領域」と呼ぶ）と、nチャネルMOSトランジスタが形成される領域（以後、「nMOSトランジスタ形成領域」と呼ぶ）とに、半導体基板1を区分している。

【0020】

次に図2に示すように、pMOSトランジスタ形成領域を開口するフォトレジスト4をシリコン酸化膜3及び素子分離絶縁膜2の上に形成し、かかるフォトレジスト4をマスクに用いて、例えばヒ素をイオン注入する。これによって、n型ウェル領域5が、pMOSトランジスタ形成領域における半導体基板1の上面内に形成される。そして、再度フォトレジスト4をマスクに用いて、例えばヒ素をイオン注入して、n型ウェル領域5にn型素子分離拡散層6を形成し、フォトレジスト4を除去する。

10

【0021】

次に、nMOSトランジスタ形成領域を開口するフォトレジスト4をシリコン酸化膜3及び素子分離絶縁膜2の上に形成し、かかるフォトレジスト4をマスクに用いて、例えばボロンをイオン注入する。これによって、p型ウェル領域25が、nMOSトランジスタ形成領域における半導体基板1の上面内に形成される。そして、再度フォトレジスト4をマスクに用いて、例えばボロンをイオン注入して、p型ウェル領域25にp型素子分離拡散層26を形成する。その後、フォトレジスト4を除去して、シリコン酸化膜3を除去する。

【0022】

次に、pMOSトランジスタ形成領域及びnMOSトランジスタ形成領域における半導体基板1上に、それぞれゲート構造9、29を形成する。ゲート構造9は、ゲート絶縁膜7とゲート電極8とがこの順で積層された構造を成しており、ゲート構造29は、ゲート絶縁膜27とゲート電極28とがこの順で積層された構造を成している。各ゲート絶縁膜7、27には、例えばシリコン酸化膜が採用され、各ゲート電極8、28には、例えば多結晶シリコン膜が採用される。以下に、ゲート構造9、29の形成方法について具体的に説明する。

20

【0023】

まず、半導体基板1の露出している上面を例えばウェット酸化して、pMOSトランジスタ形成領域及びnMOSトランジスタ形成領域における半導体基板1上に例えば膜厚30nmのシリコン酸化膜を形成する。そして、例えばLPCVD（減圧CVD）法により、膜厚50～250nmの多結晶シリコン膜をシリコン酸化膜上に形成する。

30

【0024】

次に、写真製版技術を用いて、所定の開口パターンの有するフォトレジスト（図示せず）を多結晶シリコン膜上に形成し、かかるフォトレジストをマスクに用いて、多結晶シリコン膜及びシリコン酸化膜をエッチングする。そして、フォトレジストを除去する。これによって、pMOSトランジスタ形成領域にゲート電極8及びゲート絶縁膜7が、nMOSトランジスタ形成領域にゲート電極28及びゲート絶縁膜27が形成され、ゲート構造9、29が完成する。

【0025】

次に図5に示すように、pMOSトランジスタ形成領域を開口するフォトレジスト4を半導体基板1及び素子分離絶縁膜2の上に形成する。そして、フォトレジスト4及びゲート構造9をマスクに用いて、例えばボロンをイオン注入し、その後フォトレジスト4を除去する。これによって、p型の不純物領域であるp型エクステンション領域11が、pMOSトランジスタ形成領域における半導体基板1の上面内に、具体的にはn型ウェル領域5の上面内形成される。

40

【0026】

p型エクステンション領域11を形成する際に採用される加速エネルギー及びイオン注入濃度は、半導体装置の各世代で要求されるエクステンション領域の深さや抵抗値で決定される。本実施の形態では、配線幅0.18 μ mの世代の半導体装置を想定して、加速エネルギーを例えば1～2keVとし、濃度を例えば $1 \times 10^{19} \sim 5 \times 10^{19} / \text{cm}^3$ と

50

する。この条件によって、半導体基板 1 の上面からの深さ 60 nm の p 型エクステンション領域 11 が形成される。

【0027】

次に、斜めイオン注入法を用いて、p 型エクステンション領域 11 の周囲に、それとは逆の導電型の n 型不純物層 10 を配置する。本実施の形態では、例えば、半導体基板 1 の上面に対して 20 ~ 45 度の角度で、加速エネルギー 100 ~ 130 keV、濃度 $1 \times 10^{18} \sim 5 \times 10^{18} / \text{cm}^3$ でヒ素をイオン注入する。

【0028】

次に図 6 に示すように、nMOS トランジスタ形成領域を開口するフォトレジスト 4 を半導体基板 1 及び素子分離絶縁膜 2 の上に形成する。そして、フォトレジスト 4 及びゲート構造 29 をマスクに用いて、例えばヒ素をイオン注入し、その後フォトレジスト 4 を除去する。これによって、n 型の不純物領域である n 型エクステンション領域 31 が、nMOS トランジスタ形成領域における半導体基板 1 の上面内、具体的には p 型ウェル領域 25 の上面内に形成される。

10

【0029】

n 型エクステンション領域 31 を形成する際に採用される加速エネルギーは例えば 3 ~ 5 keV、濃度は例えば $1 \times 10^{19} \sim 5 \times 10^{19} / \text{cm}^3$ である。この条件によって、半導体基板 1 の上面からの深さ 60 nm の n 型エクステンション領域 31 が形成される。

【0030】

次に、斜めイオン注入法を用いて、n 型エクステンション領域 31 の周囲に、それとは逆の導電型の p 型不純物層 30 を配置する。本実施の形態では、例えば、半導体基板 1 の上面に対して 20 ~ 45 度の角度で、加速エネルギー 15 ~ 20 keV、濃度 $1 \times 10^{18} \sim 5 \times 10^{18} / \text{cm}^3$ でボロンをイオン注入する。

20

【0031】

次に、膜厚 10 nm のシリコン酸化膜と、膜厚 50 nm のシリコン窒化膜をこの順で全面に堆積して、半導体基板 1 の深さ方向にエッチングレートが高い異方性ドライエッチング法によって、かかるシリコン酸化膜とシリコン窒化膜とをエッチングする。これにより、図 7 に示すように、ゲート構造 9 の側面上及び p 型エクステンション領域 11 の一部の上に、シリコン酸化膜 12 及びシリコン窒化膜 13 から成る二層構造のサイドウォール 14 が形成される。同時に、ゲート構造 29 の側面上及び n 型エクステンション領域 31 の一部の上に、シリコン酸化膜 32 及びシリコン窒化膜 33 から成る二層構造のサイドウォール 34 が形成される。

30

【0032】

次に図 8 に示すように、n 型ウェル領域 5 及び p 型ウェル領域 25 の上面内に、それぞれ p 型不純物領域 15 及び n 型不純物領域 35 を形成する。具体的には、まず pMOS トランジスタ形成領域を開口するフォトレジスト (図示せず) を半導体基板 1 及び素子分離絶縁膜 2 の上に形成する。そして、かかるフォトレジストとゲート構造 9 及びサイドウォール 14 とをマスクに用いて、例えば加速エネルギー 3 ~ 5 keV、濃度 $2 \times 10^{20} \sim 6 \times 10^{20} / \text{cm}^3$ で、ボロンをイオン注入し、フォトレジストを除去する。これによって、p 型エクステンション領域 11 よりも不純物濃度が高い p 型不純物領域 15 が n 型ウェル領域 5 の上面内に形成される。

40

【0033】

次に、nMOS トランジスタ形成領域を開口するフォトレジスト (図示せず) を半導体基板 1 及び素子分離絶縁膜 2 の上に形成する。そして、かかるフォトレジストとゲート構造 29 及びサイドウォール 34 とをマスクに用いて、例えば加速エネルギー 40 ~ 60 keV、濃度 $2 \times 10^{20} \sim 6 \times 10^{20} / \text{cm}^3$ で、ヒ素をイオン注入する。これによって、n 型エクステンション領域 31 よりも不純物濃度が高い n 型不純物領域 35 が、p 型ウェル領域 25 の上面内に形成される。

【0034】

以上の工程により、それぞれが p 型エクステンション領域 11 及び p 型不純物領域 15 か

50

ら成り、互いに所定距離を成す複数のソース・ドレイン領域16が、pMOSトランジスタ形成領域における半導体基板1の上面内、具体的にはn型ウェル領域5の上面内に設けられる。そして、互いに隣り合うソース・ドレイン領域16の間の半導体基板1の上面上にゲート構造9が設けられる。言い換えれば、互いに隣り合うソース・ドレイン領域16のそれぞれに隣接する、半導体基板1の上面上にゲート構造9が設けられる。

【0035】

また、それぞれがn型エクステンション領域31及びn型不純物領域35から成り、互いに所定距離を成す複数のソース・ドレイン領域36が、p型ウェル領域25の上面内に設けられ、互いに隣り合うソース・ドレイン領域36の間の半導体基板1の上面上にゲート構造29が設けられる。

10

【0036】

次に図9に示すように、シリサイド反応を抑制する不純物(以後、「抑制不純物」と呼ぶ)、例えばゲルマニウムを、加速エネルギー120keV、濃度 $5 \times 10^{19} / \text{cm}^3$ で、半導体基板1の上方から注入する。これによって、ソース・ドレイン領域16, 36及びゲート電極8, 28に、それらの上面から抑制不純物が導入される。なお図9では、ソース・ドレイン領域16, 36及びゲート電極8, 28中の、抑制不純物が分布している領域(以後、単に「分布領域」と呼ぶ)50を破線で示している。またゲルマニウムは、シリコンと比べて、コバルトやチタンなどとの反応エネルギーが高く、シリサイド反応を抑制する物質として一般的に知られている。

【0037】

図10は図9の部分拡大図であって、pMOSトランジスタ形成領域のソース・ドレイン領域16とその近傍を拡大して示している。また、図11は加速エネルギー20keV、濃度 $5 \times 10^{19} / \text{cm}^3$ で半導体基板1にその上面からゲルマニウム導入した際の濃度分布を示す図であって、比較のために窒素の濃度分布も示している。図11(a)は熱処理前の濃度分布を、図11(b)はRTA(Rapid Thermal Anneal)による1000度の熱処理後の濃度分布を示している。また、図中の横軸は半導体基板1の上面からの深さを示している。なお、図10に示す一点鎖線56は、分布領域50での抑制不純物の濃度ピークの位置を示しており、斜線で示す領域57は次工程でシリサイド化される領域を示している。

20

【0038】

図10に示されるように、本実施の形態では、次工程でシリサイド化される領域57よりも深い位置に、抑制不純物の濃度のピークを設定する。言い換えれば、半導体基板1の上面から、ソース・ドレイン領域の露出面の下方における抑制不純物の濃度ピークまでの距離aを、次工程でシリサイド化される領域57の、半導体基板1の上面からの深さbよりも大きい値に設定する。なおソース・ドレイン領域中での抑制不純物の分布は、図9に示す構造の上面の形状を反映したものになる。

30

【0039】

本実施の形態では、後述するようにシリサイド化される領域57の深さbは50nmに設定されるため、加速エネルギーを調整して抑制不純物の濃度ピークをそれよりも深い位置に設定する。図11に示されるように、加速エネルギー20keVでゲルマニウムを注入した場合、ゲルマニウムの濃度ピークは、深さ10nmのところに位置しているため、本実施の形態のように、加速エネルギー120keVでゲルマニウムを注入することによって、その濃度ピークの深さを60nmに設定することができる。

40

【0040】

このようにして、本実施の形態では、次工程でシリサイド化される領域よりも深い位置に、抑制不純物の濃度ピークが設定される。なお本実施の形態では、シリサイド化される領域57の深さbのパラッキや抑制不純物の濃度分布のパラッキを考慮して、抑制不純物の濃度ピークの深さが60nmになるような加速エネルギーの値を採用している。また、ゲルマニウムは、その不純物濃度が高くなれば半導体基板中で拡散しやすく、低ければシリサイド反応の抑制効果が低減するため、ゲルマニウムのイオン注入濃度は、本実施の形態

50

1のように、ソース・ドレイン領域のp型不純物領域15あるいはn型不純物領域35形成時のイオン注入濃度の10%ぐらいに設定する方が望ましい。

【0041】

次に、例えば1000で高温のアニールを行って、ソース・ドレイン領域16, 36中の不純物を再配置する。これによって、ソース・ドレイン領域16, 36の半導体基板1の上面からの深さは、0.9~1.3 μm となる。このとき、上述の図11(b)に示されるように、ゲルマニウムは窒素とは異なり半導体基板1中で拡散しにくく、その濃度分布はほとんど変化しない。

【0042】

次に図12に示すように、ソース・ドレイン領域16, 36及びゲート電極8, 28において、それらの上面から、分布領域50の下限よりも浅い領域をシリサイド化し、ソース・ドレイン領域16, 36及びゲート電極8, 28にシリサイド膜51を形成する。具体的には、例えば膜厚10nmのコバルト膜をスパッタ法などによって全面に堆積する。そして500のアニールを行い、コバルトと、それに接触しているシリコンとを反応させる。これによって、ソース・ドレイン領域16, 36及びゲート電極8, 28のそれぞれにおいて、その上面から深さ50nmの領域がシリサイド化される。

10

【0043】

このようにして、分布領域50の下限よりも浅い領域がシリサイド化され、ソース・ドレイン領域16, 36及びゲート電極8, 28の上面に、コバルトシリサイドから成る膜厚50nmのシリサイド膜51が形成される。その後、未反応のコバルト膜を除去する。

20

【0044】

この状態でのシリサイド膜51は、 CoSi や Co_2Si などのコバルトモノシリサイドから成るため、再度700以上のアニールを行って、モノシリサイドを CoSi_2 に相転移させる。これにより、シリサイド膜51が低抵抗になる。

【0045】

次に図13に示すように、ゲート構造9, 29、サイドウォール14, 34及び素子分離絶縁膜2を覆って、半導体基板1上に層間絶縁膜52を形成する。層間絶縁膜52には例えばTEOS酸化膜が採用される。そして、ソース・ドレイン領域16, 36及びゲート電極8, 28のそれぞれのシリサイド膜51に達するコンタクトホール(図示せず)を層間絶縁膜52に開口し、かかるコンタクトホールを充填するコンタクトプラグ53を形成する。

30

【0046】

次に、コンタクトプラグ53と電氣的に接続させて配線54を層間絶縁膜52上に形成し、半導体装置が完成する。なお、コンタクトプラグ53は例えばタングステンから成り、配線54は例えばアルミニウムから成る。

【0047】

このように、本実施の形態1に係る半導体装置の製造方法では、ソース・ドレイン領域16, 36に抑制不純物が導入され、その後の工程で、抑制不純物の分布領域50よりも浅い領域をシリサイド化している。従って、シリサイド化される領域57よりも下方に抑制不純物が存在している。そのため、コバルトモノシリサイドをより低抵抗の CoSi_2 に相転移させる場合に、シリサイド反応が、シリサイド化される領域57よりも下方に進行することが抑制され、シリサイドが、ソース・ドレイン領域とウェル領域との接合付近にまで局所的に成長することを抑制することができる。従って、ソース・ドレイン領域とウェル領域との間の接合リークを低減することができ、半導体装置の歩留まりが向上する。

40

【0048】

更に、従来ではソース・ドレイン領域の深さは、シリサイドが深さ方向に大きく成長することを想定して大きい値に設定していたが、その必要がなく、ソース・ドレイン領域を浅く形成して、半導体装置の微細化を図ることができる。

【0049】

また本実施の形態1では、シリサイド化される領域57よりも深い位置に、抑制不純物の

50

濃度のピークを設定しているため、シリサイド化される領域 57 における抑制不純物の濃度を低く設定することができる。そのため、シリサイド化される領域 57 でのシリサイド反応の抑制を緩和することができ、ソース・ドレイン領域に所望の膜厚のシリサイド膜を形成することができる。

【0050】

また上述の図 11 に示すように、ゲルマニウムは熱拡散しにくいいため、注入条件だけで不純物分布を制御することができる。従って、本実施の形態 1 のように、抑制不純物としてゲルマニウムを用いることによって、抑制不純物に関して所望の濃度分布を簡単に得ることができる。

【0051】

なお本実施の形態 1 では、コバルト膜を用いてソース・ドレイン領域及びゲート電極をシリサイド化しているが、チタン膜を用いてシリサイド化を行ってもよい。つまり、ソース・ドレイン領域及びゲート電極にチタンシリサイドを形成しても良い。

【0052】

また本実施の形態 1 では、p チャネル MOS トランジスタと n チャネル MOS トランジスタとを同一基板に形成しているためウェル領域を設けているが、例えば一つの基板に n チャネル MOS トランジスタのみを形成する場合には、p 型の不純物が導入されて全領域が p 型の不純物領域となっている p 型半導体基板に、ウェル領域を設けることなく、n 型のソース・ドレイン領域を形成しても良い。

【0053】

また半導体基板 1 の替わりに、SOI 基板を採用しても良い。以下に、本実施の形態 1 の変形例として、この場合の半導体装置の製造方法について説明する。なお、不純物の加速エネルギーや注入濃度などの詳細な製造条件は、上述の内容と同じであるため、その説明は省略する。

【0054】

図 14 ~ 17 は、本実施の形態 1 に係る半導体装置の製造方法の変形例を工程順に示す断面図である。図 14 に示すように、例えば p 型のシリコン基板である支持基板 61 と、「ボックス酸化膜」と呼ばれる絶縁層 62 と、例えば p 型のシリコン層である半導体層 63 とがこの順で積層された SOI 基板 60 を準備して、半導体層 63 の上面内に素子分離絶縁膜 2 を形成する。素子分離絶縁膜 2 は、p MOS トランジスタ形成領域と、n MOS トランジスタ形成領域とに、半導体層 63 を区分している。

【0055】

次に図 15 に示すように、p MOS トランジスタ形成領域における半導体層 63 の上面内に n 型ウェル領域 5 を形成し、n MOS トランジスタ形成領域における半導体層 63 の上面内に p 型ウェル領域 25 を形成する。そして、p MOS トランジスタ形成領域及び n MOS トランジスタ形成領域における半導体層 63 上に、それぞれゲート構造 9, 29 を形成する。

【0056】

次に図 16 に示すように、n 型ウェル領域 5 の上面内に p 型エクステンション領域 11 を形成し、かかる p 型エクステンション領域 11 の周囲に、それとは逆の導電型の n 型不純物層 10 を配置する。そして、p 型ウェル領域 25 の上面内に n 型エクステンション領域 31 を形成し、かかる n 型エクステンション領域 31 の周囲に、それとは逆の導電型の p 型不純物層 30 を配置する。

【0057】

次に、ゲート構造 9 の側面上及び p 型エクステンション領域 11 の一部の上にサイドウォール 14 を形成し、ゲート構造 29 の側面上及び n 型エクステンション領域 31 の一部の上にサイドウォール 34 を形成する。そして、n 型ウェル領域 5 及び p 型ウェル領域 25 の上面内に、それぞれ p 型不純物領域 15 及び n 型不純物領域 35 を形成する。これにより、ソース・ドレイン領域 16, 36 が、それぞれ n 型ウェル領域 5 及び p 型ウェル領域 25 の上面内に設けられる。

10

20

30

40

50

【0058】

次に、例えばゲルマニウムをSOI基板60の上方から注入して、ソース・ドレイン領域16, 36及びゲート電極8, 28にゲルマニウムを導入する。そして、例えば1000で高温のアニールを行って、ソース・ドレイン領域16, 36中の不純物を再配置する。

【0059】

次に図17に示すように、ソース・ドレイン領域16, 36及びゲート電極8, 28において、それらの上面から、分布領域50よりも浅い領域をシリサイド化し、ソース・ドレイン領域16, 36及びゲート電極8, 28にシリサイド膜51を形成する。そして、700以上のアニールを行って、シリサイド膜51を低抵抗化する。

10

【0060】

次に、ゲート構造9, 29、サイドウォール14, 34及び素子分離絶縁膜2を覆って、半導体層63上に層間絶縁膜52を形成し、その後コンタクトプラグ53、配線54を順次形成し、半導体装置が完成する。

【0061】

このように、SOI基板60にMOSトランジスタを形成する場合であっても、上述の効果を得ることができる。

【0062】

実施の形態2.

上述のように、半導体装置の微細化によりSOI基板の半導体層が薄くなり、ソース・ドレイン領域をシリサイド化した場合に、ゲート電極下方のチャンネル領域に向かってシリサイドが大きく成長するという問題があった。そこで、本実施の形態2では、シリサイド反応がチャンネル領域に向かって進行することを防止することができる製造方法を提案する。

20

【0063】

図18~24は本実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。本実施の形態2では、一例として、SOI基板の半導体層と、シリサイド膜とが同じ厚さで形成される場合の製造方法について説明する。

【0064】

まず図18に示すように、支持基板61と、絶縁層62と、半導体層63とがこの順で積層されたSOI基板60を準備して、半導体層63の上面内に素子分離絶縁膜2を形成する。

30

【0065】

絶縁層62の厚さは例えば100~400nmであって、半導体層63の厚さは例えば50nmである。また素子分離絶縁膜2は、pMOSトランジスタ形成領域と、nMOSトランジスタ形成領域とに、半導体層63を区分している。

【0066】

次に図19に示すように、上述の実施の形態1と同様にして、pMOSトランジスタ形成領域における半導体層63の上面内にn型ウェル領域5を形成し、nMOSトランジスタ形成領域における半導体層63の上面内にp型ウェル領域25を形成する。そして、pMOSトランジスタ形成領域及びnMOSトランジスタ形成領域における半導体層63上に、それぞれゲート構造9, 29を形成する。

40

【0067】

次に図20に示すように、実施の形態1と同様にして、n型ウェル領域5の上面内にp型エクステンション領域11を形成し、かかるp型エクステンション領域11の周囲に、それとは逆の導電型のn型不純物層10を配置する。そして、p型ウェル領域25の上面内にn型エクステンション領域31を形成し、かかるn型エクステンション領域31の周囲に、それとは逆の導電型のp型不純物層30を配置する。

【0068】

次に、ゲート構造9の側面上及びp型エクステンション領域11の一部の上にサイドウォール14を形成し、ゲート構造29の側面上及びn型エクステンション領域31の一部の

50

上にサイドウォール34を形成する。そして、実施の形態1と同様に、n型ウェル領域5及びp型ウェル領域25の上面内に、それぞれp型不純物領域15及びn型不純物領域35を形成する。これにより、ソース・ドレイン領域16, 36が、それぞれn型ウェル領域5及びp型ウェル領域25の上面内に設けられる。

【0069】

次に図21に示すように、抑制不純物、例えばゲルマニウムを、加速エネルギー120 keV、濃度 $5 \times 10^{19} / \text{cm}^3$ で、SOI基板60の上方から注入する。これによって、ソース・ドレイン領域16, 36及びゲート電極8, 28に、それらの上面から抑制不純物が導入される。

【0070】

図22は図21の部分拡大図であって、pMOSトランジスタ形成領域のソース・ドレイン領域16とその近傍を拡大して示している。なお図22では、抑制不純物の分布領域50を右下がりの斜線で示している。

【0071】

図22中の分布領域50に示されるように、抑制不純物は半導体層63のみならず、絶縁層62にも導入される。また、ソース・ドレイン領域16, 36の露出している上面の下方のみならず、サイドウォール14, 34の下方にも抑制不純物が導入される。

【0072】

更に本実施の形態2では、抑制不純物の濃度ピーク的位置を示す一点鎖線56に示されるように、抑制不純物の濃度ピーク的位置は、ソース・ドレイン領域の露出面の下方では絶縁層62内に、サイドウォールの下方ではソース・ドレイン領域内と絶縁層62内に設定されている。つまり、ソース・ドレイン領域中での抑制不純物の濃度ピークは、サイドウォールの下方に設定されている。

【0073】

次に、例えば1000℃で高温のアニールを行って、ソース・ドレイン領域16, 36中の不純物を再配置する。

【0074】

次に図23に示すように、ソース・ドレイン領域16, 36及びゲート電極8, 28を、それらの上面からシリサイド化し、ソース・ドレイン領域16, 36及びゲート電極8, 28にシリサイド膜51を形成する。具体的には、例えば膜厚10nmのコバルト膜をスパッタ法などによって全面に堆積する。そして500℃のアニールを行い、コバルトと、それに接触しているシリコンとを反応させる。これによって、ソース・ドレイン領域16, 36及びゲート電極8, 28のそれぞれにおいて、その上面から深さ50nmの領域がシリサイド化される。本実施の形態2では、半導体層63の厚さが50nmに設定されているため、ソース・ドレイン領域16, 36の露出面の下方においては、全領域に渡ってシリサイド化される。その後、未反応のコバルト膜を除去する。

【0075】

この状態でのシリサイド膜51は、CoSiやCo₂Siなどのコバルトモノシリサイドから成るため、再度700℃以上のアニールを行って、モノシリサイドをCoSi₂に相転移させる。これにより、シリサイド膜51が低抵抗になる。

【0076】

次に図24に示すように、ゲート構造9, 29、サイドウォール14, 34及び素子分離絶縁膜2を覆って、半導体層63上に層間絶縁膜52を形成する。そして、ソース・ドレイン領域16, 36及びゲート電極8, 28のそれぞれのシリサイド膜51に達するコンタクトホール(図示せず)を層間絶縁膜52に開口し、かかるコンタクトホールを充填するコンタクトプラグ53を形成する。

【0077】

次に、コンタクトプラグ53と電氣的に接続させて配線54を層間絶縁膜52上に形成し、半導体装置が完成する。

【0078】

10

20

30

40

50

このように、本実施の形態 2 に係る半導体装置の製造方法では、抑制不純物がサイドウォールの方のソース・ドレイン領域にも導入されているため、微細化により S O I 基板の半導体層が薄くなった場合であっても、ソース・ドレイン領域の露出面をシリサイド化した際に、シリサイド反応がゲート構造の方のチャンネル領域に向かって進行することを抑制することができる。その結果、ソースとドレインとの間のリーク電流を低減することができる。また、実効チャンネル長が短くなることを防止することができ、より一層の半導体装置の微細化が可能になる。

【 0 0 7 9 】

また本実施の形態 2 では、抑制不純物の濃度ピークが、ソース・ドレイン領域の露出面の方ではソース・ドレイン領域よりも下方に、サイドウォールの方ではソース・ドレイン領域内に設定されるため、ソース・ドレイン領域の露出している上面の方の領域での抑制不純物の濃度を低くすることができる。従って、ソース・ドレイン領域の露出面の方の領域でのシリサイド反応の抑制を緩和することができる。その結果、チャンネル領域へのシリサイド反応の進行を抑制しつつ、ソース・ドレイン領域に所望の膜厚のシリサイド膜を形成できる。

10

【 0 0 8 0 】

【 発明の 効果 】

この発明によれば、シリサイド反応を抑制する不純物が分布している領域よりも浅い領域をシリサイド化するため、シリサイド化される領域よりも下方にシリサイド反応が進行することを抑制することができる。その結果、第 1 , 2 の不純物領域間の接合リークを低減

20

【 0 0 8 1 】

また、他の発明によれば、シリサイド反応を抑制する不純物がサイドウォールの方のソース・ドレイン領域にも導入されているため、微細化により S O I 基板の半導体層が薄くなった場合であっても、ソース・ドレイン領域をシリサイド化した際に、シリサイド反応がゲート構造の方のチャンネル領域に向かって進行することを抑制することができる。その結果、ソースとドレインとの間のリーク電流を低減することができる。また、実効チャンネル長が短くなることを防止することができ、より一層の微細化が可能になる。

【 図面の簡単な説明 】

【 図 1 】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である

30

【 図 2 】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である

【 図 3 】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である

【 図 4 】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である

【 図 5 】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である

【 図 6 】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である

40

【 図 7 】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である

【 図 8 】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である

【 図 9 】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である

【 図 1 0 】 本発明の実施の形態 1 に係る半導体装置の構造を示す断面図である。

【 図 1 1 】 半導体基板中でのゲルマニウムの濃度分布を示す図である。

【 図 1 2 】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図であ

50

る。

【図 1 3】本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 4】本発明の実施の形態 1 に係る半導体装置の製造方法の変形例を工程順に示す断面図である。

【図 1 5】本発明の実施の形態 1 に係る半導体装置の製造方法の変形例を工程順に示す断面図である。

【図 1 6】本発明の実施の形態 1 に係る半導体装置の製造方法の変形例を工程順に示す断面図である。

【図 1 7】本発明の実施の形態 1 に係る半導体装置の製造方法の変形例を工程順に示す断面図である。 10

【図 1 8】本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 9】本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 0】本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 1】本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 2】本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。 20

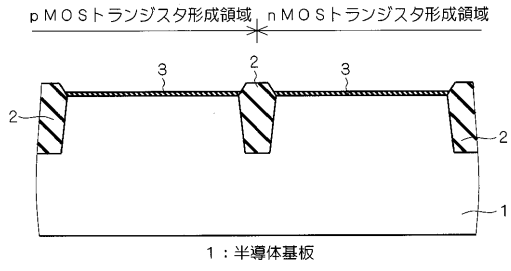
【図 2 3】本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 4】本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

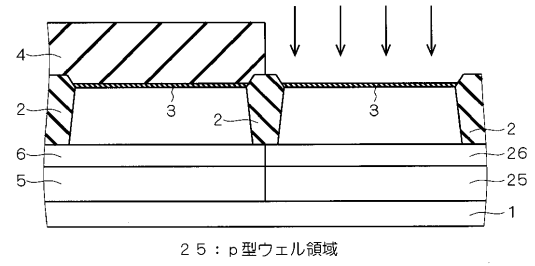
【符号の説明】

1 半導体基板、5 n型ウェル領域、9, 29 ゲート構造、14, 34 サイドウォール、16, 36 ソース・ドレイン領域、25 p型ウェル領域、50 分布領域、51 シリサイド膜、60 SOI基板、62 絶縁層、63 半導体層。

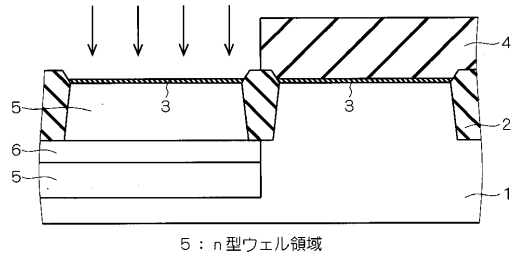
【図1】



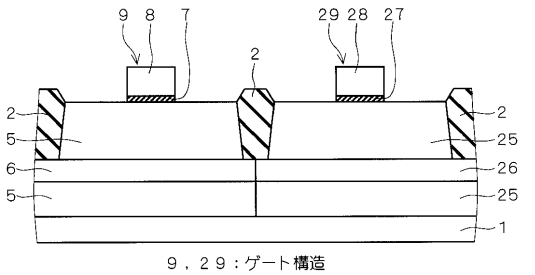
【図3】



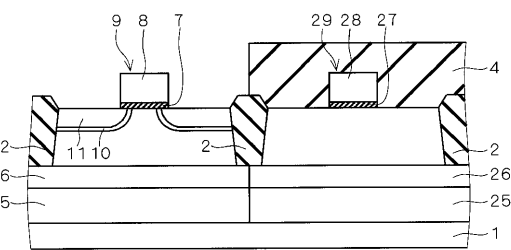
【図2】



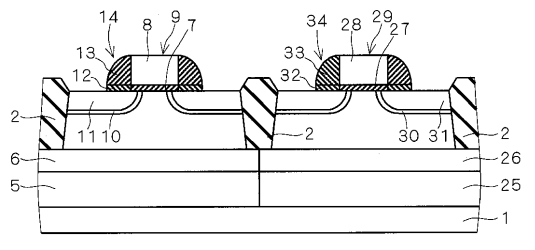
【図4】



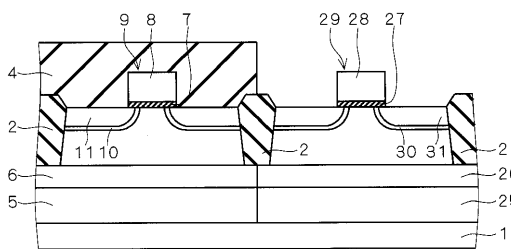
【図5】



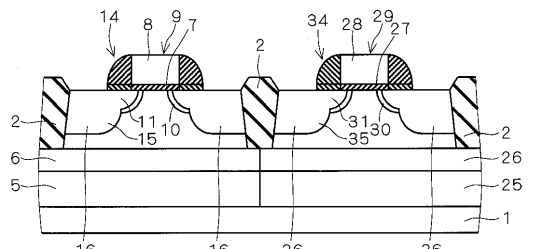
【図7】



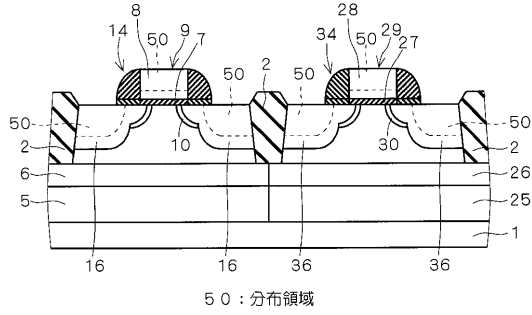
【図6】



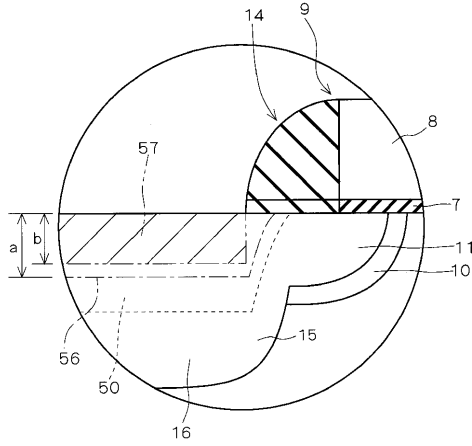
【図8】



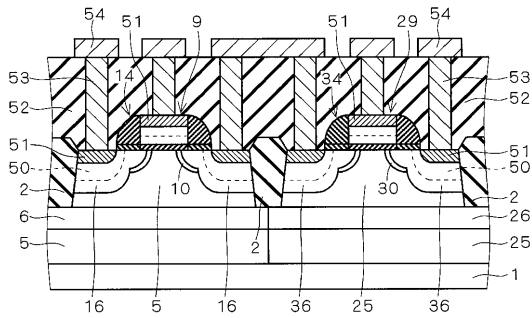
【図 9】



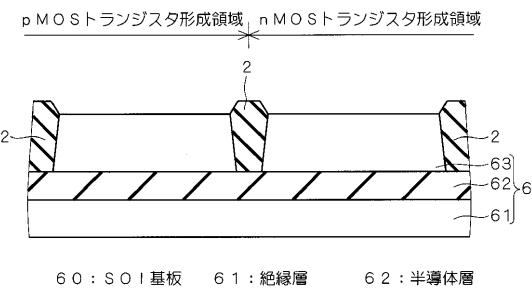
【図 10】



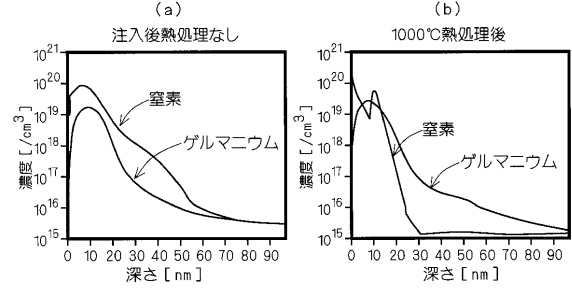
【図 13】



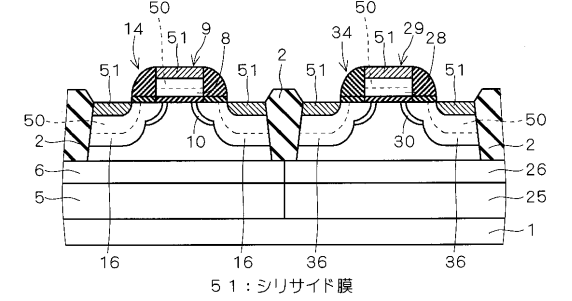
【図 14】



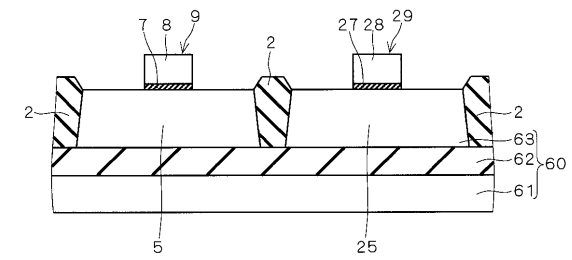
【図 11】



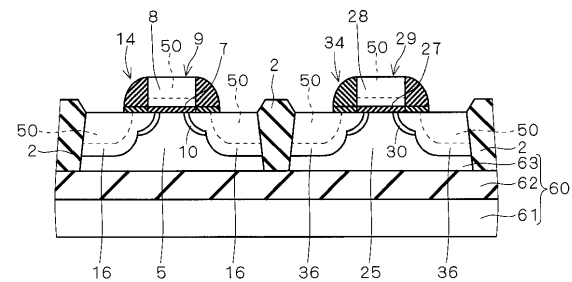
【図 12】



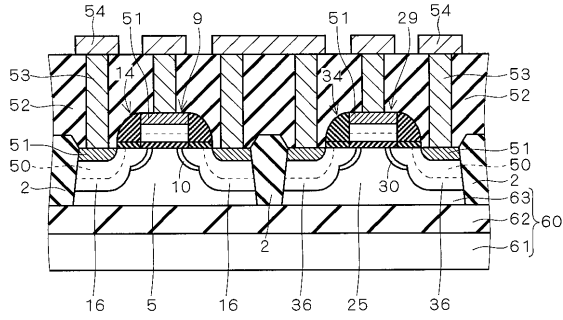
【図 15】



【図 16】

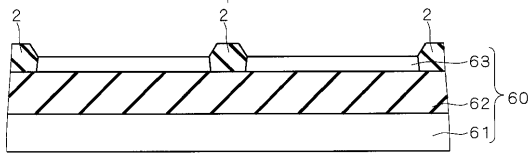


【図 17】

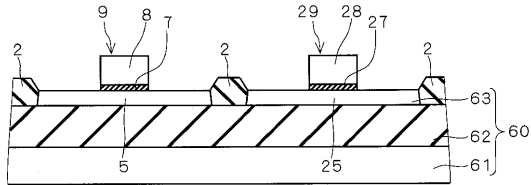


【図 18】

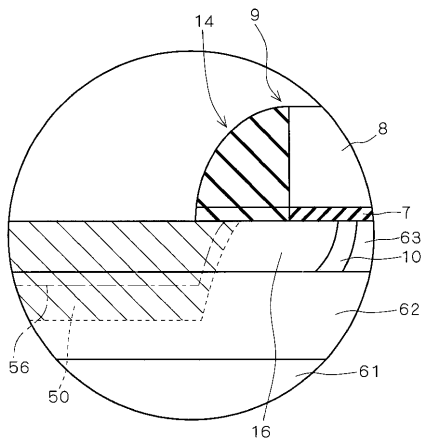
p MOSTランジスタ形成領域, n MOSTランジスタ形成領域



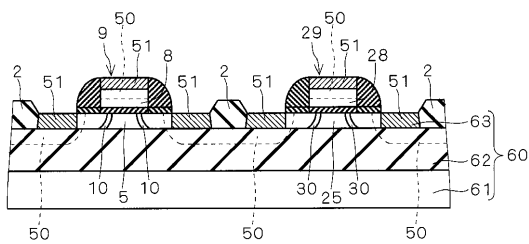
【図 19】



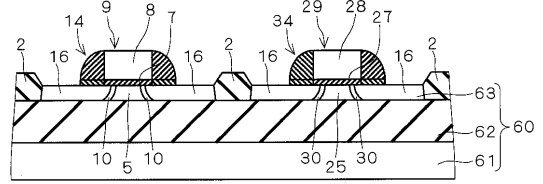
【図 22】



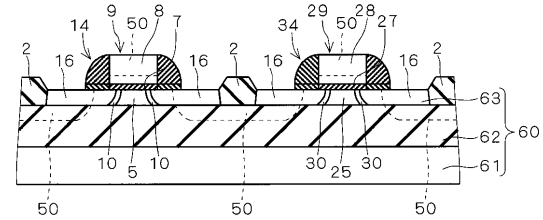
【図 23】



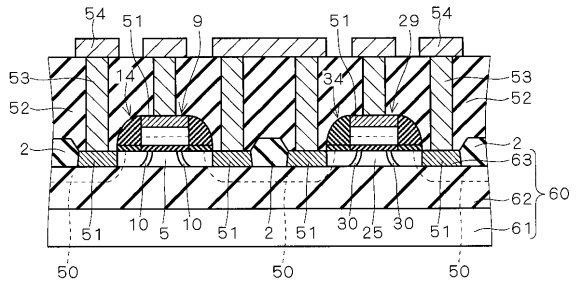
【図 20】



【図 21】



【図 24】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 1 L 27/08	H 0 1 L 27/08	1 0 2 B
H 0 1 L 27/088	H 0 1 L 27/08	3 2 1 E
H 0 1 L 27/092	H 0 1 L 27/08	3 2 1 F
H 0 1 L 29/417	H 0 1 L 29/50	M
H 0 1 L 29/78		
H 0 1 L 29/786		

(72)発明者 太田 和伸

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 杉原 浩平

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

Fターム(参考) 4M104 AA01 AA09 BB20 BB25 DD02 DD26 DD78 DD84 EE09 EE17
 FF14 GG09 GG10 GG14
 5F048 AA07 AC03 BA01 BA16 BB05 BB08 BB12 BC05 BC06 BC07
 BC11 BC15 BD04 BE01 BE03 BF06 BF11 BF15 BF16 DA25
 DA27 DA30
 5F110 AA04 AA06 AA30 BB04 CC02 DD05 DD13 EE05 EE09 EE14
 EE31 EE45 FF02 FF22 GG02 GG12 GG25 HJ01 HJ02 HJ13
 HJ23 HK05 HK40 HL03 HL04 HL11 HL14 HM15 NN02 NN62
 QQ08 QQ11
 5F140 AA00 AA24 AA39 AB03 AC36 BA01 BE07 BF04 BF11 BF18
 BF38 BF60 BG09 BG12 BG14 BG28 BG30 BG35 BG37 BG43
 BG44 BG45 BG51 BG53 BH14 BH22 BH35 BH45 BH49 BJ01
 BJ08 BJ27 BK02 BK13 BK20 BK22 BK29 BK35 BK38 BK39
 CA03 CB01 CB04 CB08 CF04 CF05 CF07