

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6926012号

(P6926012)

(45) 発行日 令和3年8月25日 (2021.8.25)

(24) 登録日 令和3年8月6日 (2021.8.6)

(51) Int. Cl.	F I
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 N
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 K
	HO 1 L 29/78 6 5 3 C
	HO 1 L 29/78 6 5 2 M
	HO 1 L 29/78 6 5 7 D
請求項の数 9 (全 18 頁) 最終頁に続く	

(21) 出願番号	特願2018-24047 (P2018-24047)	(73) 特許権者	000003078
(22) 出願日	平成30年2月14日 (2018.2.14)		株式会社東芝
(65) 公開番号	特開2019-140310 (P2019-140310A)		東京都港区芝浦一丁目1番1号
(43) 公開日	令和1年8月22日 (2019.8.22)	(73) 特許権者	317011920
審査請求日	令和2年2月6日 (2020.2.6)		東芝デバイス&ストレージ株式会社
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100108062
			弁理士 日向寺 雅彦
		(74) 代理人	100168332
			弁理士 小崎 純一
		(74) 代理人	100146592
			弁理士 市川 浩
		(74) 代理人	100157901
			弁理士 白井 達哲

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 電極と、

前記第 1 電極の上に設けられ、第 1 領域と、前記第 1 領域を囲む第 2 領域と、を有する第 1 導電形の第 1 半導体領域と、

前記第 1 領域の上に設けられた第 2 導電形の第 2 半導体領域と、

前記第 2 半導体領域の上に設けられた第 1 導電形の第 3 半導体領域と、

前記第 3 半導体領域の上に設けられ、前記第 2 半導体領域及び前記第 3 半導体領域と電気的に接続された第 2 電極と、

前記第 1 領域から前記第 2 半導体領域に向かう第 1 方向に垂直な第 2 方向において、前記第 2 半導体領域とゲート絶縁部を介して対向するゲート電極と、

前記第 2 領域の上の前記第 1 半導体領域中に第 1 絶縁部を介して設けられ、前記第 1 方向及び前記第 2 方向に垂直な第 3 方向において互いに離間して複数設けられた第 1 導電部であって、複数の前記第 1 導電部は、前記第 2 方向において前記ゲート電極と並び、前記第 2 電極又は前記ゲート電極と電気的に接続され、前記複数の第 1 導電部のうち隣り合う前記第 1 導電部の間には前記第 1 半導体領域のみが設けられた、前記第 1 導電部と、

前記第 2 電極又は前記ゲート電極と電気的に接続され、前記第 2 領域の上の前記第 1 半導体領域中に第 2 絶縁部を介して設けられ、前記第 3 方向において前記ゲート電極及び前記複数の第 1 導電部と並ぶ第 2 導電部であって、前記第 2 導電部と、前記複数の第 1 導電部のうち前記第 2 導電部と隣り合う前記第 1 導電部と、の間には前記第 1 半導体領域のみ

10

20

が設けられた、前記第 2 導電部と、

を備え、

前記第 1 導電部の前記第 2 方向における長さは、前記ゲート電極の前記第 2 方向における長さよりも長い半導体装置。

【請求項 2】

前記ゲート電極は、前記第 2 方向において互いに離間して複数設けられ、

前記第 2 導電部は、前記第 3 方向において前記複数のゲート電極及び前記複数の第 1 導電部と並び、

前記第 1 絶縁部同士の間の前記第 3 方向における距離は、前記ゲート絶縁部同士の間の前記第 2 方向における距離以下である請求項 1 記載の半導体装置。

10

【請求項 3】

前記第 2 電極又は前記ゲート電極と電氣的に接続された複数の第 3 導電部と、

前記複数の第 3 導電部の上に設けられ、前記ゲート電極と電氣的に接続された第 3 電極と、

をさらに備え、

前記複数の第 3 導電部は、前記第 3 方向において互いに離間し、

前記複数の第 3 導電部のそれぞれは、前記第 2 領域の上に第 3 絶縁部を介して設けられ、

前記ゲート電極の一部は、前記第 2 方向において、前記複数の第 1 導電部の一部と前記複数の第 3 導電部との間に位置し、

20

前記複数の第 3 導電部のそれぞれの前記第 2 方向における長さは、前記複数の第 1 導電部のそれぞれの前記第 2 方向における長さよりも長い請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記第 1 絶縁部中に設けられ、前記第 2 方向において前記第 1 導電部と離間した第 4 導電部をさらに備えた請求項 1 ~ 3 のいずれか 1 つに記載の半導体装置。

【請求項 5】

前記第 1 導電部は、さらに、前記第 2 方向において複数設けられ、

前記ゲート電極は、前記第 2 方向において、複数の前記第 1 導電部の一部と、複数の前記第 1 導電部の別の一部と、の間に位置する請求項 1 ~ 4 のいずれか 1 つに記載の半導体装置。

30

【請求項 6】

前記第 2 導電部は、前記第 3 方向において複数設けられ、

前記ゲート電極は、前記第 3 方向において、複数の前記第 2 導電部の 1 つと、複数の前記第 2 導電部の別の 1 つと、の間に位置する請求項 1 ~ 5 のいずれか 1 つに記載の半導体装置。

【請求項 7】

第 1 電極と、

前記第 1 電極の上に設けられ、第 1 領域と、前記第 1 領域を囲む第 2 領域と、を有し、前記第 1 電極と電氣的に接続された第 1 導電形の第 1 半導体領域と、

40

前記第 1 領域の上に設けられた第 2 導電形の複数の第 2 半導体領域と、

それぞれが、前記複数の第 2 半導体領域のそれぞれの上に設けられた第 1 導電形の複数の第 3 半導体領域と、

前記複数の第 3 半導体領域の上に設けられ、前記複数の第 2 半導体領域及び前記複数の第 3 半導体領域と電氣的に接続された第 2 電極と、

それぞれが、前記第 1 領域から前記複数の第 2 半導体領域に向かう第 1 方向に垂直な第 2 方向において、前記複数の第 2 半導体領域のそれぞれとゲート絶縁部を介して対向する複数のゲート電極と、

前記第 2 領域の上の前記第 1 半導体領域中に第 1 絶縁部を介して設けられ、前記第 2 方向において互いに離間して複数設けられた第 1 導電部であって、複数の前記第 1 導電部は

50

、前記第 1 方向及び前記第 2 方向に垂直な第 3 方向において前記ゲート電極と並び、前記第 2 電極又は前記ゲート電極と電氣的に接続され、前記複数の第 1 導電部のうち隣り合う前記第 1 導電部の間には前記第 1 半導体領域のみが設けられた、前記第 1 導電部と、

前記第 2 電極又は前記ゲート電極と電氣的に接続され、前記第 2 領域の上の前記第 1 半導体領域中に第 2 絶縁部を介して設けられ、前記第 2 方向において前記ゲート電極及び前記複数の第 1 導電部と並び第 2 導電部であって、前記第 2 導電部と、前記複数の第 1 導電部のうち前記第 2 導電部と隣り合う前記第 1 導電部と、の間には前記第 1 半導体領域のみが設けられた、前記第 2 導電部と、

を備え、

前記第 1 導電部の前記第 3 方向における長さは、前記ゲート電極の前記第 2 方向における長さよりも長い半導体装置。

【請求項 8】

前記ゲート電極は、前記第 2 方向において互いに離間して複数設けられ、

前記第 2 導電部は、前記第 2 方向において前記複数のゲート電極及び前記複数の第 1 導電部と並び、

前記第 1 絶縁部同士の間の前記第 2 方向における距離は、前記ゲート絶縁部同士の間の前記第 2 方向における距離以下である請求項 7 記載の半導体装置。

【請求項 9】

第 1 電極と、

前記第 1 電極の上に設けられ、第 1 領域と、前記第 1 領域を囲む第 2 領域と、を有し、前記第 1 電極と電氣的に接続された第 1 導電形の第 1 半導体領域と、

前記第 1 領域の上に設けられた第 2 導電形の複数の第 2 半導体領域と、

それぞれが、前記複数の第 2 半導体領域のそれぞれの上に設けられた第 1 導電形の複数の第 3 半導体領域と、

前記複数の第 3 半導体領域の上に設けられ、前記複数の第 2 半導体領域及び前記複数の第 3 半導体領域と電氣的に接続された第 2 電極と、

それぞれが、前記第 1 領域から前記複数の第 2 半導体領域に向かう第 1 方向に垂直な第 2 方向において、前記複数の第 2 半導体領域のそれぞれとゲート絶縁部を介して対向する複数のゲート電極と、

前記第 2 領域の上の前記第 1 半導体領域中に第 1 絶縁部を介して設けられ、前記第 1 方向及び前記第 2 方向に垂直な第 3 方向において互いに離間して複数設けられた第 1 導電部であって、複数の前記第 1 導電部のそれぞれは、前記第 2 方向において前記複数のゲート電極と並び、前記第 2 電極又は前記複数のゲート電極と電氣的に接続され、前記複数の第 1 導電部のうち隣り合う前記第 1 導電部の間には前記第 1 半導体領域のみが設けられた、前記第 1 導電部と、

前記第 2 領域の上の前記第 1 半導体領域中に第 2 絶縁部を介して設けられ、前記第 2 方向において互いに離間して複数設けられた第 2 導電部であって、複数の前記第 2 導電部は、前記第 3 方向において前記複数のゲート電極と並び、前記第 2 電極又は前記複数のゲート電極と電氣的に接続された、前記第 2 導電部であって、前記第 2 導電部と、前記複数の第 1 導電部のうち前記第 2 導電部と隣り合う前記第 1 導電部と、の間には前記第 1 半導体領域のみが設けられた、前記第 2 導電部と、

を備えた半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) などの半導体装置は、スイッチング装置として用いられる。M O S F E T は、寄生バイポーラトランジス

10

20

30

40

50

タを含む。この寄生トランジスタが動作すると、半導体装置が破壊される可能性がある。このため、寄生トランジスタは動作し難いことが望ましい。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特許第5422930号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明が解決しようとする課題は、寄生トランジスタの動作を抑制できる半導体装置を提供することである。

【課題を解決するための手段】

【0005】

実施形態に係る半導体装置は、第1電極と、第1導電形の第1半導体領域と、第2導電形の第2半導体領域と、第1導電形の第3半導体領域と、第2電極と、ゲート電極と、第1導電部と、第2導電部と、を備える。前記第1半導体領域は、前記第1電極の上に設けられている。前記第1半導体領域は、第1領域と、前記第1領域を囲む第2領域と、を有する。前記第2半導体領域は、前記第1領域の上に設けられている。前記第3半導体領域は、前記第2半導体領域の上に設けられている。前記第2電極は、前記第3半導体領域の上に設けられ、前記第2半導体領域及び前記第3半導体領域と電氣的に接続されている。前記ゲート電極は、前記第1領域から前記第2半導体領域に向かう第1方向に垂直な第2方向において、前記第2半導体領域とゲート絶縁部を介して対向している。前記第1導電部は、前記第2領域の上の前記第1半導体領域中に第1絶縁部を介して設けられている。前記第1導電部は、前記第1方向及び前記第2方向に垂直な第3方向において、互いに離間して複数設けられている。複数の前記第1導電部は、前記第2方向において前記ゲート電極と並び、前記第2電極又は前記ゲート電極と電氣的に接続されている。前記複数の第1導電部のうち隣り合う前記第1導電部の間には、前記第1半導体領域のみが設けられている。前記第2導電部は、前記第2電極又は前記ゲート電極と電氣的に接続されている。前記第2導電部は、前記第2領域の上の前記第1半導体領域中に第2絶縁部を介して設けられている。前記第2導電部は、前記第3方向において前記ゲート電極及び前記複数の第1導電部と並んでいる。前記第2導電部と、前記複数の第1導電部のうち前記第2導電部と隣り合う前記第1導電部と、の間には、前記第1半導体領域のみが設けられている。前記第1導電部の前記第2方向における長さは、前記ゲート電極の前記第2方向における長さよりも長い。

【図面の簡単な説明】

【0006】

【図1】第1実施形態に係る半導体装置を表す平面図である。

【図2】図1のA - A'断面図である。

【図3】図1のB - B'断面図及びC - C'断面図である。

【図4】第1実施形態に係る半導体装置の製造工程を表す工程断面図である。

【図5】第1実施形態に係る半導体装置の製造工程を表す工程断面図である。

【図6】第1実施形態に係る半導体装置の製造工程を表す工程断面図である。

【図7】第1実施形態に係る半導体装置が接続された電気回路を例示する回路図である。

【図8】図7に表した電気回路中の半導体装置における電流及び電圧の波形を表すグラフである。

【図9】第1実施形態に係る半導体装置中の正孔の流れを模式的に表す平面図である。

【図10】第1実施形態の変形例に係る半導体装置を表す平面図である。

【図11】図10のA - A'断面図である。

【図12】第2実施形態に係る半導体装置を表す平面図である。

【図13】図12のA - A'断面図及びB - B'断面図である。

10

20

30

40

50

【図 1 4】図 1 2 の C - C ' 断面図である。

【図 1 5】第 1 実施形態に係る半導体装置の一部を表す平面図及び第 2 実施形態に係る半導体装置の一部を表す平面図である。

【図 1 6】第 3 実施形態に係る半導体装置を表す平面図である。

【発明を実施するための形態】

【0007】

以下に、本発明の各実施形態について図面を参照しつつ説明する。

なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比率などは、必ずしも現実のものと同じとは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

また、本願明細書と各図において、既に説明したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

以下の説明及び図面において、 n^+ 、 n^- 及び p^+ 、 p^- の表記は、各導電形における不純物濃度の相対的な高低を表す。すなわち、「+」が付されている表記は、「+」及び「-」のいずれも付されていない表記よりも不純物濃度が相対的に高く、「-」が付されている表記は、いずれも付されていない表記よりも不純物濃度が相対的に低いことを示す。

以下で説明する各実施形態について、各半導体領域の p 形と n 形を反転させて各実施形態を実施してもよい。

【0008】

(第 1 実施形態)

図 1 は、第 1 実施形態に係る半導体装置を表す平面図である。

図 2 は、図 1 の A - A ' 断面図である。

図 3 は、図 1 の B - B ' 断面図及び C - C ' 断面図である。

なお、図 1 は、図 2 の D - D ' 線の位置で切断した面を表し、図 1 では、各半導体領域が省略されている。

【0009】

半導体装置 100 は、例えば MOSFET である。半導体装置 100 は、図 1 ~ 図 3 に表したように、 n^- 形 (第 1 導電形) 半導体領域 1 (第 1 半導体領域)、 p 形 (第 2 導電形) ベース領域 2 (第 2 半導体領域)、 n^+ 形ソース領域 3 (第 3 半導体領域)、 p^+ 形コンタクト領域 4 (第 4 半導体領域)、 n^+ 形ドレイン領域 5 (第 5 半導体領域)、フィールドプレート電極 (以下 FP 電極という) 10、ゲート電極 14、第 1 導電部 21、第 2 導電部 22、ドレイン電極 41 (第 1 電極)、ソース電極 42 (第 2 電極)、及びゲートパッド 43 (第 3 電極) を有する。

【0010】

実施形態の説明では、XYZ 直交座標系を用いる。 n^- 形半導体領域 1 の第 1 領域 1a から p 形ベース領域 2 に向かう方向を Z 方向 (第 1 方向) とする。Z 方向に対して垂直であり、相互に直交する 2 方向を X 方向 (第 2 方向) 及び Y 方向 (第 3 方向) とする。また、説明のために、第 1 領域 1a から p 形ベース領域 2 に向かう方向を「上」と言い、その反対方向を「下」と言う。これらの方向は、第 1 領域 1a と p 形ベース領域 2 との位置関係に基づき、重力の方向とは無関係である。

【0011】

図 1 では、ソース電極 42 及びゲートパッド 43 が、破線で表されている。図 1 に表したように、ソース電極 42 及びゲートパッド 43 は、半導体装置 100 の上面に設けられ、互いに離間している。ソース電極 42 の下には、FP 電極 10、ゲート電極 14、第 1 導電部 21、及び第 2 導電部 22 が設けられている。

【0012】

図 2 に表したように、ドレイン電極 41 は、半導体装置 100 の下面に設けられている。 n^+ 形ドレイン領域 5 は、ドレイン電極 41 の上に設けられ、ドレイン電極 41 と電氣的に接続されている。 n^- 形半導体領域 1 は、 n^+ 形ドレイン領域 5 の上に設けられている。 n^- 形半導体領域 1 は、第 1 領域 1a と、第 1 領域 1a を囲む第 2 領域 1b と、を有

10

20

30

40

50

する。第1領域1aから第2領域1bに向かう方向は、Z方向に垂直である。p形ベース領域2は、第1領域1aの上に設けられている。n⁺形ソース領域3及びp⁺形コンタクト領域4は、p形ベース領域2の上に設けられている。

【0013】

F P電極10は、第1領域1aの上に、絶縁部11を介して設けられている。ゲート電極14は、F P電極10の上に絶縁部12を介して設けられている。また、ゲート電極14は、X方向において、n⁻形半導体領域1の一部、p形ベース領域2、及びn⁺形ソース領域3の少なくとも一部とゲート絶縁部15を介して対向している。ゲート電極14の上には、絶縁部35が設けられている。ゲート電極14は、ゲートパッド43と電氣的に接続されている。

10

【0014】

ソース電極42の一部は、絶縁部35中に設けられ、n⁺形ソース領域3及びp⁺形コンタクト領域4と電氣的に接続されている。図2に表した例では、p⁺形コンタクト領域4がn⁺形ソース領域3よりも下方に位置し、n⁺形ソース領域3はX方向においてソース電極42の一部と並んでいる。ソース電極42の電位は、例えばグラウンドに設定される。ゲート電極14とソース電極42は、絶縁部35によって電氣的に分離されている。F P電極10は、ソース電極42またはゲート電極14（ゲートパッド43）と電氣的に接続されている。

【0015】

p形ベース領域2、n⁺形ソース領域3、p⁺形コンタクト領域4、F P電極10、及びゲート電極14のそれぞれは、第1領域1aの上において、X方向に複数設けられ、Y方向に延びている。

20

【0016】

第1導電部21は、図1に表したように、Y方向において複数設けられている。複数の第1導電部21は、互いに離間している。複数の第1導電部21は、X方向においてゲート電極14と並んでいる。図1の例では、第1導電部21は、さらに、X方向において複数設けられている。複数のゲート電極14は、X方向において、複数の第1導電部21の一部と、複数の第1導電部21の別の一部と、の間に位置している。

【0017】

第2導電部22は、X方向に延びている。第2導電部22は、Y方向において、複数のゲート電極14及び複数の第1導電部21と並んでいる。図1の例では、第2導電部22は、Y方向において複数設けられている。複数のゲート電極14及び複数の第1導電部21は、Y方向において、第2導電部22と、別の第2導電部22と、の間に位置している。

30

【0018】

複数の第1導電部21及び複数の第2導電部22は、例えば、ゲートパッド43の下に位置しないように、ソース電極42の下にのみ設けられている。

【0019】

図2に表したように、第1導電部21は、第2領域1bの上に、第1絶縁部31を介して設けられている。第1導電部21は、X方向及びY方向において、n⁻形半導体領域1の一部と第1絶縁部31を介して対向している。第1導電部21は、例えば、ソース電極42と電氣的に接続されている。または、第1導電部21は、ゲート電極14及びゲートパッド43と電氣的に接続されていても良い。

40

【0020】

第1導電部21とp形ベース領域2との間の第1絶縁部31中には、例えば、第4導電部24が設けられている。第4導電部24は、X方向において第1導電部21と離間している。例えば、第4導電部24のX方向における長さは、第1導電部21のX方向における長さより短い。第4導電部24のZ方向における長さは、第1導電部21のZ方向における長さより短い。第4導電部24の電位は、例えば、フローティングである。または、第4導電部24は、ソース電極42と電氣的に接続されていても良い。

50

【0021】

図3(a)及び図3(b)に表したように、第2導電部22は、第2領域1bの上に、第2絶縁部32を介して設けられている。第2導電部22は、X方向及びY方向において、 n^- 形半導体領域1の一部と第2絶縁部32を介して対向している。第2導電部22は、例えば、ソース電極42と電氣的に接続されている。または、第2導電部22は、ゲート電極14及びゲートパッド43と電氣的に接続されていても良い。

【0022】

例えば、図3(a)及び図3(b)に表したように、第1導電部21と第2導電部22は、連続してつながっている。第1絶縁部31と第2絶縁部32は、連続してつながっている。

10

【0023】

半導体装置100の各構成要素の材料の一例を説明する。

n^- 形半導体領域1、 p 形ベース領域2、 n^+ 形ソース領域3、 p^+ 形コンタクト領域4、及び n^+ 形ドレイン領域5は、半導体材料として、シリコン、炭化シリコン、窒化ガリウム、またはガリウムヒ素を含む。半導体材料としてシリコンが用いられる場合、 n 形不純物として、ヒ素、リン、またはアンチモンを用いることができる。 p 形不純物として、ボロンを用いることができる。

F P電極10、ゲート電極14、第1導電部21、及び第2導電部22は、ポリシリコンなどの導電材料を含む。

絶縁部11、絶縁部12、ゲート絶縁部15、第1絶縁部31、及び第2絶縁部32は、酸化シリコンなどの絶縁材料を含む。

20

ドレイン電極41、ソース電極42、及びゲートパッド43は、アルミニウムなどの金属を含む。

【0024】

半導体装置100の動作を説明する。

ソース電極42に対してドレイン電極41に正の電圧が印加された状態で、ゲート電極14に閾値以上の電圧が印加されると、 p 形ベース領域2のゲート絶縁部15近傍にチャネル(反転層)が形成され、半導体装置100がオン状態となる。電子は、このチャネルを通してソース電極42からドレイン電極41へ流れる。その後、ゲート電極14に印加される電圧が閾値よりも低くなると、 p 形ベース領域2におけるチャネルが消滅し、半導体装置100がオフ状態になる。

30

【0025】

半導体装置100の製造方法の一例を説明する。

図4～図6は、第1実施形態に係る半導体装置の製造工程を表す工程断面図である。

図4～図6は、図1のA-A'断面に対応する部分の製造工程を表している。

【0026】

まず、 n^+ 形半導体領域5mと、 n^+ 形半導体領域5mの上に設けられた n^- 形半導体領域1mと、を有する半導体基板Sを用意する。 n^- 形半導体領域1mの上面に、フォトリソグラフィ法及びR I E (Reactive Ion Etching)法を用いて、図4(a)に表したように、トレンチT1及びT2を形成する。トレンチT1は、X方向において複数形成され、それぞれがY方向に延びている。トレンチT2は、Y方向において複数形成される。トレンチT2のX方向における寸法は、トレンチT1のX方向における寸法よりも長い。トレンチT1は、F P電極10及びゲート電極14を形成するためのトレンチである。トレンチT2は、第1導電部21を形成するためのトレンチである。その他に、この工程において、第2導電部22を形成するための不図示のトレンチが形成される。

40

【0027】

半導体基板Sを熱酸化し、 n^- 形半導体領域1mの表面に沿って絶縁層11mを形成する。図4(b)に表したように、絶縁層11mの上に、C V D (Chemical Vapor Deposition)法を用いて、トレンチT1及びT2を埋め込む導電層10mを形成する。

【0028】

50

図4(c)に表したように、導電層10mの一部を除去することで、互いに分離された複数の導電層10nを形成する。トレンチT2内に形成された導電層10nを不図示のマスクで覆い、図4(d)に表したように、トレンチT1内に形成された導電層10nの一部を除去する。トレンチT1内に残った導電層10nは、FP電極10に対応する。トレンチT2内に残った導電層10nは、第1導電部21に対応する。

【0029】

トレンチT2を含む半導体基板Sの外周を不図示のマスクで覆い、図5(a)に表したように、ウェットエッチングにより絶縁層11mの一部を除去する。これにより、トレンチT1の内面の一部及びトレンチT2の内面の一部が露出する。半導体基板Sを熱酸化し、トレンチT1の内面、トレンチT2の内面、及び第1導電部21の表面に、絶縁層11mよりも薄い絶縁部15mを形成する。FP電極10の上面には、絶縁層12mが形成される。

10

【0030】

図5(b)に表したように、絶縁部15mの上に、トレンチT1及びT2を埋め込む導電層14mを形成する。CDE(Chemical Dry Etching)法またはRIE法を用いて導電層14mの一部を除去することで、図5(c)に表したように、トレンチT1内及びトレンチT2内にそれぞれ設けられた、複数の導電層を形成する。トレンチT1内に形成された導電層は、ゲート電極14に対応する。トレンチT2内に形成された導電層は、第4導電部24に対応する。

【0031】

20

トレンチT1同士の間及びトレンチT1とT2との間にp形不純物をイオン注入し、p形半導体領域2mを形成する。トレンチT1同士の間及びトレンチT2の表面に、n形不純物をイオン注入し、n⁺形半導体領域3mを形成する。図5(d)に表したように、ゲート電極14及び第4導電部24を覆う絶縁層35mを形成する。

【0032】

絶縁層35mの上に、フォトリジストPRを形成する。図6(a)に表したように、フォトリジストPRに複数の開口OP1及び開口OP2を形成する。絶縁層35mの一部が、複数の開口OP1及び開口OP2を通して露出する。複数の開口OP1は、それぞれ、複数のp形半導体領域2mの直上に位置する。開口OP2は、第1導電部21の直上に位置する。

30

【0033】

フォトリジストPRをマスクとして用いて、複数の開口OP3及び開口OP4を形成する。それぞれの開口OP3は、絶縁層35m、絶縁部15m、及びn⁺形半導体領域3mを貫通し、p形半導体領域2mに達する。開口OP4は、絶縁層35m及び絶縁部15mを貫通している。フォトリジストPRを除去し、開口OP3の底部にp形不純物をイオン注入する。これにより、図6(b)に表したように、p⁺形コンタクト領域4が形成される。p⁺形コンタクト領域4以外のp形半導体領域2mは、p形ベース領域2に対応する。n⁺形半導体領域3mは、n⁺形ソース領域3に対応する。

【0034】

図6(c)に表したように、絶縁層35mの上に、スパッタリング法を用いて金属層を形成する。複数の開口OP3及び開口OP4は、この金属層により埋め込まれる。この金属層をパターンニングすることで、ソース電極42及びゲートパッド43を形成する。n⁺形半導体領域5mの下面を、n⁺形半導体領域5mが所定の厚みになるまで研削する。図6(d)に表したように、研削したn⁺形半導体領域5mの下面に、スパッタリング法を用いて金属材料を堆積させ、ドレイン電極41を形成する。以上の工程により、図1～図3に表した半導体装置100が製造される。

40

【0035】

図4(a)に表した工程で形成されるトレンチT1及びT2について、トレンチT2のX方向における寸法は、トレンチT1のX方向における寸法よりも長い。これにより、図6(a)に表したように、絶縁層11mの上面及び第1導電部21の上面の間の段差st

50

1と、第1導電部21と、のX方向における距離を長くできる。これに伴い、絶縁層35mの上面に形成される段差st2と、第1導電部21と、のX方向における距離も長くなる。この結果、フォトレジストPRの表面において段差st3が生じる位置を、開口OP2が形成される位置よりも、半導体基板Sの外周側にずらすことができる。

【0036】

フォトレジストPRの段差st3が存在する部分の厚みは、ゲート電極14上などのフォトレジストPRの他の部分の厚みよりも大きい。このため、段差st3の位置と開口OP2の位置が重なると、開口OP2を形成する際に、フォトレジストPRが十分に除去されず、絶縁層35mが露出しない可能性がある。開口OP2を通して絶縁層35mが露出していない場合、開口OP4が適切に形成されない。この結果、第1導電部21がソース電極42と接続されない可能性がある。上述したように、段差st3の位置を、開口OP2が形成される位置からずらすことで、開口OP4を適切に形成することが可能となる。

10

【0037】

第1実施形態の効果を、図7～図9を参照して説明する。

図7は、第1実施形態に係る半導体装置が接続された電気回路を例示する回路図である。

図8は、図7に表した電気回路中の半導体装置における電流および電圧の波形を表すグラフである。

図9は、第1実施形態に係る半導体装置中の正孔の流れを模式的に表す平面図である。

なお、図9では、n⁻形半導体領域1及びp形ベース領域2以外の半導体領域が省略されている。

20

【0038】

図7(a)～図7(c)に表す例では、本実施形態に係る2つの半導体装置100-1と100-2が用いられ、ハーフブリッジ回路が構成されている。図7(a)は、半導体装置100-1がオン状態、半導体装置100-2がオフ状態のときの様子を表している。半導体装置100-1には、オン電流 I_{ON} が流れている。

【0039】

図7(a)に表した状態で、半導体装置100-1がターンオフされると、インダクタンスLによる誘導起電力が生じる。これにより、図7(b)に表したように、半導体装置100-2のn⁻形半導体領域1とp形ベース領域2から構成されるダイオードに、順方向の電流 I_F が流れる。このとき、ソース電極42からn⁻形半導体領域1へ正孔が注入され、ドレイン電極41からn⁻形半導体領域1へ電子が注入される。

30

【0040】

半導体装置100-2のダイオードに順方向電流が流れきると、半導体装置100-2の内部に蓄積されたキャリアが排出される。このとき、n⁻形半導体領域1に蓄積された正孔はソース電極42へ排出され、電子はドレイン電極41へ排出される。半導体装置100-2からキャリアが排出されることで、図7(c)に表すように、半導体装置100-2には、ドレイン電極41からソース電極42に向かって逆回復電流 I_R が流れる。

【0041】

図8において、実線は、半導体装置100-2を流れる電流を表し、破線は、ソース電極42に対するドレイン電極41の電圧を表している。横軸は時間を表し、縦軸は電流値を表している。電流値は、ドレイン電極41からソース電極42に向かう方向を正として表している。

40

【0042】

図8に表したように、タイミングt1で順方向電流が流れきると、その後、逆回復電流が流れ始めるとともに、半導体装置100-2のソース電極42に対するドレイン電極41の電圧Vが上昇していく。このとき、逆回復電流の減少の傾き dI_R/dt に応じて、電圧Vにサージ電圧 V_s が発生する。 dI_R/dt が大きいと、サージ電圧 V_s も大きくなる。サージ電圧 V_s が大きいと、n⁺形ソース領域3、p形ベース領域2、およびn⁻形半導体領域1から構成される寄生NPNトランジスタが動作し易くなる。寄生NPNト

50

ランジスタが動作すると、半導体装置内を大電流が流れ、半導体装置が破壊される可能性がある。このため、 dI_R/dt は、小さいことが望ましい。

【0043】

ダイオード動作時に注入されたキャリアの一部は、 n^- 形半導体領域1の外周にも蓄積される。 n^- 形半導体領域1の外周に蓄積された正孔は、逆回復動作時には、近くのp形ベース領域2に移動してソース電極42へ排出される。従って、外周側に設けられたp形ベース領域2には、他の部分に比べて多くの正孔が流れる。このため、p形ベース領域2の電位が上昇し易く、より寄生NPNトランジスタが動作し易い。

【0044】

この課題について、半導体装置100では、 n^- 形半導体領域1の第2領域1bの上に、互いに離間した複数の第1導電部21が設けられている。複数の第1導電部21は、ソース電極42またはゲート電極14（ゲートパッド43）と電気的に接続されている。すなわち、半導体装置100がオフ状態のとき、第1導電部21の電位は、正孔に対して負である。

10

この構成によれば、 n^- 形半導体領域1の外周に蓄積された正孔hの一部は、図9の点線矢印で表したように、第1導電部21同士の間を通過してp形ベース領域2へ流れる。正孔hの別の一部は、破線矢印で表したように、第1絶縁部31近傍でトラップされる。トラップされた正孔hは、トラップされなかった正孔hに比べて、長い時間をかけてp形ベース領域2へ流れる。

このように、互いに離間した複数の第1導電部21が設けられることで、正孔hがp形ベース領域2に達するまでの時間のばらつきを大きくできる。この結果、図8に表した dI_R/dt を小さくでき、寄生NPNトランジスタの動作により半導体装置が破壊される可能性を低減できる。

20

【0045】

図9に表したように、第1導電部21のX方向における長さL1は、ゲート電極14のX方向における長さL2よりも長いことが望ましい。長さL1が長いことで、正孔hがよりトラップされ易くなり、 dI_R/dt をさらに小さくできる。

【0046】

第1絶縁部31同士の間隔のY方向における距離D1は、ゲート絶縁部15同士の間隔のX方向における距離D2と同じか、それよりも短いことが望ましい。距離D1は、例えば、 n^- 形半導体領域1の第1絶縁部31同士の間隔の部分の、Y方向における長さと同じである。距離D2は、例えば、 n^- 形半導体領域1のゲート絶縁部15同士の間隔の部分の、X方向における長さと同じである。距離D2は、例えば、ゲート絶縁部15同士の間隔のp形ベース領域2のX方向における長さと同じである。

30

【0047】

例えば、第1絶縁部31の厚みは、ゲート絶縁部15の厚みよりも大きい。この場合、半導体装置100をターンオフした際に、第1絶縁部31近傍の n^- 形半導体領域1では、ゲート電極14及びFP電極10近傍の n^- 形半導体領域1よりも空乏層が広がり難くなる。複数の第1導電部21が互いに離間した構成において、距離D1が長いと、第1絶縁部31同士の間隔の n^- 形半導体領域1が空乏化し難くなり、半導体装置100の耐圧が低下する可能性がある。

40

第1絶縁部31同士の間隔の n^- 形半導体領域1を空乏化させ易くし、半導体装置100の耐圧の低下を抑制するためには、距離D1が距離D2以下であることが望ましい。より望ましくは、距離D1は、距離D2未満である。これにより、第1絶縁部31同士の間隔の n^- 形半導体領域1がより空乏化し易くなり、半導体装置100の耐圧の低下を抑制できる。

【0048】

第1絶縁部31と第2絶縁部32との間のY方向における距離D3は、距離D2と同じか、それよりも短いことが望ましい。距離D3は、例えば、 n^- 形半導体領域1の第1絶縁部31と第2絶縁部32との間の部分の、Y方向における長さと同じである。この構成

50

によれば、上記と同様に、半導体装置 100 の耐圧の低下を抑制できる。

【0049】

(変形例)

図10は、第1実施形態の変形例に係る半導体装置を表す平面図である。

図11は、図10のA-A'断面図である。

なお、図10の平面図は、図11のB-B'線における断面を表している。

【0050】

第1実施形態の変形例に係る半導体装置110は、図10に表したように、複数の第3導電部23をさらに備える。複数の第3導電部23は、Y方向において互いに離間している。それぞれの第3導電部23は、X方向に延びている。また、それぞれの第3導電部23の一部は、ゲートパッド43の下に位置している。

10

【0051】

ゲート電極14の一部は、X方向において、複数の第1導電部21と、複数の第3導電部23と、の間に位置している。第2導電部22の一部は、ゲートパッド43の下に設けられている。複数の第3導電部23は、Y方向において、第1導電部21と第2導電部22の一部との間及び複数のゲート電極14と第2導電部22の別の一部との間に位置している。第3導電部23のX方向における長さは、ゲート電極14及び第1導電部21のそれぞれのX方向における長さよりも長い。

【0052】

図11に表したように、第3導電部23は、第2領域1bの上に第3絶縁部33を介して設けられている。第3導電部23は、X方向及びY方向において、n⁻形半導体領域1の一部と第3絶縁部33を介して対向している。ゲートパッド43は、第3導電部23の上に、絶縁部36を介して設けられている。第3導電部23は、ソース電極42と電氣的に接続されている。または、第3導電部23は、ゲート電極14及びゲートパッド43と電氣的に接続されていても良い。

20

【0053】

半導体装置100のダイオードに電流が流れると、ゲートパッド43の下のn⁻形半導体領域1にもキャリアが蓄積される。ゲートパッド43の下に蓄積された正孔は、ゲートパッド43に近いp形ベース領域2へ流れる。このため、ゲートパッド43に近いp形ベース領域2では、電位が上昇し易く、より寄生NPNトランジスタが動作し易い。

30

【0054】

図10に表したように、複数の第3導電部23が設けられることで、複数の第1導電部21と同様に、正孔hがソース電極42へ排出される際、正孔hの一部をトラップできる。これにより、ゲートパッド43付近における寄生NPNトランジスタの動作を抑制でき、半導体装置が破壊される可能性をさらに低減できる。

【0055】

(第2実施形態)

図12は、第2実施形態に係る半導体装置を表す平面図である。

図13は、図12のA-A'断面図及びB-B'断面図である。

図14は、図12のC-C'断面図である。

40

なお、図12の平面図は、図13のD-D'線における断面を表している。

【0056】

第2実施形態に係る半導体装置200では、図12に表したように、複数の第1導電部21が、X方向において互いに離間している。複数の第1導電部21は、Y方向において複数のゲート電極14と並んでいる。第2導電部22は、X方向において、ゲート電極14及び第1導電部21と並んでいる。

【0057】

図12に表した例では、複数のゲート電極14は、Y方向において、複数の第1導電部21の一部と、複数の第1導電部21の別の一部と、の間に位置している。また、それぞれのゲート電極14の少なくとも一部は、X方向において、第2導電部22と、別の第2

50

導電部 22 と、の間に位置している。

【0058】

図 13 (a) に表したように、例えば、ゲート絶縁部 15 と第 2 絶縁部 32 との間の X 方向における距離 D5 は、ゲート絶縁部 15 同士の間の距離 D6 と同じである。例えば、図 13 (b) に表したように、第 1 絶縁部 31 と第 2 絶縁部 32 との間の X 方向における距離 D7 は、第 1 絶縁部 31 同士の間の距離 D8 と同じである。または、距離 D8 は、距離 D6 よりも短い。第 1 導電部 21 の Y 方向における長さ L3 (図 14 に示す) は、ゲート電極 14 の X 方向における長さ L4 (図 13 (a) に示す) よりも長い。

【0059】

本実施形態においても、複数の第 1 導電部 21 が設けられることで、第 1 実施形態と同様に、正孔 h が p 形ベース領域 2 に達するまでの時間のばらつきを大きくできる。これにより、逆回復動作時の dI_R / dt を小さくでき、寄生 NPN トランジスタの動作により半導体装置が破壊される可能性を低減できる。

【0060】

また、第 2 実施形態に係る半導体装置において、半導体装置 110 と同様に、ゲートパッド 43 の下に複数の第 3 導電部 23 が設けられていても良い。この場合、複数の第 3 導電部 23 は、X 方向において互いに離間する。複数の第 3 導電部 23 が設けられることで、ゲートパッド 43 付近における寄生 NPN トランジスタの動作を抑制でき、半導体装置が破壊される可能性をさらに低減できる。

【0061】

なお、耐圧をより向上させるためには、複数の第 1 導電部 21 は、半導体装置 100 のように Y 方向に並んでいることが望ましい。この点について、図 15 を参照して説明する。

図 15 は、第 1 実施形態に係る半導体装置の一部及び第 2 実施形態に係る半導体装置の一部を表す平面図である。

図 15 に表した例では、絶縁部 11 同士の間の距離、第 1 絶縁部 31 同士の間の距離、絶縁部 11 と第 1 絶縁部 31 との間の距離、絶縁部 11 と第 2 絶縁部 32 との間の距離、及び第 1 絶縁部 31 と第 2 絶縁部 32 との間の距離は、互いに同じである。

【0062】

図 15 (a) は、半導体装置 200 の Y 方向における端部近傍を表し、図 15 (b) は、半導体装置 200 の X 方向における端部近傍を表す。図 15 (a) に表したように、一对の第 1 絶縁部 31 及び一对の絶縁部 11 の間の中心点 C1 と、各絶縁部と、の間の距離 D11 は、絶縁部 11 同士の間の距離 D の $1/2$ 倍である。一方、図 15 (b) に表したように、絶縁部 11、第 1 絶縁部 31、及び第 2 絶縁部 32 の間の中心点 C2 と、各絶縁部と、の間の距離 D12 は、距離 D の $1/3$ 倍である。すなわち、距離 D11 は、距離 D12 と異なり、距離 D12 よりも長い。また、距離 D11 と距離 D との差は、距離 D12 と距離 D との差よりも大きい。これらの距離の差が大きいと、空乏層の広がり方にばらつきが生じ、半導体装置の耐圧が低下しうる。

【0063】

図 15 (c) は、半導体装置 100 の Y 方向における端部近傍を表し、図 15 (d) は、半導体装置 100 の X 方向における端部近傍を表す。図 15 (c) に表したように、一对の絶縁部 11 及び第 2 絶縁部 32 の間の中心点 C3 と、各絶縁部と、の間の距離 D13 は、距離 D の $1/3$ 倍である。図 15 (d) に表したように、ゲート絶縁層 15 及び一对の第 1 絶縁部 31 の間の中心点 C4 と、各絶縁部と、の間の距離 D14 は、絶縁部 11 同士の間の距離 D の $1/3$ 倍である。すなわち、距離 D13 と距離 D14 は、同じである。また、半導体装置 200 に比べて、距離 D13 及び距離 D14 のそれぞれと距離 D との差は、距離 D11 と距離 D との差よりも小さい。

このため、半導体装置 100 では、第 1 絶縁部 31 近傍における空乏層の広がり方と第 2 絶縁部 32 近傍における空乏層の広がり方との差を小さくできる。従って、複数の第 1 導電部 21 が互いに離間している場合でも、耐圧の低下をより抑制できる。

【 0 0 6 4 】

(第3実施形態)

図16は、第3実施形態に係る半導体装置を表す平面図である。

第3実施形態に係る半導体装置300では、複数の第1導電部21が、X方向においてゲート電極14と並んでいる。複数の第1導電部21は、Y方向において互いに離間している。また、複数の第2導電部22が、Y方向において複数のゲート電極14と並んでいる。複数の第2導電部22は、X方向において互いに離間している。

【 0 0 6 5 】

図16の例では、複数のゲート電極14は、X方向において、複数の第1導電部21の一部と、複数の第1導電部21の別の一部と、の間に位置している。また、複数のゲート電極14は、Y方向において、複数の第2導電部22の一部と、複数の第2導電部22の別の一部と、の間に位置している。

10

【 0 0 6 6 】

複数の第1導電部21及び複数の第2導電部22が設けられることで、 n^+ 形半導体領域1外周部のより広い範囲において、正孔 h が p 形ベース領域2に達するまでの時間のばらつきを大きくできる。これにより、寄生NPNトランジスタの動作により半導体装置が破壊される可能性をさらに低減できる。

【 0 0 6 7 】

以上で説明した各実施形態における、各半導体領域の間の不純物濃度の相対的な高低については、例えば、SCM（走査型静電容量顕微鏡）を用いて確認することが可能である。なお、各半導体領域におけるキャリア濃度は、各半導体領域において活性化している不純物濃度と等しいものとみなすことができる。従って、各半導体領域の間のキャリア濃度の相対的な高低についても、SCMを用いて確認することができる。

20

また、各半導体領域における不純物濃度については、例えば、SIMS（二次イオン質量分析法）により測定することが可能である。

【 0 0 6 8 】

以上、本発明のいくつかの実施形態を例示したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更などを行うことができる。これら実施形態やその変形例は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。また、前述の各実施形態は、相互に組み合わせて実施することができる。

30

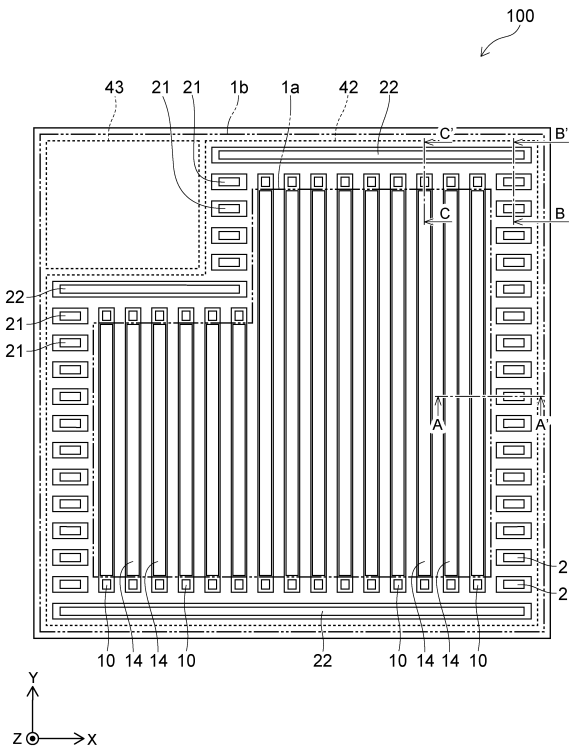
【 符号の説明 】

【 0 0 6 9 】

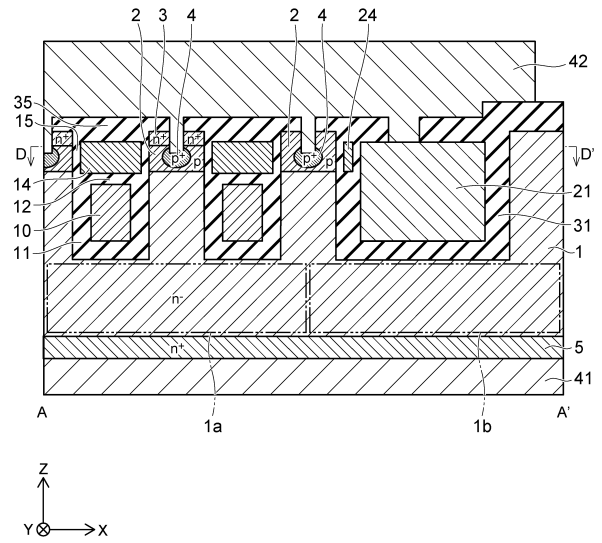
1 n^+ 形半導体領域、 1a 第1領域、 1b 第2領域、 1m n^+ 形半導体領域、
2 p 形ベース領域、 2m p 形半導体領域、 3 n^+ 形ソース領域、 3m n^+
形半導体領域、 4 p^+ 形コンタクト領域、 5 n^+ 形ドレイン領域、 5m n^+ 形
半導体領域、 10 フィールドプレート電極、 10m、10n 導電層、 11 絶縁
部、 11m 絶縁層、 12 絶縁部、 14 ゲート電極、 14m 導電層、 15
ゲート絶縁部、 15m 絶縁部、 21 第1導電部、 22 第2導電部、 23 第3
導電部、 24 第4導電部、 31 第1絶縁部、 32 第2絶縁部、 33 第3絶縁
部、 35、36 絶縁部、 35m 絶縁層、 41 ドレイン電極、 42 ソース電極
、 43 ゲートパッド、 100、110、200、300 半導体装置、 PR フォ
トレジスト、 S 半導体基板、 h 正孔

40

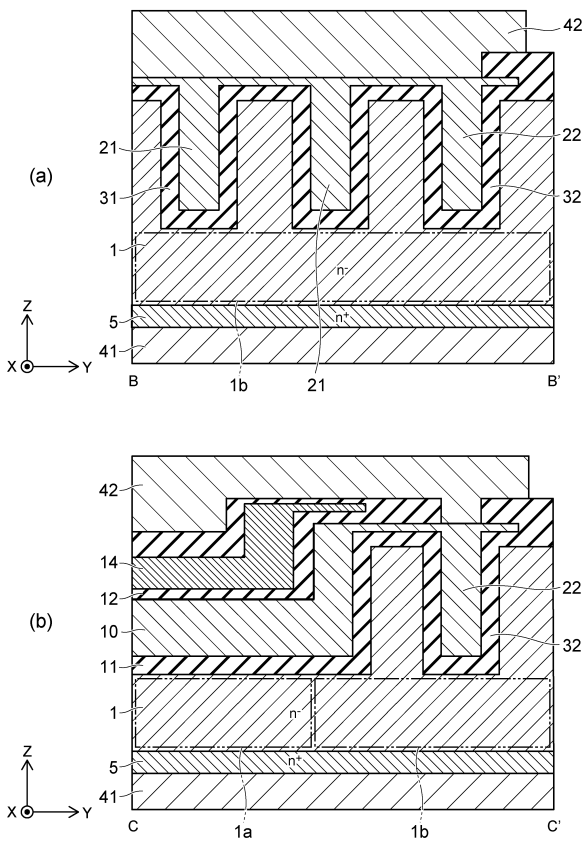
【 図 1 】



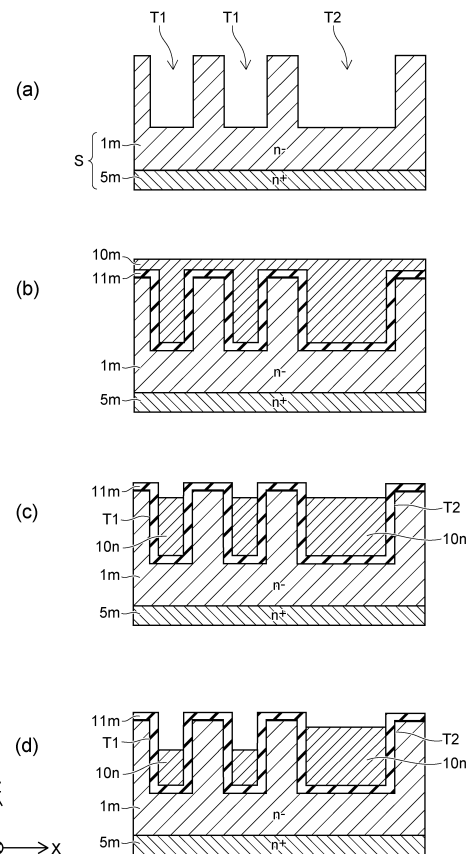
【 図 2 】



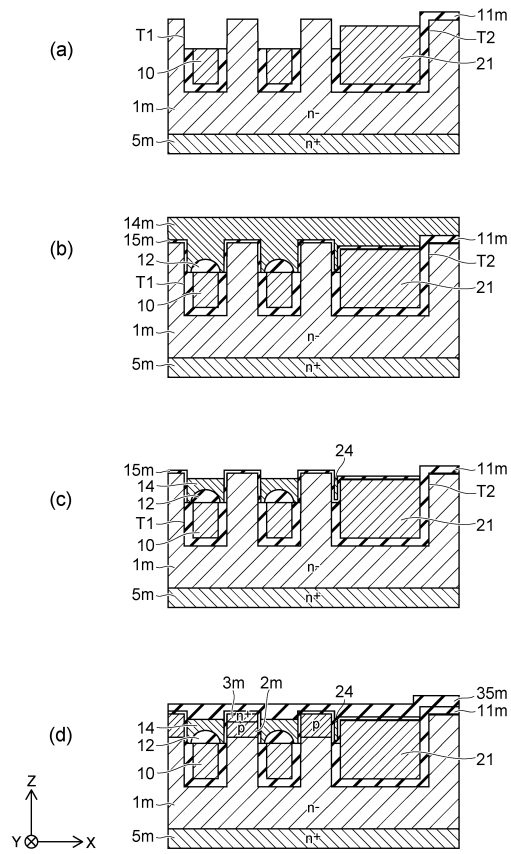
【 図 3 】



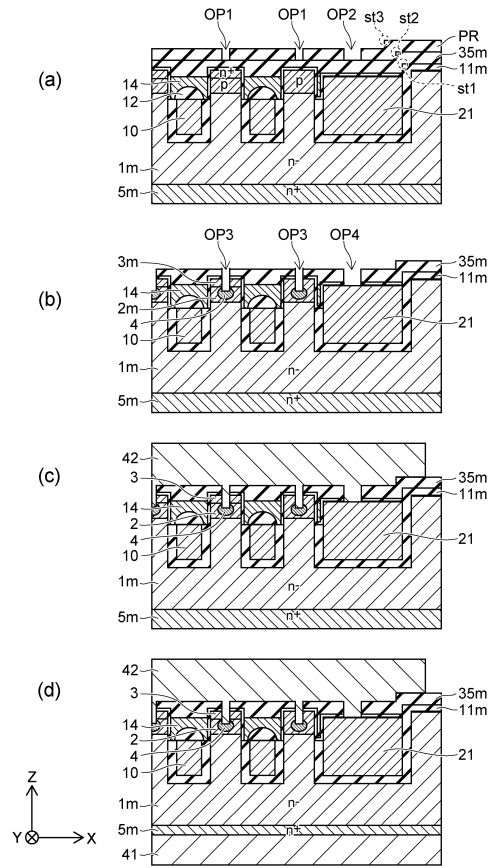
【 図 4 】



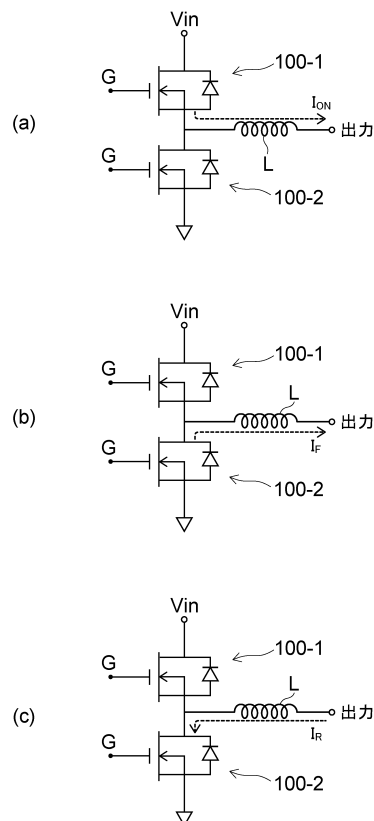
【図 5】



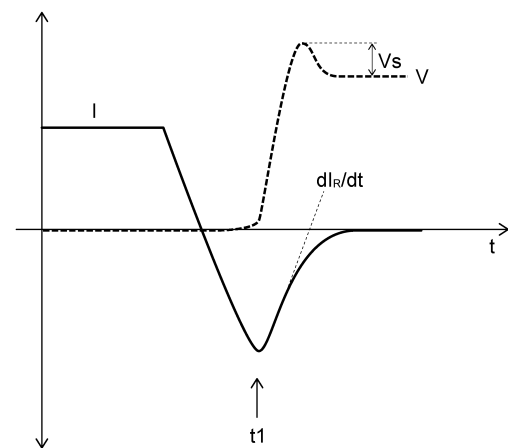
【図 6】



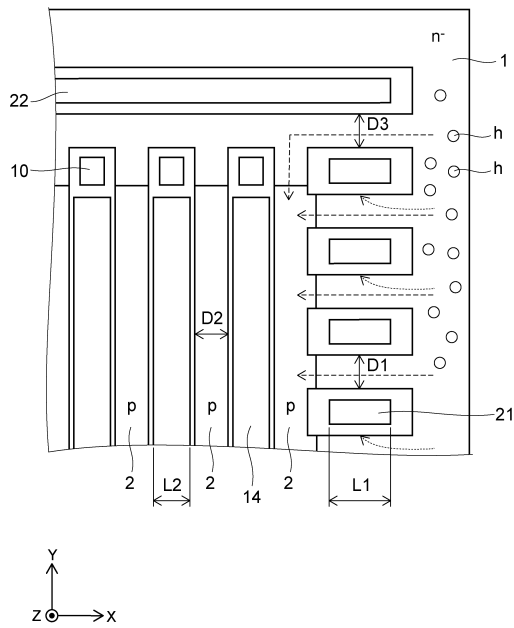
【図 7】



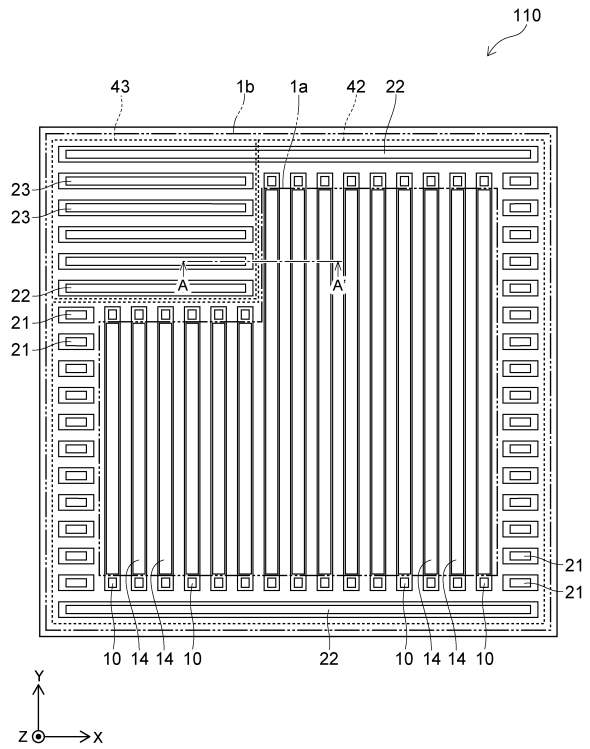
【図 8】



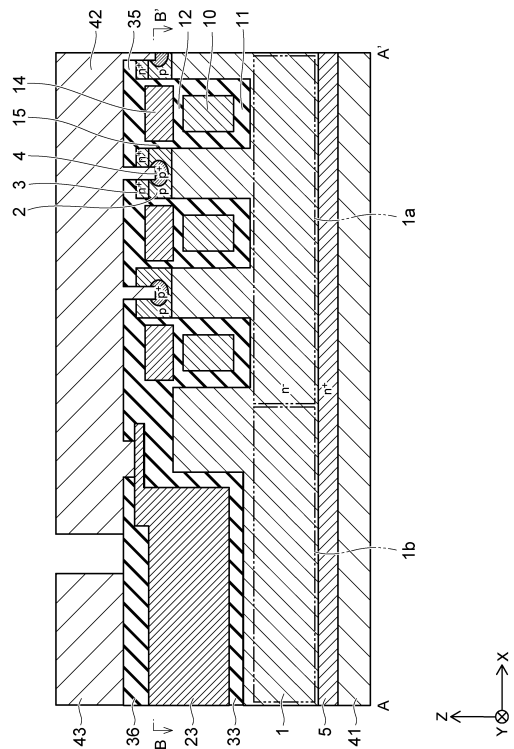
【図 9】



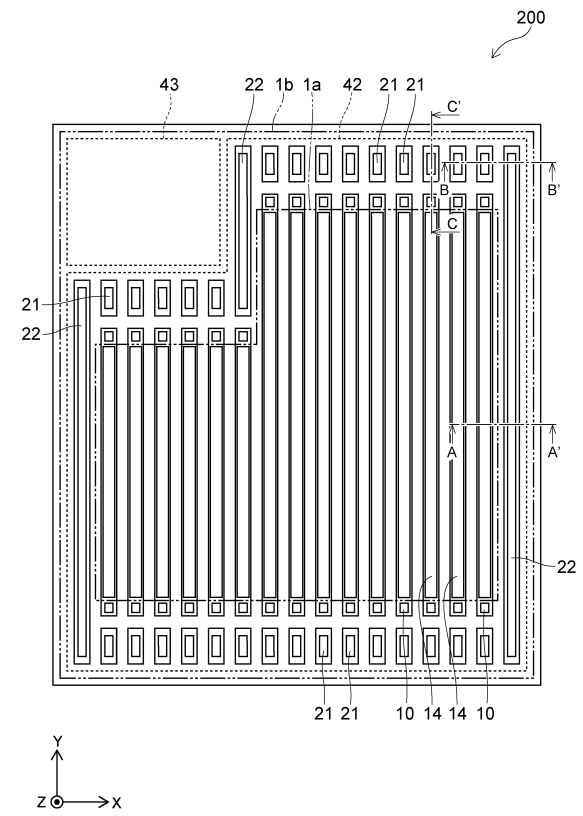
【図 10】



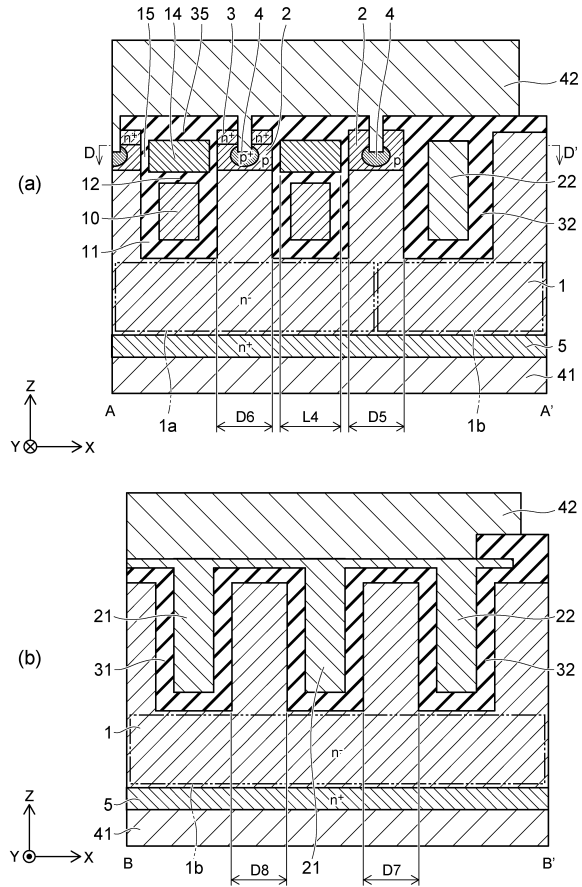
【図 11】



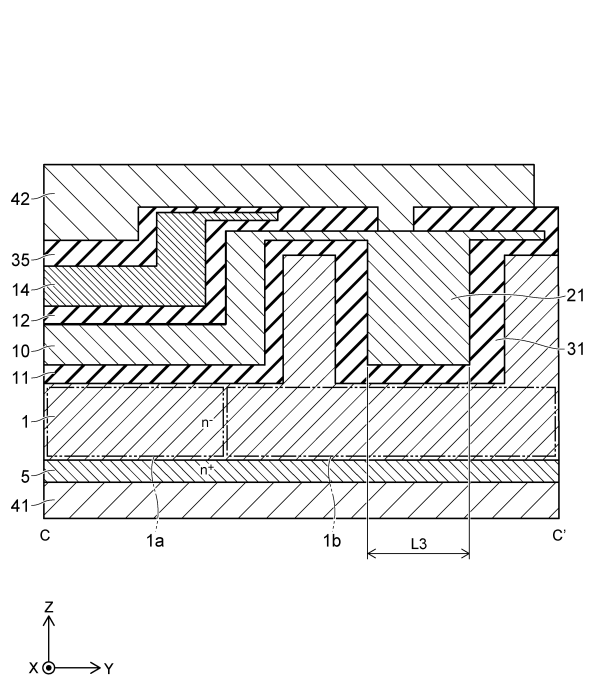
【図 12】



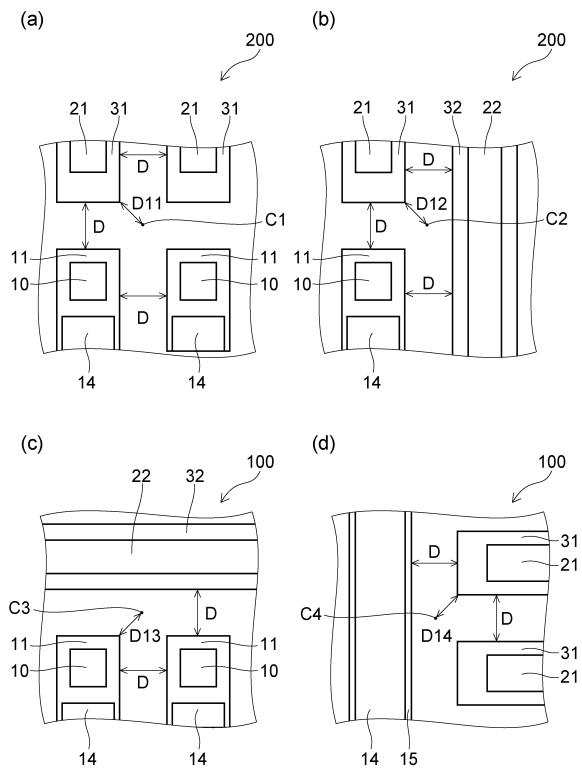
【図 13】



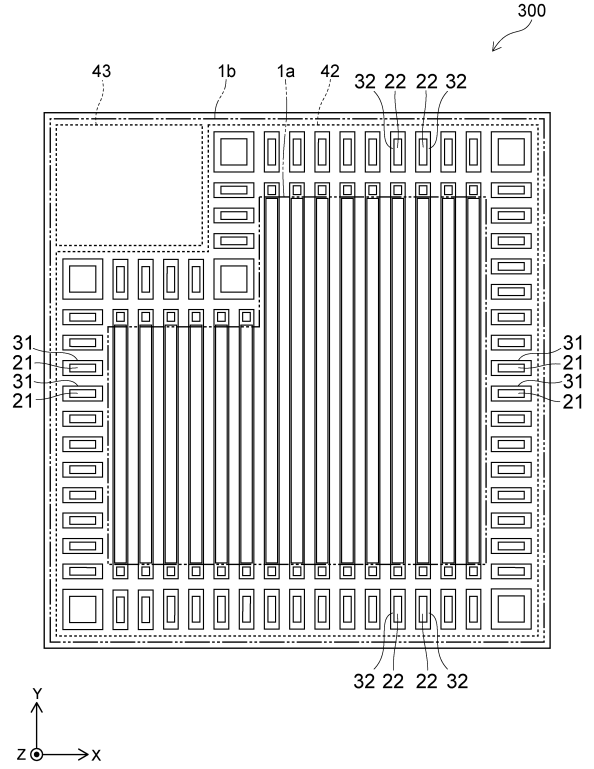
【図 14】



【図 15】



【図 16】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 6 5 2 T
H 0 1 L 29/78 6 5 6 A

(74)代理人 100172188
弁理士 内田 敬人

(72)発明者 下村 紗矢
東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内

(72)発明者 小林 研也
東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内

審査官 杉山 芳弘

(56)参考文献 特開2011-243946(JP,A)
特開2016-167559(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 9 / 0 6
H 0 1 L 2 9 / 7 8
H 0 1 L 2 9 / 7 3 9