公告本

申請日期	87.3.24
案號	87104426
類別	H02J 7/00

（以上各欄由本局填註）

A4
C4

425746

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	快速起動電路
	英文	"FAST START-UP CIRCUIT"
二、發明 ~~創作~~ 人	姓名	1. 法拉迪米爾 柯夫曼 2. 亞清 阿夫可 3. 伊里拉 桑 4. 加 瀨 清
	國籍	1. 2. 3. 以色列 4. 日本
	住、居所	1. 以色列拉曼格市貝德那路3/6號 2. 以色列柯夫沙巴市古拉街32號 3. 以色列哈赫雪隆市喬波汀斯汀路47號 4. 美國德州普夫格米市亞培克路1406號
三、申請人	姓名（名稱）	美商摩托羅拉公司
	國籍	美國
	住、居所（事務所）	美國伊利諾州史堪伯市東阿崗崑路1303號 摩托羅拉中心
	代表人姓名	F. 強 莫辛格

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	有□無主張優先權
美國	1997 年 6 月 3 日	08/868,335	☑有□無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（1）

本發明之範圍

本發明乃關於具有一加速升起時間之電子電路。

發明之背景

許多類比電路具有一長起動時間，其通常由 RC 時間常數所決定。一例子如圖 1 中之以往技術之電路 10 所示。電路 10 有其參考電壓源 2 ("V-REF. SOURCE") 其經由一值爲 R 之電阻器 6 及值爲 C 之濾波器電容 12 供應電源至負載 4 ("LOAD")。負載 4 爲一類比負載。

在許多應用中，出現在負載 4 之自節點 8 之輸入 5 最好有一極低之噪音。電阻器 6 及電容 12 形成一低通濾波器以衰減自源 2 之輸出 3 上電壓 Vi 之噪音。電阻器 6 傳統上位於積分電路(IC) 11 之邊界 9 以內。IC 11 包含有源 2 及負載 4，但此點並不重要。電阻 R 可以含有源 2 之內部阻抗。電容 12 有一輸入連接 7 耦合至節點 8 及其另一接線耦合至參考 13，即接地 GND。電容 12 通常在 IC 11 之外，因其尺寸相當大，但並非很重要。

通常，與電路 10 相關之 RC 時間常數 T_{RC} 可以相當大，即 10-1000 毫秒。在 Vi 開啓後穩定電壓 Vo 之時間 T_S 約爲 $T_S = 3 \times T_{RC}$。在許多應用中，長穩定時間極不理想。例如，細胞電話之操作常常需要在一秒鐘醒來再回去睡覺許多次。必須等待 30-100 毫秒以待節點 8 上之電壓 Vo 及輸入 5 穩定乃一極大之缺點。此一緩慢響應時間會負面影響細胞電話之性能。此外，如電話不能迅速響應一個醒來之指令，可能必須令其在醒來狀態一較長時間，因此，增加

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（2）

功率消耗及電池外流，及縮短電池再充電間之操作時間。此乃非常不理想。

因此，電子裝置之迅速起動特性需求繼續存在，特別是涉及高阻抗源及含一低通濾波器以便能降低雜音，或二者爲甚，最理想的是可達到快速起動而無需大量增加電路之複雜性，如可能時，不大舉增加功率消耗。因此，本發明之一目的爲提供在申請專利範圍中提出之電子裝置，其可部分或全部克服此等缺點，或以往技藝中之限制。

圖說之簡要說明

圖 1 爲以往技藝中之略圖，說明本發明如何解決問題；

圖 2 爲本發明第一個具體實例之簡略方塊圖；

圖 3 爲對應圖 2 中方塊圖之簡略電路圖，但顯示較爲詳細；

圖 4 爲本發明另一具體實例之簡明方塊圖；

圖 5 爲根據本發明又一具體實例之與圖 4 類似之簡略電路圖。

圖中使用相同之參考號碼以辨識相同元件及"'"及"""之參考號碼以辨認類比或有關元件。

較佳具體實例之詳細敘述

圖 2-5 中之電容 12 爲方便起見解釋爲一"濾波器"電容，但精於此技藝可了解此處之電容 12 可作爲任何理想目的。重要的是在負載 4 上之輸入 5 之 Vo 之值乃隨電容 12 之充電而定。

圖 2 爲本發明第一個具體實例之系統 19 之簡略方塊

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（3）

圖。系統 19 通常包括電路 21 及電容 12。電路 21 應爲一積體電路。電容 12 可在 IC 21 之內部及外部。系統 19 可包含個別的或統合之元件，即不必是統合的，雖然統合的較爲方便。電路 21 宜包括源 2 以供應 Vi 及負載 4 以接收 Vo 如圖 1，加上偵感元件 20，偵感電路 22 及充電電路 24。由於偵感器元件 20 已說明其包含串聯電阻 6，任何其他可提供 Vi 及 Vo 至偵感電路 22 及一持續充電路徑至電容 12 之裝置均可使用。

爲說明之目的，假定電壓 Vi 中升起時間與 T_{RC} 而言可以忽略，以及假定。如無圖 2-5 中之所示修改，電壓 Vo 之升起時間將實質上由具有值爲 R 及 C 之電阻器 6 及電容 12 之時間常數 T_{RC} 而決定。通常，電容 12 與連接至同一節點之其他元件之輸入電容相比較相當大，其輸入電容可以忽略，但此並不重要，因爲其輸入電容僅加在電容 12 上。

偵感電路 22 最好包含微分放大器(即作業放大器) 14，15，其具有輸入 141、142 及 151、152 耦合至偵感器元件 20 之節點 3'，8 如圖 2 所示。放大器 14、15 有一預定之大於 0 伏特之電壓補償(Vos)。Vos 在 $5 \leq Vos \leq 100$ mV 之範圍內甚爲有用，較佳爲 $10 \leq Vos \leq 70$，最佳爲在大約爲 50 mV 之範圍，但較大或較小 $Vos > 0$ 值均可利用。換言之，Vos 應在 Vi 之 1% 至 10% 之範圍，最好在 Vi 之 2% 至 5% 之範圍。窗則有大約爲二倍此等值之範圍。

補償值之選擇應考慮用以製造電路 21 之製造方法之最

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（4）

大變化及可能出現在 Vi 上之雜音之量。Vos 應在所有有源情況下大於 0 極爲重要。俾電流源 16 、 17 不會在同時均爲 ON 狀態，因爲此舉可使大量電流直接通過電源幹線 26 、 28 之間。放大器 14 、 15 之 Vos 最好大約相對，但並不重要。

放大器 14 、 15 之輸出 143 、 153 分別耦合至充電電路 24 之可變電流源 16 、 17 之控制輸入 161 、 171 。電流源 16 、 17 之第一主電流終端 162 、 172 耦合至電源幹線 26 、 28 上之 DC 電壓(即 VDD 、 VSS)。電流源 16 、 17 之第二主電流終端 163 、 173 耦合至共同節點 18 。共同節點 18 經由節點 8 及 3'耦合至源 2 之輸出 3 ，及經由節點 18'至負載 4 之輸入 5 及電容 12 之輸入 7 。

偵感電路 22 自偵感元件經由輸入 141 、 151 接收 Vi 。其尚自偵感元件 20 經由輸入 142 、 152 接收 Vo 。因此，出現在輸出 143 、 153 及輸入 161 、 171 上之信號視電壓差 (Vi-Vo) 而變。

圖 3 爲一簡化之電路 29 ，與圖 2 中之系統 19 相對應，顯示較爲詳細，但並無負載 4 或電容器 12 。如圖 3 中耦合之電晶體 30-48 在此例中用爲實施圖 2 中之方塊圖。在圖 3 中， Vi~(VDD-VSS)/2 係由電晶體 30 、 31 方式產生，該電晶體之功能等於電阻。此處並無限制之企圖，任何 Vi 源均可使用。圖 2 及圖 3 之電路操作由下列之非限制舉例予以解釋。除非另有說明，參數 Vi ， Vo 及數學運算 Vi-Vo 均表示強度。符號"~"用以表示所指之量或參數實際

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（5）

上爲相等。

假定(VDD-VSS)~2.7 V，及 Vi~1.35 V 並具有大約 100 mV 峰至峰(PP)雜音加於其上。此情況下，偵感電路 22 之作業放大器 14、15 之補償電壓均設定爲大約 50 mV。此可提供~100 mV 之工作窗。當圖 3 中之(VDD-VSS)由 0 升高至~2.7 V，Vi 則爲~1.35 V，但 Vo 仍然爲~0 V，因爲電容 12 尚未充電。(Vi-Vo)出現在作業放大器 14、15 之電阻器 6 及輸入 141、142 及 151、152 上。作業放大器 14、15 在此一輸入條件下，出現在放大器輸入 143、153 及在可變電流源輸入 161、171 上之信號極性可使可變電流源 16 開啓及使電容 12 充電。充電時間常數與電阻器 6 之 R 值無關，可使其以降低電流源 16 之內部阻抗之方法而爲甚短。

電容 12 充電後，Vo 增加 Vi-Vo 降低。當(Vi-Vo)~Vos_{14}，其中之 Vos_{14} 爲放大器 16 之補償電壓。於是放大器 14 將電流源 16 關閉，故經由充電電路 24 之充電停止，其餘之充電則經由電阻器 6 發生。可變電流源 16 一直爲閉(OFF)之狀態一直到滿足 Vo≥Vi-Vos_{14} 之條件爲止。如 Vo 超過 Vi+Vos_{15}，其中 Vos_{15} 爲放大器 15 之補償電壓，放大器 15 則將可變電流源 17 啓動，將電荷自電容器 12 漏出直到 Vo~Vi+Vos_{15} 爲止。因此，圖 2~3 之裝置之操作爲二方面，即提供了電容器 12 之快速充電及快速放電，與 R 之值無關，故 Vo 仍保持在作業範圍或電壓"窗"(Vi-Vos_{14})≤(Vo)≤(Vi+Vos_{15})之內。其中 Vos_{14}~Vos_{15}~50 mV，作

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

經濟部中央標準局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

五、發明說明（6）

業窗約爲 100 mV 。

Vi 上之雜音成分由低通 RC 濾波器所衰減。此外，將放大器 14 、 15 設計爲低頻率放大器，任何超過放大器 14 、 15 之截止頻率之高速渡越或高頻雜音不能通過放大器 14 、 15 ，故而有效地衰減。

圖 3 中之電路 29 與圖 1 中電路爲以同值之 T_{RC} 模擬及比較該電路。 C 值約爲 0.1 微法拉。 Vo 之穩定時間由 3000 ms 降低至 15 ms 。電容之值足以衰減在 1.35 V 之標稱 Vi 值上之 100 ms RMS (500 mV PP) 電源供應雜音，因可指出增加圖 2-3 中之快速電路不致影響低通濾波器之操作。

圖 2-3 中之快速電路非常有用。其可大舉降低 Vo 之穩定時間，而不致增加整個積體電路之複雜性。此外，電流源 16 、 17 僅在必須將 Vo 迅速拉高或降低至所望位準時才爲主動。在備用期間，當 Vi~0 ，或當 Vi>0 及 Vo~Vi 時，充電電路 24 不吸收功率。因爲電流源 16 、 17 (在 ON 時)在快速上升電路中爲電源之最大用户，除非需要將 Vo 加速開啓及關閉，將其 OFF 爲一大優點。此舉係由提供在放大器 14 、 15 中之補償方式而達成，其可保證電流源 16 、 17 在 Vo~Vi±Vos 時，電流源 16 、 17 爲 OFF 狀態。

但放大器 14 、 15 繼續操作。在電池爲電源之應用中，應採各種方式以降低電能消耗，此可能爲一缺點。此外，必須使放大器 14 、 15 有足夠大之補償電壓使其更難獲得 Vo 之準確值。此種情況當產生 Vi 之源 2 爲 Vo 。必須準

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（7）

確再生之帶隙電壓時爲然。

圖 4-5 中說明之裝置顯示如何使圖 2-3 中之裝置之限制可以避免。圖 4 爲一簡化之電路圖其中之過度充電已予避免，偵感器電路及充電電路在迅速充電已完成以節省能源後已被自動關閉。圖 5 在圖 4 之類比電路，但係根據本發明之又一具體實例。圖 4-5 中之虛線中包括有"'"記號之 20'， 22'， 22"， 24'， 24"在內以辨識此等元件之組合，其與圖 2 中之電路部分 20 ， 22 ， 24 之相關功能類似，但在細節及結果可能不同。

爲簡化解釋計，圖 4-5 之電路爲單側快速充電電路，即迅速充電電容器 12 以達 Vo<Vi 至 Vo~Vi 。圖 2-3 中之雙側電路在 Vo<Vi-Vos 時可加速充電，在 Vo>Vi+Vos 時迅速放電。精於此技藝人士當可基於此說明了解如何修改圖 4-5 中之電路以在需要時提供雙側之功能。

現在參考圖 4 ，快速充電系統 50 包括產生 Vi 之電壓參考源 2 及負載 4 及值 C 接收 Vo 之電容 12 ，如圖 1-2 所示。爲解釋方便計，所說明之元件均係包括在積體電路 51 之內，但此並非重要。電阻器 6'及電容 12 構成一雜音衰減 RC 濾波器及建立一電路 50 之一 RC 時間常數 T_{RC} ，其方式與圖 1 之電路 10 及圖 2 中之電路 19 相同。

當源 2 爲活動時，電壓 Vi 出現在節點 3'之上。源 2 可被持續加上電源，自節點 3 由"醒來"或"睡覺"信號所加上或脫接之輸出電壓加至一系列開關(未示出)。或者，源 2 亦可開啓或關閉以響應由全系統之其他部份(未示出)所提

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（8）

供之"醒來"或"睡覺"信號。每一裝置對本發明均甚有用。假定供解釋之目的，Vi 之升起時間與 T_{RC} 相比可以忽略，其發生係響應一系統之"醒來"信號或等值信號。

爲了說明之目的而不在限制，假定源 2 爲一般帶隙參考電壓、類比負載 4 假定爲低雜音類比至數位轉換器(ADC)，但其他元件可供源 2 及負載 4 之用。電容 12 可在 IC 51 之內部或外部，但在許多應用中，其在 IC 51 之外部。因爲其實際之大小之故。但理想的是電路 51 中所示之元件在 IC 之內部，此點並不重要。

偵感器元件 20'與圖 2 中之元件 20 相似，並由具有 R 值之電阻器 6'所提供。系統 50 之偵感器電路 22'包括微分放大器，其具有輸入 521，522 分別耦合至偵感元件 20'之節點 8，3'。偵感電路 22'之輸出 523 耦合至充電電路 24'之輸入 541，及至緩衝電路 63 之輸入 561。

放大器 52 最好爲具有低或零補償電壓之作業放大器。補償電壓應爲儘量小，即小於或等於 10 mV，及小於或等於 5 mV，最好小於 1 mV。與系統 19 之配置不同，不需要提供一預定之補償電壓，而放大器 52 之補償電壓應使其爲零。以補償電壓爲補償在此技藝中久爲人熟知。放大器 52 有另一控制輸入 524，其功能將其鎖存器 58 一併討論。

放大器 52 之輸出 523 耦合至第一可變電流源 54，即一電晶體。在此例中，電晶體 54 爲一 P 型 MOSFET，但其他型式如考慮所需之相對極性時亦可使用。第一電流源

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

經濟部中央標準局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

五、發明說明（ 10 ）

當施加 Vi 時，（即時間爲 0），濾波器電容 12 開始放電（即 Vo~0）及節點 8 爲零伏，故（Vi-Vo）爲最大值（Vi-Vo）MAX。Vi 出現在跨接電阻器 6' 上及跨放大器 52 之輸入 521，522 上。當放大器 52 之輸出 523 甚低，即爲~0 伏時，電流源 54 變爲"ON"，即變爲一低阻抗狀態。電晶體 56 亦變爲"ON"。自電流幹線 53 流經電晶體 54 之電流迅速將電容 12 充電。在電容 12 之輸入 7 之電壓及負載 4 之輸入 5 迅速上升。

電流源 52 之內部阻抗 6' 可較低通濾波器之 R 值電阻器 6' 爲小許多，俾充電電路 24' 之時間常數 R'C 與電容 12 之結合較圖 1 之 RC 時間常數小許多，即 R'C<<RC。因此，圖 4-5 中之裝置之 Vo 上升較圖 1 中之上升快許多。

如上所述，放大器 52 之輸出信號加至裝置 56 之控制輸入 561 上，因此使其與裝置 54 同爲其低阻抗狀態。此舉使鎖存器 58 之 S 輸入 581 升高，即接近或爲電源供應幹線 53 之電壓，電源供應幹線 53 及參考 61 電壓間之電位差大部出現在電流源 60 上，即一電阻器或一電阻器操作在一相當高之阻抗模式。

當（Vi-Vo）接近 0 伏特，放大器 52 之輸出升高，即趨向幹線 53 上之電壓。可變電流源 52 在 Vo~Vi（假定 0 補償）時關閉。當電壓 Vi 爲參考電壓，而 Vo 必須控制在相同值，此乃一特殊之理想特性，但精於此技藝人士當可了解。根據此處之解釋，亦可提供一補償，即 Vo 可爲一值（Vi-Δ），其中 Δ 爲一預定量，及條件（Vi-Vo）~0 或 Vi~Vo 亦

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

經濟部中央標準局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

五、發明說明（11）

包括(Vi-Vo)~Δ 在內，其Δ 值不爲 0 。但其中之 Vo 最好爲準確之參考電壓等於 Vi ，最好Δ 不爲 0 。圖 4-5 中所說明之具體實例之特性爲其可提供一降低之功率消耗，儘管Δ 或 Vos 等於 0 。

如負載 4 上之電流漏甚小，則跨電阻 6 ，6'上之電壓降可以忽略，如負載 4 之電流漏增加，即由於全系統(未示出)中之各種活動，於是祇要放大器 52 爲有源，當(Vi-Vo)>0 ，電流源 54 則再度爲 ON 直到條件(Vi-Vo)~0 已建立爲止。

但在許多情況下，當負載 4 之電流漏甚小，最好以中止放大器 52 及電流源 54 ， 56 作業方式降低系統之目前或待命電流漏出。此由回輸緩衝器電路 63 及鎖存器 58 完成。緩衝器電路 63 包括電流源 56 ， 60 。鎖存器 58 耦合返回放大器 52 之一控制輸入 524 。

當電容 12 充電時，自放大器 52 之信號將電流源 56 開啓爲 ON ，同理，其將電流源 54 亦開啓爲 ON 。在 ON 狀態中，裝置 56 之阻抗與電流源 60 之阻抗相比爲小，因而使鎖存器 58 之 S 之輸入 581 拉高(即在電源幹線 53 之電位門限以內)。當 Vo~Vi ，放大器 52 之輸出變高，而裝置 56 關閉，即假定爲高阻抗狀態。電流源 60 於是將節點 59 拉至參考電壓 61 (即 GND)，因此，將 S 輸入 581 被觸發。

在與鎖存器 58 改變狀態有關之交換延遲後， Q 輸出 583 變爲高。鎖存器 58 之輸出 583 耦合至放大器 52 之控制輸入 524 。放大器 52 在輸入 524 上之控制信號使放大器

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

經濟部中央標準局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

五、發明說明（12）

52主動或無效，即使其"ON"或"OFF"。當Q響應S變低而改變狀態，放大器52變爲OFF不工作，故其不消耗功率。自鎖存器58之Q輸出亦可選擇性輸往電路51之輸出62，該處其可作爲系統其他部分之指示，指出Vp爲穩定及可用。由於Q信號之強度與Vo之強度無關，因此，可作爲系統之其他部分之一邏輯交換位準，此點極爲有用。鎖存器58並不能使放大器52爲OFF，直到Vo~Vi爲止。當放大器52無效時，節點55，8，57及終端5，7經由電阻器6'，祇要Vi>0，均保持在Vo~Vi。

圖4中之配置爲一單端系統，即其可提供加速之充電但非加速之放電。在大多情況下此點甚爲適合。

在全系統正常作業中，當源2由一"睡眠"信號而爲不激勵時，(即Vi已除去，或設定爲零)，於是Vo爲0。節點55被負載4之輸入阻抗及放大器52之輸出阻抗拉至低位。在許多情況下，此爲足夠。但如果希望一較迅速衰減之Vo，此技藝人士當了解可包括一個主動拉下，即由Vi驅動，故當Vi>0時，拉下爲OFF，當Vi~0時，拉下變爲ON狀態。如果放大器52仍然爲主動，而Vi~0及Vo仍然甚高時，不能使充電電路24'爲ON，因此Vi-Vo與"醒來"條件Vi>0比較有一反極性。如放大器52無源，即被鎖存器58使其爲OFF，對於其輸入不敏感，及Vi~0亦不影響。

吾人應注意，放大器52及電流源54，56及類比元件，即其輸出(直到飽和)爲其輸入之連續函數，其並無磁

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

經濟部中央標準局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

五、發明說明（13）

滯，但鎖存器 58 則爲一數位元件，其在穩定狀態中觸發而無半穩定中間狀態，並通常展現磁滯現象。本發明之優異性能部分由利用一類比元件(回輸緩衝器 63)以驅動一數位元件(即鎖存器 58)以在回輸路徑中控制一類比元件(即偵感電路 22')。

放大器 52 之輸入 524 可爲一輸入使放大器 52 致動或不致動，其亦可爲一電源終端供應電源至放大器 52 。兩種方式均欲包括在"控制輸入" 524 中。此技藝人士將可了解，根據此處之解釋，而如何提供一適當極性之信號以理想方式來控制輸入 524 。

本發明之另一特性爲利用緩衝器電路 63 以控制鎖存器 58 。緩衝器電路 63 包括電流鏡裝置 56 及電流源 60 。其可使將鎖存器 58 由不同電壓位準而控制，而不由出現在 12 上之電位控制。可以保證放大器 52 不會過早爲 OFF ，即在 Vo=Vi 之前，及可保證系統是穩定的而無任何中間狀態。

放大器 52 最好在 Vi~Vo 條件達成後，能保持在有源狀態一預定期間，俾有一時間防護波帶。此乃 Vo 變爲穩定所需之時間及/或節點 59 達到鎖存器 58 之交換電位時間之總和加上鎖存器本身之延遲及放大器 52 內任何關閉延遲。此外，利用一個雙穩定鎖存器，特別是自 CMOS 來達成此一任務，在鎖存器交換發生後及電路 22' (即放大器 52)爲 OFF 後，由快速充電電路 71 將無重大之功率漏失。電路 24'及 63 中之電路路徑均已關閉。

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

經濟部中央標準局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

五、發明說明（14）

一旦鎖存器 58 已變化並將放大器 52 變爲 OFF，鎖存器 58，放大器 52，電路 24'及電路 63 仍然爲無效狀態。他們將停留在該狀態內一理想時間，通常一 Vo 之值爲有效之時間。此最小時間可以預先設定，或可程式，或爲可變動。鎖存器 58 可在預定時間之後自動再設定，或在一可變延遲後，由加一信號至 RS 輸入 582 而再設定。

在較佳具體實例中，放大器 52 由於加上一再設定信號於鎖存器 58 之 RS 輸入 582 而再啓動，因而使 Q 輸出 583 返回，及再設定放大器 52 之控制輸入 524 爲"有源"狀態。此時，電路 50 再度有源及以所述方式操作。放大器 52 之再啓動在 Vi 返回 0 之後之任何時間均可實施，但最好在與電壓參考(即源 2)自系統其他部分(未示出)接收一"醒來"信號之時間重合或以前再設定放大器 52。意即 RS 輸入 582 已在或在 Vi 變高之前已觸發(即由一醒來信號)。以此方式，放大器 52 僅在加速電容器 12 之充電時才爲有源。此可以降低備用功率消耗至最小。

圖 4 之電路 50 以 C=0.3 微法拉及 RC-10 ms 予以測試以與圖 1 之電路 10 作模擬比較。電路 10 之穩定時間 T_S 約爲 3 × RC=30 毫秒。以同值之 R 及 C，電路 50 之穩定時間約爲 0.5 毫秒。因此，穩定 Vo 之可獲得時間由於利用了圖 4 中虛線之 71 內之加速元件而改進了 30/0.5=60 倍。此乃一非常有用之重大改進。

圖 5 爲與圖 4 中之相似之另一具體實例之簡化電路圖，但其中利用 N 型 MOSFET 作爲開關以充電電容 12。相同

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

經濟部中央標準局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

五、發明說明（15）

之號碼代表相同之組件，有"'"及"''"之號碼用以辨明圖 4 及 5 中之類比元件。

圖 5 中之電路與圖 4 中電路不同，因爲放大器 52'之輸入 521'，522'與節點 3'，8 爲反相，而放大器 52'之輸出 523'耦合至可變阻抗或電流源 76 之輸入 78。可變阻抗 76 最好爲一 N 型 MOSFET，但其他型式亦可使用。可變阻抗 76 之電流終端 80，82 分別耦合至負載裝置 54'及節點 55'。負載裝置 54'最好爲 P 型 MOSFET，其輸入 541'在 542'與其一已之電源終端之一連接一起。除了與不同之電晶體型式及放大器輸入/輸出有關之極性差異之外，電路 50'之功能實質上與電路 50 相同。

在本發明之一具體實例中，曾敘述一快速上升時間，低雜音電路以提供一參考電壓 Vo 至負載連接，包括：一電壓參考產生器以產生於輸出上一電壓 Vi；一濾波器耦合至參考電壓輸出及負載連結之間以消除 Vo 中之高頻雜音。其中一電容 C 出現在負載連接上；一偵感電路具有第一輸入終端耦合至參考產生器之輸出，及第二輸入終端耦合至負載連接及一輸出；一充電電路 24 由偵感電路之輸出所激勵，在 Vo<(Vi+Vos)時以耦合負載連接至第一參考電位，及在 Vo>(Vi+Vos')時耦合至第二參考電壓，其中之 Vos 及 Vos'爲小於 Vi 之補償電壓。如電路再包括一回輸電路以供暫時在 Vo 達到一範圍(Vi-Vos)<Vo<(Vi+Vos')時激勵偵感器電路。在另一具體實例中，Vos 之值爲在 5≤Vos≤100 毫伏特之範圍，最佳在 10≤Vos≤70 毫伏特之

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

經濟部中央標準局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

五、發明說明（16）

內。最好，濾波器包括一電阻R，此電阻耦合在電壓產生產生器輸出與負載連接之間。

在另一具體實例中，提供電壓Vo於一節點上之裝置，包括：一產生器電路以提供一內部參考電壓Vi；一濾波器具有電阻R耦合在產生器電路及節點之間，電容C耦合至節點以消除Vo之高頻雜音；一可變阻抗耦合至DC電位連接與節點之間；一微分放大器之輸入耦合至R及一輸出以激勵可變阻抗俾C之迅速充電與R無關；及一回輸電路耦合至微分放大器之控制輸入以在Vo~Vi之後關閉可變阻抗，在延遲之後關閉微分放大器以進一步降低功率消耗。

最好回輸電路包括一鎖存器，其在穩定狀態之間觸發，其中之一爲放大器爲穩定狀態，另一個則爲放大器係閉合狀態。最理想的是回輸電路包括一電流鏡，由一微分放大器以可變阻抗相同方式所驅動，並耦合至鎖存器之"設定"終端及至一負載阻抗，其中當Vi>Vo時，鎖存器之"設定"終端上之電位可使鎖存器之輸出保持放大器在主動狀態，及在Vo~Vi時，鎖存器之"設定"終端上之電位使鎖存器觸發，因此，使微分放大器關閉。

在另一具體實例中，供應Vo於一節點上之裝置包括：一內部電壓參考電路以提供電壓Vi；一低通RC濾波器，其中之R耦合至內部電壓參考電路及節點之間，及C耦合至一節點以消除Vo中之高頻雜音；一可變電流源耦合至DC電位及有Vo之節點之間，其中之可變電流源有一

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

經濟部中央標準局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

89.12.18修正補充
A7
B7

五、發明說明（17）

第一部分以便在 Vo<V-Vos1 時將 C 充電，及第二部分，在 Vo>V+Vos2 時將 C 放電，其中 Vos1 及 Vos2 為大於 0 之補償電壓；及一微分放大器耦合至 R 及驅動可變電流源，俾 C 之充電及放電與 R 無關。

最好，Vos1 及 Vos2 之值大於 5 毫伏特，小於 100 毫伏特，理想值為 Vos1 及 Vos2 之值大於 10 毫伏，而小於 70 毫伏特。

微分放大器最好包含一個第一微分放大器驅動第一部分，及一個第二微分放大器驅動第二部分。如第一微分放大器之正輸入耦合至第二微分放大器之正輸入，及第一微分放大器之負輸入耦合至第二微分放大器之一負輸入則非常有用。如 Vost=Vos1+Vos2 在 Vi 之 2%至 20%，最好 Vost=Vos1+Vos2 在 Vi 之 4%至 10%之範圍內。

當電路 19，29，50，50'之安排及操作係以特別範例及元件安排予以解釋，此技藝中人士當可了解基於此一說明，其他形式之元件亦可使用以相同方式完成相同功能而不會悖離本發明。因此，本文將各變化併入本專利申請範圍中。

元件符號說明

2	參考電壓源	6	電阻器
3	輸出	7	輸入連接
3'	節點	8	節點
4	負載	9	邊界
5	輸入	10	電路

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（17a）

11	IC	50	系統
12	電容	52	作業放大器
13	參考	521、522	輸入
14	作業放大器	521'、522'	輸入
141、142	輸入	523	輸出
143	輸出	521'、522'	輸出
15	作業放大器	524	輸入
151、152	輸入	53	DC 電源幹線或連接
16	電流源	54	電流源
162、163	主電流終端	54'	負載裝置
17	電流源	541	輸入
171	輸入	541'	輸入
172、173	主電流終端	542	電源終端
18	共同節點	542'	電源終端
18'	節點	543	電源終端
19	系統	55	節點
20	偵感元件	55'	節點
20'	偵感元件	56	電流源
21	電路	561	輸入
22、22'、22"	偵感電路	563	電源終端
24、24'、24"	充電電路	57	節點
26、28	電源幹線	58	鎖存器
29	電路	581、582	輸入
30-48	電晶體	583	輸出

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（17b）

59	節點	71	快速充電電路
60	電流源	76	可變阻抗
61	參考	78	輸入
62	DC 電位	80、82	電流終端
63	充電電路		

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

A5
B5

四、中文發明摘要（發明之名稱：快速起動電路）

出現在負載(4)上之電壓V。之上升時間，根據經由一RC濾波器(6，12)所提供之輸入電壓Vi耦合至負載(4)以消去Vo上之高頻雜音，該上升時間可由提供一偵感電路(22，22'，22")一微分輸入Vi，Vo而大幅降低。偵感電路(22，22'，22")驅動一耦合至DC電位(62)及負載(4)之充電電路(24，63)俾C之迅速充電至Vo與R(6)無關。當Vo接近Vi，偵感電路(22，22'，22")使充電電路(24，63)停止激勵以停止進一步充電，耦合至偵感電路(22，22'，22")之鎖存器(58)關閉偵感電路(22，22'，22")以在(Vo~Vi)>0時減少功率消耗。一電流鏡緩衝器(24，24'，24")最好設在偵感器(22，22'，22")輸出與鎖存器58之間以供電平移。

英文發明摘要（發明之名稱："FAST START-UP CIRCUIT"）

The rise time of a voltage Vo presented to a load (4), based on an input voltage Vi provided via an RC filter (6,12) coupled to the load (4) for removing higher frequency noise on Vo, is substantially reduced by providing a sensor circuit (22, 22', 22") with differential inputs Vi, Vo. The sensor circuit (22, 22', 22") drives a charger circuit (24, 63) coupled to a DC potential (62) and the load (4) so that rapid charging of C to Vo does not depend on R (6). As Vo approaches Vi, the sensor circuit (22, 22', 22") deactivates the charger circuit (24, 63 to stop further charging and a latch (58) coupled to the sensor circuit (22, 22', 22") shuts off the sensor circuit (22, 22', 22") to reduce power consumption while (Vo ~ Vi) > 0. A current mirror buffer (24, 24', 24") is desirably included between the sensor (22, 22', 22") output and the latch (58) for level shifting.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

425746

第87104426號專利申請案
申請專利範圍修正本(89年12月)

A8
B8
C8
D8

89.12.13 修正補充

六、申請專利範圍

1. 一種電子裝置，包括：

一源具有提供電壓 Vi 之一輸出；

一負載連接接收一電壓 Vo，其上升時間與耦合至負載連接之電容有關；

一偵感器電路耦合至源輸出及負載連接，其中之偵感電路偵出 Vi 及 Vo 及提供一與(Vi-Vo)相關之輸出信號；

一充電電路接收偵感電路之輸出信號，及響應該處，將電容充電直到 Vo~Vi；及

一回授電路具有一緩衝器及一鎖存器，其中之緩衝器及鎖存器耦合至偵感電路，並在 Vo~Vi 時，暫時使偵感電路中止激勵，俾偵感電路在 Vi 為 OFF 之後不再響應(Vi-Vo)。

2. 根據申請專利範圍第 1 項之裝置，包含有一電阻耦合至源之輸出及電容之第一終端之間，其中，電容之第二終端耦合至一參考電壓及電容之第一終端耦合至負載連接，其中之偵感電路自跨電阻而驅動其輸入。

3. 根據申請專利範圍第 1 項之裝置，其中，在中止激勵後，偵感電路一直為停止激勵直到鎖存器再設定為止。

4. 根據申請專利範圍第 1 項之裝置，其中緩衝器含第二電流源由偵感電路之輸出加以驅動，其中緩衝器之輸出耦合至鎖存器，其中在 Vi 接近等於 Vo 及由鎖存器部分決定之延遲後，鎖存器之渡越饋回至放大器而將其中止激勵。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

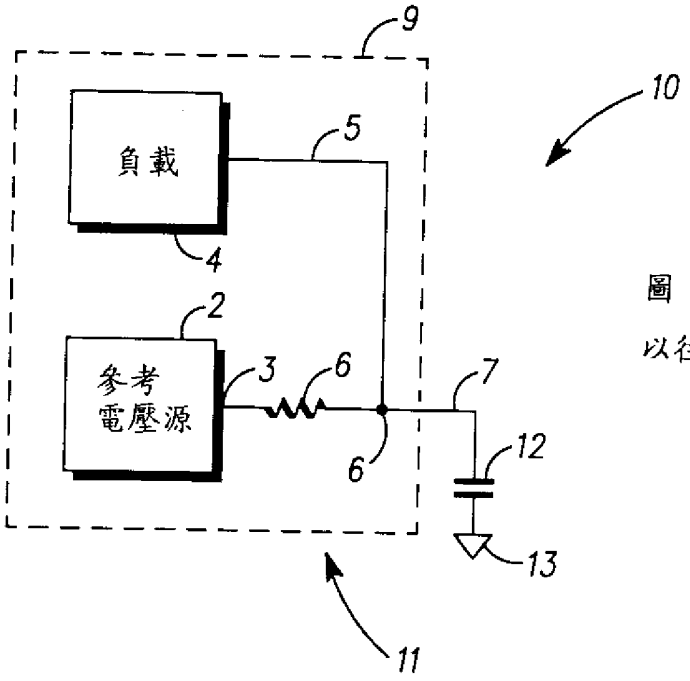
9
10
負載
5
4
2
參考
電壓源
3
6
7
6
12
13
11

圖 1
以往技藝

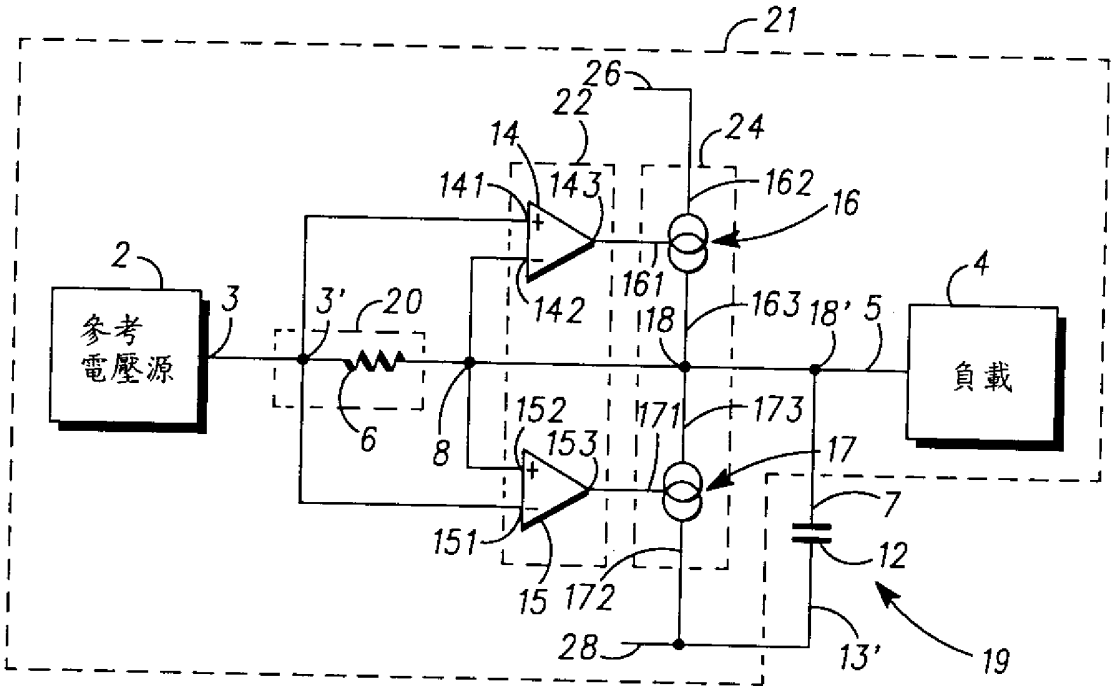
21
26
22
24
14
141
143
162
16
2
參考
電壓源
3
3'
20
142
161
118
163
18'
5
4
負載
6
8
152
153
171
173
17
151
7
12
15
172
28
13'
19

圖 2

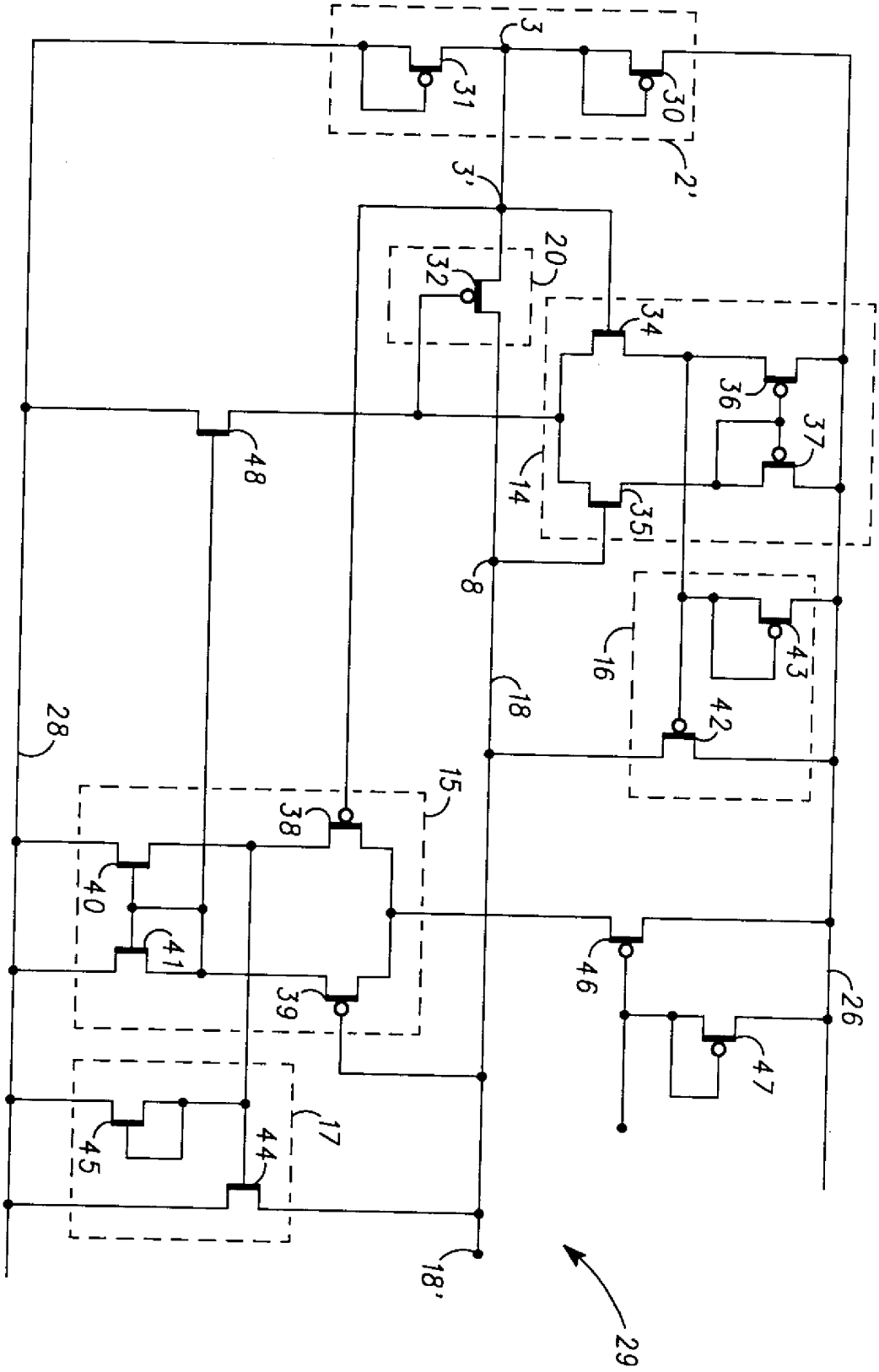
3
31
30
2'
3'
20
32
34
36
37
48
14
35
8
16
43
18
42
28
15
38
40
41
39
46
26
47
17
44
45
18'
29

図 3

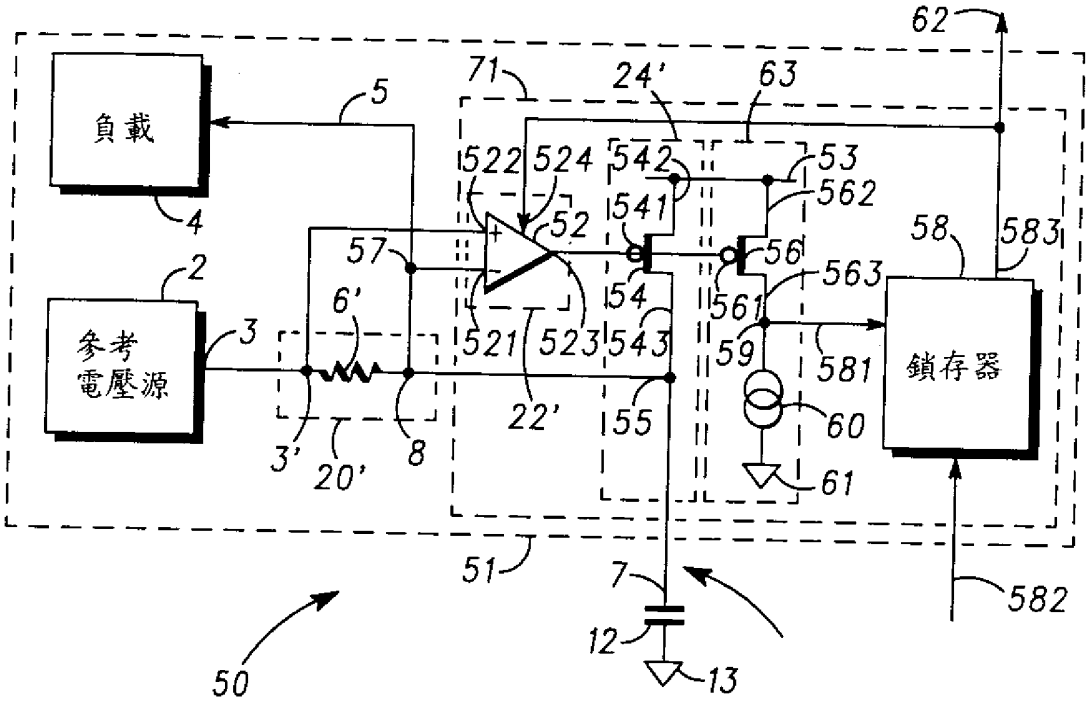
負載
參考
電壓源
鎖存器
62
71
24'
63
5
4
2
3
6'
57
522
524
542
53
562
541
52
58
583
56
563
54
561
521
523
543
59
581
22'
55
60
61
3'
20'
8
51
7
582
12
13
50

圖 4

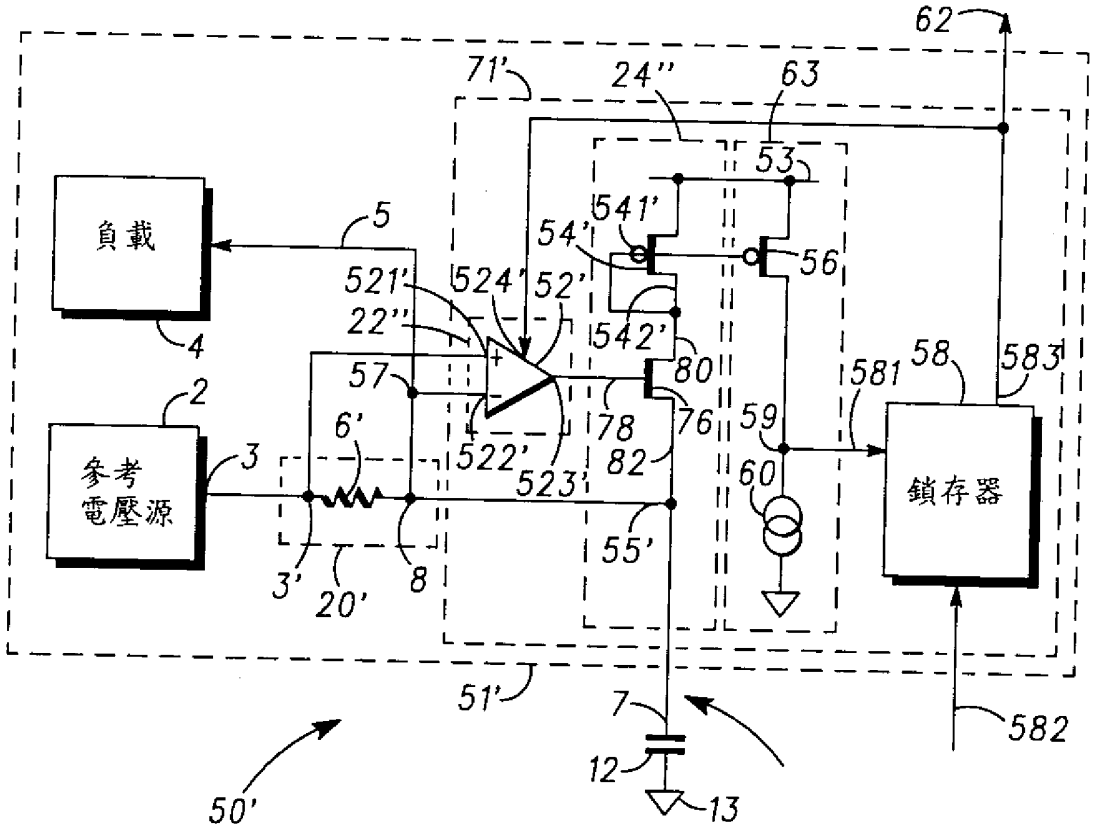
負載
參考
電壓源
鎖存器
62
71'
24''
63
53
5
541'
54'
56
521'
524'
52'
22''
542'
80
57
581
58
583
2
6'
78
76
59
3
522'
523'
82
60
55'
3'
20'
8
51'
7
582
12
13
50'

圖 5

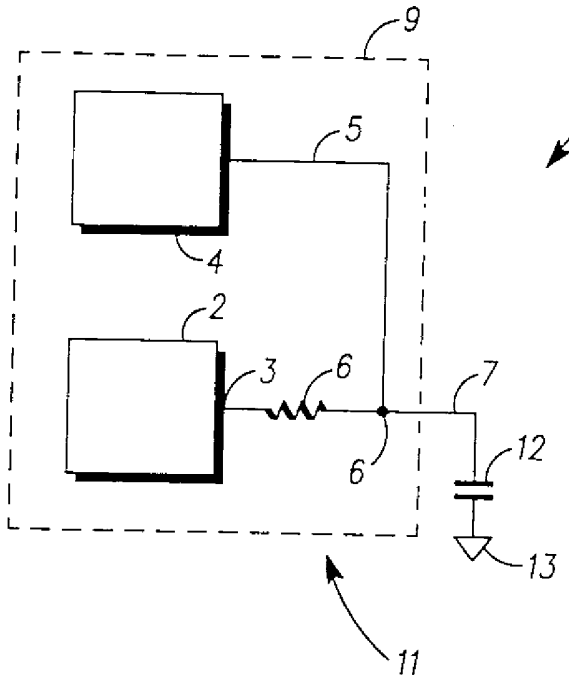
9
10
5
4
2
3
6
7
6
12
13
11

圖 1

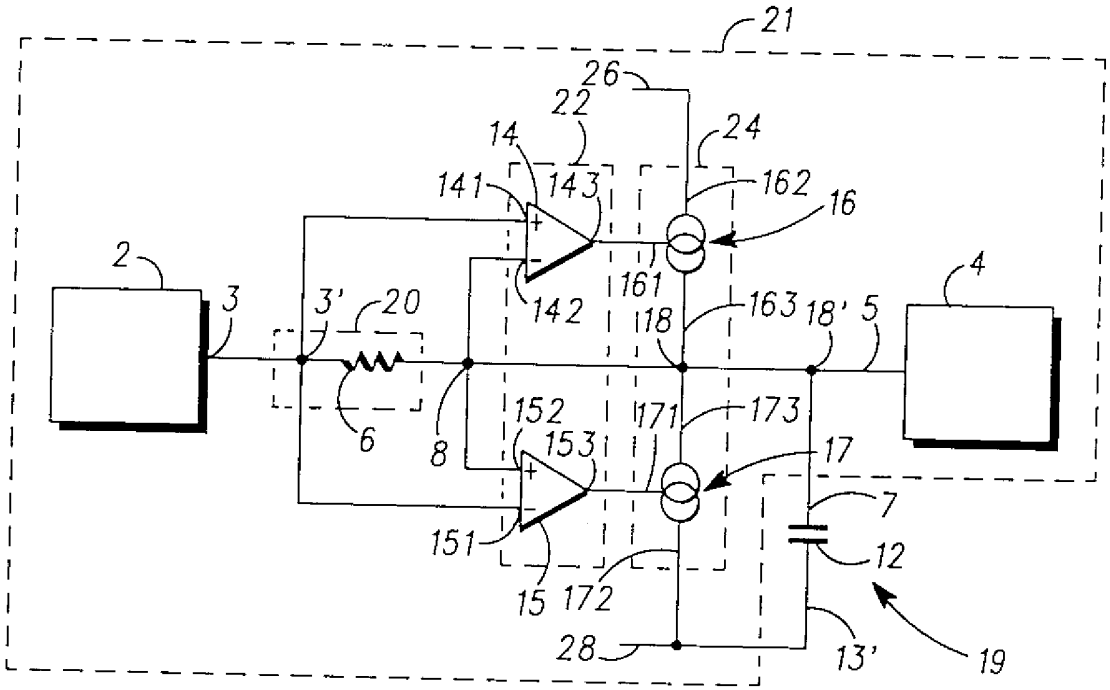
21
26
22
14
24
141
143
162
16
2
3
3'
20
142
161
163
18'
5
4
18
6
8
152
153
171
173
17
151
7
12
15
172
28
13'
19

圖 2

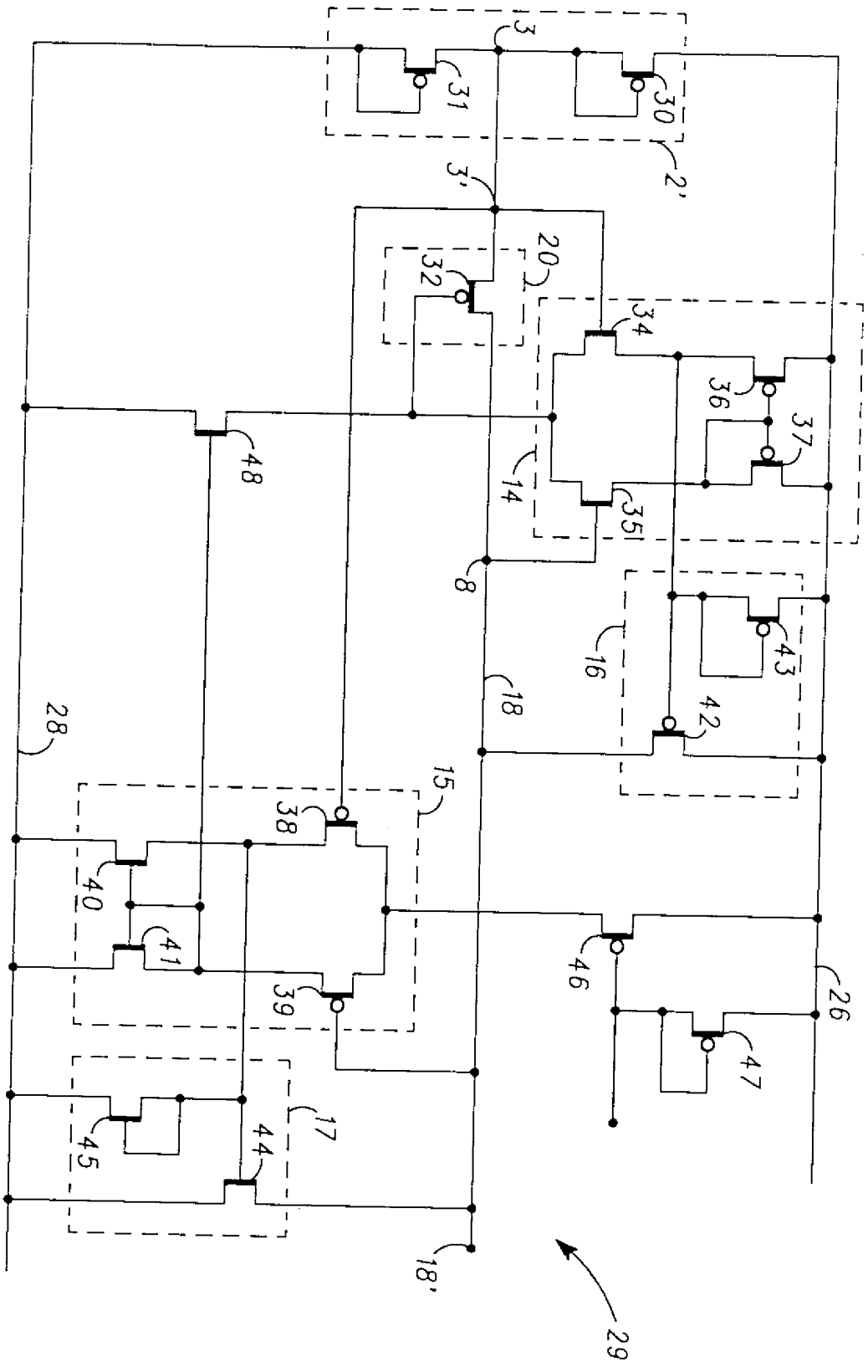
3
31
30
2'
3'
20
32
34
36
37
48
14
35
8
16
43
18
42
28
15
38
40
41
46
26
39
47
17
44
45
18'
29

圖 3

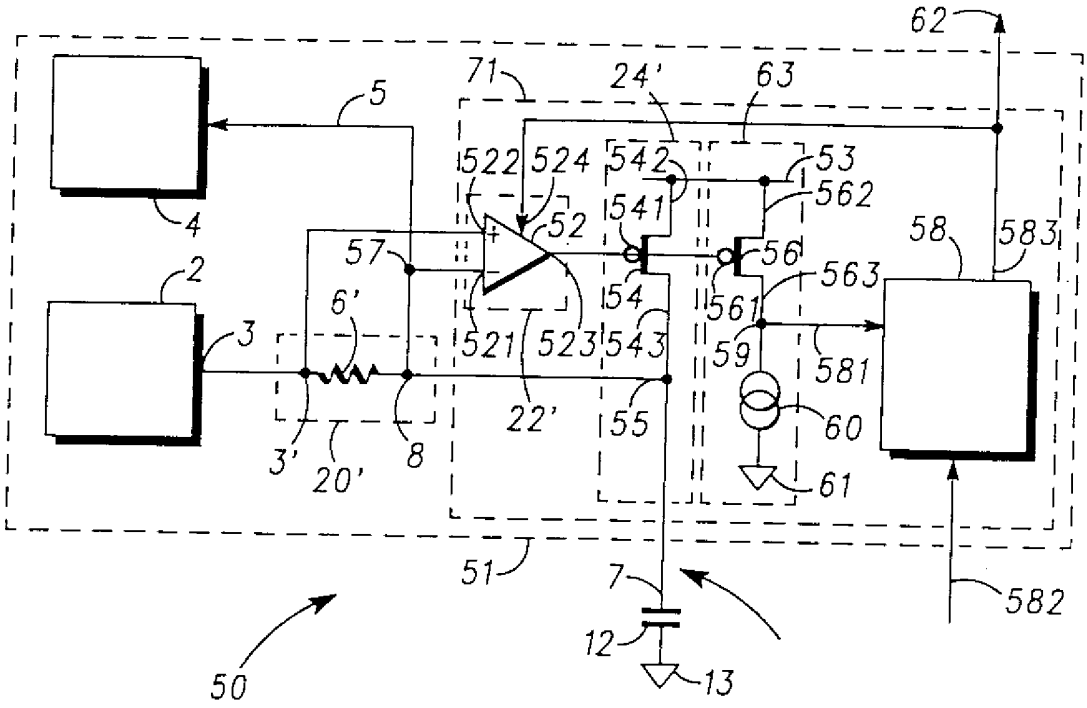
62
71
24'
63
5
522
524
542
53
562
541
52
4
57
56
58
583
2
563
6'
54
561
3
521
523
543
59
581
22'
55
60
3'
20'
8
61
51
7
582
12
13
50

圖 4

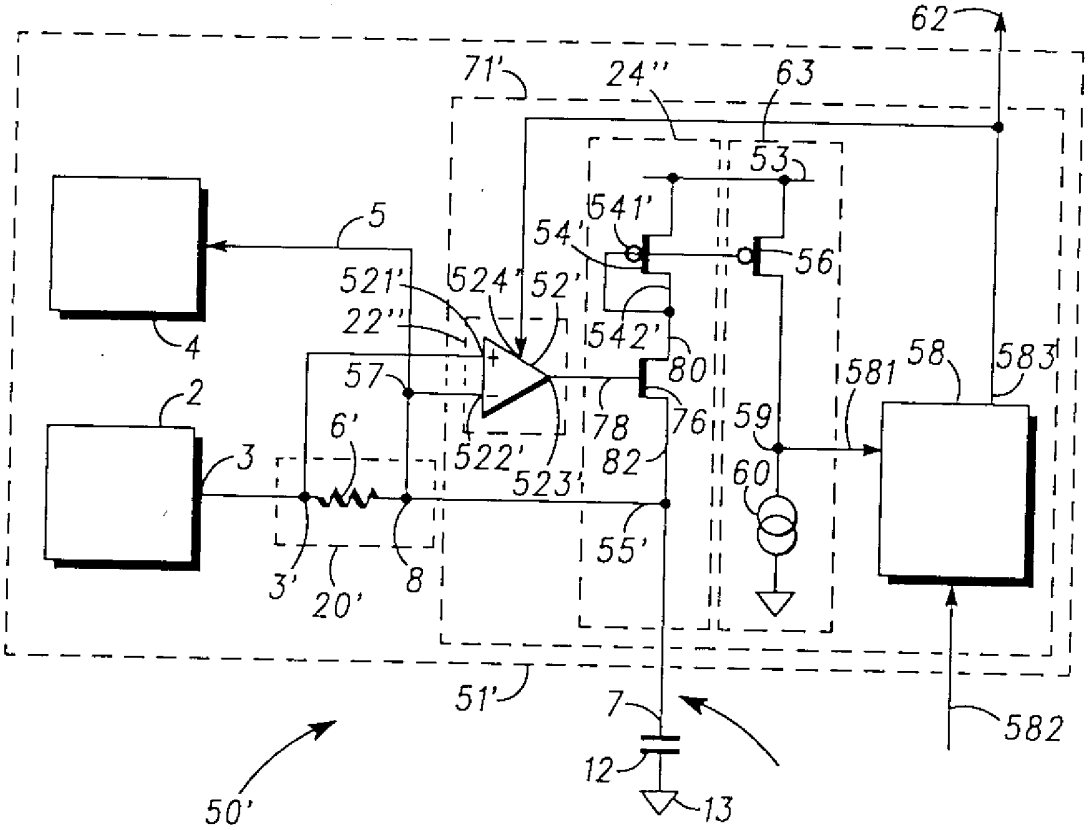
62
71'
24''
63
53
5
541'
54'
56
521'
524'
52'
22''
542'
4
80
57
581
58
583
2
78
76
59
6'
522'
82
3
523'
60
55'
3'
20'
8
51'
7
582
12
13
50'

圖 5

89.12.18修正補充
A7
B7

五、發明說明（17）

第一部分以便在 Vo<V-Vos1 時將 C 充電，及第二部分，在 Vo>V+Vos2 時將 C 放電，其中 Vos1 及 Vos2 為大於 0 之補償電壓；及一微分放大器耦合至 R 及驅動可變電流源，俾 C 之充電及放電與 R 無關。

最好，Vos1 及 Vos2 之值大於 5 毫伏特，小於 100 毫伏特，理想值為 Vos1 及 Vos2 之值大於 10 毫伏，而小於 70 毫伏特。

微分放大器最好包含一個第一微分放大器驅動第一部分，及一個第二微分放大器驅動第二部分。如第一微分放大器之正輸入耦合至第二微分放大器之正輸入，及第一微分放大器之負輸入耦合至第二微分放大器之一負輸入則非常有用。如 Vost=Vos1+Vos2 在 Vi 之 2%至 20%，最好 Vost=Vos1+Vos2 在 Vi 之 4%至 10%之範圍內。

當電路 19，29，50，50'之安排及操作係以特別範例及元件安排予以解釋，此技藝中人士當可了解基於此一說明，其他形式之元件亦可使用以相同方式完成相同功能而不會悖離本發明。因此，本文將各變化併入本專利申請範圍中。

元件符號說明

2	參考電壓源	6	電阻器
3	輸出	7	輸入連接
3'	節點	8	節點
4	負載	9	邊界
5	輸入	10	電路

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

425746

第87104426號專利申請案
申請專利範圍修正本(89年12月)

A8
B8
C8
D8

89.12.13 修正補充

六、申請專利範圍

1. 一種電子裝置，包括：

一源具有提供電壓 Vi 之一輸出；

一負載連接接收一電壓 Vo，其上升時間與耦合至負載連接之電容有關；

一偵感器電路耦合至源輸出及負載連接，其中之偵感電路偵出 Vi 及 Vo 及提供一與(Vi-Vo)相關之輸出信號；

一充電電路接收偵感電路之輸出信號，及響應該處，將電容充電直到 Vo~Vi；及

一回授電路具有一緩衝器及一鎖存器，其中之緩衝器及鎖存器耦合至偵感電路，並在 Vo~Vi 時，暫時使偵感電路中止激勵，俾偵感電路在 Vi 為 OFF 之後不再響應(Vi-Vo)。

2. 根據申請專利範圍第 1 項之裝置，包含有一電阻耦合至源之輸出及電容之第一終端之間，其中，電容之第二終端耦合至一參考電壓及電容之第一終端耦合至負載連接，其中之偵感電路自跨電阻而驅動其輸入。

3. 根據申請專利範圍第 1 項之裝置，其中，在中止激勵後，偵感電路一直為停止激勵直到鎖存器再設定為止。

4. 根據申請專利範圍第 1 項之裝置，其中緩衝器含第二電流源由偵感電路之輸出加以驅動，其中緩衝器之輸出耦合至鎖存器，其中在 Vi 接近等於 Vo 及由鎖存器部分決定之延遲後，鎖存器之渡越饋回至放大器而將其中止激勵。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）