(19) Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 197 08 031 B4** 2008.04.30

(12) **Patentschrift**

(21) Aktenzeichen: **197 08 031.6**
(22) Anmeldetag: **27.02.1997**
(43) Offenlegungstag: **05.03.1998**
(45) Veröffentlichungstag der Patenterteilung: **30.04.2008**

(51) Int Cl.[8]: ***H01L 27/115*** (2006.01)
H01L 21/8247 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten(§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(30) Unionspriorität:
8-253797 04.09.1996 JP

(73) Patentinhaber:
Oki Electric Industry Co., Ltd., Tokio/Tokyo, JP

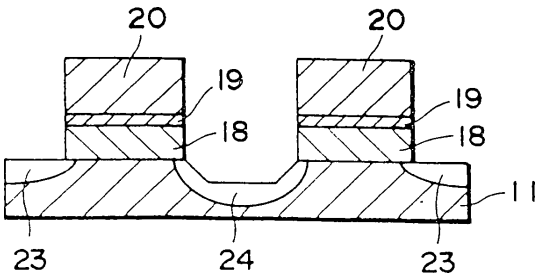
(74) Vertreter:
Betten & Resch, 80333 München

(72) Erfinder:
Kawazu, Yoshiyuki, Tokio/Tokyo, JP; Miyagi, Susumu, Tokio/Tokyo, JP

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:
US 55 52 331 A
US 55 10 282 A
US 53 76 571 A
US 52 70 240 A
US 51 03 274 A
US 50 19 527 A
JP 64-0 77 160 A
JP 07-1 61 848 A

(54) Bezeichnung: **Nichtflüchtiger Halbleiterspeicher und Verfahren zu dessen Herstellung**

(57) Hauptanspruch: Nichtflüchtiger Halbleiterspeicher, der folgendes enthält:
ein Halbleitersubstrat (11), in dem Feldgebiete (15) gebildet sind,
Wortleitungen (12), die parallel auf dem Halbleitersubstrat (15) gebildet sind, wobei die Wortleitungen (12) eine Struktur haben, bei der ein Gate-Oxid (17), ein schwebendes Gate (20), eine Gate-Gate-Isolierschicht (19), ein Steuer-Gate (20) und eine Isolierschicht (21) übereinander geschichtet sind, und
Source-Leitungs-Gebiete (13a), die Source-Bereiche (24) und Source-Leitungen (13) umfassen und die selbstausrichtend mit Paaren von zwei benachbarten Wortleitungen (12) unter den Wortleitungen (12) gebildet sind,
wobei der Abstand eines Paares von Wortleitungen (12), die ein Gebiet bilden, in das Source-Bereiche (24) gelegt werden, kleiner ist als der Abstand eines Paares von Wortleitungen (12), die ein Gebiet bilden, in das Drain-Bereiche (23) gelegt werden.



Beschreibung

[0001] Die Erfindung betrifft einen nichtflüchtigen Halbleiterspeicher mit vielen Speicherzellen, die jede mit einem schwebenden Gate und einem Steuer-Gate versehen sind, und ein Verfahren zu dessen Herstellung.

[0002] Im Stand der Technik gibt es nichtflüchtige Halbleiterspeicher, bei denen Transistoren (Speicherzellen), jeder mit einem schwebenden Gate und einem Steuer-Gate, in einer Matrix angeordnet sind. So ein nichtflüchtiger Halbleiterspeicher ist mit vielen Source-Leitungen versehen, die jede elektrisch mit Source-Bereichen von Transistoren verbunden sind, die zu der gleichen Reihe gehören. Außerdem ist er mit vielen Bitleitungen versehen, die jede elektrisch mit Drain-Bereichen von Transistoren verbunden sind, die zu der gleichen Spalte gehören. Ferner ist er mit vielen Wortleitungen versehen, die jede das schwebende Gate und das Steuer-Gate der Transistoren enthalten, die zu der gleichen Reihe gehören.

[0003] Ein nichtflüchtiger Halbleiterspeicher wie dieser wird konventionell nach dem folgenden Verfahren hergestellt.

[0004] Zuerst werden auf der gesamten Oberfläche eines Siliziumsubstrates (Si-Wafer) eine Unterbau-Oxidschicht (SiO_2-Schicht) und eine Siliziumnitridschicht (Si_3Ni_4-Schicht) gebildet. Nachfolgend wird unter Verwendung von Lithographie auf der Siliziumnitridschicht ein Resist-Muster gebildet, das nur Gebiete bedeckt, in denen Source-Leitungen und Transistoren geschaffen werden. Danach werden beginnend mit Ätzen mehrere Prozesse durchgeführt, wodurch Siliziumdioxid-Gebiete, d.h. Feldgebiete für eine Trennung zwischen Speicherzellen, auf Gebieten gebildet werden, in denen keine Source-Leitungen und keine Speicherzellen gebildet werden.

[0005] Sobald die Struktur mit den Feldgebieten und einem Gebiet, in dem kein Siliziumdioxid vorhanden ist (nachstehend aktives Gebiet genannt), auf der Oberfläche vollendet ist, wird die gesamte Oberfläche mit mehreren Schichten für Wortleitungen wieder bedeckt. Danach wird durch Lithographie ein Resist-Muster zum Mustern der Schichten gebildet. Die Schichten werden dann unter Verwendung des Resist-Musters als Maske geätzt, wodurch die Wortleitungen gebildet werden.

[0006] Nach Bildung der Wortleitungen wird ein Dotierungsprozeß durchgeführt. Danach wird eine Zwischenisolierschicht gebildet, welche die gesamte Oberfläche bedeckt. Auf der Zwischenisolierschicht wird unter Verwendung von Lithographie ein Resist-Muster gebildet, das Gebiete mit Ausnahme der Drain-Bereiche bedeckt. Danach wird die Zwischenisolierschicht unter Verwendung des Resist-Musters als Maske geätzt, und es werden Löcher gebildet, welche die Drain-Bereiche erreichen (d.h. Drain-Kontaktlöcher). Anschließend wird ein leitendes Material (Al) auf der Oberfläche abgelagert, und das abgelagerte leitende Material wird gemustert, wodurch die Bitleitungen gebildet werden.

[0007] Man beachte, dass Einzelheiten des Herstellungsverfahrens eines nichtflüchtigen Halbleiterspeichers wie diesem beispielsweise der JP 64-77160 A von 1989 entnommen werden können.

[0008] Wie oben angegeben, werden bei dem konventionellen nichtflüchtigen Halbleiterspeicher sowohl die Wortleitungen als auch die Source-Leitungen unter Verwendung von Resist-Mustern gebildet (Lithographie). Wenn daher ein nichtflüchtiger Halbleiterspeicher entworfen wird, der mit der obigen Struktur herzustellen ist, werden die Abstände zwischen den Wortleitungen und den Source-Leitungen unter Berücksichtigung der Ausrichtungsgenauigkeit der Fotomaske festgelegt. Dass heißt, die Abstände zwischen den Wortleitungen und den Source-Leitungen werden so ausgelegt, dass ein normal funktionierender nichtflüchtiger Halbleiterspeicher erhalten werden kann, wenn das Resist-Muster in einer von der Standard-Position entfernten Position gebildet wird. Als Folge gibt es bei dem konventionellen nichtflüchtigen Halbleiterspeicher nutzlose Gebiete um die Source-Leitungen herum, die nicht zur Funktion des Speichers beitragen.

[0009] Sei dem konventionellen nichtflüchtigen Halbleiterspeicher wird auch bei der Bildung der Drain-Kontaktlöcher Lithographie verwendet. Wenn dabei die Drain-Kontaktlöcher die schwebenden Gates oder die Steuer-Gates der Wortleitungen direkt berühren, wird ein nichtflüchtiger Halbleiterspeicher hergestellt, der nicht normal funktioniert. Folglich wird der Entwurf in Bezug auf die Drain-Kontaktlöcher ebenfalls unter Berücksichtigung der Ausrichtungsgenauigkeit der Fotomaske angefertigt. Als Folge gibt es bei dem konventionellen nichtflüchtigen Halbleiterspeicher auch um die Drain-Kontaktlöcher herum nutzlose Gebiete ohne Wirkung für die Speicherfunktion.

[0010] Die US 5 552 331 A beschreibt einen nichtflüchtigen Halbleiterspeicher mit einem Halbleitersubstrat, in dem Feldgebiete sowie mehrere parallele Wortleitungen gebildet sind, und wobei Source-Leitungs-Gebiete, die jeweils als Source-Bereiche und Source-Leitungen wirken und selbstausrichtend mit Paaren von zwei benachbarten Wortleitungen gebildet sind.

[0011] Die US 5 510 282 A, die US 5 376 571 A, die US 5 270 240 A und die US 5 019 527 A beschreiben nichtflüchtige Halbleiterspeicher mit selbstjustierten Kontakten sowie Verfahren zur Herstellung dersel-

ben.

[0012] Die US 5 103 274 A beschreibt ein Verfahren und eine Vorrichtung zur Selbstausrichtung eines Source-Gebiets mit einem Feldoxidbereich und einem Polysilizium-Gate und einer Wortleitung auf einer Halbleiterstruktur.

[0013] Die JP 07-161848 A beschreibt einen nichtflüchtigen Halbleiterspeicher, bei dem eine zweite Siliziumoxidschicht zwischen einer ersten Siliziumnitridschicht und einer zweiten Siliziumnitridschicht gebildet ist, um den Verlust von Elektronen von einem schwebenden Gate zu verhindern, wenn ein Kontaktloch in der Nähe eines zweischichtigen Gates gebildet ist.

[0014] Der Erfindung liegt die Aufgabe zugrunde, einen nichtflüchtigen Halbleiterspeicher, der kompakt hergestellt werden kann, und so in Verfahren zur Herstellung eines nichtflüchtigen Halbleiterspeichers zu schaffen.

[0015] Diese Aufgabe wird gemäß der Erfindung durch einen im Anspruch 1 angegebenen nichtflüchtigen Halbleiterspeicher und das in Anspruch 2 angegebene Herstellungsverfahren gelöst.

[0016] Weitere Vorteile der Erfindung ergeben sich aus der folgenden Beschreibung mehrerer Ausführungsform und aus der Zeichnung, auf die Bezug genommen wird. In der Zeichnung zeigen:

[0017] Fig. 1A bis Fig. 1E Flächenansichten zur Erläuterung eines Verfahrens zur Herstellung von nichtflüchtigen Halbleiterspeichern gemäß einer ersten Ausführungsform;

[0018] Fig. 2A und Fig. 2B Schnittansichten in einem Teil, in dem Feldgebiete gebildet werden, zur Erläuterung des Verfahrens zur Herstellung von nichtflüchtigen Halbleiterspeichern gemäß der ersten Ausführungsform;

[0019] Fig. 3 eine Schnittansicht in einem Teil, in dem keine Feldgebiete gebildet wird, zur Erläuterung des Verfahrens zur Herstellung von nichtflüchtigen Halbleiterspeichern gemäß der ersten Ausführungsform;

[0020] Fig. 4 eine Schnittansicht zur Erläuterung eines Problems, wenn Feldgebiete unter Verwendung von stark anisotropischem Ätzen geätzt werden;

[0021] Fig. 5 eine Schnittansicht zur Erläuterung einer Ätzbedingung, die verwendet wird, wenn bei dem Verfahren zur Herstellung von nichtflüchtigen Halbleiterspeichern gemäß der ersten Ausführungsform Feldgebiete auf Source-Leitungen entfernt werden;

[0022] Fig. 6A bis Fig. 6D Flächenansichten zur Erläuterung eines Verfahrens zur Herstellung von nichtflüchtigen Halbleiterspeichern gemäß einer zweiten Ausführungsform, nicht gemäß der Erfindung;

[0023] Fig. 7A bis Fig. 7G Schnittansichten zur Erläuterung des Verfahrens zur Herstellung von nichtflüchtigen Halbleiterspeichern gemäß der zweiten Ausführungsform;

[0024] Fig. 8A bis Fig. 8E Schnittansichten zur Erläuterung eines ersten Prozesses, der verwendet wird, wenn bei dem Verfahren zur Herstellung von nichtflüchtigen Halbleiterspeichern gemäß der zweiten Ausführungsform eine Ätzstopschicht gebildet wird;

[0025] Fig. 9A und Fig. 9B Schnittansichten zur Erläuterung eines zweiten Prozesses, der verwendet wird, wenn bei dem Verfahren zur Herstellung von nichtflüchtigen Halbleiterspeichern gemäß der zweiten Ausführungsform eine Ätzstopschicht gebildet wird;

[0026] Fig. 10A bis Fig. 10D Schnittansichten zur Erläuterung eines Prozesses zur Bildung von Wortleitungen bei einem Verfahren zur Herstellung von nichtflüchtigen Halbleiterspeichern gemäß einer dritten Ausführungsform, nicht gemäß der Erfindung;

[0027] Fig. 11A bis Fig. 11C Schnittansichten zur Erläuterung des Verfahrens zur Herstellung von nichtflüchtigen Halbleiterspeichern gemäß der dritten Ausführungsform;

[0028] Fig. 12 eine Schnittansicht eines nach dem Verfahren zur Herstellung von nichtflüchtigen Halbleiterspeichern gemäß der dritten Ausführungsform hergestellten nichtflüchtigen Halbleiterspeichers;

[0029] Fig. 13 eine Flächenansicht einer Speicherzelle in einem nach dem Verfahren zur Herstellung von nichtflüchtigen Halbleiterspeichern gemäß der dritten Ausführungsform hergestellten nichtflüchtigen Halbleiterspeicher;

[0030] Fig. 14A bis Fig. 14D Schnittansichten zur Erläuterung einer vierten, nicht erfindungsgemäßen Ausführungsform; und

[0031] Fig. 15A und Fig. 15B Schnittansichten zur Erläuterung einer fünften, nicht erfindungsgemäßen Ausführungsform.

Erste Ausführungsform

[0032] Bei dem Verfahren zur Herstellung von nichtflüchtigen Halbleiterspeichern gemäß der ersten Ausführungsform weisen nichtflüchtige Halbleiterspeicher kein nutzloses Gebiet zwischen Wortleitun-

gen und Source-Leitungen auf.

[0033] Dieses Herstellungsverfahren wird nun unter Bezugnahme auf Fig. 1A bis Fig. 1E erläutert.

[0034] Wie in Fig. 1A gezeigt, werden zur Herstellung eines nichtflüchtigen Halbleiterspeichers zuerst Siliziumdioxid-Gebiete (Feldgebiete **15**) in einem Halbleitersubstrat **11** gebildet, jedoch nicht in aktiven Gebieten **16**, in denen später Speicherzellen gebildet werden, die zu der gleichen Spalte gehören. Man beachte, dass in dieser Ausführungsform ein P-Kanal-Silizium-Einkristallsubstrat als Halbleitersubstrat **11** verwendet wird, und die Feldgebiete **15** werden mittels des LOCOS-Verfahrens gebildet (Verfahren lokaler Oxidation von Silizium). Ferner werden die Größen der einzelnen Teile in diesem nichtflüchtigen Halbleiterspeicher in Übereinstimmung mit der 0,35-µm-Auslegungsregel ausgelegt, so dass die Feldgebiete **15** und die aktiven Gebiete **16** auf eine Weise gebildet werden, dass ihre Breiten 0,8 µm bzw. 0,4 µm werden.

[0035] Wie schematisch in Fig. 1B gezeigt, werden anschließend auf dem Halbleitersubstrat **11** Wortleitungen **12** gebildet, die Gate-Oxide, schwebende Gates **18**, Gate-Gate-Isolierschichten und Steuer-Gates enthalten und die sich in einer Richtung rechtwinklig zu den aktiven Gebieten **16** erstrecken. In dieser Ausführungsform werden die schwebenden Gates **18** ähnlich wie bei konventionellen nichtflüchtigen Halbleiterspeichern aus Polysilizium gebildet, und die Steuer-Gates werden aus Wolframsilizid gebildet. Eine Gate-Oxidschicht unter dem schwebenden Gate **18** und eine Gate-Gate-Isolierschicht zwischen dem schwebenden Gate und dem Steuer-Gate werden beide aus Siliziumdioxid gebildet. Außerdem wird jede Wortleitung **12** auf eine Weise gebildet, dass ihre Breite 0,5 µm wird, wobei der Abstand eines Paares von Wortleitungen, die ein Gebiet bilden, in das Source-Bereiche gelegt werden, 0,36 µm ist (der Mittenabstand ist 0,86 µm) und der Abstand eines Paares von Wortleitungen, die ein Gebiet bilden, in das Drain-Bereiche gelegt werden, 1,2 µm ist (der Mittenabstand ist 1,7 µm).

[0036] Die Details werden später beschrieben, und der erstere Abstand ist 0,4 µm kürzer wie bei dem konventionellen nichtflüchtigen Halbleiterspeicher und der letztere Abstand ist der gleiche wie bei dem konventionellen Halbleiterspeicher.

[0037] Danach wird durch Lithographie ein Resist-Muster **27** gebildet, das Gebiete zwischen zwei benachbarten Wortleitungen **12** auf jedem zweiten Gebiet bedeckt, wie in Fig. 1C gezeigt. Danach wird unter Verwendung des Resist-Musters **27** als Maske ein Trockenätzprozeß zum Entfernen des Siliziumdioxids durchgeführt.

[0038] Man beachte, dass wie erwähnt die obere Schicht (Steuer-Gate **20**) der Wortleitung **12** aus Wolframsilizid gebildet wird, einem Material mit ähnlichen ätzfesten Eigenschaften wie das Resist-Muster **27**. Das Resist-Muster **27**, das Öffnungen aufweist, die größer als die Gebiete sind, kann daher verwendet werden, um zwischen den Wortleitungen **12** vorhandenes Siliziumdioxid zu entfernen.

[0039] Bei diesem Trockenätzprozeß werden betreffend Teilen, in denen die Feldgebiete **15** gebildet werden (wie den durch die Linie I-I in Fig. 1C angezeigten Teilen), die Feldgebiete **15** (Siliziumdioxid) entfernt, die sich an den Öffnungen des Resist-Musters **27** befinden und zwischen zwei Wortleitungen **12** (Steuer-Gates **20**) gelegt sind, wie in Fig. 2A, Fig. 2B gezeigt. Andererseits wird in Teilen, in denen kein Feldgebiet **15** gebildet wird (wie den durch die Linie II-II in Fig. 1C angezeigten Teilen), bei diesem Ätzprozeß nur eine geringe Strukturänderung bewirkt, da es kein Siliziumdioxid zwischen den Wortleitungen **12** gibt, wie in Fig. 3 gezeigt (das Gate-Oxid, das zwischen dem Siliziumsubstrat **11** und dem schwebenden Gate **18** vorhanden ist, ist in der Ansicht von Fig. 3 weggelassen).

[0040] Nach alledem wird durch das Trockenätzen eine Struktur mit Source-Leitungs-Gebieten **13a** erhalten, welche Source-Leitungen und Source-Bereiche werden und die kein Oxid auf ihrer Oberfläche aufweisen, wie in Fig. 1D gezeigt.

[0041] Nach der Bildung der Source-Leitungs-Gebiete **13a** wird das Resist-Muster **27** entfernt. Danach werden in die gesamte Oberfläche Fremdatome implantiert, und das Substrat wird wärmebehandelt, so dass die implantierten Fremdatome diffundieren können. Durch diese Prozesse werden in den freiliegenden Teilen **16a** Drain-Bereiche **23** gebildet, und im Source-Leitungs-Gebiet **13a** werden Source-Bereiche **24** und eine Source-Leitung **13** gebildet, wie in Fig. 1E gezeigt.

[0042] In dieser Ausführungsform werden nach Bildung der Source-Leitungen und der Source- bzw. Drain-Bereiche konventionelle Prozesse zur Vollendung des nichtflüchtigen Halbleiterspeichers durchgeführt. Das heißt, nach Bildung der Source-Leitungen und der Source- bzw. Drain-Bereiche wird eine Zwischenisolierschicht gebildet, welche die gesamte Oberfläche der in Fig. 1E gezeigten Struktur bedeckt. Nachfolgend werden unter Verwendung eines Resist-Musters Drain-Kontaktlöcher, welche die jeweiligen Drain-Bereiche **23** erreichen, in die Zwischenisolierschicht geschnitten. Danach werden durch Ablagern von leitendem Material (in dieser Ausführungsform Aluminium) auf der Zwischenisolierschicht und Mustern des abgelagerten leitenden Materials Bitleitungen gebildet, die jeweils mit den Drain-Bereichen **23** der Speicherzellen verbunden sind, die zu

der gleichen Spalte gehören.

[0043] Wie oben beschrieben, werden bei dem Herstellungsverfahren der ersten Ausführungsform die Source-Leitungs-Gebiete **13a**, die schließlich die Source-Leitungen **13** und die Source-Bereiche **24** werden, durch Ätzen von Siliziumoxiden (zuerst gebildete Teile der Feldgebiete **15**) auf dem Substrat gebildet, wobei Paare von zwei benachbarten Wortleitungen **12** als Maske verwendet werden. Das heißt, bei diesem Herstellungsverfahren wird jede Source-Leitung **13** selbstausrichtend mit zwei benachbarten Wortleitungen gebildet, in die Source-Bereiche gelegt werden. Beim Entwerfen eines nach diesem Verfahren herzustellenden nichtflüchtigen Halbleiterspeichers kann daher der Abstand zwischen der Wortleitung und der Source-Leitung festgelegt werden, ohne Fehler zu berücksichtigen, die durch Verwendung von Lithographie erzeugt werden. Als Folge kann der Abstand zwischen den Wortleitungen **12**, in die Source-Bereiche gelegt werden, 0,4 µm kürzer (pro Speicherzelle 0,2 µm kürzer) eingestellt werden als derjenige des oben erwähnten nichtflüchtige Halbleiterspeichers, der mit dem konventionellen Verfahren hergestellt wird.

[0044] Man beachte, dass nicht mit dem Siliziumdioxid (Feldgebiete **15**) bedeckte Gebiete des Halbleitersubstrates **11** normalerweise nicht geätzt werden, da das Trockenätzen zur Bildung der Source-Leitungs-Gebiete **13a** unter der Bedingung durchgeführt wird, dass Siliziumdioxid geätzt wird und Silizium nicht geätzt wird. Wegen der Veränderung der Ätzbedingungen gibt es jedoch einen Fall, dass Silizium geätzt wird. Wenn Silizium geätzt wird, wird ein konkaver Teil **28*** mit einer in Fig. 4 gezeigten Form gebildet. Wenn die Struktur mit dem konkaven Teil 28* der Ionenimplantation und Wärmebehandlung unterzogen wird, diffundieren die implantierten Ionen nicht ausreichend unter die Wortleitungen. Als Folge wird unter den Wortleitungen **12** kein Kanal mit den gewünschten elektrischen Eigenschaften gebildet, wodurch ein nichtflüchtiger Halbleiterspeicher mit unerwünschten Eigenschaften erhalten wird.

[0045] Bei der Bildung der Source-Leitungs-Gebiete **13a** wird daher für Ätzbedingungen gesorgt, die wie in Fig. 5 gezeigt einen konkaven Teil **28** bilden können, dessen Tiefe sich in der Nähe des Randes der Wortleitungen **12** sanft ändert. Das heißt, es ist wünschenswert, Ätzbedingungen zu verwenden, die einen konkaven Teil **28** mit einem konisch zulaufenden Profil bilden können.

[0046] So ein Ätzprozeß wird zum Beispiel realisiert, indem ein Ätzdruck erhöht wird, eine Hochfrequenzleistung eingestellt wird, ein schwächeres Plasma zu erzeugen, oder der Partialdruck eines Gases, das Kohlenstoff enthält, mit dem durch Ablagerung leicht eine polymerisierte Schicht hergestellt werden kann, höher eingestellt wird.

Zweite Ausführungsform (nicht gemäß Erfindung)

[0047] Bei dem Verfahren zur Herstellung von nichtflüchtigen Halbleiterspeichern gemäß der zweiten Ausführungsform werden nichtflüchtige Halbleiterspeicher hergestellt, die kein nutzloses Gebiet zwischen Drain-Kontaktlöchern und Wortleitungen aufweisen.

[0048] Ein Verfahren zur Herstellung von nichtflüchtigen Halbleiterspeichern gemäß der zweiten Ausführungsform wird nun unter Bezugnahme auf Fig. 6A bis Fig. 6D und Fig. 7A bis Fig. 7G erläutert. Man beachte, dass Fig. 6A bis Fig. 6D Flächenansichten zur Erläuterung dieses Verfahrens sind. In diesen Figuren sind Gebiete für vier Speicherzellen gezeigt. Fig. 7A bis Fig. 7G sind Schnittansichten, in denen das Halbleitersubstrat in einer Richtung senkrecht zu der Wortleitung und auf eine Weise geschnitten ist, dass Speicherzellen durchschnitten werden.

[0049] Wie in Fig. 6A gezeigt, wird bei diesem Herstellungsverfahren ein rechtwinkliges Feldgebiet **15** auf eine Weise gebildet, dass in der Umgebung ein aktives Gebiet **16**, das zu Drain-Bereichen, Source-Bereichen und dergleichen wird, und aktive Gebiete **16a** zurückbleiben, die zu Source-Leitungen werden. Außerdem wird das Feldgebiet **15** auf eine Weise gebildet, dass die Breite des aktiven Gebietes **16a** gleich 0,18 µm wird und dessen Abstand gleich 2,0 µm wird und dass die Breite des aktiven Gebietes **16** gleich 0,4 µm wird und dessen Abstand gleich 0,8 µm wird.

[0050] Nachfolgend werden unter Verwendung von bekannten Techniken einschließlich Lithographie viele Wortleitungen **12** parallel auf dem Substrat **11** gebildet, in dem die Feldgebiete **15** gebildet werden, so dass jede Wortleitung **12** die aktiven Gebiete **16a** nicht überlappt und sich auf jedem Feldgebiet **15** zwei Wortleitungen **12** befinden. Man beachte, dass die Wortleitungen **12** in diesem Verfahrensschritt eine Struktur haben, bei der ein Gate-Oxid **17** (nicht gezeigt), ein schwebendes Gate **18**, eine Gate-Gate-Isolierschicht **19**, ein Steuer-Gate **20** und eine Isolierschicht **21** übereinandergeschichtet sind, wie in Fig. 7A gezeigt. Außerdem wird jede Wortleitung **12** auf eine Weise gebildet, dass die Breite 0,5 µm wird, dass der Abstand eines Paares Wortleitungen, in die das aktive Gebiet **24** gelegt wird, 0,76 µm wird (der Mittenabstand ist 1,26 µm) und dass der Abstand eines Paares Wortleitungen, in die kein aktives Gebiet **24** gelegt wird, 0,6 µm wird (der Mittenabstand ist 1,1 µm). Die Details werden später beschrieben, und der erstere Abstand ist der gleiche und der letztere Abstand ist 0,6 µm kürzer wie bei dem mit dem konventionellen Verfahren hergestellten nichtflüchtige Halbleiterspeicher.

[0051] Nach Bildung der Wortleitungen **12** werden die Ionenimplantation von Fremdatomen und die Wärmebehandlung durchgeführt, und es wird eine Struktur gebildet, wie in Fig. 6B und Fig. 7B gezeigt, in der die aktiven Gebiete **16** an der Seite der aktiven Gebiete **16a** als Source-Gebiete **24** wirken und das aktive Gebiet **16** zwischen den Wortleitungen **12** als der Drain-Bereich **23** wirkt.

[0052] Danach werden an den Seiten der Wortleitungen **12** Seitenwände **22** gebildet, wie in Fig. 6C und Fig. 7C gezeigt. Wie in Fig. 7D gezeigt, werden dann auf der Oberfläche der Struktur mit den Seitenwänden **22** eine Ätzstopschicht **29** und eine Zwischen-Isolierschicht **25** gebildet.

[0053] Man beachte, dass in dieser Ausführungsform die Seitenwände **22** durch Ablagern von Siliziumdioxid gebildet werden, derart, dass ihre Dicke W gleich 0,2 μm wird. Und die Ätzstopschicht **29** wird durch Ablagern von Siliziumnitrid gebildet. Ferner wird die Zwischenisolierschicht **25** durch Ablagern von Siliziumdioxid gebildet.

[0054] Wie in Fig. 7E gezeigt, wird als nächstes unter Verwendung von Lithographie ein Resist-Muster **30** zum Schneiden von Drain-Kontaktlöchern auf der Zwischenisolierschicht **25** gebildet. Danach wird unter Verwendung des Resist-Musters **30** als Maske das Ätzen der Zwischenisolierschicht **25** durchgeführt, wodurch eine Struktur wie in Fig. 7F gezeigt hergestellt wird, in der sich die ganze Zwischenisolierschicht **25** auf der Ätzstopschicht **29** und unter den Öffnungen des Resist-Musters **30** befindet. Nach Entfernen des Resist-Musters **30** werden nicht von der Zwischenisolierschicht **25** bedeckte Teile der Ätzstopschicht **29** durch Ätzen entfernt, wodurch eine Struktur wie in Fig. 7G gezeigt erhalten wird, mit Drain-Kontaktlöchern **26**, deren Querschnittsformen durch die Seitenwände **22** abgegrenzt werden.

[0055] Danach wird auf der gesamten Oberfläche der in Fig. 7G gezeigten Struktur (in den Drain-Kontaktlöchern **26** und auf der Zwischenisolierschicht **25**) leitendes Material (Aluminium) abgelagert, und das abgelagerte Material wird gemustert, um Bitleitungen zu bilden.

[0056] Bei diesem Herstellungsverfahren wird somit das auf der Zwischenisolierschicht **25** gebildete Resist-Muster **30** als ein Muster zur Entfernung der Zwischenisolierschicht **25** auf der Ätzstopschicht **29** verwendet, aber nicht als ein Muster zur Festlegung der Form der Drain-Kontaktlöcher **26** verwendet. Selbst wenn daher das Resist-Muster **30** in einer von der Standardposition entfernten Position gebildet wird (z. B. 0,1 μm entfernt), ändert sich die Form der Drain-Kontaktlöcher **26** an der Seite des Substrates **11** nicht. Da die Isolierschicht **21** auf dem Steuer-Gate **20** vorgesehen ist, gibt es dabei kein Problem, selbst wenn als Folge davon, dass die Öffnung des Resist-Musters **30** außer Position gelangt, ein Teil der Ätzstopschicht **29** auf der Wortleitung **12** entfernt wird.

[0057] Gemäß diesem Herstellungsverfahren ist es notwendig, das Resist-Muster **30** mit Lithographie zu bilden, wenn das Drain-Kontaktloch **26** gebildet wird, es ist jedoch unnötig, die Genauigkeit des Resist-Musters **30** zu verbessern. Werden daher mit diesem Herstellungsverfahren nichtflüchtige Halbleiterspeicher hergestellt, ist es nicht nötig, den Abstand zwischen den Wortleitungen **12** unter Berücksichtigung der Ausrichtungsgenauigkeit bei der Bildung des Resist-Musters **30** auszulegen, und folglich können kompakte nichtflüchtige Halbleiterspeicher hergestellt werden.

[0058] Man beachte, dass es in dieser Ausführungsform unnötig ist, bei der Bildung des Drain-Kontaktlochs die Ätzstopschicht **29** auf dem Drain-Bereich **23** zu entfernen, da die Ätzstopschicht **29** mit Isoliermaterialien (Siliziumnitrid) gebildet wird. Eine charakteristische Notwendigkeit in Bezug auf die Ätzstopschicht **29** ist jedoch, dass die Ätzgeschwindigkeit der Ätzstopschicht **29** geringer als die der Zwischenisolierschicht **25** sein muß. Daher wird die Ätzstopschicht **29** aus leitenden Materialien wie Polysilizium oder Wolfram gebildet, wodurch man ohne einen Prozeß zum Entfernen der Ätzstopschicht **29** auskommt. Wird jedoch eine aus leitendem Material gebildete Ätzstopschicht **29** verwendet, muß die Ätzstopschicht **29** unzusammenhängend sein, um einen Kurzschluß zwischen dem Drain-Bereich **23** und dem Source-Gebiet **24** oder zwischen den in Richtung der Wortleitung **12** angeordneten Drain-Bereichen **23** über die Ätzstopschicht **29** zu verhindern. Somit wird bei der Bildung der Ätzstopschicht **29** Lithographie verwendet, wobei die Ätzstopschicht **29** allerdings so gebildet wird, dass sie den Drain-Bereich **23** und das Source-Gebiet **24** und dergleichen nicht miteinander kurzschließt, so dass die Ausrichtungsgenauigkeit bei der Lithographie die Auslegung der Wortleitung **12** und dergleichen keinen Beschränkungen unterwirft. Als Folge können kompakte nichtflüchtige Halbleiterspeicher hergestellt werden, obwohl eine aus leitenden Materialien gebildete Ätzstopschicht verwendet wird.

[0059] Wird nun die Ätzstopschicht **29** aus Siliziumnitrid mit einem CVD-Verfahren gebildet, dringt Wasserstoff in die Grenzfläche zwischen der Wortleitung **12** und dem Substrat **11**. Wie in Fig. 7G gezeigt, wird bei diesem Herstellungsverfahren ein nichtflüchtiger Halbleiterspeicher hergestellt, bei dem die Ätzstopschicht **29** auf dem Source-Gebiet **24** und auf der Seitenfläche des Source-Gebietes **24** der Wortleitung **12** zurückbleibt, so dass es Fälle gibt, in denen der Wasserstoff in der Grenzfläche gespeichert wird.

[0060] Das Speichern von Wasserstoff in der Grenzfläche ändert die Schwellenspannung. Wird daher bei diesem Herstellungsverfahren die Ätzstopschicht **29** aus Siliziumnitrid verwendet, ist es günstig, den ersten oder den zweiten nachstehend erläuterten Prozeß zu verwenden, um zu verhindern, dass Wasserstoff in der Grenzfläche gespeichert wird.

[0061] Zuerst wird unter Bezugnahme auf Fig. 8A bis Fig. 8E der erste Prozeß erläutert. In dem ersten Prozeß wird die Ätzstopschicht **29** gemustert, und danach wird die Zwischenisolierschicht **25** gebildet.

[0062] Das heißt, in diesem Prozeß wird zuerst nach dem gleichen Verfahren wie oben erläutert die Ätzstopschicht **29** gebildet, welche die Wortleitung **12** und das Halbleitersubstrat **11** bedeckt, wie in Fig. 8A und Fig. 8B gezeigt. Wie in Fig. 8C gezeigt, wird dann auf der Ätzstopschicht **29** ein Resist-Muster **31** gebildet, das die Drain-Bereiche **23** bedeckt und die Source-Bereiche **24** nicht bedeckt. Danach werden Teile der Ätzstopschicht **29** entfernt. Das Resist-Muster **31** wird entfernt, um eine Struktur zu bilden, die mit einer Ätzstopschicht **29a** versehen ist, die nicht die ganze Substratoberfläche, sondern nur die Umgebung der Drain-Bereiche **23** bedeckt. Wie in Fig. 8E gezeigt, werden dann auf dieser Struktur die Zwischenisolierschicht **25** und das Resist-Muster **30** gebildet. Danach werden die übrigen Prozesse wie die Bildung von Drain-Kontaktlöchern und die Bildung von Bitleitungen durchgeführt, um nichtflüchtige Halbleiterspeicher herzustellen.

[0063] Wenn dieser erste Prozeß verwendet wird, wird schließlich ein nichtflüchtiger Halbleiterspeicher hergestellt, bei dem die Ätzstopschicht **29** nur am oberen Teil der Wortleitung **12** zurückbleibt. Das heißt, es wird ein nichtflüchtiger Halbleiterspeicher hergestellt, bei dem es an beiden Seiten der Wortleitung **12** nichts gibt, das verhindern könnte, dass während der Bildung der Ätzstopschicht **29** Wasserstoff in die Grenzfläche dringt. Wird daher der erste Prozeß verwendet, kann ein nichtflüchtiger Halbleiterspeicher hergestellt werden, bei dem die elektrischen Eigenschaften ein wenig zwischen den einzelnen Speicherzellen streuen.

[0064] Unter Bezugnahme auf Fig. 9A und Fig. 9B wird als nächstes der zweite Prozeß erläutert. Wie schematisch in Fig. 9A gezeigt, wird in dem zweiten Prozeß ein Gate-Oxidfilm **17** auf dem Halbleitersubstrat **11** gebildet, und danach wird der Gate-Oxidfilm **17** in Stickstoffoxid (NO oder NO2) wärmebehandelt. Wie in Fig. 9B gezeigt, werden dann das schwebende Gate **18**, das Steuer-Gate **20** und dergleichen gebildet.

[0065] Das heißt, in dem zweiten Prozeß werden freie Bindungen des Siliziums (Substrat **11**) unter dem Gate-Oxidfilm **17** mit Stickstoff abgeschlossen, wodurch vermieden wird, dass in der Grenzfläche zwischen dem Substrat **11** und dem Gate-Oxidfilm **17** Stickstoff gespeichert wird.

Dritte Ausführungsform (nicht gemäß Erfindung)

[0066] Bei dem Verfahren zur Herstellung von nichtflüchtigen Halbleiterspeichern gemäß der dritten Ausführungsform wird ein nichtflüchtiger Halbleiterspeicher hergestellt, bei dem es kein nutzloses Gebiet zwischen Wortleitungen und Source-Leitungen und zwischen Wortleitungen und Drain-Kontaktlöchern gibt. Das heißt, bei diesem Herstellungsverfahren werden die Source-Leitungen nach dem Herstellungsverfahren der ersten Ausführungsform gebildet, und die Drain-Kontaktlöcher werden nach dem Herstellungsverfahren der zweiten Ausführungsform gebildet. Ferner werden die Wortleitungen in der dritten Ausführungsform in Strukturen gebildet, die sich von denen der Wortleitungen in der zweiten Ausführungsform unterscheiden.

[0067] Es wird nun ein Verfahren zur Herstellung von nichtflüchtigen Halbleiterspeichern gemäß der dritten Ausführungsform erläutert.

[0068] Dieses Herstellungsverfahren beginnt ähnlich wie in der ersten Ausführungsform mit einem Prozeß zur Bildung von Feldgebieten **15** (Fig. 1A). Danach werden die folgenden Prozesse durchgeführt, um die Wortleitungen **12** zu bilden.

[0069] Wie in Fig. 10A gezeigt, werden zuerst das Gate-Oxid **17**, das schwebende Gate **18**, die Gate-Gate-Isolierschicht **19**, das Steuer-Gate **20**, eine erste Isolierschicht **21a** und eine zweite Isolierschicht **21b** in dieser Reihenfolge auf dem Halbleitersubstrat **11** gebildet, in dem die Feldgebiete **15** gebildet werden. In dieser Ausführungsform wird Siliziumdioxid abgelagert, um die erste Isolierschicht **21a** zu bilden, und Siliziumnitrid abgelagert, um die zweite Isolierschicht **21b** zu bilden. Man beachte, dass die zweite Isolierschicht **21b** vorgesehen ist, um das Ätzen des Steuer-Gate **20** zu verhindern, wie später beschrieben wird. Die erste Isolierschicht **21a** ist vorgesehen, um Siliziumnitrid, das ein Material ist, das auf dem Steuer-Gate **20** aus Wolframsilizid schwierig zu bilden ist, als Ätzmaske zu verwenden. Die Schicht aus der ersten Isolierschicht **21a** und der zweiten Isolierschicht **21b** wirkt außerdem als eine Isolierschicht zwischen einem Gegenstand auf der ersten Isolierschicht **21a** und dem Steuer-Gate **20**.

[0070] Nach Bildung dieser sechs Schichten wird auf der zweiten Isolierschicht **21b** das Resist-Muster **31** gebildet, das nur die mit den Wortleitungen **12** versehenen Teile bedeckt, wie in Fig. 10B gezeigt. Man beachte, dass das Resist-Muster **31** auf eine Weise gebildet wird, dass die Wortleitung **12** mit einer Breite von 0,5 µm gebildet werden kann, wobei der Ab-

stand, in den das Source-Gebiet gelegt wird, 0,36 µm ist und der Abstand, in den der Drain-Bereich gelegt wird, 0,6 µm ist.

[0071] Danach wird unter Verwendung des Resist-Musters **31** als Maske das Ätzen durchgeführt, wodurch, wie in Fig. 10C gezeigt, die Gate-Gate-Isolierschicht **19**, das Steuer-Gate **20**, die erste Isolierschicht **21a** und die zweite Isolierschicht **21b** an Teilen mit Ausnahme des Teils, an dem die Wortleitungen **12** gebildet sind, entfernt werden.

[0072] Wie in Fig. 10C gezeigt, wird dann das Resist-Muster **31** entfernt. Das Ätzen wird mit Ätzgas (in dieser Ausführungsform Chlorgas) durchgeführt, das keinen Kohlenstoff enthält, und man erhält die in Fig. 10D gezeigte Struktur, in der das schwebende Gate **18** an Teilen mit Ausnahme des Teils, in dem die Wortleitungen **12** gebildet sind, entfernt ist.

[0073] Das Ätzgas, das keinen Kohlenstoff enthält, wird außerdem verwendet, da das Verhältnis der Ätzgeschwindigkeit Vp für Polysilizium als Bestandteil des schwebenden Gate **18** zur Ätzgeschwindigkeit Vo für Siliziumdioxid als Bestandteil der Gate-Oxidschicht **17**, nämlich Vp/Vo, größer wird. Das heißt, um die Polysiliziumschicht zu bearbeiten, ohne die Gate-Oxidschicht **17** als Bestandteil der Wortleitungen **12** zu beschädigen, wird Ätzgas verwendet, das keinen Kohlenstoff enthält.

[0074] Der gleiche Prozeß wird auf die Struktur angewandt, in der die Wortleitungen **12** gebildet sind, um Source-Gebiete zu bilden.

[0075] Konkret wird auf der in Fig. 11A gezeigten Struktur, und zwar der zweiten Isolierschicht **21b** und dem Halbleitersubstrat **11** (den aktiven Gebieten **16** und den Feldgebieten **15**), ein Resist-Muster **27** gebildet, das Öffnungen aufweist, die Gebiete enthalten, die Source-Gebiete werden sollen, wie in Fig. 11B gezeigt. Danach wird das Siliziumdioxid (Feldgebiete **15**), das in Gebieten vorhanden ist, in denen Source-Leitungs-Gebiete gebildet werden, unter Verwendung des Resist-Musters **27** als Ätzmaske entfernt. Wie bereits beschrieben wurde, ist in dieser Ausführungsform die Oberflächenschicht der Wortleitung **12** die zweite Isolierschicht **21b** aus Siliziumnitrid. Während des Ätzens kann es daher nicht geschehen, dass die nicht mit dem Resist-Muster **27** bedeckten Teile der Wortleitung **12** (zweite Isolierschicht **21b**) geätzt werden. Folglich kann man nach Ätzen und Entfernen des Resist-Musters **17** eine Struktur der Wortleitung **12** erhalten, deren Oberseite eben ist, wie in Fig. 11C gezeigt.

[0076] Danach werden die Ionen in die Struktur implantiert, und es werden Source-Leitungen, Source-Gebiete und Drain-Bereiche gebildet. Nach dem in der zweiten Ausführungsform erläuterten Verfahren werden Drain-Kontaktlöcher und Bitleitungen gebildet, und es wird ein nichtflüchtiger Halbleiterspeicher hergestellt, wie in Fig. 12 gezeigt, bei dem die Source-Leitungen **13**, die Gebiete, die als Source-Gebiete **24** wirken, und die Drain-Kontaktlöcher **26** selbstausrichtend mit den Wortleitungen **12** gebildet sind. Eine Speicherzelle entspricht einem halben in Fig. 12 gezeigten Teil, und der nach diesem Herstellungsverfahren schließlich erhaltene nichtflüchtige Halbleiterspeicher, wie in Fig. 13 gezeigt, enthält Speicherzellen, deren Länge in Richtung der Bitleitungen 0,98 (= 0,6/2 + 0,5 + 0,36/2) µm ist und deren Länge in Richtung der Wortleitungen 1,2 µm ist. Nach diesem Herstellungsverfahren kann daher ein nichtflüchtiger Halbleiterspeicher hergestellt werden, dessen Zellenfläche 66% der Zellenfläche (1,2 µm × 1,48 µm) eines nach dem konventionellen Herstellungsverfahren hergestellten nichtflüchtigen Halbleiterspeichers beträgt.

[0077] Wie oben beschrieben, werden nach diesem Herstellungsverfahren die Source-Leitungen und Drain-Kontaktlöcher unabhängig von de Ausrichtungsgenauigkeit der Fotomaske gebildet, so dass ein sehr kompakter nichtflüchtiger Halbleiterspeicher hergestellt werden kann.

Vierte Ausführungsform (nicht gemäß Erfindung)

[0078] In der vierten Ausführungsform wird ein Verfahren zur Herstellung eines nichtflüchtigen Halbleiterspeichers mit einer Nebenbitleitung und einer Hauptbitleitung beschrieben (nachstehend Speicher mit geteilten Bitleitungen genannt), wie für Mehrschichtverdrahtungen benötigt, wobei das in der dritten Ausführungsform beschriebene Verfahren verwendet wird.

[0079] Unter Bezugnahme auf Fig. 14D wird zuerst eine Skizze des nach der vierten Ausführungsform hergestellten Speichers mit geteilten Bitleitungen erläutert. Fig. 14D ist eine Schnittansicht, die einen Teilaufbau des Speichers mit geteilten Bitleitungen zeigt, und ein tatsächlicher Speicher mit geteilten Bitleitungen hat eine Struktur mit einer Recht-Links-Symmetrie, mit einer Symmetrieachse (in Fig. 14A durch eine strichpunktierte Linie **34** angezeigt) zwischen nicht gezeigten zwei Wortleitungen **33** (**12**).

[0080] Der Speicher mit geteilten Bitleitungen enthält Transistoren, die als Speicherzellen wirken, und Transistoren, die nicht als Speicherzellen wirken. In Fig. 14D sind Transistoren unter zwei auf der linken Seite gezeigten Wortleitungen **32** (**12**) und zwei nicht gezeigten, noch weiter links angeordneten Wortleitungen **32** (**12**) Transistoren, die als Speicherzellen wirken. Da der Speicher mit geteilten Bitleitungen eine Recht-Links-Symmetrie aufweist, wie oben beschrieben, wirken die Transistoren unter den Wortlei-

tungen auf der rechten Seite natürlich ebenfalls als Speicherzellen.

[0081] Der Speicher mit geteilten Bitleitungen enthält keine Bitleitungen, die der ersteren Transistorgruppe und der letzteren Transistorgruppe gemeinsam sind, sondern eine Nebenbitleitung **14*** zur elektrischen Verbindung der Drain-Gebiete **23** weiterer Transistoren, der zu der gleichen Reihe in jeder Transistorgruppe gehören, miteinander.

[0082] Der Speicher mit geteilten Bitleitungen enthält außerdem Auswahltransistoren zum Auswählen der Nebenbitleitungen **14***. In Fig. 14A bis Fig. 14D wirken Transistoren unter den zwei auf der rechten Seite gezeigten Wortleitungen als Auswahltransistoren. Die Drain-Gebiete **23** dieser Transistoren, die nicht direkt mit den Nebenbitleitungen **14*** verbunden sind, sind mit der Hauptbitleitung **14** verbunden, und in dem Speicher mit geteilten Bitleitungen sind eine oder einige der Nebenbitleitungen **14*** entsprechend den Status dieser Transistoren unter den Wortleitungen **33** elektrisch mit der Hauptbitleitung **14** verbunden.

[0083] Nach dem in der dritten Ausführungsform erläuterten Herstellungsverfahren kann ein nichtflüchtiger Halbleiterspeicher mit einer Struktur wie dieser kompakt hergestellt werden. Konkret wird zuerst nach dem gleichen Verfahren wie in der dritten Ausführungsform erläutert die Struktur mit den Drain-Gebieten **23**, den Source-Leitungs-Gebieten **24**, den Wortleitungen **12** (**31**, **32**) und der Zwischenisolierschicht **25** gebildet. Wie in Fig. 14A gezeigt, wird das Resist-Muster **27** auf der Struktur gebildet, worin Öffnungen nur über den Drain-Gebieten **23** der als Speicherzellen wirkenden Transistoren gebildet werden.

[0084] Die Drain-Kontaktlöcher **26*** werden unter Verwendung des Resist-Musters **27** als Ätzmaske gebildet, und danach werden auf der Oberfläche der Struktur mit den gebildeten Drain-Kontaktlöchern **26*** leitende Materialien abgelagert, wodurch die in Fig. 14B gezeigte Struktur mit der gebildeten Nebenbitleitung **14*** erhalten wird.

[0085] Der gleiche Prozeß wird dann wiederholt auf die Drain-Bereiche **23** der Auswahltransistoren angewandt, wodurch die in Fig. 14C gezeigte Struktur mit den gebildeten Drain-Kontaktlöchern **26** erhalten wird. Auf der Oberfläche der Struktur mit den gebildeten Drain-Kontaktlöchern **26** werden leitende Materialien abgelagert, wodurch der Speicher mit geteilten Bitleitungen hergestellt wird, wie in Fig. 14D gezeigt, der die Mehrschichtstruktur mit den Nebenbitleitungen **14*** und der Hauptbitleitung **14** aufweist.

[0086] Wie oben beschrieben ist es bei dem in der vierten Ausführungsform erläuterten Herstellungsverfahren unnötig, Gebiete um die Auswahltransistoren herum vorzusehen, um Positionsabweichungen aufgrund der Verwendung von Lithographie Rechnung zu tragen. Daher kann ein kompakter Speicher mit geteilten Bitleitungen gebildet werden.

Fünfte Ausführungsform (nicht gemäß Erfindung)

[0087] Bei der Herstellung von nichtflüchtigen Halbleiterspeichern werden parallel zu der Bildung von Speicherzellen außerdem Schaltungen gebildet, welche die Speicherzellen steuern. In der fünften Ausführungsform wird Muster des in der zweiten Ausführungsform beschriebenen Herstellungsverfahren auf die Bildung von solchen peripheren Schaltungen angewandt.

[0088] Zusätzlich gibt es verschiedene Schaltungen wie einen X-Decoder und einen Y-Decoder als periphere Schaltungen. Unter Bezugnahme auf **Fig.** 15, in der ein Teil einer peripheren Schaltung gezeigt ist, wird daher ein Muster erläutert, bei dem das in der zweiten Ausführungsform beschriebene Herstellungsverfahren auf die Bildung von solchen peripheren Schaltungen angewandt wird.

[0089] Die periphere Schaltung ist mit zwei oder mehr als zwei Transistoren versehen, die Source-Gebiete bzw. Drain-Bereiche aufweisen. Bei Anwendung des in der dritten Ausführungsform beschriebenen Herstellungsverfahrens werden die Isolierschichten **21** auf den Steuer-Gates **20** jedes Transistors **34** gebildet, wie in Fig. 15A gezeigt. Normalerweise werden die Isolierschichten **21** im gleichen Zeitpunkt wie die Isolierschichten **21** der Wortleitungen **12** gebildet.

[0090] Danach wird die mit den Steuer-Gates **20** und den Isolierschichten **21** versehene Struktur ähnlich wie die Wortleitungen **12** behandelt. Das heißt, an den Seitenflächen der Struktur werden die Seitenwände **22** gebildet. Ferner wird die Ätzstopschicht **29** gebildet, welche die Seitenwände **22** und die Isolierschichten **21** des Transistors **34** bedeckt. Außerdem wird auf der Ätzstopschicht **29** die Zwischenisolierschicht **25** gebildet, und auf der Zwischenisolierschicht **25** wird das Resist-Muster **27** gebildet, das an Teilen, die den Drain-Bereichen **23** des Transistors **34** entsprechen, Öffnungen aufweist.

[0091] Auf die auf diese Weise gebildete Struktur (Fig. 15A) werden die mit Bezug auf Fig. 7F und Fig. 7G erläuterten Prozesse angewandt, nämlich das Ätzen der Zwischenisolierschicht **25**, das Entfernen des Resist-Musters **27** und das Ätzen der Ätzstopschicht **29**. Als Folge wird die in Fig. 15B gezeigte Struktur gebildet, bei der die Seitenwände **22** in den Drain-Kontaktlöchern **26** Teile der Seitenflächen sind, und auf der Struktur werden leitende Materialien abgelagert. Danach wird die Schicht aus leitenden Materialien gemustert und geätzt, um die Verdrah-

tung der Transistoren **34** zu vollenden.

[0092] Wie oben beschrieben, kann das in der zweiten Ausführungsform erläuterte Herstellungsverfahren auch auf periphere Schaltungen angewandt werden, und damit können die Abstände zwischen Transistoren, die Bauteile einer peripheren Schaltung sind, kürzer als die einer konventionellen Schaltung gemacht werden. Wird daher dieses Herstellungsverfahren auch auf die Bildung von peripheren Schaltungen angewandt, können sehr viel kompaktere nichtflüchtige Halbleiterspeicher hergestellt werden.

Patentansprüche

1. Nichtflüchtiger Halbleiterspeicher, der folgendes enthält:
ein Halbleitersubstrat (**11**), in dem Feldgebiete (**15**) gebildet sind,
Wortleitungen (**12**), die parallel auf dem Halbleitersubstrat (**15**) gebildet sind, wobei die Wortleitungen (**12**) eine Struktur haben, bei der ein Gate-Oxid (**17**), ein schwebendes Gate (**20**), eine Gate-Gate-Isolierschicht (**19**), ein Steuer-Gate (**20**) und eine Isolierschicht (**21**) übereinander geschichtet sind, und
Source-Leitungs-Gebiete (**13a**), die Source-Bereiche (**24**) und Source-Leitungen (**13**) umfassen und die selbstausrichtend mit Paaren von zwei benachbarten Wortleitungen (**12**) unter den Wortleitungen (**12**) gebildet sind,
wobei der Abstand eines Paares von Wortleitungen (**12**), die ein Gebiet bilden, in das Source-Bereiche (**24**) gelegt werden, kleiner ist als der Abstand eines Paares von Wortleitungen (**12**), die ein Gebiet bilden, in das Drain-Bereiche (**23**) gelegt werden.

2. Verfahren zur Herstellung eines nichtflüchtigen Halbleiterspeichers, das folgendes umfaßt:
Bildung von Oxid-Gebieten (**15**), indem parallel Oxid-Gebiete in Bändern in einem Halbleitersubstrat (**11**) gebildet werden,
Bildung von Wortleitungen (**12**), indem parallele Wortleitungen rechtwinklig zu den Oxid-Gebieten (**15**) auf dem Halbleitersubstrat (**11**) gebildet werden,
Ätzen der Oxid-Gebiete (**15**), die zwischen Paaren von zwei benachbarten Wortleitungen (**12**) vorhanden sind, wodurch aus den gebildeten Oxid-Gebieten (**15**) Feldgebiete erzeugt werden, und
Bildung von Source-Leitungs-Gebieten (**13a**), indem durch Dotieren von Fremdatomen in das Halbleitersubstrat (**11**) Source-Leitungs-Gebiete (**13a**), die Source-Bereiche (**24**) und Source-Leitungen (**13**) umfassen, in Gebieten zwischen den Wortleitungen gebildet werden.

3. Verfahren zur Herstellung eines nichtflüchtigen Halbleiterspeichers gemäß Anspruch 2, wobei in dem Verfahrensschritt zum Ätzen ein konisch zulaufendes Profil gebildet wird.

Es folgen 15 Blatt Zeichnungen

Anhängende Zeichnungen

FIG.1A

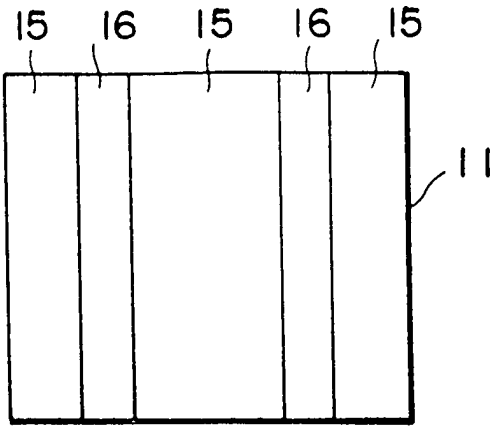


FIG.1B

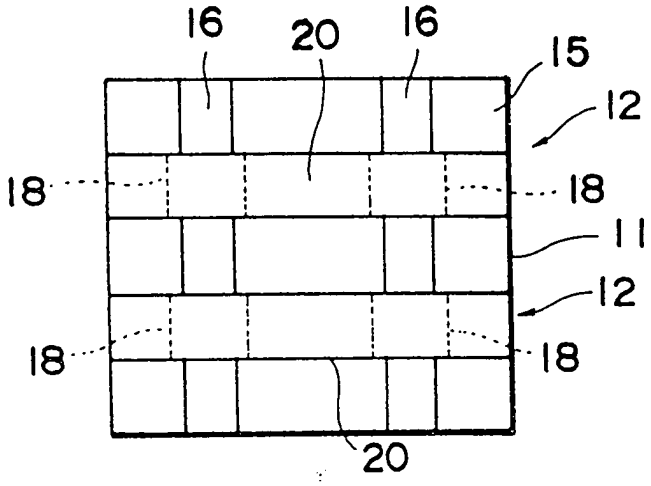


FIG.1C

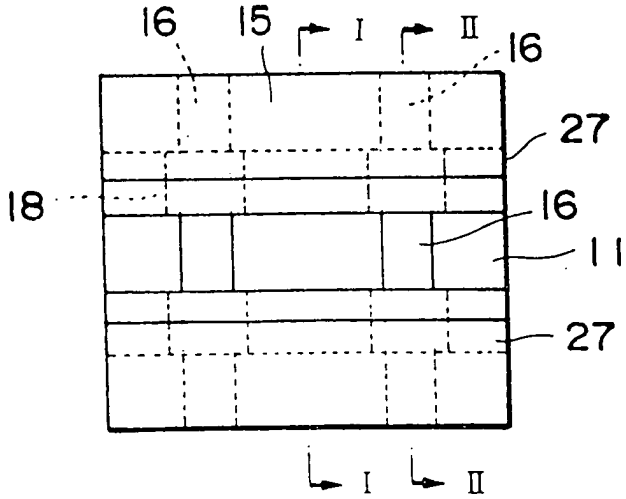


FIG.1D

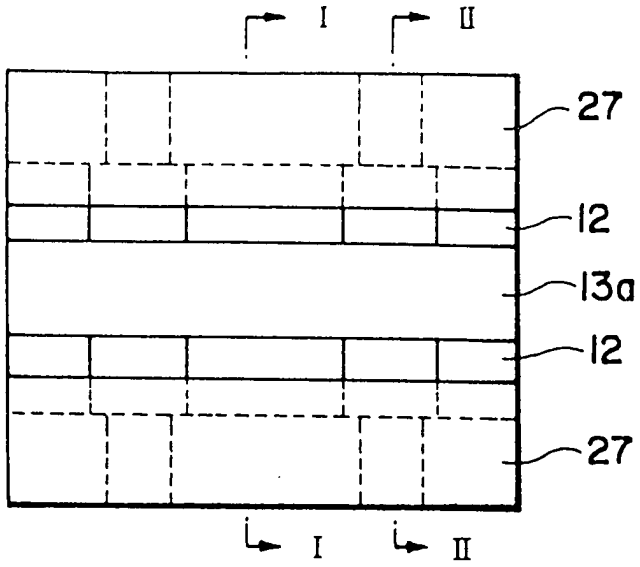

I
II
27
12
13a
12
27
I
II

FIG.1E

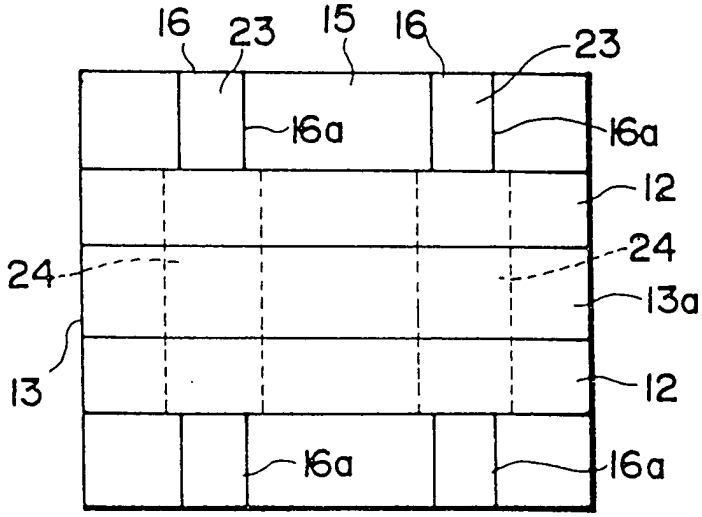

16
23
15
16
23
16a
16a
12
24
24
13a
13
12
16a
16a

FIG.2A

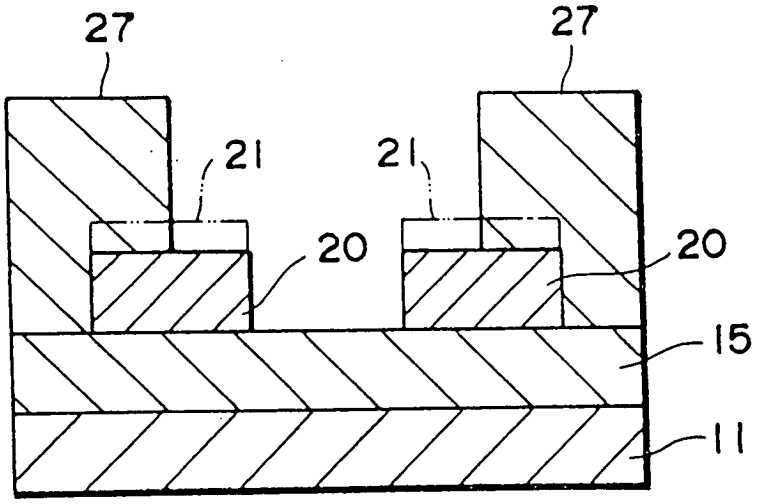


FIG.2B

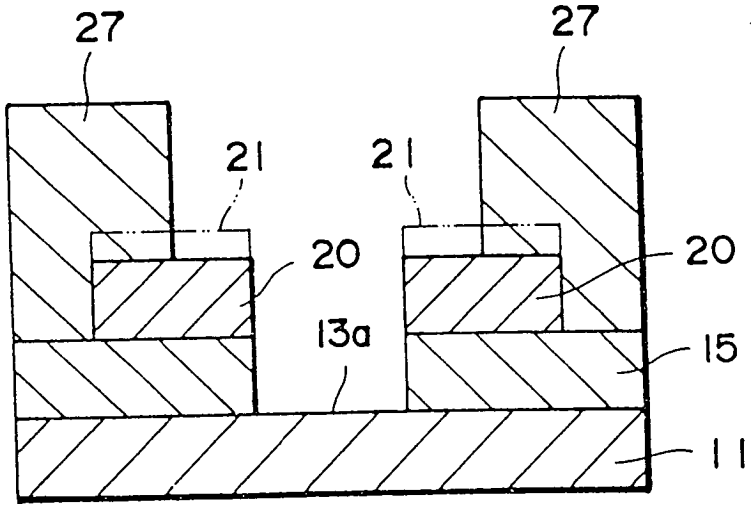


FIG.3

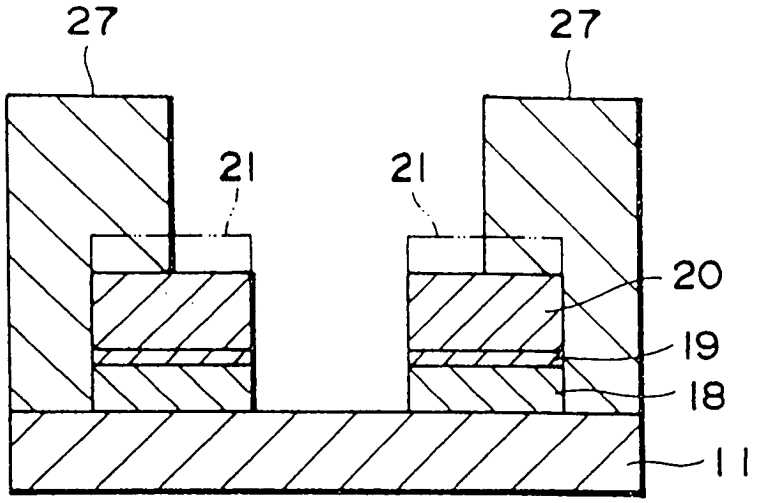


FIG.4

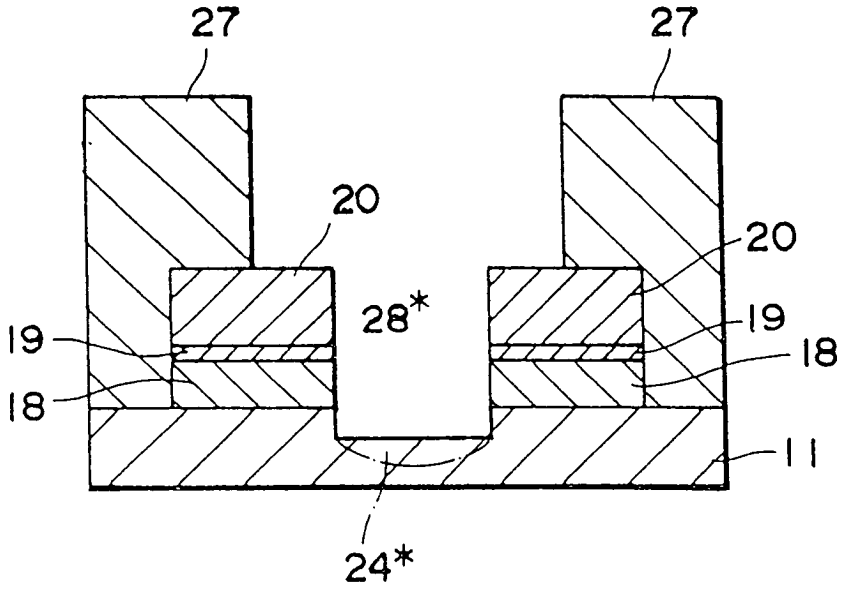


FIG.5

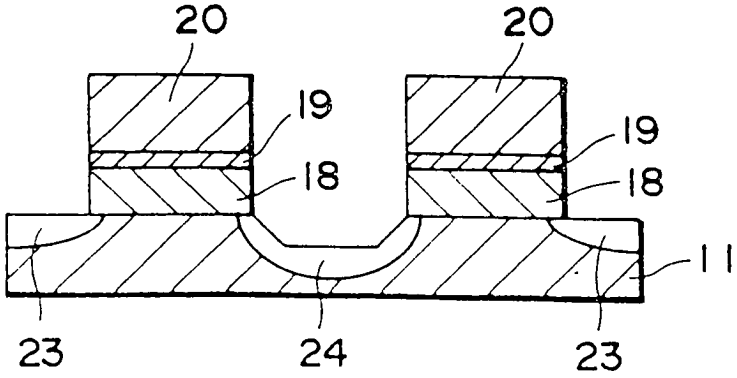


FIG.6A

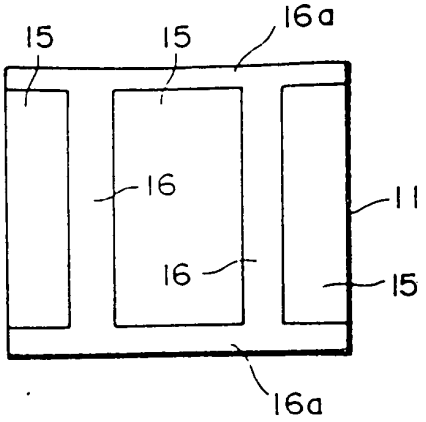


FIG.6B

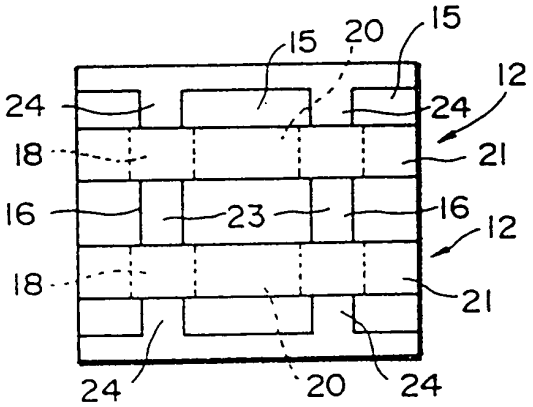


FIG.6C

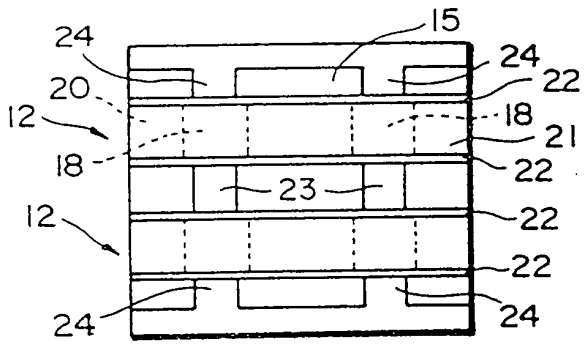


FIG.6D

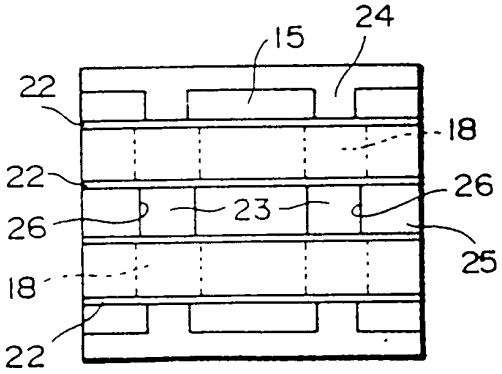


FIG.7A

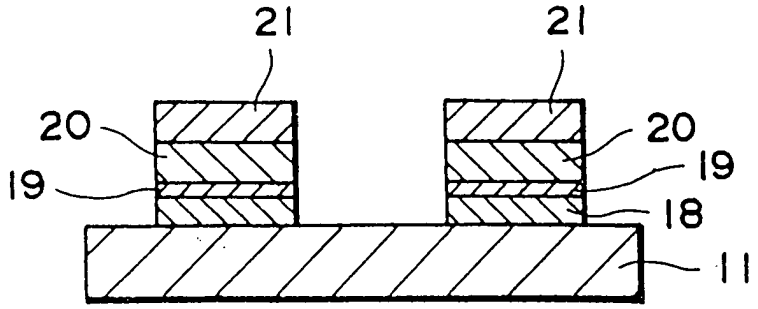


FIG.7B

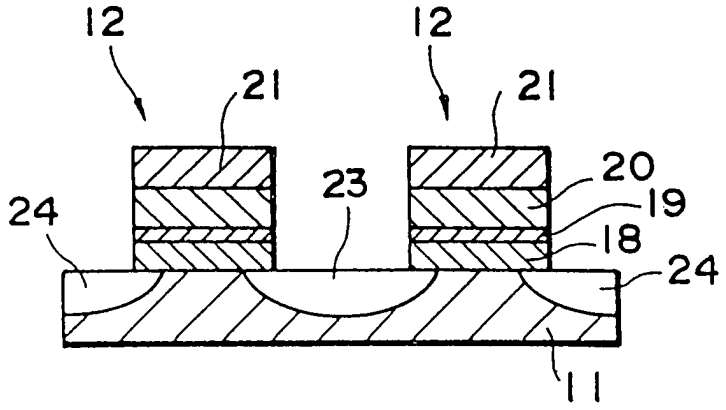


FIG.7C

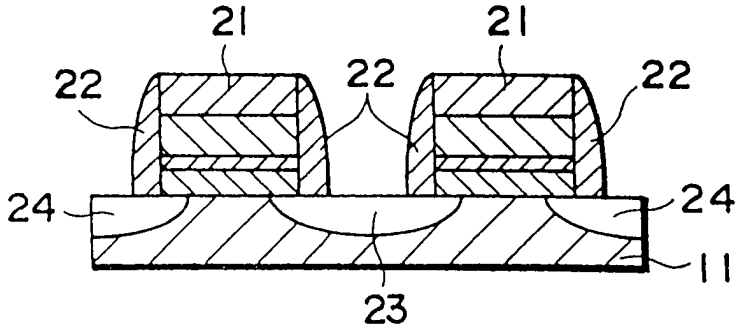


FIG.7D

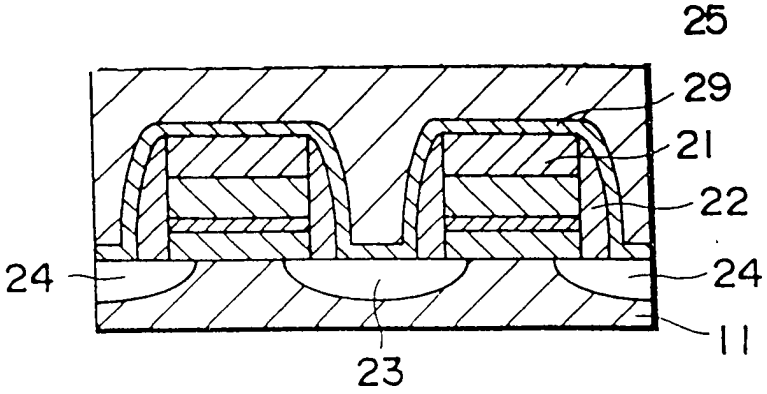


FIG.7E

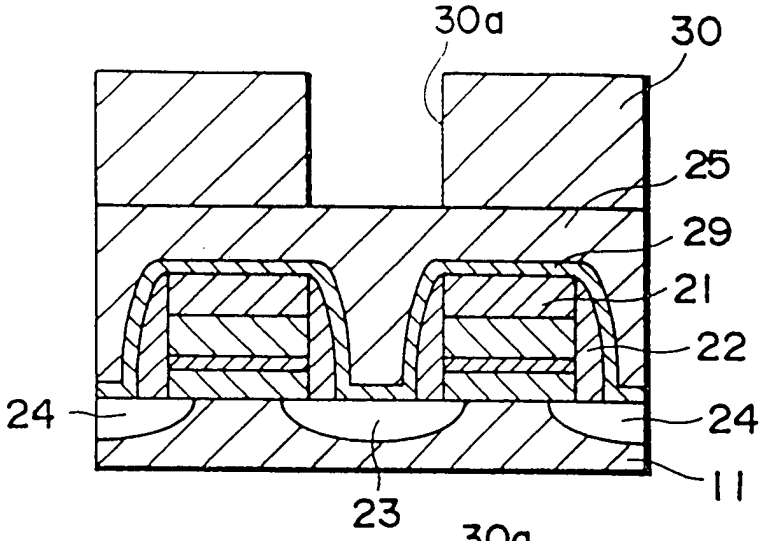


FIG.7F

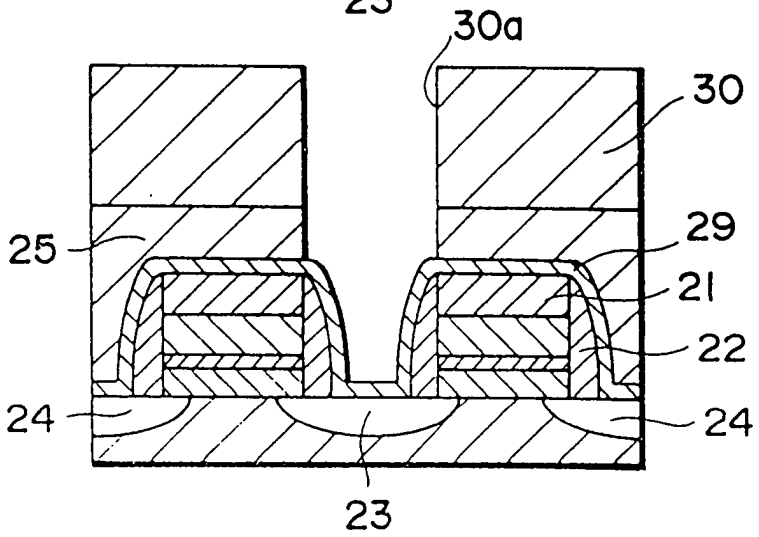


FIG.7G

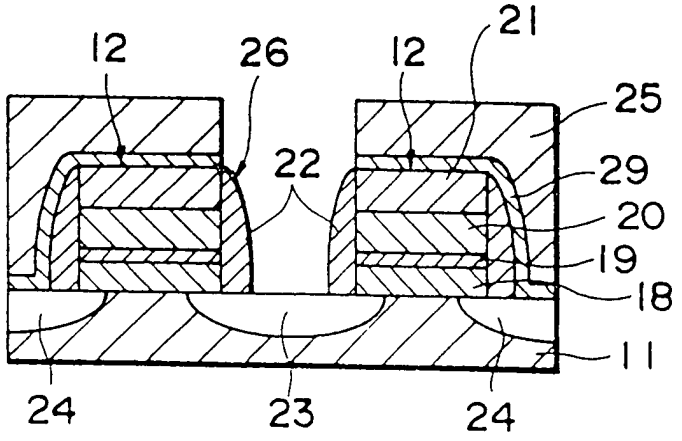


FIG.8A

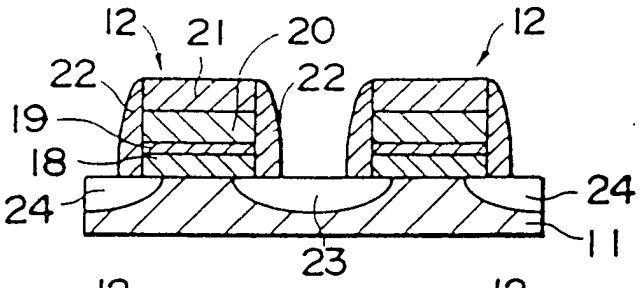


FIG.8B

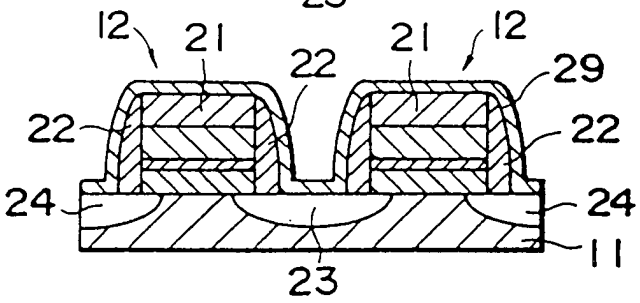


FIG.8C

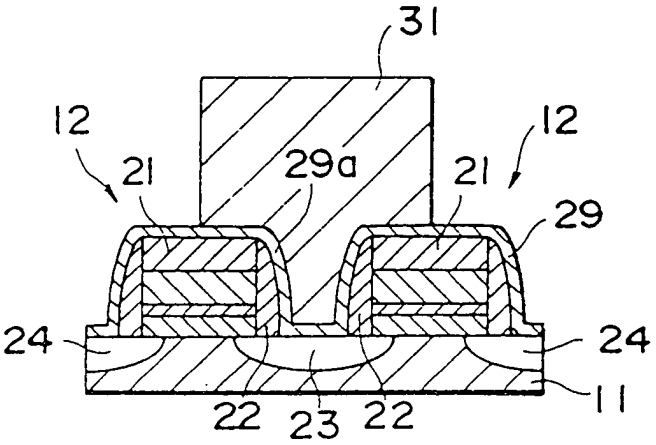


FIG.8D

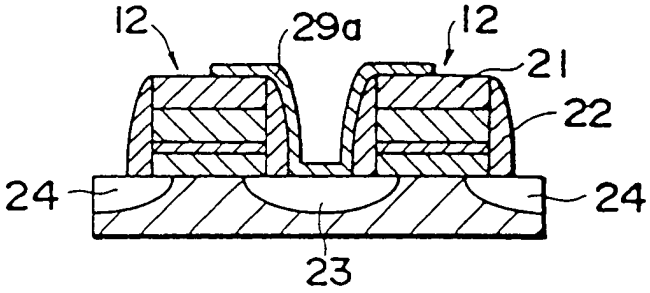


FIG.8E

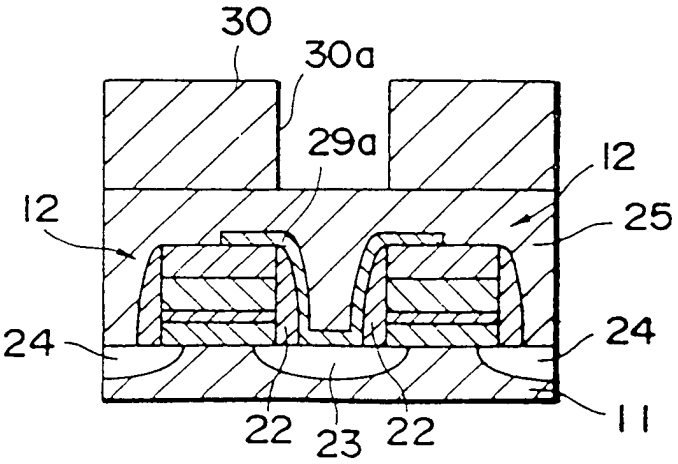


FIG.9A

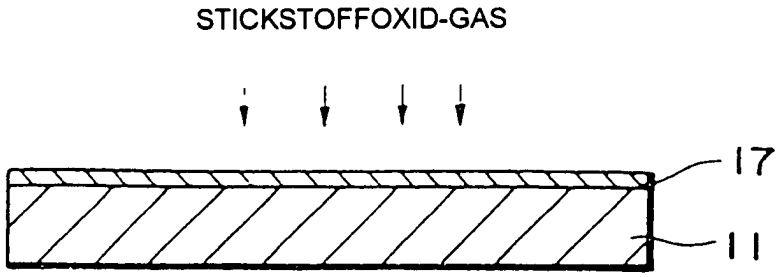


FIG.9B

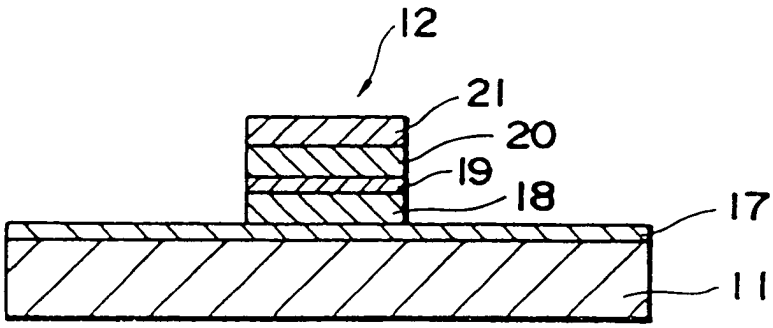


FIG.10A

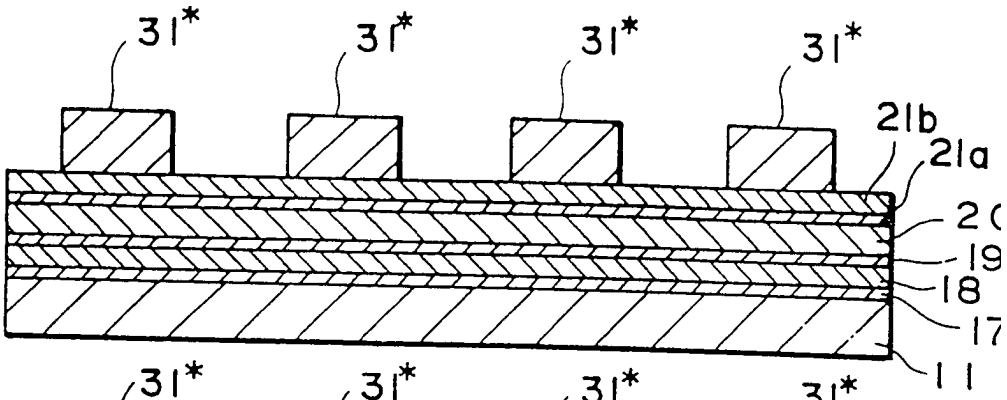


FIG.10B

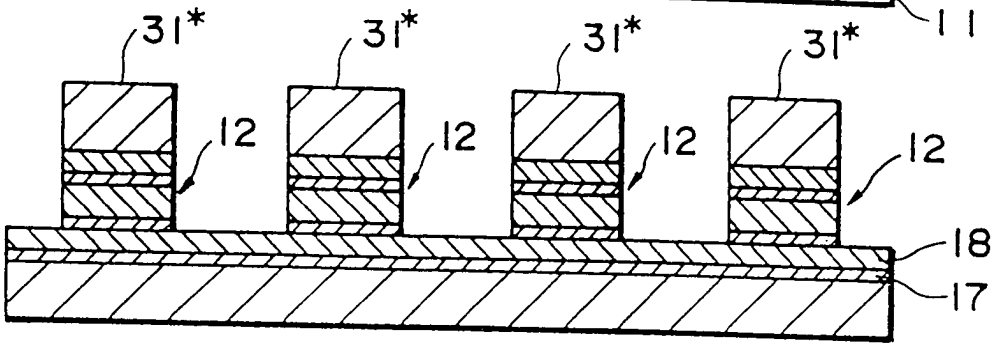


FIG.10C

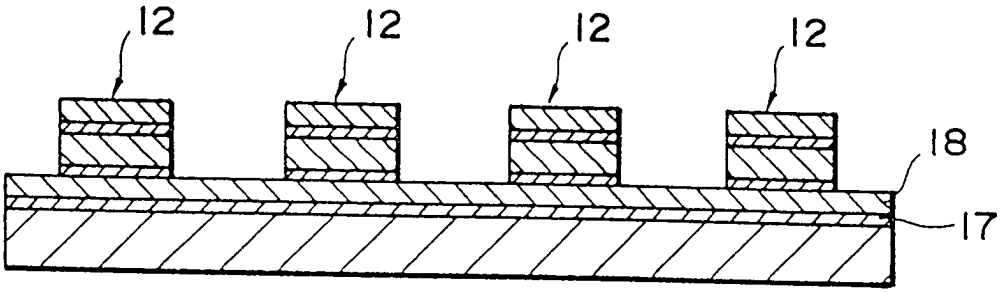
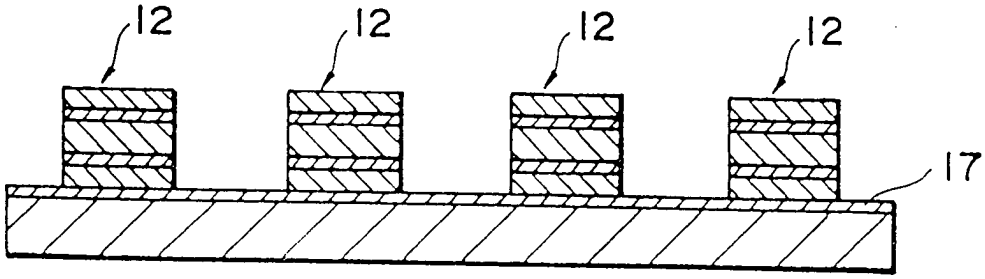


FIG.10D



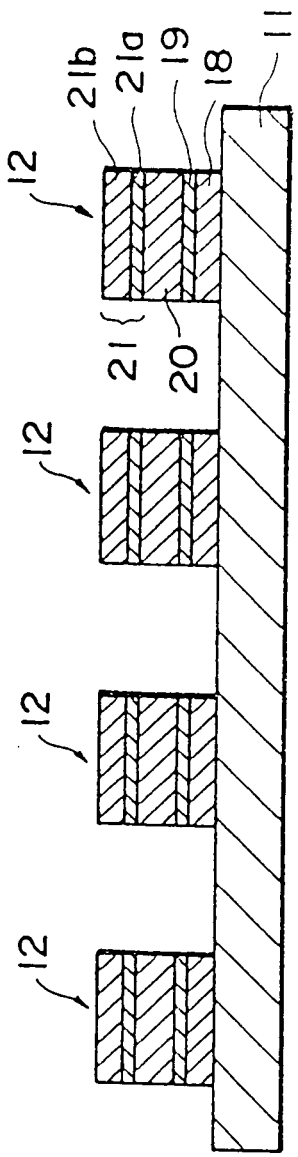


FIG.11A

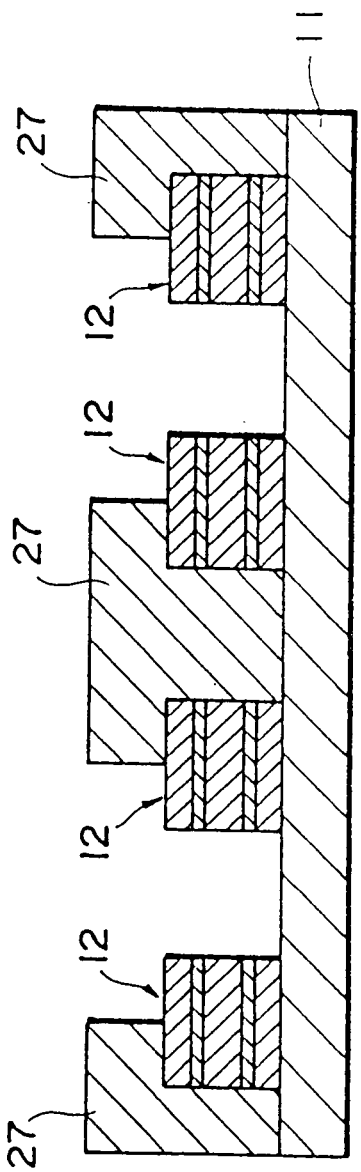


FIG.11B

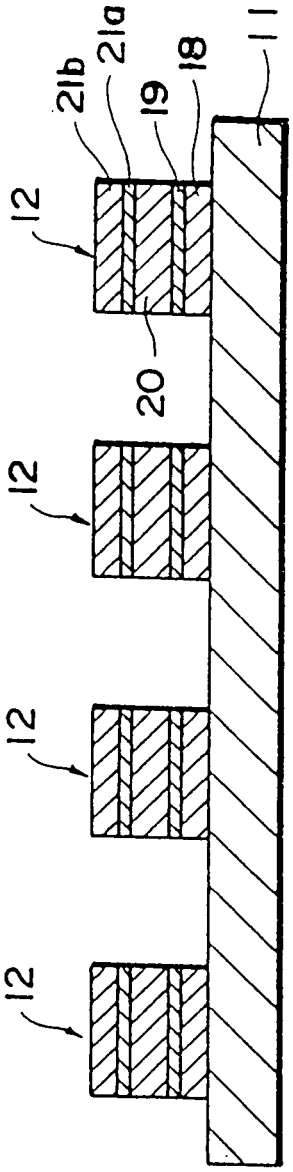


FIG.11C

FIG.12

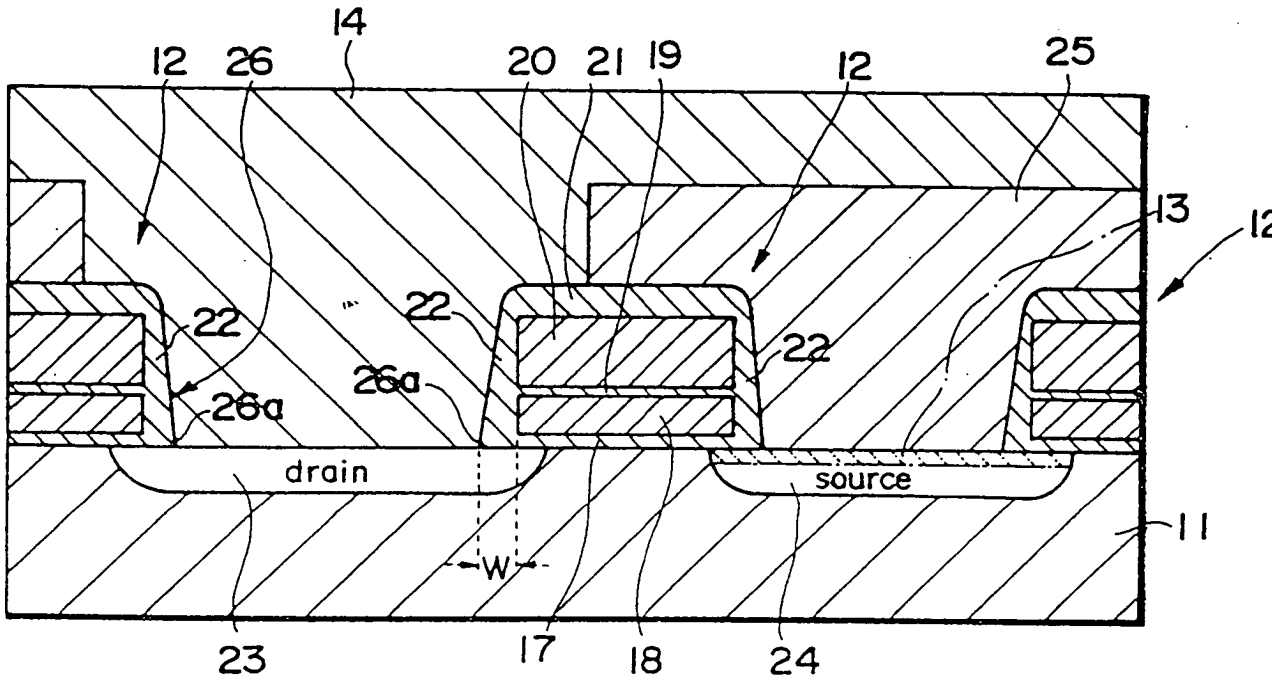

14
12
26
20
21
19
12
25
13
12
22
22
22
26a
26a
drain
source
11
W
23
17
18
24

FIG.13

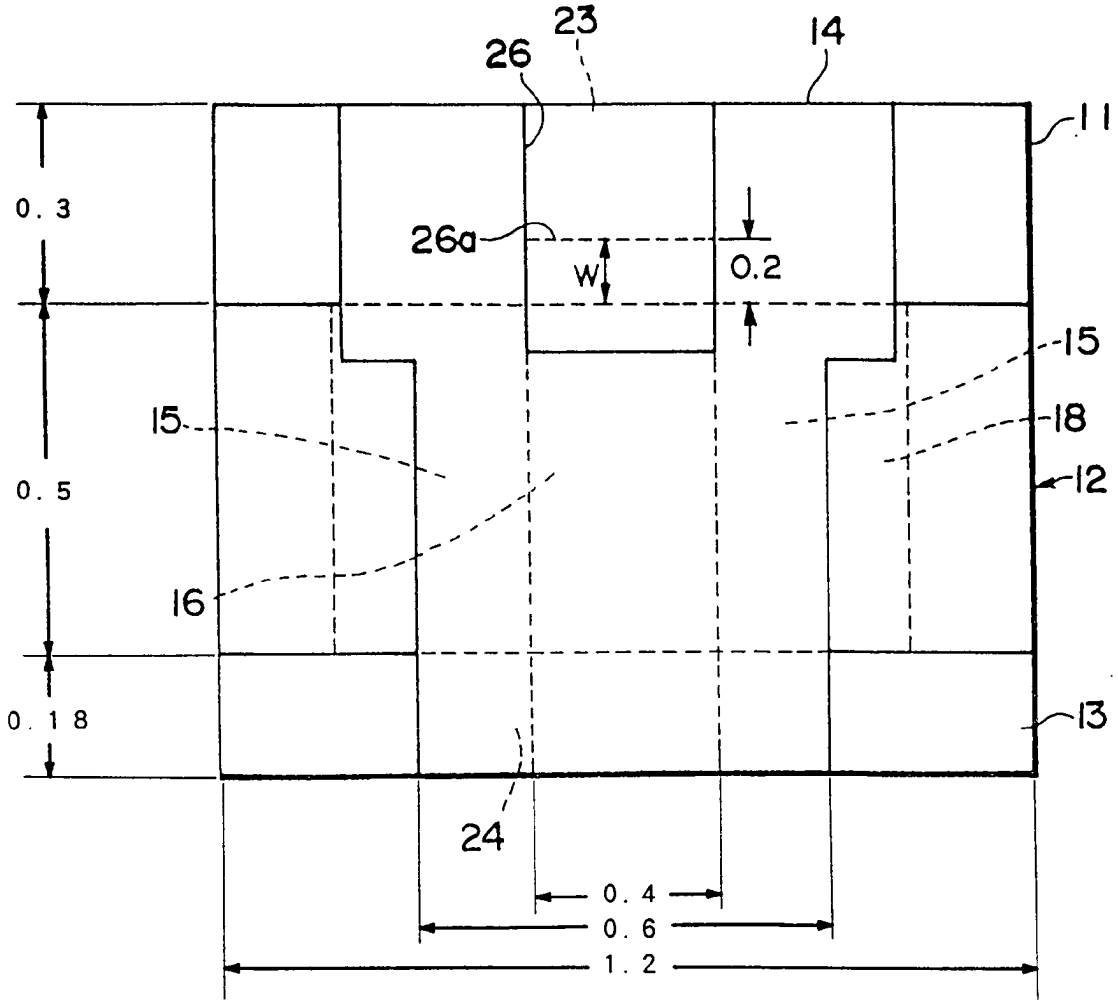


FIG.14A

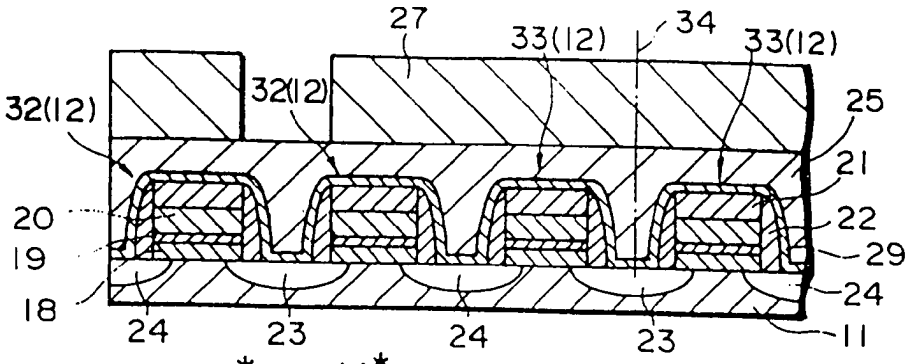


FIG.14B

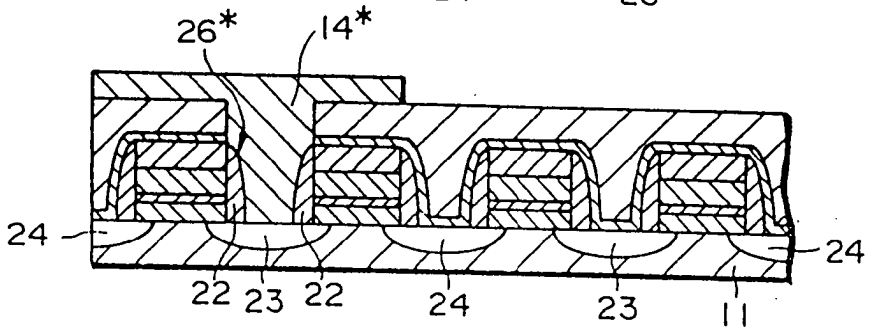


FIG.14C

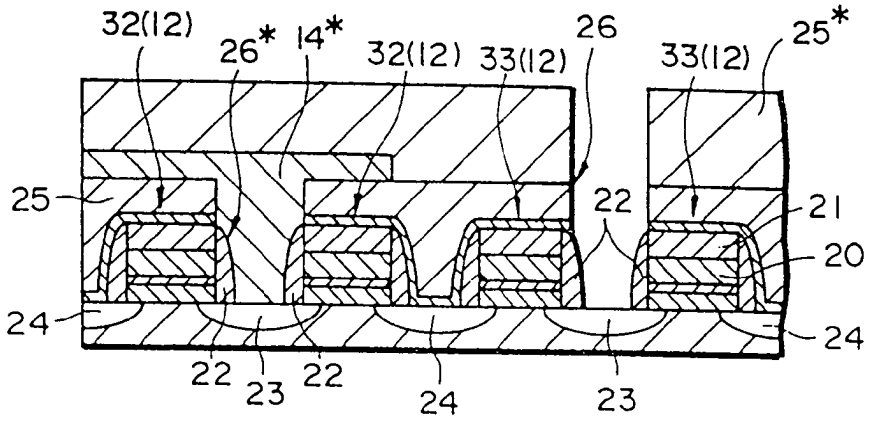


FIG.14D

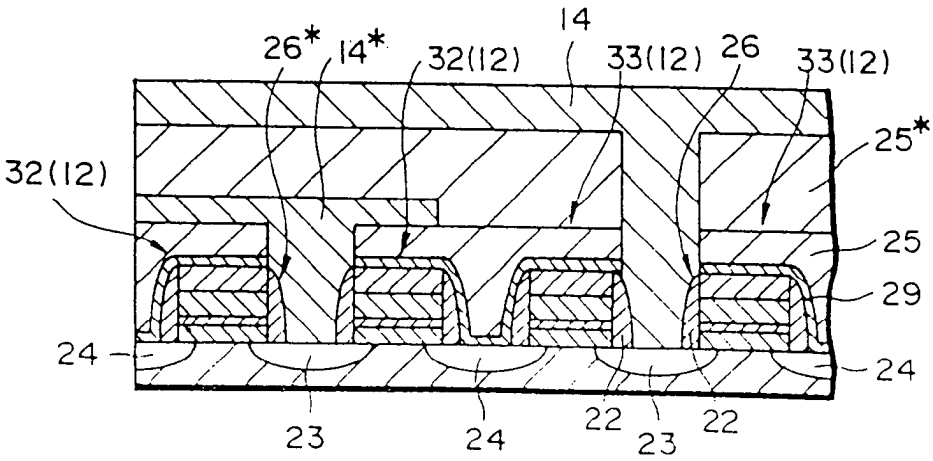


FIG.15A

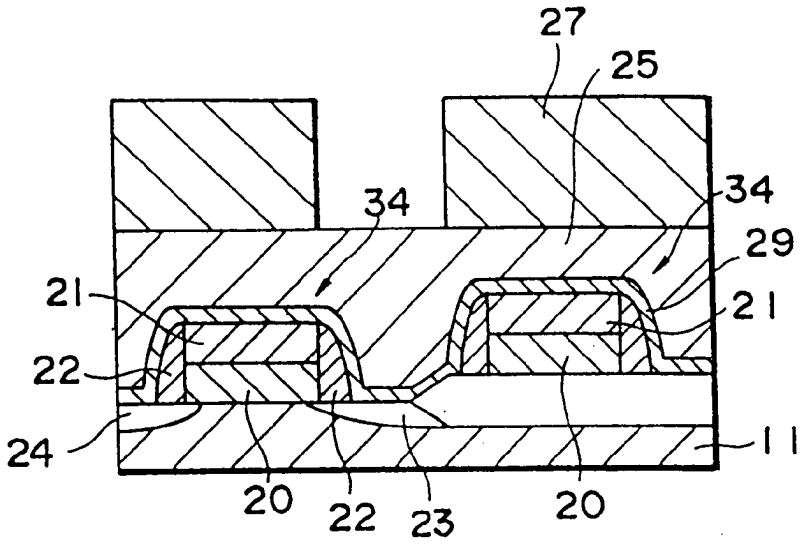


FIG.15B

