



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0040875
G01R 31/28 (2006.01) (43) 공개일자 2007년04월18일

(21) 출원번호 10-2005-0096380
(22) 출원일자 2005년10월13일
심사청구일자 2005년10월13일

(71) 출원인 고려대학교 산학협력단
서울 성북구 안암동5가1 고려대학교 내

(72) 발명자 성만영
서울 중랑구 묵동 20 신내 두산아파트 521동 604호
유장우
서울 성북구 삼선동1가 278-25 원앙빌라 나-105

(74) 대리인 현종철

전체 청구항 수 : 총 6 항

(54) 집적회로 장치에 흐르는 전류를 테스트하기 위한 내장형전류 검사 회로

(57) 요약

본 발명은 집적회로 장치에 흐르는 전류를 테스트하기 위한 내장형 전류 검사 회로에 관한 것이다. 본 발명은 검사 대상 회로로부터 출력되는 검사 대상 전류 및 외부의 테스트 제어 신호를 입력하고, 상기 테스트 제어 신호에 응답하여 상기 검사 대상 전류를 출력하는 동작 모드 설정부; 및 외부의 기준 전류 및 상기 동작 모드 설정부로부터 출력되는 검사 대상 전류를 입력하고, 상기 검사 대상 전류의 크기를 상기 기준 전류의 크기와 비교하고, 상기 비교 결과에 따라 상기 검사 대상 전류의 양,불량을 판단하는 전류 판단부를 구비함으로써, 검사 대상 회로의 성능 저하가 최소화되며, 검사 대상 전류를 측정하는 시간이 빠르다.

대표도

도 1

특허청구의 범위

청구항 1.

검사 대상 회로로부터 출력되는 검사 대상 전류 및 외부의 테스트 제어 신호를 입력하고, 상기 테스트 제어 신호에 응답하여 상기 검사 대상 전류를 출력하는 동작 모드 설정부; 및

외부의 기준 전류 및 상기 동작 모드 설정부로부터 출력되는 검사 대상 전류를 입력하고, 상기 검사 대상 전류의 크기를 상기 기준 전류의 크기와 비교하고, 상기 비교 결과에 따라 상기 검사 대상 전류의 양,불량을 판단하는 전류 판단부를 구비하는 것을 특징으로 하는 내장형 전류 검사 회로.

청구항 2.

제1항에 있어서, 상기 내장형 전류 검사 회로는

기준 전압을 발생하는 기준 전압 발생부; 및

상기 기준 전압을 받아서 상기 기준 전류를 발생하는 기준 전류 발생부를 더 구비하는 것을 특징으로 하는 내장형 전류 검사 회로.

청구항 3.

제2항에 있어서, 상기 기준 전압 발생부는 상기 기준 전압의 크기를 변경하여 출력할 수 있는 것을 특징으로 하는 내장형 전류 검사 회로.

청구항 4.

제1항에 있어서, 상기 전류 판단부로부터 출력되는 전류를 버퍼링하는 버퍼를 더 구비하는 것을 특징으로 하는 내장형 전류 검사 회로.

청구항 5.

제1항에 있어서, 상기 동작 모드 제어부는

상기 검사 대상 회로로부터 과도 전류가 출력될 경우에는 비활성화되어 상기 검사 대상 전류를 출력하지 않는 것을 특징으로 하는 내장형 전류 검사 회로.

청구항 6.

제1항에 있어서, 상기 전류 판단부는

상기 검사 대상 전류를 입력하는 제1 전류 미러; 및

상기 제1 전류 미러의 출력단에 연결되며, 상기 기준 전류를 입력하고 상기 기준 전류와 상기 검사 대상 전류의 차를 출력하는 제2 전류 미러를 구비하는 것을 특징으로 하는 내장형 전류 검사 회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 집적회로 장치에 관한 것으로서, 특히 집적회로 장치의 내부에 흐르는 특정 전류의 양, 불량을 검사하기 위한 내장형 전류 검사 회로에 관한 것이다.

집적회로 장치의 성능을 테스트하는 방법은 크게 전압 테스트와 전류 테스트 두 가지로 분류된다. 전압 테스트 방법은 모든 고장이 고착 고장(stuck-at fault)의 논리 고장으로 모델링된다는 가정하에 기반을 두고 있다. 그러나, 집적회로의 집적도가 향상됨에 따라, 특히 CMOS(Complementary Metal Oxide Semiconductor) 공정에서 발생하는 고장 중에서 종래의 고착 고장으로 모델링이 불가능한 고장이 많이 존재한다. 이러한 고장을 효과적으로 검출하기 위한 방법으로서 전류 테스트 방법이 있다.

전류 테스트 방법은 크게 외부에서 측정하는 외부 전류 테스트(off-chip current test)와 내장형 전류 테스트(built-in current test)로 구분된다. 외부 전류 테스트는 검사 대상 회로의 출력단 회로를 통하여 전류를 측정하기 때문에 작은 양의 고장을 측정하기 어려울 뿐 아니라 고속 테스트가 불가능하다. 내장형 전류 테스트는 전류 검사 회로를 집적회로 장치의 내부에 구성하여 검사하는 방법이다. 내장형 전류 테스트의 경우, 전류 검사 회로가 집적회로 장치의 내부에 장착되기 때문에 집적회로 장치의 면적이 증가하고 출력 전압이나 동작 속도 등에서 성능 저하가 발생할 수 있는 단점이 존재하며, 검사 대상 회로의 성능 저하가 생길 수 있다. 또한, 기준 전압과 기준 전류를 외부에서 공급하게 되며, 기준 전압값과 기준 전류값의 조절이 어렵다. 이로 인하여 하드웨어의 요구 사항이 증가될 뿐만 아니라 집적회로 장치를 내장하는 반도체 패키지(package)의 단자 수가 증가되는 단점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 검사 대상 회로의 성능 저하를 최소화하며, 전류 검사 능력이 향상되며, 고속으로 전류를 테스트하는 내장형 전류 검사 회로를 제공하는 것이다.

발명의 구성

상기 기술적 과제를 이루기 위하여 본 발명은

검사 대상 회로로부터 출력되는 검사 대상 전류 및 외부의 테스트 제어 신호를 입력하고, 상기 테스트 제어 신호에 응답하여 상기 검사 대상 전류를 출력하는 동작 모드 설정부; 및 외부의 기준 전류 및 상기 동작 모드 설정부로부터 출력되는 검사 대상 전류를 입력하고, 상기 검사 대상 전류의 크기를 상기 기준 전류의 크기와 비교하고, 상기 비교 결과에 따라 상기 검사 대상 전류의 양,불량을 판단하는 전류 판단부를 구비하는 것을 특징으로 하는 내장형 전류 검사 회로를 제공한다.

바람직하기는, 상기 내장형 전류 검사 회로는 기준 전압을 발생하는 기준 전압 발생부, 상기 기준 전압을 받아서 상기 기준 전류를 발생하는 기준 전류 발생부 및 버퍼를 더 구비한다.

바람직하기는 또한, 상기 전류 판단부는 상기 검사 대상 전류를 입력하는 제1 전류 미러, 및 상기 제1 전류 미러의 출력단에 연결되며, 상기 기준 전류를 입력하고 상기 기준 전류와 상기 검사 대상 전류의 차를 출력하는 제2 전류 미러를 구비한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 1은 집적회로 장치에 구비되는 검사 대상 회로에 연결된 본 발명의 내장형 전류 검사 회로의 블록도이다. 도 1을 참조하면, 내장형 전류 검사 회로(105)는 동작 모드 제어부(111), 전류 판단부(121), 기준 전압 발생부(131), 기준 전류 발생부(141) 및 버퍼(151)를 구비한다.

동작 모드 제어부(111)는 검사 대상 회로(101)에 연결되며, 검사 대상 회로(101)로부터 출력되는 검사 대상 전류(IDDQ1) 및 외부의 테스트 제어 신호(Test_in)를 입력하고, 테스트 제어 신호(Test_in)에 응답하여 검사 대상 전류(IDDQ2)를 출력한다. 검사 대상 전류(IDDQ1)는 검사 대상 회로(101)의 전원단(Vdd)으로부터 접지단(GND)으로 흐르는 정지상태 전류인 것이 바람직하다. 동작 모드 제어부(111)에 대해서는 도 4를 통하여 상세히 설명하기로 한다.

전류 판단부(121)는 외부의 기준 전류(Iref)와 기준 전압(Vref) 및 동작 모드 제어부(111)로부터 출력되는 검사 대상 전류(IDDQ2)를 입력하고, 검사 대상 전류(IDDQ2)의 크기를 기준 전류(Iref)의 크기와 비교하고, 상기 비교 결과에 따라 검사 대상 전류(IDDQ2)의 양,불량을 판단한다. 전류 판단부(121)에 대해서는 도 4를 통하여 상세히 설명하기로 한다.

기준 전압 발생부(131)는 기준 전압(V_{ref})을 발생한다. 기준 전압 발생부(131)는 기준 전압(V_{ref})의 크기를 변경하여 출력할 수 있는 구조를 갖는다. 기준 전압 발생부(131)의 구성 및 동작에 대해서는 도 2를 통하여 상세히 설명하기로 한다.

기준 전류 발생부(141)는 기준 전압(V_{ref})을 입력하고, 기준 전류(I_{ref})를 발생한다. 기준 전류 발생부(141)의 구성 및 동작에 대해서는 도 3을 통하여 상세히 설명하기로 한다.

버퍼(151)는 전류 판단부(121)로부터 출력되는 전류(I_k)를 버퍼링하여 전압(V_k)을 출력한다. 버퍼(151)는 인버터를 구비하는 것이 바람직하다.

도 2는 도 1에 도시된 기준 전압 발생부(131)의 회로도이다. 도 2를 참조하면, 기준 전압 발생부(131)는 다수개의 NMOS 트랜지스터들(211~217), 다수개의 저항들(221~226) 및 다수개의 퓨즈들(231~236)을 구비하여 기준 전압(V_{ref})을 출력한다.

전원단(V_{dd})에 연결된 NMOS 트랜지스터(211)는 디플리션(depletion) 타입으로 구성되는 것이 바람직하다. 따라서, NMOS 트랜지스터(211)는 게이트에 매우 낮은 전압이 인가되더라도 활성화되어 전원전압(V_{dd})을 저항들(221~226)에 인가한다.

접지단(GND)에 연결된 NMOS 트랜지스터(217)의 게이트에는 바이어스 전압(V_{gg})이 인가된다. 따라서, NMOS 트랜지스터(217)는 바이어스 전압(V_{gg})이 NMOS 트랜지스터(217)의 문턱전압 이상이 되면 활성화된다. NMOS 트랜지스터(217)가 활성화되면 기준 전압 발생부(131)는 정상 동작을 수행하고, NMOS 트랜지스터(217)가 비활성화되면 기준 전압 발생부(131)는 동작을 중지한다.

NMOS 트랜지스터(216)는 과도한 전류가 흐르거나 과전압이 인가되면 활성화되어 기준 전압(V_{ref})을 일정하게 유지시켜 준다.

전원 전압(V_{DD})이 인가됨에 따라 저항들(221~226)과 NMOS 트랜지스터들(212~215)의 내부 저항들에 의한 분배 방식으로 기준 전압(V_{ref})의 크기가 결정된다.

퓨즈들(231~233)은 저항들(222~224)에 병렬로 연결되고, 퓨즈들(234~236)은 NMOS 트랜지스터들(213~215)에 병렬로 연결된다. 따라서, 퓨즈들(231~236)이 연결 상태로 유지되면 저항들(222~224)과 NMOS 트랜지스터들(213~215)은 동작을 하지 않으며, 퓨즈들(231~236)이 절단되면 저항들(222~224)과 NMOS 트랜지스터들(213~215)이 동작을 하게 된다. 따라서, 퓨즈들(231~236)의 절단 여부에 따라 저항들(222~224)과 NMOS 트랜지스터들(213~215)의 연결 상태가 결정되며, 그에 따라 기준 전압(V_{ref})의 크기가 변경된다.

이와 같이, 기준 전압 발생부(131)는 기준 전압(V_{ref})을 발생하며, 기준 전압(V_{ref})은 퓨즈들(231~236)의 연결 상태에 따라 그 값이 변경된다. 또한, 기준 바이어스 회로로써 기준 전압(V_{ref})을 외부로부터 입력받지 않고 내부에서 생성시킴으로써 외부 테스트에 대한 부담이 감소된다.

도 3은 도 1에 도시된 기준 전류 발생부(141)의 회로도이다. 도 3을 참조하면, 기준 전류 발생부(141)는 PMOS 트랜지스터들(321,322)과 NMOS 트랜지스터(311)를 구비한다. PMOS 트랜지스터들(321,322)은 게이트들이 공통으로 NMOS 트랜지스터(311)에 연결되어 전류 미러를 구성하며, NMOS 트랜지스터(311)의 게이트에 기준 전압(V_{ref})이 인가된다.

기준 전압(V_{ref})이 입력되면 NMOS 트랜지스터(311)가 활성화되며, 그에 따라 PMOS 트랜지스터들(321,322)이 활성화되어 PMOS 트랜지스터(322)의 드레인으로부터 기준 전류(I_{ref})가 출력된다.

이와 같이, 기준 전류 발생부(141)는 3개의 MOS 트랜지스터들(311,321,322)을 사용하여 구성되기 때문에 구조가 간단하여 크기가 작다.

도 4는 도 1에 도시된 동작 모드 제어부(111)와 전류 판단부(121)의 회로도이다.

도 4를 참조하면, 동작 모드 제어부(111)는 NMOS 트랜지스터들(411,412)과 인버터(417)를 구비한다. NMOS 트랜지스터(411)의 게이트로 테스트 제어 신호($Test_in$)가 입력되고, NMOS 트랜지스터(411)의 소오스로부터 동작 모드 제어부(111)의 출력 신호($IDDQ2$)가 출력된다.

만일, 테스트 제어 신호(Test_in)가 논리 로우(logic low)이면 NMOS 트랜지스터(411)는 비활성화되고, NMOS 트랜지스터(412)가 활성화되어 검사 대상 회로(101)로부터 출력되는 전류(IDDQ1)는 동작 모드 제어부(111)로부터 출력되지 않으며, 테스트 제어 신호(Test_in)가 논리 하이(logic high)이면 NMOS 트랜지스터(411)는 활성화되고, NMOS 트랜지스터(412)는 비활성화되어 검사 대상 회로(101)의 출력 신호(IDDQ1)는 NMOS 트랜지스터(411)의 소오스로부터 출력되어 전류 판단부(121)로 전달된다.

도 4를 참조하면, 전류 판단부(121)는 검사 대상 전류(IDDQ2)와 기준 전압(Vref)을 입력하는 제1 전류 미러(401), 및 제1 전류 미러(401)의 출력단에 연결되며 기준 전류(Iref)와 기준 전압(Vref)을 입력하고 기준 전류(Iref)와 검사 대상 전류(IDDQ2)의 차를 출력하는 제2 전류 미러(402)를 구비한다. 전류 판단부(121)는 전류형 차동 증폭기를 이용한 전류 비교기의 구성을 갖는다.

제1 전류 미러(401)는 PMOS 트랜지스터들(431,432)과 NMOS 트랜지스터들(421,422)을 구비하고, 노드(N1)를 통해서 동작 모드 제어부(111)로부터 출력되는 검사 대상 전류(IDDQ2)를 입력하고, 노드(N2)를 통해서 기준 전류(Iref)를 입력한다. 즉, NMOS 트랜지스터들(421,422)의 게이트들이 PMOS 트랜지스터(431)의 드레인에 연결되어 전류 미러 형태를 이루고 있다. NMOS 트랜지스터들(421,422)은 동일한 크기로 설계되어 동일한 전류가 흐른다.

제2 전류 미러(402)는 PMOS 트랜지스터들(451,452)과 NMOS 트랜지스터들(441,442)을 구비하고, 노드(N2)를 통해서 기준 전류(Iref)를 입력하고, 노드(N3)를 통해서 출력 전류(Ik)를 출력한다. 즉, NMOS 트랜지스터들(441,442)의 게이트들이 PMOS 트랜지스터(451)의 드레인에 연결되어 전류 미러 형태를 이루고 있다. NMOS 트랜지스터들(441,442)은 PMOS 트랜지스터(452)의 전류에 맞춰서 그 크기들이 조절된다.

PMOS 트랜지스터들(431,432,451,452)은 기준 전압(Vref)이 논리 로우일 때 활성화되어 동작한다.

전류 판단부(121)의 동작을 설명하기로 한다.

정상 모드일 때는 테스트 제어 신호(Test_in)가 논리 로우로 된다. 테스트 제어 신호(Test_in)가 논리 로우이면 NMOS 트랜지스터(411)가 비활성되고, NMOS 트랜지스터(412)가 활성화된다. 그러면, 검사 대상 회로(101)는 접지단(GND)으로 연결되어 검사 대상 회로(101)로부터 출력되는 검사 대상 전류(IDDQ1)는 동작 모드 제어부(111)로부터 출력되지 않는다. 따라서, 검사 대상 전류(IDDQ1)에 대한 검사가 이루어지지 않는다.

그러다가, 테스트 모드가 되면, 테스트 제어 신호(Test_in)가 논리 하이로 된다. 테스트 제어 신호(Test_in)가 논리 하이이면, NMOS 트랜지스터(411)가 활성화되고, NMOS 트랜지스터(412)가 비활성화된다. 그러면, 검사 대상 회로(101)로부터 출력되는 검사 대상 전류(IDDQ1)는 동작 모드 제어부(111)를 통해서 전류 판단부(121)로 전달된다. 검사 대상 전류(IDDQ2)는 PMOS 트랜지스터(431)로부터 출력되는 전류(Ia)와 합해져서 NMOS 트랜지스터(421)로 흐르게 된다. 즉, 노드(N1)에는 전류(IDDQ+ Ia)가 흐른다. 그에 따라, NMOS 트랜지스터(422)에는 전류(IDDQ+ Ia)가 복제되어 흐른다.

NMOS 트랜지스터(422)와 NMOS 트랜지스터(441)의 드레인 전류 즉, 노드(N2)에 흐르는 전류는 PMOS 트랜지스터들(432,451)로부터 흐르는 전류(2Ia)와 기준전류(Iref)의 합이 된다. 그 결과 NMOS 트랜지스터(441)에는 전류{2Ia-(I+ IDDQ2)+ Iref}류가 흐르게 된다. 이에 따라, NMOS 트랜지스터(442)에도 전류{Ia+ (Iref-IDDQ2)}가 복제되어 흐른다. 이 전류(Ia+ (Iref-IDDQ2))는 PMOS 트랜지스터(452)에 흐르는 전류(Ia)와 비교된다. 그 결과 노드(N3)에는 전류차(Iref-IDDQ2)가 발생하고, 상기 전류차가 전류 판단부(121)의 출력 신호(Ik)로써 출력된다. 즉, 출력 신호(Ik)의 값이 양이면 검사 대상 전류(IDDQ1)의 값은 양호(pass)한 것이고, 출력 신호(Ik)의 값이 음이면 검사 대상 전류(IDDQ1)의 값은 불량(fail)이다.

이와 같이, 전류 판단부(121)는 2개의 전류 미러들(401,402)을 구비하여 검사 대상 전류(IDDQ)의 양,불량을 판단한다.

도 5는 도 1에 도시된 신호들의 타이밍도이다. 도 5를 참조하면, 검사 대상 회로(도 1의 101)에 입력되는 클럭 신호(CLK)가 상승(rising)하거나 하강(falling)할 때마다, 검사 대상 회로(도 1의 101)에는 과도 전류(It)가 발생하게 된다. 이러한 과도 전류(It)는 검사 대상이 아니므로, 전류 검사 회로(도 1의 105)에 입력되어서는 안 된다. 따라서, 과도 전류(It)가 발생하는 동안에는 테스트 제어 신호(Test_in)가 논리 로우로 되어 동작 모드 제어부(도 1의 111)가 비활성되어 과도 전류(It)가 동작 모드 제어부(도 1의 111)로 입력되는 것이 차단된다.

도면과 명세서에서 최적 실시예가 개시되었으며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위에 기재된 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 바와 같이 본 발명에 따르면, 정상 동작 시에는 전류 검사 회로(105)가 차단되어 검사 대상 회로(101)의 성능 저하가 최소화되며, 테스트 모드 시에도 검사 대상 회로(101)의 성능 저하가 발생하지 않는다. 또한, 전류 검사 회로(105)를 집적회로 장치에 내장함으로써, 검사 대상 회로(101)로부터 출력되는 검사 대상 전류(IDDQ1)의 양/불량에 대한 전압 값을 출력할 수가 있기 때문에 외부에서 검사 대상 전류(IDDQ1)를 측정하는 외장형 전류 테스트에 비해 검사 시간이 빠를 뿐만 아니라 작은 전류의 검사도 가능하다. 또한, 기준 전압 발생부(131)의 내부 회로 구성을 변경하여 기준 전류(Iref)의 크기를 조절할 수가 있기 때문에 검사 대상 전류(IDDQ)의 크기를 가변할 수도 있다.

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 집적회로 장치에 구비되는 검사 대상 회로에 연결된 본 발명의 내장형 전류 검사 회로의 블록도이다.

도 2는 도 1에 도시된 기준 전압 발생부의 회로도이다.

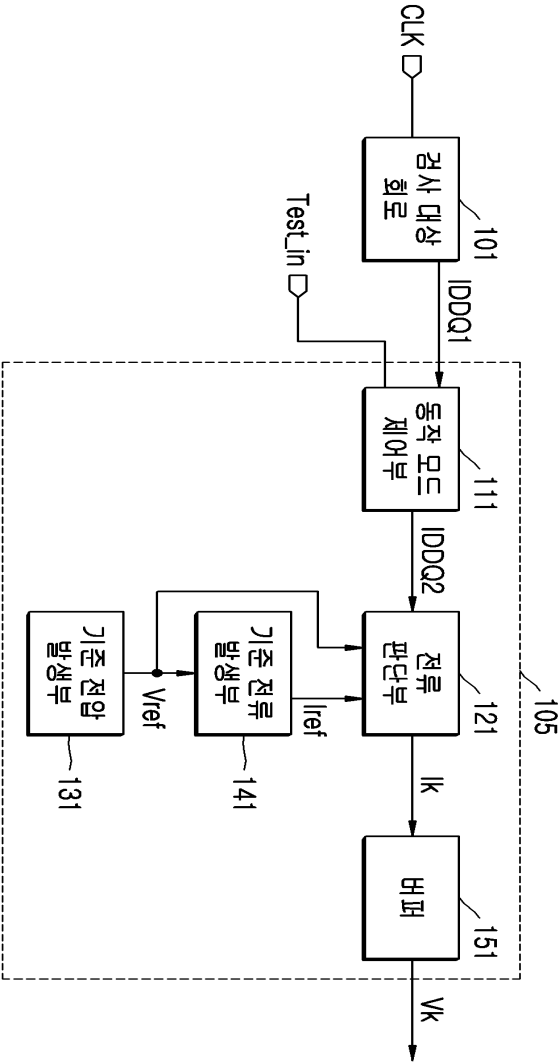
도 3은 도 1에 도시된 기준 전류 발생부의 회로도이다.

도 4는 도 1에 도시된 동작 모드 제어부와 전류 판단부의 회로도이다.

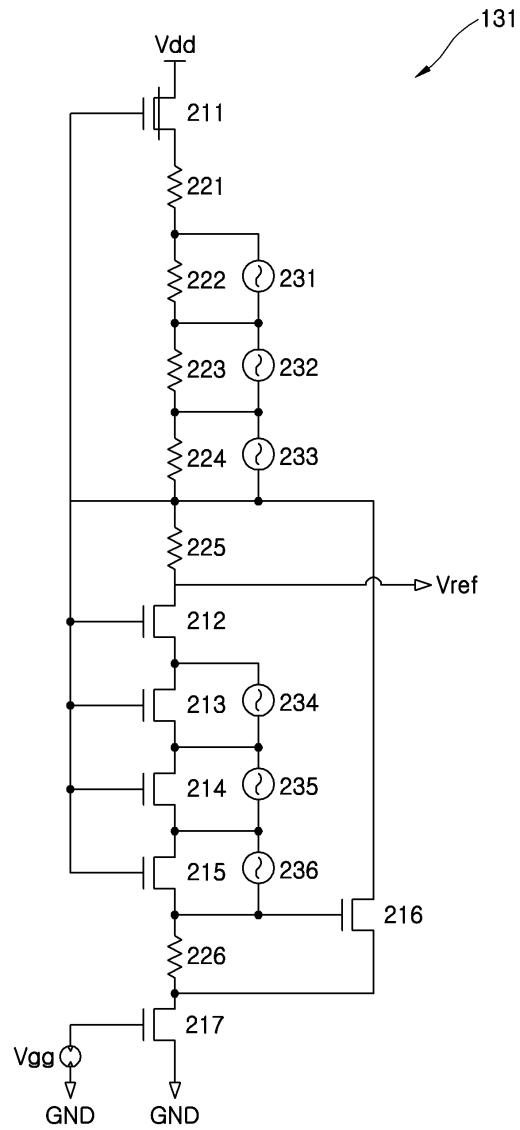
도 5는 도 1에 도시된 일부 신호들의 타이밍도이다.

도면

도면1



도면2



도면3

