



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 98813064.5

[45] 授权公告日 2004 年 12 月 1 日

[11] 授权公告号 CN 1178192C

[22] 申请日 1998.11.13 [21] 申请号 98813064.5

[30] 优先权

[32] 1997.11.14 [33] US [31] 08/970,443

[86] 国际申请 PCT/US1998/024267 1998.11.13

[87] 国际公布 WO1999/026223 英 1999.5.27

[85] 进入国家阶段日期 2000.7.12

[71] 专利权人 奥罗拉系统公司

地址 美国加利福尼亚州

[72] 发明人 雷蒙德·平克汉姆

W·斯潘塞·沃利第三

埃德温·L·赫德森

约翰·G·坎贝尔

审查员 田 虹

[74] 专利代理机构 北京市柳沈律师事务所

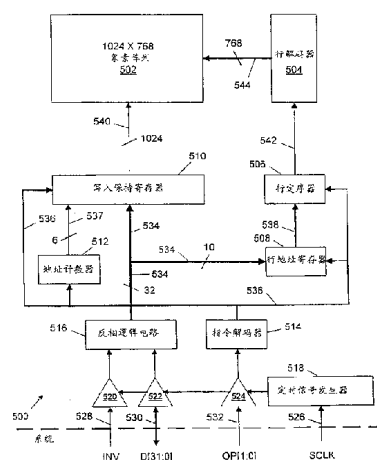
代理人 马 莹

权利要求书 3 页 说明书 13 页 附图 9 页

[54] 发明名称 显示器驱动电路及其驱动方法

[57] 摘要

一种显示器驱动电路包括：提供一系列行地址的字线定序器和行解码器，其对每个行地址解码并断言多个输出端中相应的一个上的写入信号。可选的数据路由定序器提供一系列路由地址，该地址由任选的数据路由器使用，为数据选择路由到显示器的特定子行。另外，任选的子行定序器给任选的子行解码器提供一系列子行地址，子行解码器对每个子行地址解码，并断言多个第二输出端中对应的一个上的写入信号。



权 利 要 求 书

1. 一种显示器驱动电路, 包括:

一个行地址寄存器, 用于通过一个系统接口从一个系统接收初始行地址,

5 所述行地址寄存器设置于所述系统接口的显示驱动器侧;

一个行定序器, 设置于所述系统接口的显示驱动器侧并且连接成用于从所述行地址寄存器接收所述初始行地址, 并用于基于所述初始行地址在一个输出端提供一系列行地址; 和

10 一个行解码器, 具有耦接到所述行定序器的所述输出端的一个输入端和多个输出端, 该行解码器对所述行地址解码, 并断言所述多个输出端中相应的一个输出端上的数据写入信号。

2. 如权利要求1所述的显示器驱动电路, 其中所述行地址寄存器响应于来自所述系统的指令, 可操作地接收另一个初始行地址。

3. 如权利要求2所述的显示器驱动电路, 其中:

15 所述行定序器包括一个控制输入端; 和

其中行定序器响应于第一控制信号的接收, 输出一系列行地址中的下一个地址; 和

其中行定序器响应于第二控制信号的接收, 输出一系列起始于所述另一初始行地址的新的行地址。

20 4. 如权利要求1所述的显示器驱动电路, 还包括:

一个数据路由定序器, 用于在一个输出端提供一系列路由地址; 和

一个数据路由器, 具有一个耦接到所述数据路由定序器的地址输出端组, 一个数据输入端组, 一个第一数据输出端组, 和一个第二数据输出端组, 该数据路由器响应于所述路由地址系列的接收选择性地将所述数据输入端组与
25 第一或第二数据输出端组耦接。

5. 如权利要求1所述的显示器驱动电路, 还包括:

一个子行定序器, 用于在输出端提供一系列子行地址, 其中子行小于显示像素的整行; 和

30 一个子行解码器, 具有一个耦接到所述子行定序器输出端的输入端和多个输出端, 子行解码器用于对每个子行地址解码, 并断言所述多个输出端的其中一个相应端上的写入信号。

6. 如权利要求 5 所述的显示器驱动电路, 还包括:

一个数据路由定序器, 用于在一个输出端提供一系列路由地址; 和

一个数据路由器, 具有一个耦接到数据路由定序器的地址输入端组, 一个数据输入端组, 一个第一数据输出端组, 和一个第二数据输出端组, 所述数据路由器响应于所述系列的路由地址的接收, 选择性地使所述数据输入端组与第一或第二数据输出端组耦接。

7. 如权利要求 1 所述的显示器驱动电路, 其中所述行地址系列包括一个单调递增的系列。

8. 如权利要求 1 所述的显示器驱动电路, 其中:

行定序器提供一系列子行地址, 其中子行小于显示像素的整行; 和
行解码器包括一个子行解码器。

9. 一种显示器驱动方法, 用在具有多个输出端的显示器驱动电路中, 所述显示器驱动电路耦接到提供数据和要写入所述数据的显示器地址的系统, 所述方法包括步骤:

从系统接收第一初始行地址;

根据第一初始行地址产生一系列行地址;

对所述系列行地址中的每个行地址解码; 和

断言在所述多个输出端的第一组上的一系列写入信号, 所述第一组的每个输出端对应于相关的行地址。

10. 如权利要求 9 所述的方法, 其中驱动显示器的所述方法还包括步骤:

接收另一初始行地址; 和

根据所述另一初始行地址产生另一系列行地址。

11. 如权利要求 9 所述的方法, 其中显示器驱动电路对数据选择路由到显示器的子行, 该显示器具有在子部位可写入的行, 该方法还包括步骤:

产生一系列路径地址;

对数据选择路由到相应于上述路由地址的子行, 其中子行小于显示像素的整行。

12. 如权利要求 11 所述的方法, 还包括步骤:

产生一系列子行地址;

对一系列子行地址中的所述每个子行地址解码; 和

断言在所述多个输出端的第二组上的写入信号, 所述第二组的每个输出

端对应于一个特定的被解码的子行地址。

13. 如权利要求 9 所述的方法，还包括步骤：

产生一系列子行地址，其中子行小于显示象素的整行；

对所述系列子行地址中的每个所述子行地址解码；和

5 断言在所述多个输出端的第二组上的写入信号，所述第二组的每个输出端对应于一个相关的子行地址。

14. 如权利要求 9 所述的方法，其中产生一系列行地址的所述步骤包括步骤：

响应于第一阵列写入命令输出所述初始行地址；

10 根据所述初始行地址产生一个第二行地址；和

响应于第二阵列写入命令输出第二行地址。

15. 如权利要求 10 所述的方法，其中产生另一系列行地址的所述步骤包括步骤：

输出所述另一初始行地址；

15 根据所述另一初始行地址产生一个第二行地址；和

响应于阵列写入命令输出所述第二行地址。

16. 一种显示器驱动方法，用在具有多个输出端的显示器驱动电路中，所述显示器驱动电路耦接到提供数据和要写入数据的显示器地址的系统，所述方法包括步骤：

20 从所述系统接收第一初始行地址；

根据第一初始行地址产生一系列子行地址，其中子行小于显示象素的整行；

对所述系列子行地址中的每个所述子行地址解码；和

25 断言在所述多个输出端上的一系列写入信号，每个输出端对应于一个相关的子行地址。

17. 如权利要求 16 所述的方法，其中驱动显示器的方法还包括步骤：

接收另一初始行地址；和

根据所述另一初始行地址产生另一系列子行地址。

说明书

显示器驱动电路及其驱动方法

5

技术领域

本发明总的涉及驱动电子显示器的电路，尤其涉及利用内定序器顺序驱动显示器字线的系统和方法。

背景技术

10

图 1 表示现有的驱动显示器 102 的显示器驱动电路 100，其中显示器 102 包括一个布置成 768 行和 1024 列的象素单元阵列。显示器驱动电路 100 包括行解码器 104，写入保持寄存器 106，地址计数器 108，指令解码器 110，反相逻辑电路 112，定时信号发生器 114，和输入缓冲寄存器 116、118 和 120。驱动电路 100 接收经 SCLK 终端 122 的时钟信号，经反相 (INV) 终端 124 的反相信号，经 32 位系统数据总线 126 的数据和地址，以及经 2 位操作码总线 128 的操作指令，所有与系统远离的装置（如计算机）都没有示出。定时信号发生器 114 通过本领域技术人员公知的方法产生定时信号，并把这些定时信号经时钟信号线（未示出）提供给驱动电路 100 的各组成部分，以协调每个组成部分的工作。

20

反相逻辑电路 112 经 INV 终端 124 和缓冲寄存器 116 从该系统接收反相信号，并经系统数据总线 126 和缓冲寄存器 118 从该系统接收数据和地址。响应于第一反相信号 (INV)，反相逻辑电路 112 断言(assert)32 位内数据总线 130 上接收到的数据和地址。响应于第二反相信号 (INV)，反相逻辑电路 112 断言 32 位内数据总线 130 上接收到的数据的补数(complement)。内数据总线 130 提供给写入保持寄存器 106 经断言的数据，并给行解码器 104 提供（经其 32 线中的 10 线）断言的行地址。

25

30

指令解码器 110 经操作码总线 128 和缓冲寄存器 120 从系统接收操作码指令。并响应于接收到的指令，经内控制总线 132 向行解码器 104，写入保持寄存器 106 和地址计数器 108 提供控制信号。响应于的系统断言系统数据总线 126 上的数据和操作码总线 128 上的第一指令（即数据写入），指令解码器 110 断言内控制总线 132 上的控制信号，以使写入保持寄存器 106 把断言

的数据经内数据总线 130 加载到写入保持寄存器 106 的第一部分。因为内数据总线 130 仅有 32 位宽，所以需要 32 条数据写入命令以把整行数据（1024 位）加载到写入保持寄存器 106 上。地址计数器 108 经一组线 134 提供一个地址，该地址表示写入数据的写入保持寄存器 106 的一部分。当执行每个顺序数据写入命令时，地址计数器 108 增加在线 134 上断言的地址，以表示写入保持寄存器 106 的下一个 32 位部分。

响应于系统断言系统数据总线 126 上的行地址以及操作码总线 128 上的第二指令（即加载行地址），指令解码器 110 断言控制总线 132 上的控制信号，使行解码器 104 储存断言的行地址。然后，响应于系统断言操作码总线 128 上的第三指令（即阵列写入），指令解码器 110 断言控制总线 132 上的控制信号，以使写入保持寄存器 106 断言在一组 1024 数据输出端 136 上的 1024 位储存数据，并使行解码器 104 对储存的行地址解码并断言对应于解码的行地址的字线 138 的一组 768 中的一个上的写入信号。在对应的字线上的写入信号使在数据输出端 136 上经断言的数据锁存到显示器 102 的相应象素单元行（图 1 中未示出）中。

图 2 表示显示器 100 的象素单元 200 (r,c) 的一个例子，其中 (r) 和 (c) 分别表示象素单元的行和列。象素单元 200 包括一个锁存器 202，一个象素电极 204，和开关晶体管 206 及 208。锁存器 202 是一个静态随机存取存储器 (SRAM) 锁存器。锁存器 202 的输入端经晶体管 208 耦接到位+数据线 210 (c)，锁存器 202 的另一输入端经晶体管 208 耦接到位-数据线 212 (c)。晶体管 206 和 208 的栅极端耦接到字线 138 (r)。锁存器 202 的输出端 214 耦接到象素电极 204。字线 138 (r) 上的写入信号将晶体管 206 和 208 置于导通状态，以使在数据线 210 (c) 和 212 (c) 上经断言的补充数据被锁存，使得锁存器 202 的输出端 214 和耦接的象素电极 204 与数据线 210 (c) 处于相同的逻辑电平。

图 3 表示一个指令表 300，表中提出了用于驱动显示器驱动电路 100 的操作码指令。参考图 1 对每项操作进行解释。操作码 (00) 对应于操作指令号，该号被驱动电路 100 忽略。操作码 (01) 是一个数据写入命令，以使在系统数据总线 126 上经断言的数据被加载到写入保持寄存器 106 中。操作码 (11) 是一个加载行地址命令，其使在系统数据总线 126 上经断言的行地址加载到行解码器 104 中。操作码 (10) 是一个阵列写入命令，以使储存在写

入保护寄存器 136 中的一个数据线 (1024 位) 被转移到对应于储存在行解码器 104 中的行地址的像素单元行的锁存器中。

图 4 是上述操作码如何用于控制驱动电路 100 的时间安排图。在第一 SCLK 周期中, 系统断言在操作码总线 128 上的数据写入命令, 以使在系统数据总线 126 (D[31:0]) 上经断言的数据的第一个 32 位块 (块 0) 被加载到写入保持寄存器 106 中。在接下来的 31 SCLK 周期中, 系统断言该使 31 个以上的 32 位块加载到写入保持寄存器 106 中的数据写入命令, 因此汇编 (assembly) 在写入保持寄存器 106 中一个 (1024) 位的完整行。再接下来, 系统断言系统数据总线 126 的 10 位 (如 D[9:0]) 上的行地址 (RA) 和操作码总线 128 上的加载行地址命令 (11), 把断言的地址加载到行解码器 104 中。最后, 系统断言操作码总线 128 上的阵列写入命令 (10), 使写入保持寄存器 106 中的数据的完整行加载到由行解码器 104 中的地址确认的显示器 102 的像素单元行中。重复此顺序, 把每个顺序的数据线从系统转移到显示器 102。

现有显示器驱动器 100 至少有两个缺点。首先, 因为数据的完整行 (1024 位) 被一次写入显示器 102, 所以驱动电路 100 和显示器 102 产生相对较大的峰值电流。第二, 因为行地址必须在每个数据行写入到显示器 102 之前加载, 所以驱动电路 100 对系统界面带宽有较高的要求。另外, 峰值电流和系统带宽要求相互关联, 因为必须加载附加行地址, 所以在一个时刻把数据写入像素单元的较小块以减小峰值电流的要求会增大带宽的要求。我们所需要的是

一种具有峰值电流的要求降低并且系统界面带宽的要求也降低的显示器驱动电路。

发明内容

在此描述一种新颖的显示器驱动电路。显示器驱动电路的一个实施例包括一个行定序器 (sequencer), 用于在一个输出端提供一系列行地址。驱动电路还包括一个具有一个耦接到行定序器的输出端的输入端和多个输出端的行解码器。行解码器对行定序器提供的每个地址解码, 并断言在相应的一个输出端上的数据写入信号。显示器驱动电路可任选包括一个耦接的行地址寄存器, 以向行定序器提供初始行地址。行地址寄存器还包括一个用于接收另一初始行地址的输入端。行定序器包括一个用于接收控制信号的控制输入端。响应于第一控制信号的接收, 行定序器输出一系列行地址中的下一个地址。响应

于第二控制信号的接收,行定序器接收来自另一初始行寄存器的初始行地址,并输出一系列起始于另一初始行地址的新的行地址。行定序器可任选地输出一系列子行地址,并且行解码器是一个子行解码器。

5 显示器驱动电路的一个具体实施例还包括一个数据路由定序器和一个数据路由器。数据路由定序器在一个输出端提供一系列路由地址。数据路由器有一个耦接到数据路由定序器输出端的用于接收数据路由地址的输入端组,一个数据输入端组,一个第一数据输出端组和一个第二数据输出端组。数据路由器通过根据从数据路由定序器接收到的数据地址选择性地将数据输入端组与第一或第二数据输出端组耦接来进行数据的路由选择。

-10 显示器驱动电路的另一具体实施例还包括一个子行定序器和一个子行解码器。字行定序器在输出端提供一系列子行地址。子行解码器有一个耦接到子行定序器输出端的输入端和多个输出端。子行解码器从子行定序器接收子行地址,对该地址解码,并断言在相应于多个输出端中的一个上的写入信号。此具体的实施例可任选地包括一个数据路由定序器和一个数据路由器。

15 在此还公开了一种驱动显示器的方法。该方法包括一系列步骤:从系统接收第一初始行地址,根据第一初始行地址产生一系列行地址,对一系列行地址中的每个行地址解码,并断言在多个输出端的第一组上的一系列写入信号,第一组的每个输出端对应于相关的行地址。该方法还可任选地包括接收另一初始行地址,并根据其它的初始行地址产生另一系列行地址的步骤。

20 一种具体的方法还包括下列步骤:产生一系列子行地址,对每个子行地址解码,并断言在多个输出端的第二组上的写入信号,第一组的每个输出端对应于一个特定的被解码的子行地址。另一个具体的方法还包括产生一系列路由地址并对数据选择路由到对应于该路由地址的子行中。或者,此具体方法还包括产生一系列子行地址、对每个子行地址解码,并断言输出端第二组上的写入信号的步骤。

25 另一种方法包括下列步骤:从系统接收第一初始行地址,根据第一初始行地址产生一系列子行地址,对该系列子行地址的每个子行地址解码,并断言在多个输出端上的一系列数据加载信号,每个输出端对应于相关的子行地址。该具体的方法还包括接收另一初始行地址,并根据其它的初始行地址产生另一系列子行地址的步骤。

30 在上述方法的每个步骤中,产生一系列行地址的步骤任选地包括下列步骤:响应于第一阵列写入命令输出初始字线地址,根据初始行地址产生第二

行地址，和响应于第二阵列写入命令输出第二行地址。

具体来讲，按照本发明的一个方面，提供了一种显示器驱动电路，该电路包括：一个行地址寄存器，用于通过一个系统接口从一个系统接收初始行地址，所述行地址寄存器设置于所述系统接口的显示驱动器侧；一个行定序器，设置于所述系统接口的显示驱动器侧并且连接成用于从所述行地址寄存器接收所述初始行地址，并用于基于所述初始行地址在一个输出端提供一系列行地址；和一个行解码器，具有耦接到所述行定序器的所述输出端的一个输入端和多个输出端，该行解码器对所述行地址解码，并断言所述多个输出端中相应的一个输出端上的数据写入信号。

按照本发明的另一个方面，提供了一种显示器驱动方法，用在具有多个输出端的显示器驱动电路中，所述显示器驱动电路耦接到提供数据和要写入所述数据的显示器地址的系统，所述方法包括步骤：从系统接收第一初始行地址；根据第一初始行地址产生一系列行地址；对所述系列行地址中的每个行地址解码；和断言在所述多个输出端的第一组上的一系列写入信号，所述第一组的每个输出端对应于相关的行地址。

按照本发明的再一个方面，提供了一种显示器驱动方法，用在具有多个输出端的显示器驱动电路中，所述显示器驱动电路耦接到提供数据和要写入数据的显示器地址的系统，所述包括步骤：从所述系统接收第一初始行地址；根据第一初始行地址产生一系列子行地址，其中子行小于显示像素的整行；对所述系列子行地址中的每个所述子行地址解码；和断言在所述多个输出端上的一系列写入信号，每个输出端对应于一个相关的子行地址。

附图说明

参考下列附图对本发明进行描述，其中相同的标号表示实质上相似的元件。

图 1 是现有显示器驱动电路的框图；

图 2 是图 1 所示显示器的示范性像素单元的框图；

图 3 是与图 1 所示显示器驱动电路一起使用的操作码表；

图 4 是表示图 1 所示显示器驱动电路控制的时间安排图；

图 5 是根据本发明的显示器驱动电路实施例的框图；

图 6 是与图 5 所示显示器驱动电路一起使用的操作码表；

图 7 是表示图 5 所示显示器驱动电路控制的时间安排图；

图 8 是根据本发明的显示器驱动电路第二实施例的框图；
图 9 是根据本发明的显示器驱动电路第三实施例的框图；
图 10 是图 9 所示显示器驱动电路的一行象素单元的框图；
图 11 是根据本发明的显示器驱动电路第四实施例的框图；以及
图 12 是图 11 所示显示器驱动电路的象素单元行的框图。

具体实施方式

本申请涉及下列在同一日提交并委托共同代理人的待审美国专利申请，其中每个申请在此全部引为参考：

10 《用于离轴投影器的偏心透镜组》，美国申请序号 08/970,887, Matthew F.Bone 和 Donald Griffin.Koch;

 《降低显示器驱动电路中峰值电流和带宽的系统和方法》，美国申请序号 08/970,665, Raymond Pinkham, W.Spencer Worley, III, Edwin Lyle Hudson, 和 Join Gray Campbell;

15 《利用强制态提高显示器灰度特性的系统和方法》，美国申请序号 08/970,878, W.Spencer Worley, III 和 Raymond Pinkham;

 《数据平面化的系统和方法》美国申请序号 08/970,307, William Weatherford, W.spencer Worley, III 和 Wing Chow。

 本专利申请还涉及 Raymond Pinkham 于 1997 年 7 月 25 日提交的委托同
20 一代理人的待审美国专利申请 08/901,059, 题目为《在平板显示器中通过行和列移位替换有缺陷的电路元件》，该文在此全文引为参考。

 本发明通过提供内行定序器克服现有技术中存在的问题，降低了峰值电
路和系统界面带宽的要求。在下列描述中提出了数个具体的细节（如操作码
指令，数据和地址总线位宽以及在一个显示器内象素的数量和组织结构），以
25 便提供对本发明的全面理解。但本领域的技术人员将会认识到本发明可以不
同于这些具体细节地实施。在另一个例子中，省去了公知显示器驱动技术（如
脉宽调制）和电路的细节，以致于不会不必要地使本发明难于理解。

 图 5 表示一个驱动显示器 502 的显示器驱动电路 500，显示器 502 包括
一个分布成 768 行和 1024 列的象素单元阵列。显示器驱动电路 500 包括行解
30 码器 504，行定序器 506，行地址寄存器 508，写入保持寄存器 510，地址计
数器 512，指令解码器 514，反相逻辑电路 516，定时信号发生器 518，输入

缓冲寄存器 520、522 和 524。驱动电路 500 接收经 SCLK 终端 526 的时钟信号，经反相 (INV) 终端 528 的反相信号，经 32 位系统数据总线 530 的数据和地址，以及经 2 位操作码总线 532 的操作指令，所有远离系统的配置（如计算机，视盘信号源等）都没有示出。定时信号发生器 518 通过本领域技术人员公知的方法产生定时信号，并通过时钟信号线（未示出）把这些定时信号提供给驱动电路 500 的各个组成部分，以便协调每个组成部分的工作。

反相逻辑电路 516 经 INV 终端 528 和缓冲寄存器 520 从系统接收反相信号，经系统数据总线 530 和缓冲寄存器 522 从系统接收数据和地址。响应于第一反相信号 (INV)，反相逻辑电路 516 断言 32 位内数据总线 534 上的数据和地址。响应于第二反相信号 (INV)，反相逻辑电路 516 断言内数据总线 534 上接收数据的补充数据。内数据总线 534 把断言数据提供给写入保持寄存器 510，并把这些断言地址经 32 条线的 10 条提供给行地址寄存器 508。

指令解码器 514 经操作码总线 532 和缓冲寄存器 524 从系统接收操作码指令，并响应于接收到的指令，把控制信号经内控制总线 536 提供给行定序器 506、行地址寄存器 508、写入保持寄存器 510 和地址计数器 512。

图 6 表示一个阐述与显示器驱动电路 500 一起使用的操作码指令的表 600。参考图 5 对每项操作进行解释。操作码 (00) 对应于指令解码器 514 不响应的操作指令号。响应于系统数据总线 530 上的系统断言的数据和操作码总线 532 上的数据写入命令 (01)，指令解码器 514 断言控制总线 536 上的控制信号，以使写入保持寄存器 510 把断言的数据经内数据总线 534 加载到写入保持寄存器 510 的第一部分中。因为内数据总线 534 仅有 32 位宽，所以需要 32 条数据写入命令 (01) 以把整行的数据 (1024 位) 加载到写入保持寄存器 510 中。地址计数器 512 经一组线 537 把地址提供给写入保持寄存器 510，该地址表示写入保持寄存器 510 中需写入数据的一部分。当执行每个顺序数据写入命令 (01) 时，地址计数器 512 增加线 537 上断言的地址以表示写入保持寄存器 510 的下一个 32 位部分。

响应于系统断言在系统数据总线 530 上的初始行地址以及操作码总线 532 上的加载行地址命令 (01)，指令解码器 514 断言控制总线 536 上的控制信号，以使行地址寄存器 508 储存初始行地址，并把初始行地址经一组地址线 538 提供给行定序器 506。然后，响应于系统断言操作码总线 532 上的阵列写入命令 (10)，指令解码器 514 断言控制总线 536 上的控制信号，以使写

入保持寄存器 510 断言在一组 1024 个数据输出端 540 上储存的数据的 1024 位，并使行定序器 506 断言第二组地址线 542 上的初始行地址。响应于在地址线 542 上经断言的初始行地址，行解码器 504 对初始行地址解码，并断言对应于被解码初始行地址的一组 768 条字线 544 中的一个上的写入信号。在
5 相应字线上经断言的写入信号使在数据输出端 540 上经断言的数据锁存到显示器 502 象素单元的相应行中。

响应于顺序的阵列写入命令，行定序器 506 产生一系列基于初始行地址的行地址，并断言地址线 542 上的一系列行地址。响应于一系列在地址线 542 上经断言的行地址，行解码器 504 对每个行地址解码，并断言相应的其中一个字线 544 上的写入信号。
10

在另一个实施例中，行定序器 506 其构成可以提供任何所希望的一系列选择线地址。例如，该系列可以顺序地重复本身，或可以只行进经连预定数量的地址，然后停止。另外，该系列可以增加或减小一些值（如 1，2 或 3），或跟随其它一些预定的序列。

在另一实施例中，阵列写入命令也可用作数据写入命令。因为在阵列写入命令期间系统数据总线 530 未起用，所以响应于阵列写入命令，可以用系统数据总线 530 加载数据的下一个 32 位。这有利于减少为把整行数据加载到写入保持寄存器 510 所需要的数据写入命令的数量。具体地说，在另一个实施例中，与需要 32 条数据写入命令相反，需要一条阵列写入命令和 31 条数据写入命令。
15
20

图 7 表示系统如何把数据加载到驱动电路 500 并把加载的数据写到显示器 502 的时间安排图。在第一 SCLK 周期中，系统断言加载行地址命令 (11)，以使行地址寄存器 508 加载在系统数据总线 530 上经断言的行地址。在接下来的 32SCLK 周期中，系统断言操作码总线 532 上的数据写入命令 (01) 和系统数据总线 530 上的数据，以使 32 (0-31) 个 4 字节数据被加载到写入保持寄存器 510 中，每个 4 字节数据由 32 位组成。因此，在写入保持寄存器 510 中 32 个 4 字节形成一个完整的数据行 (1024 位)。在下一个时钟周期中，系统断言操作码总线 532 上的阵列写入命令 (10)，以使加载的数据写入到显示器 502 中。在下一个 32 时钟周期中，第二行数据加载到写入保持寄存器 510 中，并再与一条阵列写入命令 (10) 一起写入显示器 502。
25
30

注意，系统不需要加载第二行地址来把第二行数据写入到显示器 502。

这是因为行定序器 506 响应于顺序的阵列写入命令产生顺序的行地址。因此，一旦初始行地址被加载，就不再需要加载另外行地址，除非输入数据失序。行地址的内部产生有利地减小了系统界面带宽的要求（即节省加载行地址周期）。

5 图 8 是根据本发明的另一种显示器驱动电路 800 框图。驱动电路 800 类似于驱动电路 500，除了用写入保持寄存器 510A 代替写入保持寄存器 510 以外，并加入数据路由定序器 802 和数据路由器 804。数据路由定序器 802 产生一系列数据路由地址，并经一组地址线 806 把该地址提供给写入保持寄存器 510A 和数据路由器 804。写入保持寄存器 510A 一次输出数据（96 位）到
10 第一组数据转移线 808，与一次输出到一整行（1024 位）相反。数据路由器 804 接收在数据转移线 808 上经断言的数据，并通过断言在第二组 1024 个数据转移线 810 的相应子组上的数据而把该数据导向显示器 502 的适当的子行。

数据路由定序器 802 按下列方式协调写入保持寄存器 510A 和数据路由器 804 的操作。响应于系统断言操作码总线 532 上的阵列写入命令（10），指令解码器 514 断言控制总线 536 上的控制信号，以使数据路由定序器 802 断
15 言地址线 806 上的第一路由地址。响应于在地址线 806 上经断言的第一路由地址，写入保持寄存器 510A 断言数据转移线 808 上的数据线的第一部分（96 位）。另外，响应于在地址线 806 上经断言的第一行地址，数据路由器 804 选择性地
20 将地址线 806 与数据转移线 810 的第一子组数据关联，把数据导向显示器 502 的第一子行。本领域的技术人员将会认识到数据路由器 804 用作多路复用器。

在一个具体的实施例中，写入保持寄存器 510A 和数据路由器 804 集成在一个组件中。在此实施例中，集成的写入保持寄存器的每个储存单元与数据转移线 810 中的一条耦接。响应于数据路由定序器 802 提供的
25 数据路由地址，在该控制级执行数据的路由选择，集成的写入保持寄存器选择性地断言在数据转移线 810 的顺序子组上的数据。

回顾阵列写入命令（10）还引起断言在各字线 544 中被选择的一条上的写入信号。因而，由路由器 804 导向的数据只被写到选择行的第一子行。另外，本领域的技术人员将会理解，因为 SRAM 锁存器通常保留它们的数据，
30 所以尽管断言写入信号，只要它们的数据线不被驱动（即数据由数据路由器 804 导向锁存器），写入信号将不干扰选择行的其余子行中的数据。

数据路由定序器 802 产生的顺序数据路由地址使写入保持寄存器 510A 输出数据转移线 808 上数据线的顺序部分，该部分由数据路由器 804 导向显示器 502 的顺序子行。特别是，响应于一条阵列写入命令，数据路由定序器输出一系列包括对于显示器 502 每个子行的一个地址的数据路由地址，使得
5 一整行数据被写入到显示器 502 的选取行。

把数据一次写入到显示器 502 的一行的一部分中明显减小了驱动电路 800 和显示器 502 的峰值电路要求。本领域的技术人员将会认识到，无论采用的子行数量有多少，都可以实现本发明的优点。显然，子行的数目越大，对峰值电流的要求减小越多。在有限的情况下，子行的数目等于每行象素的
10 数目，使得每个象素构成一个子行并被单独地写入。

把数据一次写入到显示器 502 的一行的一部分中还使得显示器驱动电路 800 能够驱动具有较长写入恢复时间（在执行顺序的写入之前稳定数据线所需要的时间）的显示器，有利于消除对显示器 502 中数据线恢复电路的需要。例如，如果数据一次被写到显示器的一行，则在数据被写入到下一行之前，
15 显示器驱动电路必须等待整个写入恢复时间，以便不干扰数据向前一行中的锁存。相反，因为显示器驱动电路 800 把数据写入到显示器 502 的子行中（即一次 96 位），所以显示器 502 的写入恢复时间将长 11 倍。这是因为第一子行被写入后，在下一行的第一子行写入之前发生 10 个其他子行的写入（该行的剩余子行）。其结果是，数据以远大于显示器 502 否则将允许的写入恢复时间的
20 速率被记录到显示器驱动电路 800 中。

在此具体的实施例中，每个子行包括 96 位。其结果是，地址线 806 至少包括 4 位，以便给 11 个子行编址。注意，96 位的 11 个子行等于总的 1056 位，不是 1024 位。但这不存在问题，因为在数据转移到最后的子行期间完全不用额外的位。如上所述，可以使用任何数量的子行（如 512 位的 2 个子行，
25 256 位的 4 个子行，128 位的 8 个子行等）。

图 9 表示根据本发明的另一显示器驱动电路 900。显示器驱动电路 900 设计成驱动显示器 902，其中每个行被分成多个子行，每个子行由 2304 个一组的字副线(word sub line)904 中单独的一个使用。如多个字副线所示，显示器 902 中 768 个象素行中的每一行被分成 3 个子行。本领域的技术人员将会
30 认识到，可以使用其他数目的子行，只要每个子行由一个单独的字副线使用。

显示器驱动电路 900 类似于显示器驱动电路 800，除了用子行定序器 906

代替行定序器 506 以外，并用子行解码器 908 代替行解码器 504。响应于阵列写入命令(10)，子行定序器 906 接收来自行地址寄存器 508 的初始行地址，把初始行地址转换成初始子行地址（如所示行中的第一子行），并经过一组地址线 910 把子行地址提供给子行解码器 908。子行解码器 908 对初始子行地址解码并断言字副线 904 中相应的一个上的写入信号。接下来，子行定序器 906 增加地址线 910 上的地址，顺序地断言相应于初始行地址的行的每个子行的地址。子行解码器 908 对每个子行地址解码，并断言字副线 904 中相应的一个上的写入信号。本领域的技术人员将会理解，可以用显示器驱动电路 900 中的写入保持寄存器 510 代替数据路由定序器 802、数据路由器 804 和写入保持寄存器 510A，因为一次只对一个子行提供一个写入信号。

图 10 表示显示器 902 中的各像素单元的示范性的行 1000，包括 3 个子行 1002、1004 和 1006，每个子行与字副线 904 (a-c) 中的每一个相连。如图 2 所示，每个像素单元由一对数据线使用，但在图 10 中没有示出数据线，以便不会不必要地扰乱附图。驱动电路 900 通过顺序地断言字副线 904 (a-c) 上的写入信号一次一子行对该行加载，把一行数据加载到行 1000 中的像素单元中。

图 11 表示根据本发明的另一种驱动显示器 1102 的显示器驱动电路 1100。显示器 1102 类似于显示器 502，除了每个行被分成 3 个子行以外，每个子行由字线 544 中的一个以及一组字副线 1104 (a-c) 中的一个使用。当同时断言在字线和与特定的子行相关的字副线上的写入信号时，数据被写入到一个特定的子行，下面参见图 12 进行解释。

显示器驱动电路 1100 基本上类似于显示器驱动电路 800，除了附加子行定序器 1106 和子行解码器 1108 以外。子行定序器 1106 产生一系列子行地址，并通过一组地址线 1110 使各地址与子行解码器 1108 相联系，子行解码器 1108 对每个地址解码并断言字副线 1104 (a-c) 中相应的一个上的写入信号。

行定序器 506 和子行定序器 1106 一起运行，把数据顺序地写入显示器 1102 的子行。响应于系统对操作码总线 532 上阵列写入命令(10)的断言，指令解码器 514 断言控制总线 536 上的控制信号，以使行定序器 506 产生一系列选择行地址，如上述参见图 5 所述。由指令解码器 514 断言的控制信号还使子行定序器 1106 产生一系列子行地址。一系列行地址和一系列子行地址按如下方式同步以把数据写入到一行像素单元中。行定序器 506 断言地址线 542

上的初始行地址，以使行解码器 504 断言字线 544 的一个初始线上的写入信号。与此同时，子行定序器 1106 断言地址线 1110 上的初始子行地址，使子行解码器 1108 断言字副线 1104 (a-c) 上的写入信号。两个同时存在的写入信号使初始行的第一子行更新。接下来，仍用行定序器 506 断言初始行地址的同时，子行定序器 1106 顺序地断言地址线 1110 上接下来的两个子行地址，以使子行解码器 1108 顺序地断言字副线 1104 (b) 和 1104 (c) 上的写入信号，把数据顺序地写入初始行的第二和第三子行。当行定序器 506 断言该系列的每个顺序行地址时，子行定序器重新断言子行地址系列，从而一次一个子行把数据写入到显示器 1102 的每个行上。

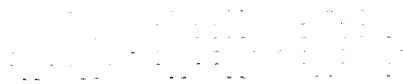
10 按 SCLK 电平使行地址系列与子行地址系列同步。特别是，公共控制信号通过行定序器 506 和子行定序器 1106 对第一地址的断言初始化。断言初始地址之后，子行定序器 1106 在每个时钟周期内断言一系列子行地址中的下一个地址，而行定序器 506 只在接收到下一个阵列写入命令之后断言一系列行地址中的下一个地址。类似地，由数据路由定序器 802 产生的一系列数据路由地址与该系列子行地址同步，使得与写入信号一致地把适当的数据选择路由到适当的子行中。

本领域的技术人员知道，可以有多种其他的方法使一系列行地址与一系列子行地址同步。例如，在另一个实施例中，子行定序器 1106 和行定序器 506 用一个定序器代替，该定序器产生一个 12 位地址，其中 2 个最不重要的位提供给子行解码器 1108，10 个最重要的位提供给行解码器 504。然后，当增大 12 位地址时，一次一个子行更新每个顺序行。

图 12 表示显示器 1102 的一行 1200 (r) 像素单元的结构。行 1200 (r) 包括 3 个子行的像素单元 1202(a-c), 3 个“与”门 1204, 和 3 个局域字线 1206。每个“与”门 1204 有一个耦接到字线 544 (r) 的第一输入端，一个耦接到字线 1104 (a-c) 的相关线的第二输入端，和一个耦接到局域字线 1206 相关线的输出端。响应于由字线 544 (r) 和相关字副线 1104 在其第一和第二输入端断言的写入信号，每个“与”门 1204 断言相关的局域选择线 1206 上的写入信号。

本领域的技术人员可以理解，像素单元的行可以被分成较多或较少数量的子行。在有限的情况下，子行的数量等于每行中的像素数量，每个像素构成一个子行。

对本发明具体实施例的描述到此结束。描述的许多特征可以在不脱离本



发明范围的前提下替换、更改或省略。例如，本领域的技术人员知道，可以通过提供一个能够产生适当的地址系列和相应数量的字线（或副线）的定序器来修改在此描述的实施例，以驱动具有更多或更少行数的显示器。

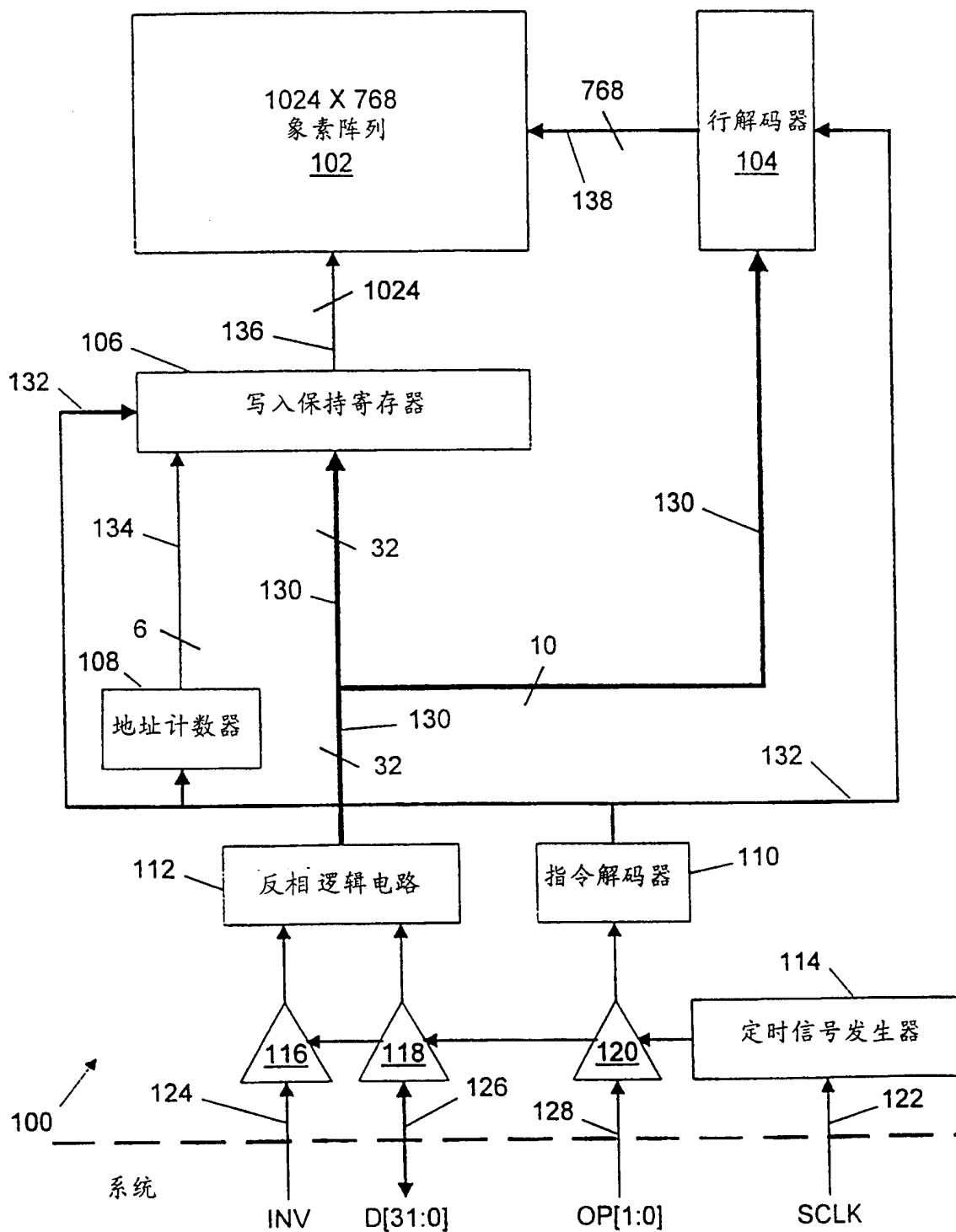


图 1

27

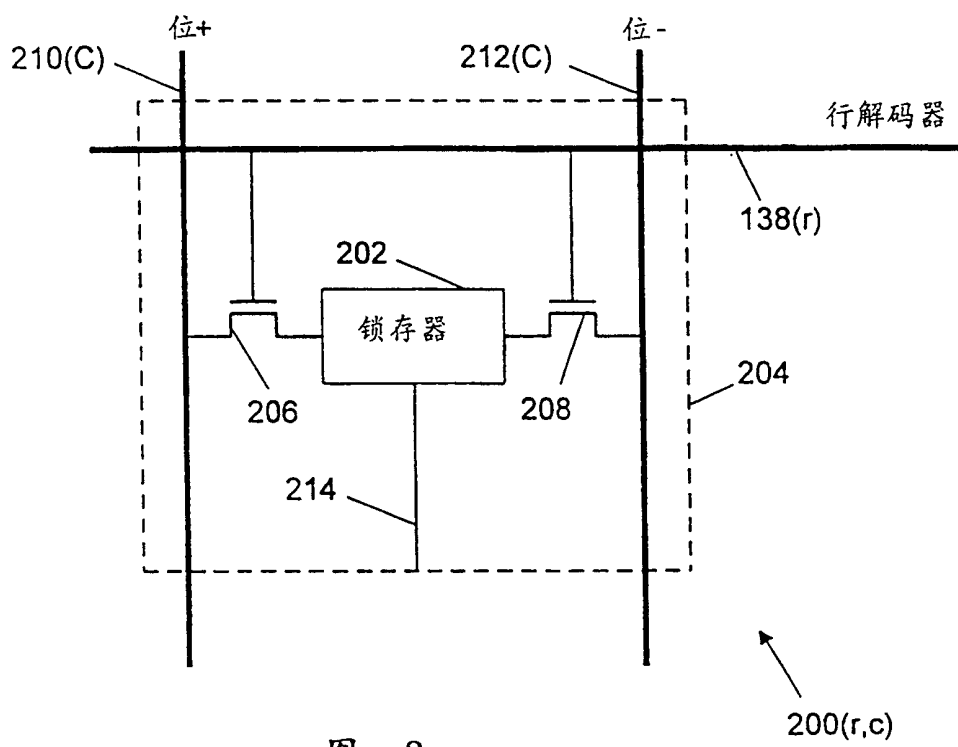


图 2

OP[1]	OP[0]	功能
0	0	No OP
0	1	数据写入，把D[31:0]加载到写入保持寄存器的下一个位置
1	0	阵列写入
1	1	把行地址加载到行解码器

300

图 3

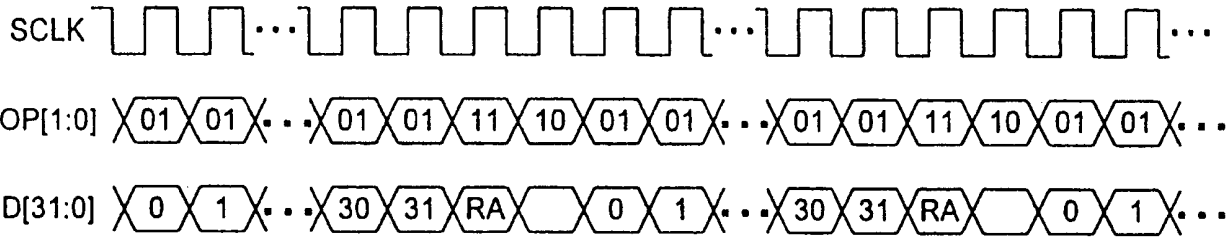


图 4

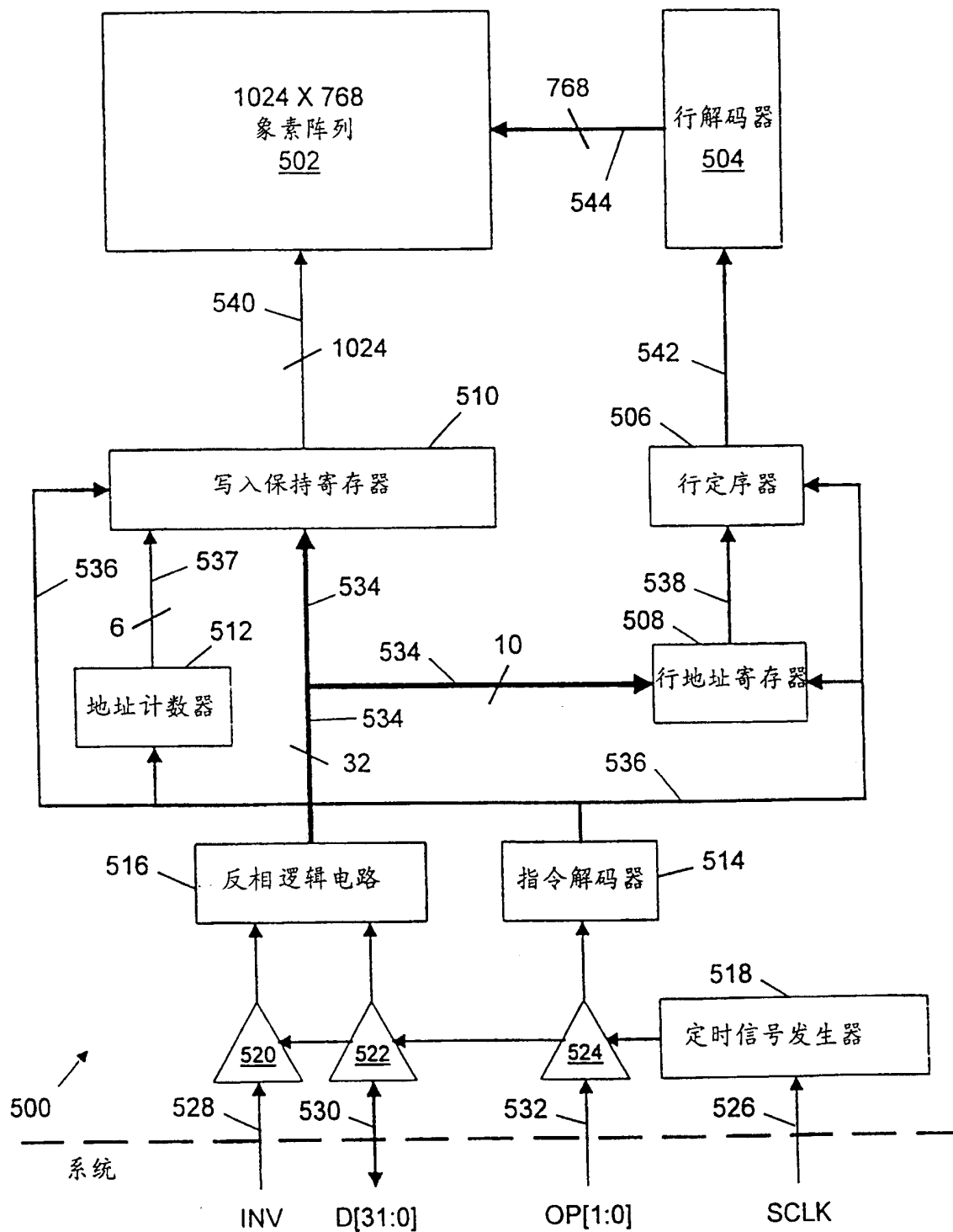


图 5

OP[1]	OP[0]	功能
0	0	No OP
0	1	数据写入。把D[31:0]加载到写入保持寄存器的下一个位置
1	0	阵列写入。 (任选：把D[31:0]加载到写入保持寄存器的下一个位置)
1	1	把行地址加载到地址寄存器 (还使写入保持寄存器再同步)

600

图 6

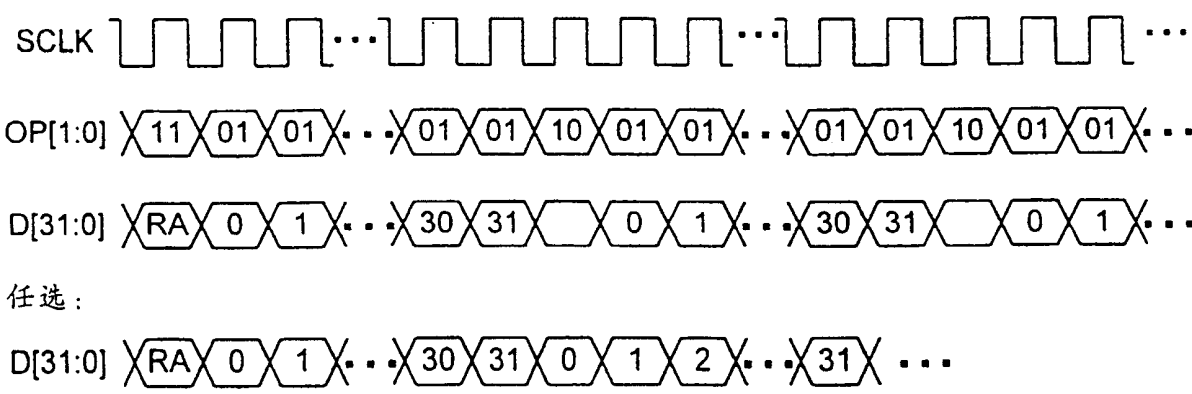
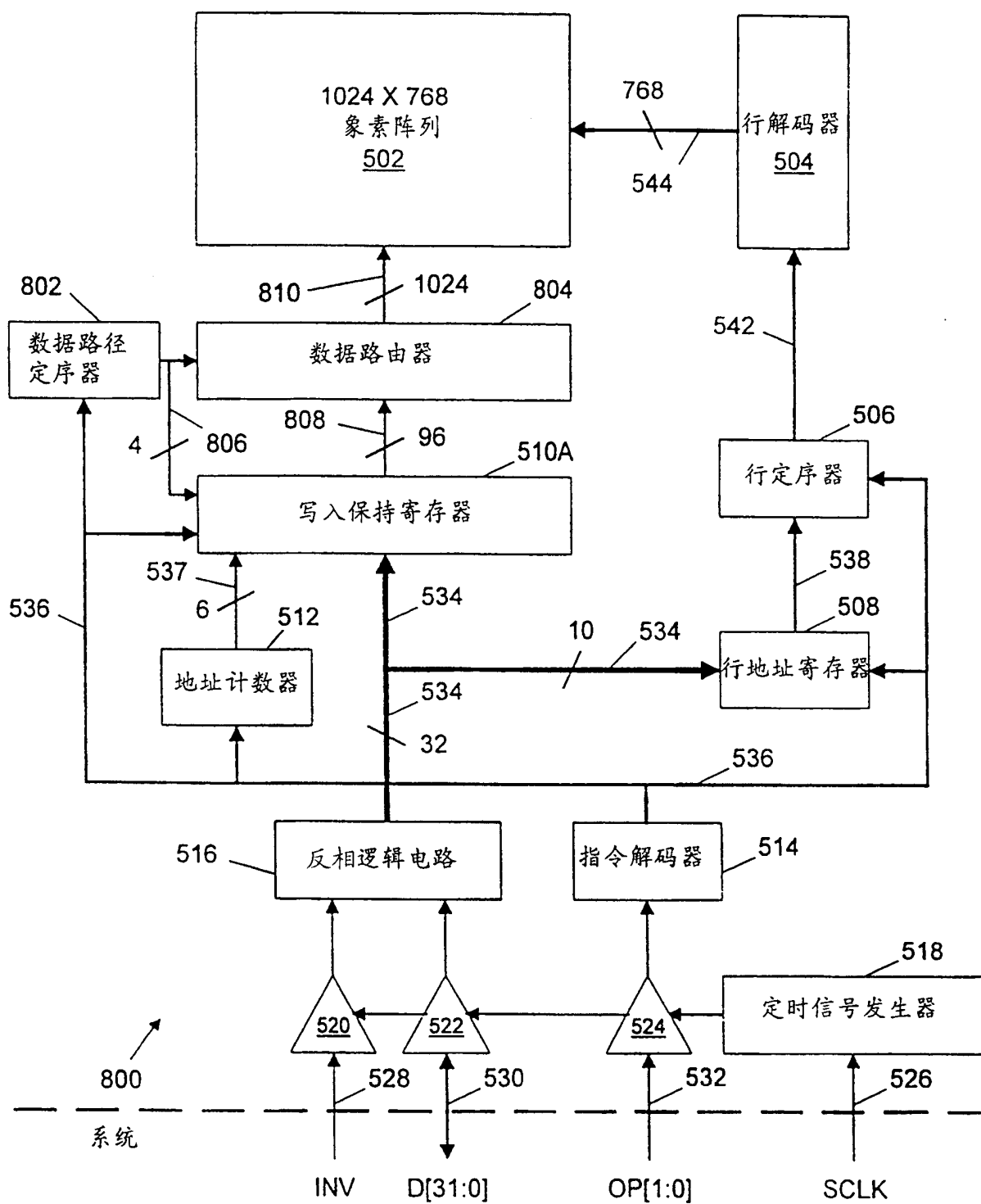


图 7



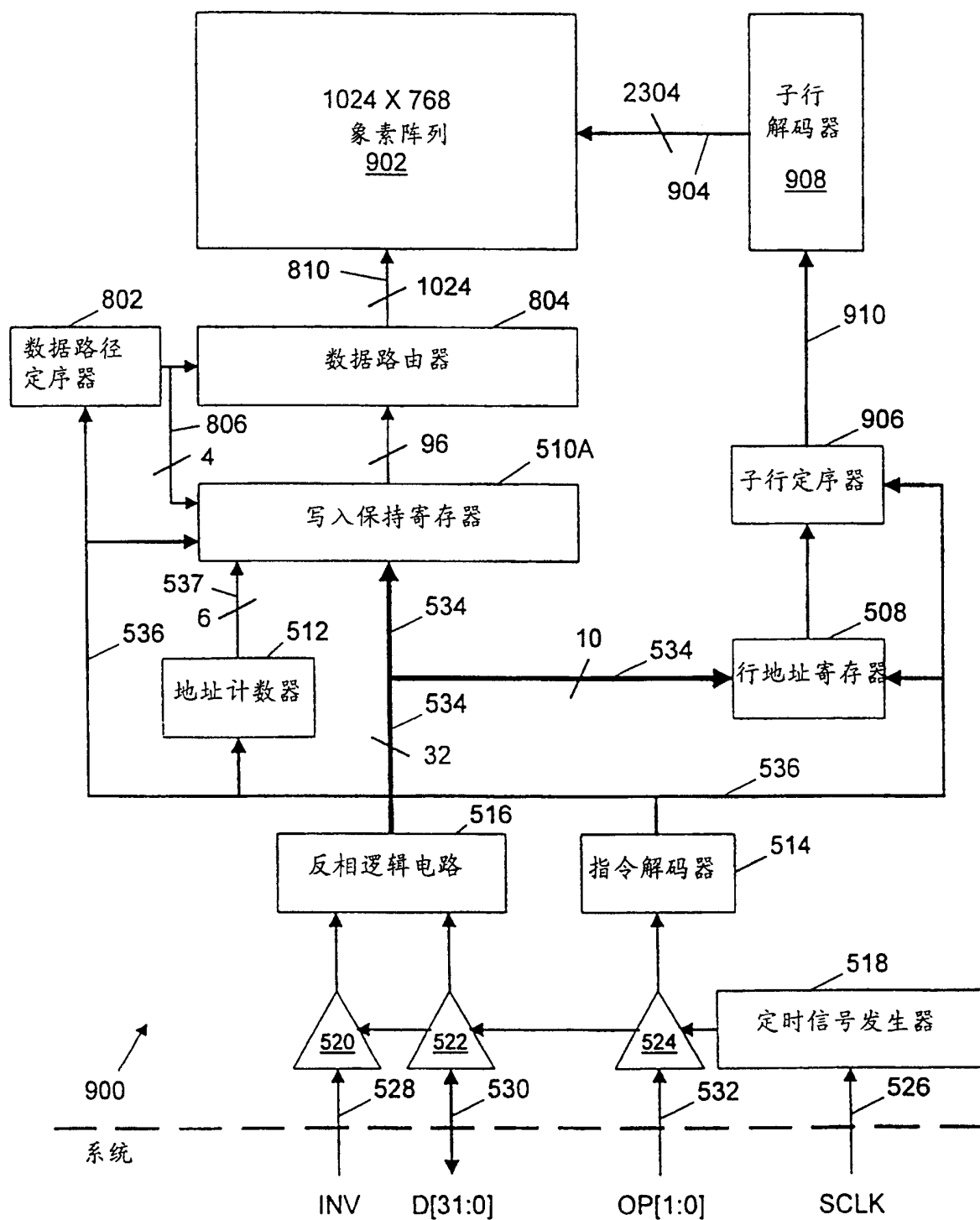


图 9

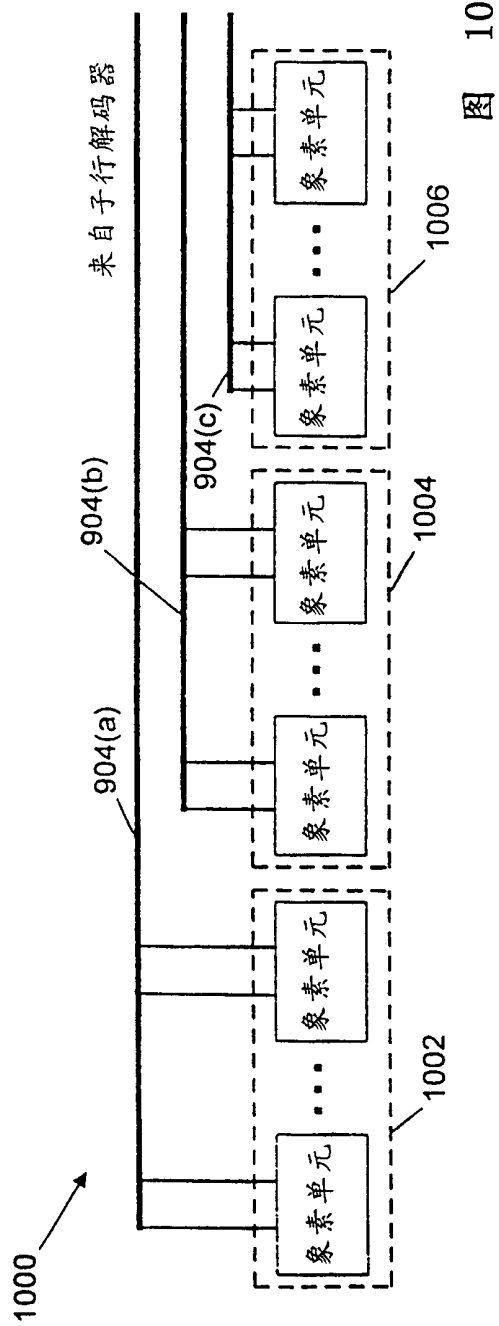


图 10

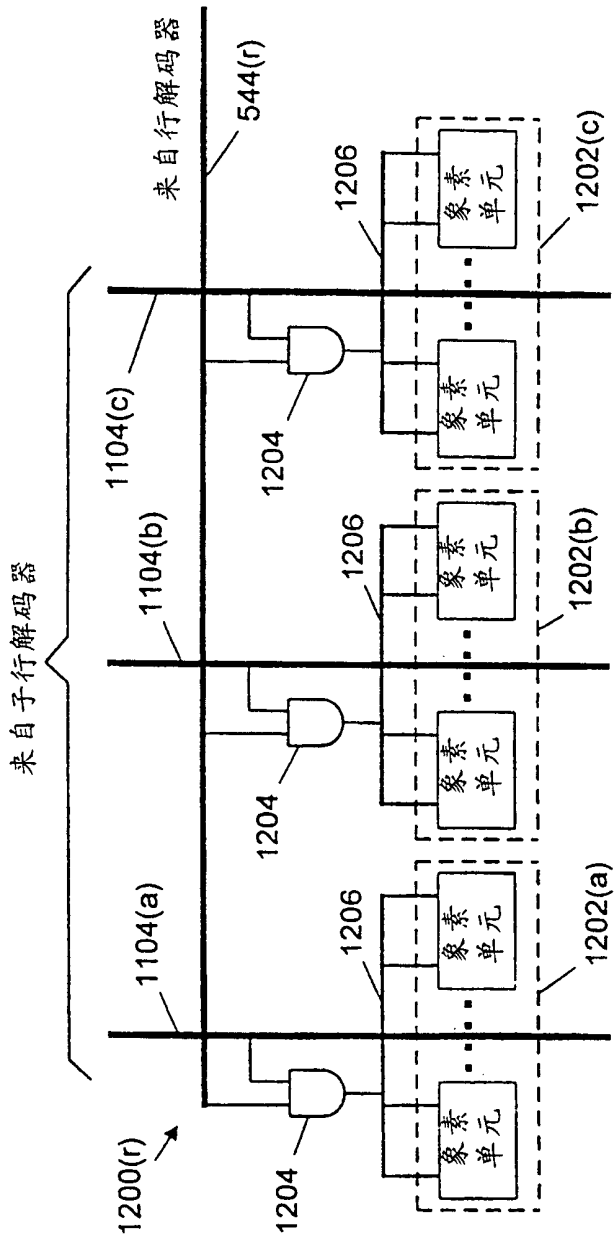


图 12

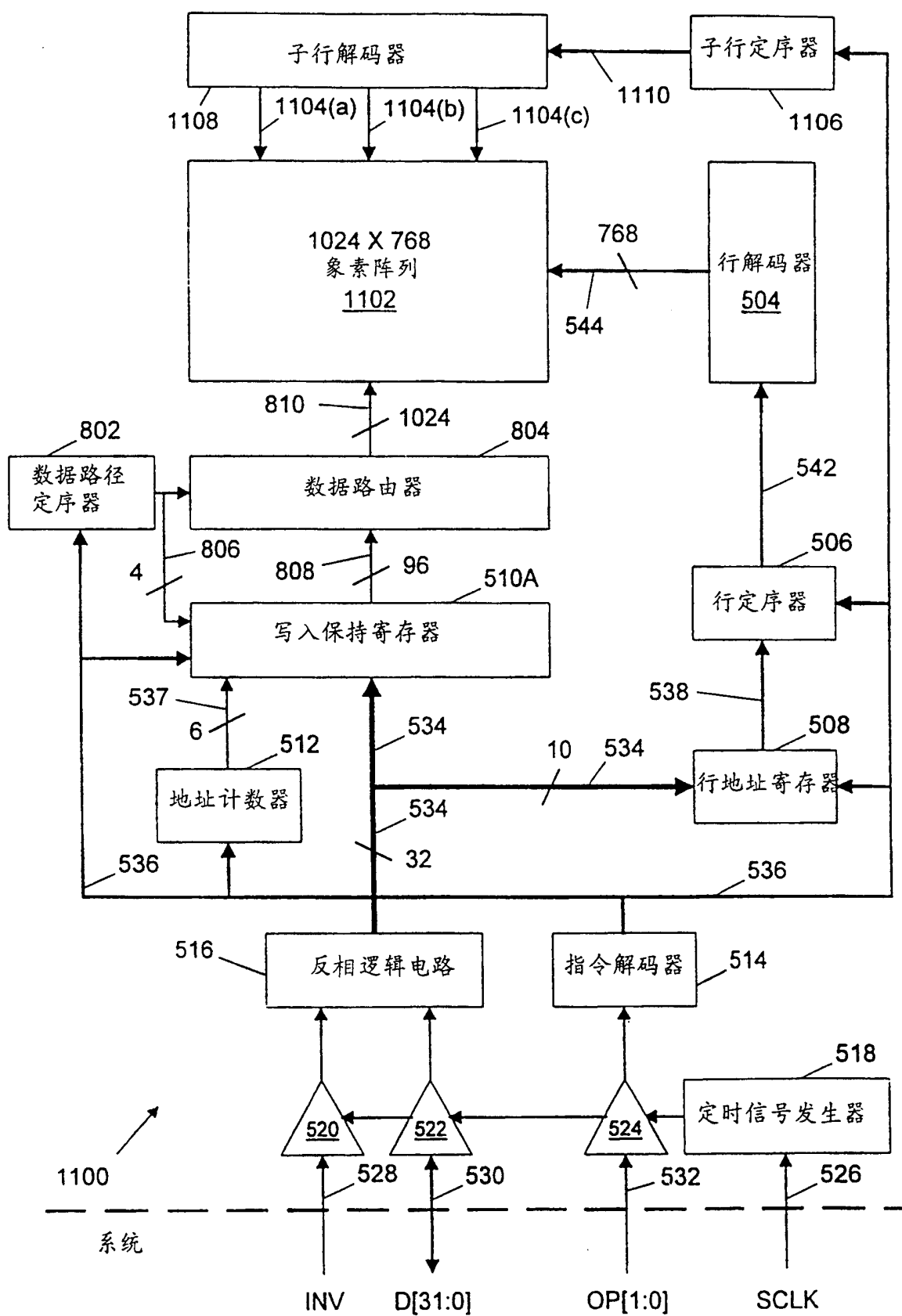


图 11