

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4246801号
(P4246801)

(45) 発行日 平成21年4月2日(2009.4.2)

(24) 登録日 平成21年1月16日(2009.1.16)

(51) Int.Cl.	F I
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 2 6 C
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 6 M
HO 1 L 21/8244 (2006.01)	HO 1 L 29/78 6 1 8 C
HO 1 L 27/11 (2006.01)	HO 1 L 27/10 3 8 1

請求項の数 11 (全 12 頁)

(21) 出願番号 特願平7-251394	(73) 特許権者 591236448
(22) 出願日 平成7年9月28日(1995.9.28)	エスティーマイクロエレクトロニクス、イ ンコーポレイテッド
(65) 公開番号 特開平8-181327	STMicroelectronics, Inc
(43) 公開日 平成8年7月12日(1996.7.12)	アメリカ合衆国, テキサス 75006
審査請求日 平成14年9月27日(2002.9.27)	, カーロルトン, エレクトロニクス
審査番号 不服2006-12129(P2006-12129/J1)	ドライブ 1310
審査請求日 平成18年6月13日(2006.6.13)	(74) 代理人 100076185
(31) 優先権主張番号 316633	弁理士 小橋 正明
(32) 優先日 平成6年9月30日(1994.9.30)	(72) 発明者 ジェームズ エイ. カニングハム
(33) 優先権主張国 米国 (US)	アメリカ合衆国, カリフォルニア 95 070, サラトガ, ジュニペロ ウエ イ 19771
最終頁に続く	

(54) 【発明の名称】 薄膜トランジスタ及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

トランジスタにおいて、
凹所が形成されており且つ 1 表面をもった誘電体基板、
前記表面上に構成されており且つ前記凹所の上方にその一側部から突出して延在する端部部分を具備するゲート電極、
前記表面上及び前記凹所内に位置されており、且つソース領域、ドレイン領域、及び、前記凹所内において前記ゲート電極の前記端部部分の下側にのみ位置されているチャンネル領域からなる半導体物質層、
前記チャンネル領域と前記ゲート電極との間に設けられた絶縁体、
を有し、
前記ゲート電極がその上に絶縁体を具備する一対の両側の垂直側部を有しており、前記ソース領域の一部が前記側部のうちの第一側部と隣接しており、且つ前記ドレイン領域の一部が前記側部のうちの第二側部と隣接しており、且つ前記絶縁体が前記ソース領域を前記第一側部から分離し且つ前記ドレイン領域を前記第二側部から分離し、前記ソース領域及び前記ドレイン領域は、ゲート電極の上で分離されていることを特徴とするトランジスタ。

【請求項 2】

請求項 1 において、前記ソース領域の一部及び前記ドレイン領域の一部が前記凹所内にあり且つ各々の一部が前記凹所の外側の前記誘電体表面上にあることを特徴とするトラン

ジスタ。

【請求項 3】

請求項 1 において、前記ソース領域が前記チャンネル領域に隣接した軽度ドーピングしたソース領域を有しており、且つ前記ドレイン領域が前記チャンネル領域に隣接した軽度ドーピングしたドレイン領域を有していることを特徴とするトランジスタ。

【請求項 4】

請求項 3 において、前記軽度ドーピングしたソース領域の少なくとも一部及び前記軽度ドーピングしたドレイン領域の一部が前記凹所内にあることを特徴とするトランジスタ。

【請求項 5】

請求項 1 において、前記ソース領域が前記チャンネル領域及び前記第一側部に隣接した軽度ドーピングしたソース領域を有しており、且つ前記ドレイン領域が前記チャンネル領域及び前記第二側部に隣接した軽度ドーピングしたドレイン領域を有していることを特徴とするトランジスタ。

10

【請求項 6】

請求項 1 において、前記チャンネル領域に直接的に隣接するソース／ドレイン領域が、前記チャンネル領域から離れたソース／ドレイン領域よりも一層大きな体積を有しており、チャンネル領域に直接的に隣接し、軽度ドーピングされていることを特徴とするトランジスタ。

【請求項 7】

凹所が形成されており且つ 1 表面をもった誘電体基板、
前記表面上に構成されており且つ前記凹所の上方にその一側部から突出して延在する端部部分を具備するゲート電極、

20

前記表面上及び前記凹所内に位置されており、且つソース領域、ドレイン領域、及び、前記凹所内において前記ゲート電極の前記端部部分の下側にのみ位置されているチャンネル領域からなる半導体物質層、

前記チャンネル領域と前記ゲート電極との間に設けられた絶縁体を有し、

前記ゲート電極がその上に絶縁体を具備する一対の両側の垂直側部を有しており、前記ソース領域の一部が前記側部のうちの第一側部と隣接しており、且つ前記ドレイン領域の一部が前記側部のうちの第二側部と隣接しており、且つ前記絶縁体が前記ソース領域を前記第一側部から分離し且つ前記ドレイン領域を前記第二側部から分離し、前記ソース領域及び前記ドレイン領域は、ゲート電極の上で分離されていることを特徴とするトランジスタの製造方法において、

30

前記誘電体基板の前記表面上に前記ゲート電極を形成するステップ、

前記ゲート電極の前記端部部分をマスクとした等方性エッチングにより、前記表面に前記凹所を形成して前記ゲート電極の前記端部部分を前記凹所の上方にその一側部から突出させるステップ、

前記ゲート電極の露出した全ての表面部分の上に前記絶縁体を形成するステップ、

前記基板の前記表面上、前記凹所内、及び前記ゲート電極の露出したすべての前記表面部分上の前記絶縁体上に前記半導体物質層を付着形成するステップ、

40

前記半導体物質層の前記ソース領域及び前記ドレイン領域となる領域上にマスク層を形成するステップ、

前記半導体物質層を、前記マスク層及び前記ゲート電極の前記端部部分をマスクとして異方性エッチングして前記凹所内で且つ前記端部部分下側に前記半導体物質層のストリップ形状部分を残存させて、前記凹所内の前記半導体物質内に前記チャンネル領域を形成するステップ、

前記チャンネル領域の両端に隣接した前記半導体物質内に前記ドレイン領域及び前記ソース領域を形成するステップ、
上記各ステップを有することを特徴とする方法。

【請求項 8】

50

請求項7において、前記ゲート電極を形成する場合に、
前記表面上にポリシリコン膜を付着形成し、
前記ポリシリコン膜上にマスク層を形成し、
前記ポリシリコン膜の露出部分をエッチングして前記ゲート電極を形成し、
前記マスク層を除去する、
ことを特徴とする方法。

【請求項9】

請求項7において、前記凹所を形成する場合に、
前記ゲート電極を形成した後に前記ゲート電極の前記端部部分及び前記端部部分の周りの前記基板表面の区域を露出させるマスク層を形成し、
前記ゲート電極の前記端部部分をアンダーカットさせるために前記露出された基板区域を等方的にエッチングする、
ことを特徴とする方法。

10

【請求項10】

請求項7において、前記チャンネル領域を形成する場合に、
半導体物質層としてアモルファスシリコン膜を付着形成し、
前記ストリップ形状部分の一部をドーパントで注入して前記チャンネル領域を形成し、
前記マスク層を除去し、
前記ストリップ形状部分をポリシリコンへ変換させる、
ことを特徴とする方法。

20

【請求項11】

請求項7において、前記半導体物質層を形成する場合に、
前記半導体物質層が、前記ゲート電極の上部の少なくとも一部と、前記ゲート電極の両側部と、前記ゲート電極の前記端部部分の底部とを取囲むように、前記半導体物質層を形成することを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、大略、半導体装置及びその製造方法に関するものであって、更に詳細には、SRAMメモリセルにおいて使用する誘電体基板上の半導体物質膜から形成したトランジスタ及びその製造方法に関するものである。

30

【0002】

【従来の技術】

薄膜トランジスタ(TFT)は、しばしば、面積を減少させた集積回路を製造するために使用される。例えば、TFTは6トランジスタスタティックランダムアクセスメモリ(SRAM)セルにおけるPチャンネルトランジスタとして使用することが可能である。6トランジスタSRAMセルにおけるPチャンネルポリシリコントランジスタは従来公知であり、例えば米国特許第5,135,888号、第5,187,114号、第5,204,279号を参照すると良い。

【0003】

40

典型的に、TFTはそのチャンネル、ドレイン領域及びソース領域が例えばSiO₂、石英又はガラス等の誘電体基板上に形成された例えばポリシリコン等の半導体物質からなるストリップから形成された電界効果トランジスタ(FET)である。従って、半導体基板内に形成される従来のFETと異なり、TFTは、例えばSRAMセルにおける他のトランジスタ等の半導体構造の上に積重ねて配置した状態で形成することが可能である。このような集積回路構成要素の積重ねは、しばしば、集積回路の面積において著しく面積を減少させる場合がある。積重ね型トランジスタSRAMセルは、村上等著「バッテリー動作21mW CMOS SRAM (A 21 mW CMOS SRAM for Battery Operation)」、ISSCC、46頁(1991)、三菱電機株式会社の文献に記載されている。

50

【0004】

【発明が解決しようとする課題】

TFTは、しばしば、単結晶によって構成されたもの、即ち単結晶半導体基板内におけるトランジスタと比較して寸法が大きい。更に、TFTのスイッチング速度はある適用場面においてしばしば遅すぎる場合がある。本発明は、このような従来技術の欠点を解消することを目的とする。

【0005】

【課題を解決するための手段】

本発明の原理によれば、誘電体層の上にトランジスタが形成される。この誘電体層は、好適には、シリコン基板内の集積回路要素の上側に存在する酸化物層である。本トランジスタは該誘電体層の表面上にあり且つソース領域とドレイン領域とを有する半導体物質層を有している。チャンネル領域がソース領域とドレイン領域との間に位置されており、且つ前記表面下側で前記基板の凹所内に存在している。ゲート電極は該チャンネルと実質的に整合している。絶縁体がチャンネルとゲート電極とを分離している。ゲート電極及びチャンネルは自己整合されているので、チャンネル長を精密に形成することが可能であり、且つゲート電極幅及び絶縁体厚さの2倍よりも小さい。本発明の別の側面においては、ソース領域がチャンネルに隣接した軽度ドーピングしたソース領域及びドレイン領域を有しており、それらの領域は本発明に基づいて、付加的な処理ステップなしで且つ従来技術において通常必要とされる場合よりも1ステップ少ない状態で自動的に形成される。

【0006】

本発明の1つの利点はトランジスタが従来のTFTよりも小型であるということである。別の利点としては、従来のTFTよりも製造が容易であるということである。

【0007】

【発明の実施の形態】

図1は半導体構成体10の概略断面図であり、その半導体構成体10は、図示例においては、薄膜トランジスタ(TFT)11を有している。図示した如く、TFT11は長さLであり且つゲート電極14と自己整合されたチャンネル領域12を有している。即ち、チャンネル領域12はゲート電極14の幅wと実質的に同一の長さである。

【0008】

このような自己整合は、従来のTFTと比較しTFT11の寸法を減少させ、且つ従来の装置においては発生するようなゲート電極14がソース領域18及びドレイン領域20と広範にオーバーラップすることによって発生される場合のあるミラー容量等の寄生容量を減少させる。従って、本発明のポリシリコントランジスタの構造内に組込まれたゲート電極14とチャンネル領域12との自己整合はTFT11の寸法を減少させる。

【0009】

図示した如く、TFT11は基板22の上に形成され、基板22は、典型的には、例えばSiO₂、ガラス層又は石英等の誘電体物質から形成される。典型的にはポリシリコンである半導体物質からなる層24を基板22の上に形成し、該層24はチャンネル領域12とドレイン領域18及びソース領域20とを有している。ポリシリコン層24を例えばゲート電極コンタクト28等の後に形成される層から絶縁させるために、ポリシリコン層24の上に絶縁性誘電体層26を形成することが可能である。本発明の1側面においては、ソース領域18は軽度ドーピングしたソース領域30を有することが可能であり、且つドレイン領域20は軽度ドーピングしたドレイン領域32を有することが可能である。これらのLDD即ち軽度ドーピングしたドレイン領域は本明細書に説明するように本発明の1実施例に基づいてドレイン領域及びソース領域と共に単一の注入ステップで形成される。

【0010】

本発明の1実施例においては、TFT11及び基板22を有する半導体構成体10をSRAMセル34の上方に形成することが可能である。このような実施例においては、TFT11は6トランジスタSRAMセル用のPチャンネル装置である。SRAMセル内のその他のトランジスタと共に基板内に形成するのではなくその垂直上方にTFT11を形成す

10

20

30

40

50

ることによって、SRAMセルの面積をSRAMセルと同一の水平面上に形成されるPチャンネルトランジスタ装置を使用する従来のセルと比較して著しく減少させることが可能である。このPチャンネルトランジスタは、本明細書に引用したような従来の6トランジスタSRAM設計のPチャンネルトランジスタを直接的に置換することが可能であり、且つ従来装置と比較して全体的により小型の面積のメモリセル寸法を与えることが可能である。

【0011】

図2は図1の半導体構成体10の概略平面図である。説明の便宜上、コンタクト28及び絶縁層26は図2においては省略してある。図2は、ソース／ドレイン18及び20を有しており且つ内部にチャンネル12が形成されたポリシリコン層24を示している。ゲート電極14はチャンネル領域12の上側に延在している。

10

【0012】

図3は図2のA-A線に沿ってとった半導体構成体10の概略断面図を示している。この場合にも、説明の便宜上、絶縁体26及びコンタクト28は図3においては省略してある。図示した如く、チャンネル領域12は基板22内の凹所36の一部に形成されている。酸化物層38がチャンネル12とゲート電極14との間に形成されている。凹所36の一部39にはチャンネル領域が形成されていない。図示した如く、ゲート電極14の一部41は凹所36の上方に延在する端部部分41を有しており、それは酸化物層38を介してチャンネル領域12と隣接している。部分39は1実施例においては同一のポリシリコン層24で充填させることが可能であるが、ゲート電極14から離れているので、その場合にはチャンネル領域12の一部として効果的に機能するものではない。一方、部分39は空洞のままとさせるか、又は例えばSiO₂等の絶縁物質で充填することが可能である。

20

【0013】

図4乃至11は基板22の上にTFET11が形成されている半導体構成体10を製造する方法の1実施例を示している。説明の便宜上SRAM34は示していないが、半導体構成体10はSRAM34の上方に形成することが可能であり、またそれとは独立的に形成することも可能であることを理解すべきであって、設計基準及びSRAMセルレイアウトは多数の可能な選択の中から当業者によって選択することが可能なものである。

【0014】

図4を参照すると、通常シリコン基板上にSiO₂層から形成される誘電体基板22を形成した後に、その上にゲート電極14を形成する。本発明の1側面においては、約0.5ミクロンの厚さを有するポリシリコン膜を低圧気相成長(LPCVD)によって基板22の上に付着形成させる。次いで、ポリシリコン膜をドーピングしてより高い導電性のものとさせる。例えば、ポリシリコン膜はN⁺へドーピングさせることが可能である。該膜をドーピングした後に、ホトリソグラフィ技術を使用してゲート電極14へ形成させる。本発明の1側面においては、幅Wは約4λであり、尚λは最小の処理寸法である。

30

【0015】

次に、本発明の1実施例においてはホトレジスト膜とすることが可能なマスク層60をゲート電極14を被覆して付着形成させる。次いでマスク層60に開口62を形成するが、開口62はゲート電極14の端部部分の上に開口を与えるように形成する。

40

【0016】

次に、基板22の露出された領域を等方的にエッチングして点線64で示したようにアンダーカット領域を与える。例えば、基板22がSiO₂である場合には、この等方性エッチングは、例えば緩衝酸化物エッチ(BOE)等の希釈フッ化水素(HF)の水溶液を使用して実行し、且つ基板22の露出された領域が所望の深さrへエッチングされるまで継続して行なう。1実施例においては、この深さrは約λであるが、アンダーカットを与えるためにポリシリコンのゲート電極14の下側に適宜のエッチングを与える任意の深さとすることが可能である。例えば、約0.5ミクロンとすることが可能であり、又、W=4λである図示した場合には、図5及び9に示した如く、約λのアンダーカット距離dを与

50

えるためにその深さは約 1λ である。一方、 d はより小さなものとすることが可能であり、例えば、所望により、 $\lambda/2$ とすることが可能である。

【0017】

図5はB-B線に沿ってとった図4の構造を示した概略断面図である。図5に示した如く、この構造はホトレジスト60と、ゲート電極14と、凹所36とを有しており、凹所36は図4に関連して上に説明した等方性エッチングによって形成されたものである。このエッチングによってゲート電極14の下側に距離 d のアンダーカットが形成される。

【0018】

次に、図6を参照して説明すると、ホトレジスト60を除去し且つゲート絶縁膜16を形成する。このゲート絶縁膜は任意の許容可能な技術によって形成することが可能である。本発明の1側面においては、ゲート絶縁膜16はゲート電極14の露出された表面部分の上に乾燥酸素中において成長させた酸化膜とすることが可能であるが、公知のその他の熱酸化技術を使用することも可能である。ゲート酸化膜16は約100乃至500Åの範囲の厚さを有することが可能である。酸化膜16は単一のステップでゲート電極の露出部分の全ての上に形成される。ゲート電極14の上側の酸化膜、側壁上の酸化膜、及び底部上の酸化膜は全て同時に形成される。ゲート電極の上側の酸化膜及び下側の酸化膜と同一のステップにおいてゲート電極側壁上の酸化膜を形成することにより処理上の利点が得られる。

【0019】

更に図6を参照して説明すると、絶縁膜16の上及び、凹所36内のものも含む基板22の露出された表面領域上に半導体膜66を形成する。本発明の1側面においては、半導体膜66は基板22及び絶縁膜16の上に約7000Åの厚さに付着形成されるアモルファスシリコン層から形成する。一方、半導体膜66は適宜の厚さのポリシリコンとすることも可能である。アモルファスシリコン及びポリシリコンを形成する多様な技術が公知であり且つその処理に適合性を有するものとして処理設計者によって選択される任意の適宜の技術を使用することが可能である。

【0020】

図7は図4のC-C線に沿ってとった概略断面図である。図示した如く、ゲート電極14は凹所36の上側に延在しており、凹所36内にある半導体膜66の一部の上側に位置している。これは、後に、トランジスタのチャンネル領域12を形成する。

【0021】

図8を参照して説明すると、半導体膜66の上に第二マスク層68を形成し標準的なホトリソグラフィプロセスを使用してエッチングを行なうことを可能とする。ホトレジスト68を部分的に除去して開口68を形成し、且つ半導体膜24のソース領域及びドレイン領域となる半導体層66の部分の上にホトレジスト68を残存させる。次いで、半導体膜66の露出された部分に対して異方性エッチングを行なって図9に示した如く凹所36内にチャンネル領域12を形成する。本発明の1側面においては、半導体膜66の露出された部分をイオン補助プラズマエッチングプロセスを使用してエッチングする。その結果得られるTF T11を負荷装置として使用すべき場合には、TF T11がオフに状態にある場合、即ちチャンネル領域12が非導通状態にある場合に、チャンネル領域12が十分に高い抵抗を与えるように構成すべきである。6トランジスタSRAMセルにおける活性なPチャンネルトランジスタとして装置11を使用する実施例においては、オフ抵抗は極めて高く、テラオーム又はそれ以上の範囲であり、実際の回路の面からはそれは無限大に近づくものであり、且つオン抵抗が極めて高く、通常メガオーム又はそれより高い範囲内にある。Pチャンネルトランジスタとして、それはスイッチオンするが、オンした場合に高い電流を担持する部材として設計されるものではなく、むしろ、オンした場合にチャンネル抵抗が非常に高いので、導電状態となるが非常に低い電流を有するように設計される。

【0022】

図9は、アンダーカット深さ d に対応する寸法 d を有しており且つ凹所36の深さ r に等しい全体的な最大高さを有するチャンネル領域12を有する部分的に形成された装置を示

10

20

30

40

50

している。チャンネル領域12は幅狭のストリップ形状であり、ゲート電極14の幅にほぼ等しい長さLを有しており、その深さは、最大で凹所36の深さとすることが可能であり、且つその厚さは最大でアンダーカットの距離dである。距離d及び凹所深さrは最小特徴寸法より小さいものとすることが可能である。何故ならば、それらの寸法はスタンダードなホトリソグラフィ技術ではなくエッチステップ及びアンダーカットエッチによって形成されるからである。従って、チャンネル領域12は従来装置と比較してこれらの臨界的な寸法において非常に小さなものとすることが可能であり、しかも、その製造ステップは、チャンネル領域12自身が過剰にエッチングされるか又は断線が発生することがないことを確保している。何故ならば、ポリシリコンからなるゲート電極14がチャンネル領域12を異方性エッチングから保護するからである。膜24の過剰なエッチングがチャンネル領域12に対して損傷を与えることはない。何故ならば、それはゲート電極14のオーバーハング即ち突出部41の下側にあるからである。このことは、従来のポリシリコン膜トランジスタの場合には不可能であった処理制御ステップにおいて著しい利点を与えることが可能であり、特にその最終的な使用がSRAMの場合には特にそうである。

【0023】

図10は上述した異方性エッチングプロセスの後の図4のC-C線に沿ってとった構造の概略断面図である。チャンネル領域12を形成した後に、イオン注入を行なってスレッショールド電圧を調節し且つ所望のタイプの装置、即ちPチャンネル又はNチャンネルの装置を形成する。例えば、本発明の1側面においては、約 10^{12} 原子数/cm²の範囲内の隣でチャンネル領域12をイオン注入することによってPチャンネル装置が形成される。このイオン注入のエネルギーは、上側に存在するストリップ状のゲート電極14に浸透することが可能であるように選択される。この場合の適切な注入エネルギーとしては約300KeVである。一方、より低いエネルギーを使用し且つ角度を付けてチャンネル領域12に対してイオン注入を行なうことが可能であり、例えば、チャンネル領域12の露出された境界即ち端部37（図3）に対してアクセスを与えるために回転型ウエハ技術又は別の同等の技術を使用することによって行なうことが可能である。チャンネル領域12のエッチング及びチャンネル領域のイオン注入の両方に対して同一のマスクを所定位置に位置させておくことにより、チャンネル領域の自己整合を得ることが可能である。一方、ホトレジスト68を除去し且つ第一導電型の軽度のドーズでブランケット即ち一様なイオン注入を行ない、且つソース領域とドレイン領域とに対してカウンタドーズを行なってその軽度のドーズに打ち勝たせることも可能である。

【0024】

更に図10を参照して説明すると、チャンネル領域12内へのドーパントの注入の後に、ホトレジスト層68を除去し、且つ層66がアモルファスシリコンである場合には、それを結晶化させ、即ちポリシリコンストリップ24へ変換させる（図1）。本発明の1側面においては、アモルファスシリコンをグレイン即ち粒界の大きなポリシリコンからなるストリップ24へ変換させるために、層66をN₂又はAr内において長い低温アニールに露呈させる。このようなアニールは、典型的に、約20乃至100時間の範囲の期間にわたり約475乃至600℃の温度において行なわれる。アニール温度はアモルファスシリコン内に付加的な核又は小さいな結晶が発生しない程度に十分低いものであるが、約5ミクロン以上のグレイン寸法とさせるために既存の結晶が固体拡散を介して成長するのに十分に高いものとすべきである。一方、レーザ技術を使用して層66を大きなグレインのポリシリコンからなるストリップ24へ変換させることが可能である。ポリシリコン層24内のより大きな結晶グレインは、しばしば、改善されたTFTを与えることが知られている。何故ならば、より大きなグレインは、主にグレイン境界に位置されているキャリアトラップに格納されることのある電荷数を減少させるからである。一方、層24は、最初から許容可能なポリシリコンから形成することが可能であり、その場合には長期間のアニールを必要とすることなしに処理を行なうことが可能である。

【0025】

図11を参照して説明すると、ストリップ24の露出部分の上に酸化膜72を形成する。

本発明の１側面においては、図１１の構造は約８５０℃の温度において蒸気中において軽度酸化させて約２００Åの厚さの二酸化シリコンからなる層７２を成長させる。

【００２６】

次に、構成体１０に対してブランケット即ち一様なイオン注入を行なってドレイン領域２０及びソース領域１８を形成する。本発明の１側面においては、ＴＦＴ１１がＰチャンネル装置である場合には、構成体１０に対して約１５０ＫｅＶのエネルギーにおいて約 10^{15} 原子数／ cm^2 のドーズ又はそれより高いドーズを使用してボロンでイオン注入を行なう。このようなイオン注入は図１１において複数個の矢印で示した如く、構成体１０の表面に対して実質的に垂直な方向に行なわれる。更に、このような注入物は軽度にドーブした領域３０及び３２の外側のソース１８及びドレインの部分に良好な導電度を与えるために十分に高いドーパント濃度を与え、その不純物濃度は約 10^{19} 原子数／ cm^3 である。

10

【００２７】

イオン注入プロセスの直後においては、ＬＤＤ領域３０及び３２内に存在するボロンは非常に僅かである。何故ならば、該領域はより大きな体積を有しており且つ部分的に第二ポリシリコン層、第一ポリシリコン層、ゲート酸化膜１６の側壁の厚さによって保護されているからである。次いで、構成体１０を９００乃至９２５℃の温度範囲において約１時間の間熱処理を行ない、軽度の濃度の注入されたボロンを領域３０及び３２内へドライブし、従ってチャンネル領域１２（これは、本発明のこの側面においては、Ｎ－にドーブされている）との境界近くに於いては、不純物濃度は 10^{17} 乃至 10^{18} 原子数／ cm^3 の範囲内か又はある実施例においてはそれより低い濃度である。このような熱処理によってＰ型のＬＤＤ領域３０及び３２が形成される。一方、このボロンをドライブインさせるステップに対してＲＴＡ即ち迅速熱アニール方法を使用することが可能である。

20

【００２８】

軽度にドーブしたソース領域及びドレイン領域は、付加的なイオン注入ステップなしで効果的に形成される。このことが可能である理由は、就中、層２４はチャンネル領域にすぐ隣接したソース／ドレイン領域において一層厚くなっており、且つソース／ドレイン領域はチャンネル領域に隣接して一層深さが深く、チャンネル領域１２は表面下側の凹所内に存在しているからである。従って、同一の注入ドーズの場合に、イオンは拡散されるとより大きな体積に亘って拡布し、且つ最終的な不純物濃度はより低くなる。更に、表面においてのイオンドーズに対しては、イオンは下方向に拡散する。ポリシリコン層２４の一層深い領域は不純物の拡散特性を考慮に入れると、イオン注入の後に発生する熱ステップの選択的制御によってより低い最終的なドーパント濃度を有することが可能である。このことは、表面にチャンネル領域を有し且つチャンネルから離れた位置でもチャンネル近くでもソース／ドレイン領域は同一の体積を有している従来のＬＤＤ構造と比較される。このような従来の装置はＬＤＤ構造を形成するために別個のイオン注入ステップを必要とするが、本発明によれば、ＬＤＤ構造は自己的に形成される。

30

【００２９】

ソース／ドレイン及びＬＤＤ構造はチャンネル領域１２に対して自動的に自己整合される。何故ならば第一ポリシリコン層１４及び該層を取囲む側壁を有するゲート酸化膜１６は、拡散された場合に、ＬＤＤ構造を形成するイオン注入に対する自己整合用エッジストップとして作用するからである。該酸化物側壁は垂直方向のイオンドーズ注入に対するストップを提供し、良好なマスクエッジであって、且つ該ゲート酸化膜は後の拡散が夫々のポリシリコン層内に過剰なカウンタドーパントを配置させることを防止する。

40

【００３０】

１実施例においてはＬＤＤ構造を自己的に形成するために増加した体積とチャンネル領域の大きな深さの両方に依存しているが、それらのいずれか一方のみがこの目的を達成するために有用なものである場合がある。ＬＤＤ構造の自己整合はこれらの技術のいずれか一方のみを使用するか又は結合して使用することにより達成することも可能である。

【００３１】

図１１を参照して更に説明すると、ＴＦＴ１１は層２４内のグレイン境界即ち粒界におい

50

てのトラップ密度を減少させるために水素でパッシベーション即ち不働化させることが可能である。このようなトラップ密度の減少は、しばしば、スレッシュホールド電圧及びサブスレッシュホールドリーク電流を減少させる。この水素によるパッシベーションは形成用ガス又は水素（H）における長期のベークを使用し、プラズマエッジCVD（PECVD）窒化シリコン層を付与し、構成体10を約300℃の温度で水素プラズマ内に浸漬して実施することが可能であり、又はプロトンでの高ドーズイオン注入によって実施することが可能である。

【0032】

図11を参照して更に説明すると、本発明の1側面においては、チャンネル領域12の幅と長さとの比（ W/L ）は約 $\lambda \div 2\lambda = 1/2$ と等しい。これによりTF T 11が完成され且つ当該技術分野において公知の如く適宜の絶縁層、コンタクト、ビア及び金属膜を付加することによってその他の装置と集積化させることが可能であり、最終的な製品を図1に示してある。

【0033】

以上、本発明の具体的実施の態様について詳細に説明したが、本発明は、これら具体例にのみ限定されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。例えば、PチャンネルTF T 11を製造する方法について詳細に説明したが、本発明の技術的範囲を逸脱することなしにNチャンネルとしてTF T 11を形成することも可能である。ゲート電極14及び半導体膜66は夫々第一ポリシリコン層及び第二ポリシリコン層として説明したが、このことはこれらの2つの層に対して特定の順番を必要とするものではない。更に、これらの層は第二ポリシリコン層、第三ポリシリコン層、又は第四ポリシリコン層等とすることが可能であって、特定のレベルのポリシリコンであることは本発明にとって重要なことではない。更に、TF T 11のゲート電極を形成するストリップ14はポリシリコン以外の導電性物質から形成することも可能である。

【図面の簡単な説明】

【図1】 本発明に基づいて製造した半導体構成体を示した概略断面図。

【図2】 図1の構成体の一部の概略平面図。

【図3】 図2のA-A線に沿ってとった図2の構成体の概略断面図。

【図4】 エッチングした半導体構成体の状態を示した概略平面図。

【図5】 図4のB-B線に沿ってとった構成体の概略断面図。

【図6】 誘電体及び半導体層を形成した後の構成体を示した概略断面図。

【図7】 図5のC-C線に沿ってとった構成体の概略断面図。

【図8】 マスク層を配置し且つエッチングステップの後の状態の構成体を示した概略平面図。

【図9】 図8におけるC-C線に沿ってとった概略断面図。

【図10】 図5のC-C線に沿ってとった構成体の概略断面図。

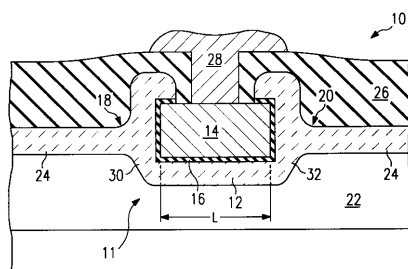
【図11】 マスク層を除去し且つ誘電体層を付加した後の構成体を示した概略断面図。

【符号の説明】

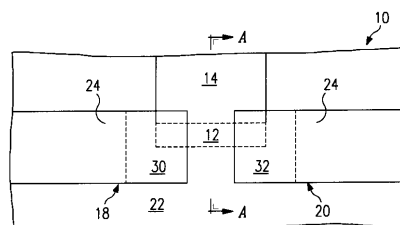
- 10 半導体構成体
- 11 薄膜トランジスタ（TF T）
- 12 チャンネル領域
- 18, 20 ソース／ドレイン領域
- 22 基板
- 24 半導体物質層
- 26 絶縁膜
- 28 ゲート電極コンタクト
- 32 LDD領域
- 34 SRAM
- 36 凹所

- | | |
|-----|-----------|
| 4 1 | オーバーハング部分 |
| 6 0 | マスク層 |
| 6 2 | 開口 |
| 6 6 | 半導体膜 |
| 6 8 | 第二マスク層 |

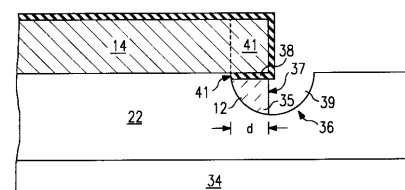
【図 1】



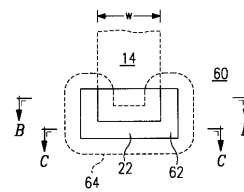
【図 2】



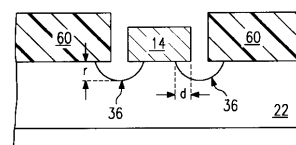
【図 3】



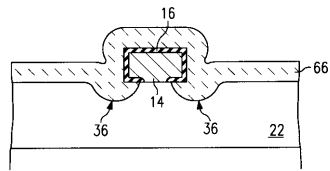
【図 4】



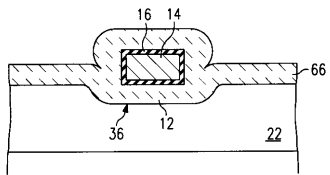
【図 5】



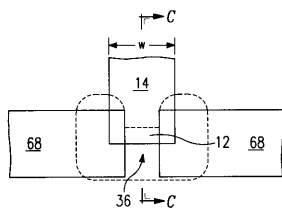
【図 6】



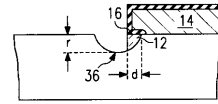
【図 7】



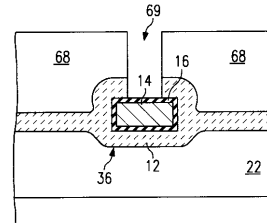
【図 8】



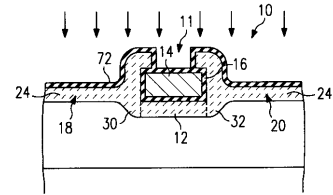
【図 9】



【図 10】



【図 11】



フロントページの続き

合議体

審判長 河合 章

審判官 棚田 一也

審判官 近藤 幸浩

- (56)参考文献 特開平6-196696 (JP, A)
特開平6-130418 (JP, A)
特開平5-198594 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
IPC第7版 H01L29/786
H01L21/336