

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4368793号
(P4368793)

(45) 発行日 平成21年11月18日(2009.11.18)

(24) 登録日 平成21年9月4日(2009.9.4)

(51) Int.Cl.

F I

G 1 1 C 11/15 (2006.01)

G 1 1 C 11/15 1 5 0

請求項の数 4 (全 16 頁)

(21) 出願番号	特願2004-517522 (P2004-517522)	(73) 特許権者	509052894
(86) (22) 出願日	平成15年4月24日 (2003.4.24)		エバースピン テクノロジーズ インコーポレイテッド
(65) 公表番号	特表2005-531875 (P2005-531875A)		EverSpin Technologies, Inc.
(43) 公表日	平成17年10月20日 (2005.10.20)		アメリカ合衆国 85225 アリゾナ州
(86) 国際出願番号	PCT/US2003/013007		チャンドラー ノース アルマ スクール ロード 1300
(87) 国際公開番号	W02004/003919	(74) 代理人	100142907
(87) 国際公開日	平成16年1月8日 (2004.1.8)		弁理士 本田 淳
審査請求日	平成18年4月12日 (2006.4.12)	(74) 代理人	100149641
(31) 優先権主張番号	10/184,720		弁理士 池上 美穂
(32) 優先日	平成14年6月28日 (2002.6.28)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 平衡負荷を有するメモリ及びその動作方法

(57) 【特許請求の範囲】

【請求項 1】

メモリであって、

第一部分（左）及び第二部分（右）を有する第一サブアレイ（14）と、

第一部分（左）及び第二部分（右）を有する第二サブアレイ（18）と、

前記第一サブアレイに隣接して配置され、かつ前記第一サブアレイの前記第一部分に隣接する第一データ線（37）及び前記第一サブアレイの前記第二部分に隣接する第二データ線（51）を有する第一列デコーダ（20）と、

前記第二サブアレイに隣接して配置され、かつ前記第二サブアレイの前記第一部分に隣接する第一データ線（41）及び前記第二サブアレイの前記第二部分に隣接する第二データ線（63）を有する第二列デコーダ（22）と、

第一の基準タイプ（高）を伝えるとともに、前記第二列デコーダの前記第一データ線に接続されている、前記第一サブアレイの前記第一部分における第一基準線（高基準）と、

第二の基準タイプ（低）を伝えるとともに、前記第二列デコーダの前記第二データ線に接続されている、前記第一サブアレイの前記第二部分における第二基準線（低基準）と、

前記第一の基準タイプを伝えるとともに、前記第一列デコーダの前記第一データ線に接続されている、前記第二サブアレイの前記第一部分における第三基準線（高基準）と、

前記第二の基準タイプを伝えるとともに、前記第一列デコーダの前記第二データ線に接続されている、前記第二サブアレイの前記第二部分における第四基準線（低基準）と、

第一センスアンプ（24）と、

10

20

前記第一列デコーダの前記第一及び第二データ線、並びに前記第二列デコーダの前記第一及び第二データ線に接続された複数の入力と、前記第一センスアンプに前記第一の基準タイプ（高）を供給する第一基準出力（70）と、前記第一センスアンプに接続された第一データ出力（80）とを有するマルチプレクサ（32）と、
を備えるメモリ。

【請求項2】

請求項1に記載のメモリにおいて、前記マルチプレクサ（32）は、前記第一センスアンプに前記第二の基準タイプ（低）を供給する第二基準出力（90）を有する、メモリ。

【請求項3】

データ及び第一基準（高基準）を備えるメモリの第一（左）サブアレイ（14）におけるデータの検知方法であって、

データ及び第二基準（高基準）を備える第二サブアレイ（18）を設けること、

前記第一サブアレイに隣接して配置され、かつ第一データ線（37）を有する第一列デコーダ（20左）を設けること、

前記第二サブアレイに隣接して配置され、かつ第二データ線（41）を有する第二列デコーダ（22左）を設けること、

第一センスアンプ（24）を設けること、

前記第二サブアレイ（18）をアクティブな状態にしていない間に、前記第一サブアレイ（14）を有効化すること、

前記第一データ線（37）から前記第一センスアンプにデータを伝送すること、

前記第二データ線を介して、前記第一センスアンプに前記第一基準を伝送すること、

前記第一サブアレイから前記第一データ線にデータを接続すること、

を含むデータの検知方法。

【請求項4】

請求項3に記載の方法であって、さらに、

データ及び第三基準（低）を備える第三サブアレイ（14）を設けること、

データ及び第四基準（低）を備える第四サブアレイ（18）を設けること、

前記第三サブアレイに隣接して配置され、かつ第三データ線（51）を有する第三列デコーダ（20右）を設けること、

前記第四サブアレイに隣接して配置され、かつ第四データ線（63）を有する第四列デコーダ（22右）を設けること、

前記第四サブアレイ（18右）をアクティブな状態にしていない間に、前記第三サブアレイ（14右）を有効化すること、

前記第四データ線（63）を介して、前記第一センスアンプ（24）に前記第三基準（低）を伝送すること、

を含む方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般には、半導体回路に関するものであり、より詳細には、半導体メモリ回路に関するものである。

【背景技術】

【0002】

磁性材料の進歩により、読み出し・書き込みのいずれプロセスにおいても高速動作が可能な磁気ランダム・アクセス・メモリ（MRAM）デバイスが実現した。一般的に、MRAMデバイスには、ワード線及びビット線の交差点上に配列された複数のメモリセルが含まれている。MRAMデバイスの各セルは、絶縁層により分離された磁性層を有する磁気トンネルジャンクション（MTJ）の一種である。MTJタイプのメモリセルに記憶されたデータは、磁性層における磁気ベクトル又は双極子の方向により表され、外部からメモリセルに印加された信号によりその磁気ベクトルの方向が変化させられるまで、記憶され

たデータは保持される。

【特許文献 1】米国特許第 4 7 1 3 7 9 7 号明細書

【特許文献 2】米国特許第 5 6 1 9 4 4 9 号明細書

【特許文献 3】米国特許第 6 1 9 1 9 8 9 号明細書

【特許文献 4】米国特許第 6 2 6 9 0 4 0 号明細書

【特許文献 5】米国特許第 6 5 5 2 9 5 2 号明細書

【特許文献 6】国際公開第 9 8 / 3 9 7 7 4 号パンフレット

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 3 】

一般的に、M R A M のような不揮発性メモリは、設計上、データ信号及び基準信号をセンスアンプに接続する相互接続ネットワークの間に多少の非対称性を含む。「0」又は「1」の論理状態、或いは同様な大きさの状態を有するメモリセルの状態を検知するために使用されるセンスアンプに対し、その非対称ネットワークは悪影響を与える。例えば、メモリセルをセンスアンプに接続する非対称ネットワークにノイズ源が不均一に結合し得るため、アンプに検知される信号の遅延及び／又は断絶が発生する。ダイナミックな検知システムでは、センスアンプとメモリアレイとの間の相互接続ネットワークにおける非対称性により、センスアンプの入力において負荷容量の相違が発生する。次いで、そのような負荷容量の相違により、センスアンプの「1」から「0」の論理値への、若しくは「0」から「1」の論理値へのいずれかのエラー転移が発生する。相互接続ネットワークにおける非対称性は、センスアンプの検知速度にも影響を与える。非対称相互接続ネットワークにおいて、センスアンプによる有効な状態の検知はまた、回路基板又は隣接する金属ワイヤのようなソースからのイベントと結合することによっても悪化し得る。レオール (R e o h r) 他は、米国特許第 6 2 6 9 0 4 0 号において、二つの分離した基準電圧に接続されたトランジスタスイッチを使用することによって、メモリセルを二つの二入力センスアンプに接続する相互接続ネットワークを示唆している。その二つの分離した基準電圧は、トランジスタスイッチにより接続され、一つの間レベルの基準電圧を生成する。そのトランジスタスイッチによりセンスアンプの二入力間の相互接続における非対称性が生じ、同時に、二つのセンスアンプがその補償目的のために動作可能である。

【発明を実施するための最良の形態】

【 0 0 0 4 】

本発明は例示の目的のために図示されるが、その添付図により制限されるものではない。複数の添付図に亘って同一の参照番号は同一の構成要素を表す。

図中の構成要素は、簡略に、かつ明快にするため、適切な縮尺で描かれている必然性はないことは当業者には理解されよう。例えば、本発明の実施形態の理解の助けとなるように、図中の特定の構成要素の大きさは、他の構成要素に対して誇張され得る。

【 0 0 0 5 】

図 1 は、平衡化された負荷構造を有するセンスアンプを利用し得るメモリアレイ構造 10 を示す。メモリアレイ構造 10 は行デコーダ 12 を有しており、行デコーダ 12 は、メモリアドレスのデコードに応答して、第一サブアレイ、即ちサブアレイ 14 に関連する行を選択する。サブアレイ 14 は、第一部分、即ち左側部分、及び第二部分、即ち右側部分を有している。行デコーダ 16 は、第二サブアレイ、即ちサブアレイ 18 に関連する行を選択するためにメモリアドレスをデコードする。サブアレイ 18 はまた左側部分及び右側部分を有している。メモリアレイ構造は、サブアレイ 14 及び 18 の左側部分及び右側部分により提供される、第一サブアレイ、第二サブアレイ、第三サブアレイ及び第四サブアレイを有するとともにみなし得る。列デコーダ 20 がサブアレイ 14 に接続されている。列デコーダ 20 はメモリアドレスをデコードし、メモリアドレスがサブアレイ 14 内の列アドレスに一致するものであるならば、サブアレイ 14 内のその列からのビットデータにアクセスする。列デコーダ 22 がサブアレイ 18 に接続されている。列デコーダ 22 はメモリアドレスをデコードし、メモリアドレスがサブアレイ 18 内の列アドレスに一致するもの

であるならば、サブアレイ 18 内のその列からのビットデータにアクセスする。センスアンプ 24 が列デコーダ 20 及び列デコーダ 22 のそれぞれに接続されている。センスアンプ 24 は、サブアレイ 14 内、若しくはサブアレイ 18 内のいずれかにおける、選択された行及び列の交差点に対応するメモリビットの位置のデータ値が「1」であるのか、それとも「0」であるのかを判断する。センスアンプ 24 は、メモリアレイ構造 10 においてアドレス指定されたビットのデータ出力値を提供するための出力端子を有している。本明細書に記載のデコード及び検知機能は、出力ビットの各データについてモジュール方式により繰り返される。

【0006】

図 2 において、メモリ構造の負荷を平衡に保つ追加の回路に接続された図 1 の列デコーダ 20、列デコーダ 22 及びセンスアンプ 24 内の相互接続構造の詳細を更に示す。本メモリの相互接続構造は、T0 から、例えば T31 までのように符号「T」を伴ってラベル付けられたビット線の一部、B0 から B31 までのように符号「B」を伴ってラベル付けられたビット線の一部を有しており、それらは、多重送信スイッチモジュール 32 の形態による多重送信により接続されている。列デコーダ 20 は N チャンネルトランジスタ 34 を有しており、N チャンネルトランジスタ 34 は、ビット線 (BL) の導線 BLT0 に接続されたソース、制御電極、即ち制御信号 A に接続されたゲート、及び第一データ線、即ち導線 37 に接続されたドレインを有している。N チャンネルトランジスタ 35 は、ビット線の導線 BLT1 に接続されたソース、制御信号 B に接続されたゲート、及び導線 37 に接続されたドレインを有している。N チャンネルトランジスタ 36 は、ビット線の導線 BLT15 に接続されたソース、制御信号 C に接続されたゲート、及び導線 37 に接続されたドレインを有している。トランジスタ 35 とトランジスタ 36 との間には、点線で示すように、類似の接続が成されたトランジスタが所定の数だけ提供されている。中間に位置するトランジスタの数は特定の実施に依存しており、通常、列デコーダ 20 の左側部分 (TL) におけるビット線トランジスタの総数は、8、16、32、64 又は 2 で割り切れる他の特定の数である。平衡化された相互接続方式を達成するために、列デコーダ 20 の左側部分におけるビット線トランジスタの総数は、列デコーダ 20 の上右側部分 (TR) において選択されるトランジスタ列の総数の他に、列デコーダ 22 の左側及び右側部分 (それぞれ、BL 及び BR) における総数とも一致するべきである。列デコーダ 22 の左側部分 (BL) は、一般に、トランジスタ 38、トランジスタ 39、トランジスタ 40 及び他の中間のトランジスタ (図示略) のような複数のトランジスタを有している。N チャンネルトランジスタ 38 は、BLB0 によりラベル付けされたビット線に接続されたソース、G によりラベル付けされた制御信号に接続されたゲート、及び列デコーダ 22 の第一データ線である導線 41 に接続されたドレインを有している。N チャンネルトランジスタ 39 は、BLB1 によりラベル付けされたビット線に接続されたソース、H によりラベル付けされた制御信号に接続されたゲート、及び導線 41 に接続されたドレインを有している。N チャンネルトランジスタ 40 は、BLB15 によりラベル付けされたビット線に接続されたソース、I によりラベル付けされた制御信号に接続されたゲート、及び導線 41 に接続されたドレインを有している。トランジスタ 39 とトランジスタ 40 との間には、点線で示すように、類似の接続が成されたトランジスタが (トランジスタ 35 と 36 との間の数に一致する) 所定の数だけ提供されている。N チャンネルトランジスタ 44 は、第一サブアレイ 14 の第一 (左側) 部分における第一基準線を介して、第一基準タイプの第一「高基準」電圧を受け入れるための基準電圧端子に接続されたソースを有している。トランジスタ 44 のゲートは、「上部基準有効化」を意味する「TRE」によりラベル付けされた制御信号に接続されている。トランジスタ 44 は導線 41 に接続されたドレインを有している。N チャンネルトランジスタ 46 のドレインは導線 37 に接続されている。トランジスタ 46 のゲートは、「下部基準有効化」を意味する「BRE」によりラベル付けされた制御信号に接続され、トランジスタ 46 のソースは、第二サブアレイ 18 の第一 (左側) 部分における第二基準線を介して、また第一基準タイプの第二「高基準」電圧を受け入れるための基準電圧端子に接続されている。N チャンネルトランジスタ 48 は、

10

20

30

40

50

B L T 1 6 によりラベル付けされたビット線に接続されたソース、D によりラベル付けされた制御信号に接続されたゲート、及び第二データ線、即ち導線 5 1 に接続されたドレインを有している。N チャンネルトランジスタ 4 9 は、B L T 1 7 によりラベル付けされたビット線に接続されたソース、E によりラベル付けされた制御信号に接続されたゲート、及び導線 5 1 に接続されたドレインを有している。N チャンネルトランジスタ 5 0 は、B L B 3 1 によりラベル付けされたビット線に接続されたソース、F によりラベル付けされた制御信号に接続されたゲート、及び導線 5 1 に接続されたドレインを有している。トランジスタ 4 8 とトランジスタ 4 9 との間には、点線で示すように、類似の接続が成されたトランジスタが（トランジスタ 3 5 と 3 6 との間の数に一致する）所定の数だけ提供されている。N チャンネルトランジスタ 6 4 は、第一サブアレイ 1 4 の第二（右側）部分における第三基準線を介して、第二基準タイプの第一「低基準」電圧を受け入れるための基準電圧端子に接続されたソースを有している。トランジスタ 6 4 のゲートは、「上部基準有効化」を意味する「T R E」によりラベル付けされた制御信号に接続されている。トランジスタ 6 4 は、列デコーダ 2 2 の第二データ線である導線 6 3 に接続されたドレインを有している。それゆえ、導線 3 7、4 1、5 1 及び 6 3 はそれぞれ、第一データ線、第二データ線、第三データ線及び第四データ線を形成している。N チャンネルトランジスタ 6 6 のドレインは導線 5 1 に接続されている。トランジスタ 6 6 のゲートは、「下部基準有効化」を意味する「B R E」によりラベル付けされた制御信号に接続され、トランジスタ 6 6 のソースは、第二サブアレイ 1 8 の第二（右側）部分における第四基準線を介して、また第二基準タイプの第二「低基準」電圧を受け入れるための基準電圧端子に接続されている。N チャンネルトランジスタ 6 0 は、B L B 1 6 によりラベル付けされたビット線に接続されたソース、J によりラベル付けされた制御信号に接続されたゲート、及び導線 6 3 に接続されたドレインを有している。N チャンネルトランジスタ 6 1 は、B L B 1 7 によりラベル付けされたビット線に接続されたソース、K によりラベル付けされた制御信号に接続されたゲート、及び導線 6 3 に接続されたドレインを有している。N チャンネルトランジスタ 6 2 は、B L B 3 1 によりラベル付けされたビット線に接続されたソース、L によりラベル付けされた制御信号に接続されたゲート、及び導線 6 3 に接続されたドレインを有している。トランジスタ 6 1 とトランジスタ 6 2 との間には、点線で示すように、類似の接続が成されたトランジスタが（トランジスタ 3 5 と 3 6 との間の数に一致する）所定の数だけ提供されている。

【 0 0 0 7 】

多重送信スイッチモジュール 3 2 は、一般に、N チャンネルトランジスタ 7 2、7 4、7 6、7 8、N チャンネルトランジスタ 8 2、8 4、N チャンネルトランジスタ 8 6、8 8 及び N チャンネルトランジスタ 9 2、9 4、9 6、9 8 から成る平衡化されたグループを有する。トランジスタ 7 2 は、デコード論理 3 0 の上左側（T L）のデコードされた出力に接続されたゲート、導線 4 1 に接続されたソース、及びセンスアンプ 2 4 の第一入力、高基準入力に接続された第一、即ち高（H）基準出力 7 0 に接続されたドレインを有している。トランジスタ 7 4 は、デコード論理 3 0 の下左側（B L）のデコードされた出力に接続されたゲート、導線 3 7 に接続されたソース、及び高基準出力 7 0 に接続されたドレインを有している。トランジスタ 7 6 は、デコード論理 3 0 の上右側（T R）のデコードされた出力に接続されたゲート、導線 4 1 に接続されたソース、及び高基準出力 7 0 に接続されたドレインを有している。トランジスタ 7 8 は、デコード論理 3 0 の下右側（B R）のデコードされた出力に接続されたゲート、導線 3 7 に接続されたソース、及び高基準出力 7 0 に接続されたドレインを有している。トランジスタ 8 2 は、デコード論理 3 0 の上左側のデコードされた出力に接続されたゲート、導線 3 7 に接続されたソース、及びビット（B）データ出力 8 0 に接続されたドレインを有している。ビットデータ出力 8 0 は、センスアンプ 2 4 の第二入力、ビットデータ入力に接続されている。トランジスタ 8 4 は、デコード論理 3 0 の下左側のデコードされた出力に接続されたゲート、導線 4 1 に接続されたソース、及びビットデータ出力 8 0 に接続されたドレインを有している。トランジスタ 8 6 は、デコード論理 3 0 の上右側のデコードされた出力に接続されたゲート、

導線 5 1 に接続されたソース、及びビットデータ出力 8 0 に接続されたドレインを有している。トランジスタ 8 8 は、デコード論理 3 0 の下右側のデコードされた出力に接続されたゲート、導線 6 3 に接続されたソース、及びビットデータ出力 8 0 に接続されたドレインを有している。トランジスタ 9 2 は、デコード論理 3 0 の上左側のデコードされた出力に接続されたゲート、導線 6 3 に接続されたソース、及び第二、即ち低 (L) 基準出力 9 0 に接続されたドレインを有している。低基準出力 9 0 は、センスアンプ 2 4 の第三入力、低基準入力に接続されている。トランジスタ 9 4 は、デコード論理 3 0 の下左側のデコードされた出力に接続されたゲート、導線 5 1 に接続されたソース、及び低基準出力 9 0 に接続されたドレインを有している。トランジスタ 9 6 は、デコード論理 3 0 の上右側のデコードされた出力に接続されたゲート、導線 6 3 に接続されたソース、及び低基準出力 9 0 に接続されたドレインを有している。トランジスタ 9 8 は、デコード論理 3 0 の下右側の出力に接続されたゲート、導線 5 1 に接続されたソース、及び低基準出力 9 0 に接続されたドレインを有している。

10

【 0 0 0 8 】

動作の間、各ビット線 B L T 0 - B L T 1 5、B L T 1 6 - B L T 3 1、B L B 0 - B L B 1 5 及び B L B 1 6 - B L B 3 1 は、所定のメモリサブアレイの列 (図示略) に接続されている。メモリサブアレイの各列は、上部メモリサブアレイ又は下部メモリサブアレイのいずれかに関連する。さらに、上部メモリサブアレイは、二つの部分、上左側部分及び上右側部分を有している。同様に、下部メモリサブアレイは、二つの部分、下左側部分及び下右側部分を有している。各部分内のビット線は、共通の検知ルール、例えば上左側部分の場合は導線 3 7 を共有しており、個別のビット線は、例えばトランジスタ 3 5 又はトランジスタ 3 6 のような通過ゲートスイッチを介して、その検知ルールに向けて接続されている。上部サブアレイの上左側部分及び上右側部分におけるビット線は、共通の高基準及び低基準ビット線のセットを共有している。上部サブアレイからの高基準及び低基準ビット線は、下部サブアレイにおける共通の検知ルール、即ち導線 4 1 及び 6 3 と繋がるための、即ちそれらのビット線をその検知ルールに接続するためのスイッチ (それぞれ、トランジスタ 4 4 及び 6 4) を有している。同様に、下部アレイからの高基準及び低基準ビット線は、上半分における共通の検知ルール、即ち導線 3 7 及び 5 1 にそれらのビット線を接続するためのスイッチ (それぞれ、トランジスタ 4 6 及び 6 6) を有している。いかなる特定の読み出し動作においても、上部メモリサブアレイ、若しくは下部メモリサブアレイのいずれか一方のみがアクセスされる。上部メモリサブアレイの左側のサブアレイにおける特定の列がアクセスされると仮定する。事前のデコード動作の結果、A、B から C までの制御信号のうちの一つに回答して、3 4、3 5 から 3 6 までのトランジスタのうちの一つのトランジスタの制御信号がアクティブとなる。例示の目的のため、トランジスタ 3 5 のみが導電していると仮定する。それに回答して、アクセスされた列からのデータが検知ルール、導線 3 7 上に印加される。加えて、上左側サブアレイにおける高基準及び上右側サブアレイにおける低基準に対する制御信号 T R E がアクティブとなる。それに回答して、高基準ビット線及び低基準ビット線からのデータが、導線 4 1 及び導線 6 3 の検知ルール上にそれぞれ印加される。上部サブアレイ、若しくは下部サブアレイのいずれか一方のサブアレイのみがアクティブであるため、同一の導線 4 1 を共有する 3 8、3 9 から 4 0 までのトランジスタにより形成された他のスイッチのいずれも導電していない。また、同一の導線 6 3 を共有する 6 0、6 1 から 6 2 までのトランジスタにより形成されたスイッチのいずれも導電していない。導線 3 7、4 1、5 1 及び 6 3 に接続されたスイッチの数は等しいものであると仮定されているので、その相互接続構造における容量は平衡化されている。特に、導線 3 7 に接続され、アクセスされるビット線において、導線 3 7 上のオフの状態のスイッチ (トランジスタ 3 4、3 6 等) に起因する容量性負荷は、導線 4 1 に接続された高基準ビット線及び導線 6 3 に接続された低基準ビット線上における容量性負荷と完全に平衡を保つ。このように、いずれの有効化された基準ビット線においても、その容量性負荷は、オン状態にある有効化された基準ビット線を共通の検知ルールとして、その検知ルールに接続されているアクティブではないサブアレイの非導電状態にあ

20

30

40

50

るトランジスタスイッチにより提供されている。

【 0 0 0 9 】

多重送信スイッチモジュール 3 2 は四つの検知レール（即ち、導線 3 7、4 1、5 1 及び 6 3）からデータを取得し、そのデータをセンスアンプ 2 4 の入力に供給する。その過程において、各パスにおける直列トランジスタの数、及び各パスにおける特定のノードに接続されたトランジスタのジャンクションの数について、完全な平衡が保たれている。このように、トランジスタ 3 5 により供給されたデータは、デコード論理 3 0 の T L（上左）信号に応答してトランジスタ 8 2 により、センスアンプ 2 4 のビット（B）入力に供給される。そのデータは、導線 8 0 を介して、導線 3 7 からセンスアンプ 2 4 のビット入力に伝達される。同様に、高基準信号は、導線 7 0 を介して、トランジスタ 7 2 によりセンスアンプ 2 4 の高基準（高）入力に供給される。トランジスタ 9 2 は、導線 6 3 からの低基準入力データを、センスアンプ 2 4 の低基準（低）入力に至る導線 9 0 上に印加する。スイッチ 7 2、8 2 及び 9 2 は、デコード論理 3 0 の共通アドレスのデコード出力により制御される。センスアンプ 2 4 の三つの入力及び導線 7 0、8 0 及び 9 0 上には、等しい数の、この場合は四つのスイッチジャンクションが含まれており、それゆえに、互いの容量の平衡は保たれている。トランジスタ 7 2、7 4、7 6 及び 7 8 による負荷は、トランジスタ 8 2、8 4、8 6 及び 8 8 による負荷と平衡を保ち、トランジスタ 9 2、9 4、9 6 及び 9 8 による負荷とも平衡を保っている。列デコーダ 2 0 及び列デコーダ 2 2 の四つの検知レールの構造内での完全な平衡と、多重送信スイッチモジュール 3 2 の構造内での完全な平衡とにより、任意のビット線及び対応する基準のペア（高及び低）からの三つのデータは全て、完全に平衡化されてセンスアンプ 2 4 に搬送可能である。

【 0 0 1 0 】

図 3 は、図 2 のメモリの相互接続構造の別の実施形態を示している。センスアンプの三つの入力、高、低及びビットに代わり、センスアンプ 2 4 ' は、二つの入力、ビット及び中間レベル基準（基準）のみを有している。説明の目的のため、図 3 及び図 2 の相互において共通の構成要素には同一の参照番号が付与されている。対照的な点は、図 3 におけるメモリの相互接続構造では、二つの分離した基準導線、高基準導線 7 0 及び低基準導線 9 0 に代わり、一つの共通の中間レベル（M）基準導線 9 9 が使用されていることである。図 3 に関連するメモリのアクセス動作の他の全ての態様は、図 2 において説明したものと同一である。この実施形態において、センスアンプ 2 4 ' のビット入力にかかる負荷は、その基準入力の負荷の半分であることに注意すべきである。ビット（B）入力にかかる負荷は、スイッチ 8 2、8 4、8 6 及び 8 8 による容量性の負荷から成り、一方、基準入力 M にかかる負荷は、スイッチ 7 2、7 4、7 6 及び 7 8 の他に、スイッチ 9 2、9 4、9 6 及び 9 8 による容量性の負荷から成る。この容量の比は、センスアンプ 2 4 ' の設計により補償され得る。センスアンプ 2 4 ' の内部において補償を行う技術の一例は、基準入力（基準）に印加される電流のバイアスをビット入力に印加される電流のバイアスに比べて二倍にすることである。

【 0 0 1 1 】

図 4 は、図 2 のメモリの相互接続構造の別の実施形態を示す。説明の目的のために、図 4 及び図 2 の相互において共通の構成要素には再び同一の参照番号が付与されており、僅かに変更された同種の構成要素には、同一の番号にダッシュ記号を付けて、構造又は動作において幾らかの変更があることを示してある。図 4 においては、二つのセンスアンプ、センスアンプ 1 0 1 及びセンスアンプ 1 0 2 が存在する。各センスアンプには三つの入力が含まれる。ビット入力、低基準入力（基準 L）及び高基準入力（基準 H）である。加えて、図 2 の構造から、トランジスタ 7 4、7 6、9 4 及び 9 6 が取り除かれている。デコード論理 3 0 ' は、二つのデコード信号、上部（T）アレイデコード信号及び下部（B）デコード信号のみを提供する。トランジスタ 7 2 '、8 2 ' 及び 9 2 ' は、そのゲートが上部アレイデコード信号に接続されていることを除いて、図 2 におけるそれらと同様に接続されている。また、トランジスタ 7 2 ' のドレインは、センスアンプ 1 0 1、1 0 2 の各高基準入力に接続されており、トランジスタ 9 2 ' のドレインは、センスアンプ 1 0 1

及び102の低基準入力の両方に接続されている。また、トランジスタ82'のドレインはセンスアンプ101のビット入力に接続されており、トランジスタ86'のドレインはセンスアンプ102のビット入力に接続されている。トランジスタ84'は、そのゲートが下部アレイデコード信号に接続されていること、かつそのソースがセンスアンプ101のビット入力に接続されていることを除いて、図2におけるそれと同様に接続されている。トランジスタ86'のゲートは、この場合、上部アレイデコード信号に接続され、そのドレインは、この場合、センスアンプ102のビット入力に接続されている。トランジスタ78'、88'及び98'は、そのゲートが下部アレイデコード信号に接続されていること、トランジスタ88'のドレインがセンスアンプ102のビット入力に接続されていること、かつトランジスタ78'及び98'のドレインが、この場合、センスアンプ101及び102の基準入力の両方に接続されていることを除いて、図2におけるそれらと同様に接続されている。さらに、仮に二入力センスアンプへのインスタンス化を望む場合、その時は、図4に示した高基準入力を低基準入力を直接に接続すれば、単一の基準入力センスアンプが具体化されることに注意するべきである。

【0012】

動作の間、左側のサブアレイ（上部又は下部）からアクセスされたデータはセンスアンプ101に接続され、それと同時に、右側のサブアレイ（上部又は下部）からアクセスされたデータはセンスアンプ102に接続される。読み出しアクセスの間、アクティブなワード線（図省略）により、上部アレイ、さもなくば下部アレイのみがアクティブになる。左側及び右側のサブアレイの両方からアクセスされたデータは、それぞれセンスアンプ101及び102により同時に検知される。図4の改良により、センスアンプ101及び102にデータ値及び中間レベルの基準値を接続するための平衡化された相互接続構造が提供される。図3の相互接続構造に比較して、デコード論理30'の論理及びその出力信号の数は半分になる。デコード論理30'は、上部及び下部アレイの読み出しアクセスの間を区別する必要があるのみであり、左側及び右側のサブアレイの読み出しアクセスの間の区別を追加する必要がないため、デコード論理30'は簡略化される。

【0013】

図5は、前述の実施形態に比べてより多くのセンスアンプを使用するが、多重送信スイッチモジュール32又は32'の使用は回避されるような平衡化されたデータ転送のための相互接続構造104を示す。図5における構成要素のうち、図2、図3及び図4において前述した構成要素と同一の構成要素には、同一の番号が付与されている。前図の導線37は、上左側のサブアレイからのビットデータ、又は下部サブアレイからの基準データのいずれかを伝送し、分配導線130に接続された出力を有する負荷デバイス114に接続されている。センスアンプ122のデータ入力は分配導線130に接続されている。センスアンプ124の高基準（基準H）入力及びセンスアンプ128の高基準入力はそれぞれに、分配導線130に接続されている。前図の導線41は、下左側のサブアレイからのビットデータ、又は上部サブアレイからの基準データのいずれかを伝送し、分配導線132に接続された出力を有する負荷デバイス116に接続されている。センスアンプ124のデータ入力は分配導線132に接続されている。センスアンプ126及び122はそれぞれに、分配導線132に接続された高基準入力を有している。前図の導線51は、上右側のサブアレイからのビットデータ、又は下部サブアレイからの基準データのいずれかを伝送し、分配導線134に接続された出力を有する負荷デバイス118に接続されている。センスアンプ126のデータ入力は分配導線134に接続されている。センスアンプ128の低基準（基準L）入力は分配導線134に接続されており、センスアンプ124の低基準（基準L）入力は分配導線134に接続されている。前図の導線63は、下右側のサブアレイからのビットデータ、又は上部サブアレイからの低基準データのいずれかを伝送し、分配導線136に接続された出力を有する負荷デバイスに接続されている。センスアンプ122のデータ入力は分配導線130に接続されている。センスアンプ122及び126のそれぞれの低基準（基準L）入力は分配導線136に接続されている。

【0014】

読み出し動作の間、上部サブアレイ、又は下部サブアレイのいずれかがアクセスされる。それゆえ、サブアレイの左側部分及び右側部分の両方からのデータはそれぞれに、センスアンプ122、126、又はセンスアンプ124、128に伝送される。導線37は、上左側のサブアレイからのビットデータ、又は下部サブアレイからの高基準データを含むので、分配導線130に至る接続によって三つの位置にデータは伝送される。そのデータは、センスアンプ122のビットデータ入力、センスアンプ124の高基準入力、及びセンスアンプ128の高基準入力に伝送される。同様に、導線41、63及び51上のデータはそれぞれに、分配導線132、136及び134を介して、センスアンプ122、124、126及び128の適切な入力に伝送される。電流に基づいたデータの場合、分配導線130、132、134及び136にそれぞれに接続された負荷デバイス114、116、118及び120は、適切なセンスアンプに伝送するために、電流信号を電圧信号に変換する。例えば、そのような負荷デバイスとして、抵抗、ダイオードが接続されたトランジスタ又は一定の電流ソースとなるようにバイアスされたトランジスタが有り得よう。

10

【0015】

図5の負荷デバイスの一つの実施形態の例として、負荷デバイス118を図6に示す。図6及び前図の相互において共通する同一の構成要素には同一の参照番号が付与されている。Pチャンネルトランジスタ138は、 V_{DD} によりラベル付けされている電源端子に接続されたソース、基準電圧 V_{REF} を受けるための端子に接続されたゲート、及び導線51及び分配導線134に接続されたドレインを有している。列デコーダ20は導線51に接続されている。Pチャンネルトランジスタ140は、分配導線134に接続されたゲート、 V_{DD} 電源端子に接続されたソース、及びセンスアンプ126内の他の回路に接続されたドレインを有している。センスアンプ126は、Pチャンネルトランジスタ142のゲートを分配導線134に接続することにより提供される第二入力を有している。トランジスタ142のソースは V_{DD} 電源端子に接続され、トランジスタ142のドレインはセンスアンプ126内の他の回路に接続されている。Pチャンネルトランジスタ144のゲートは、分配導線134に接続されている。トランジスタ144のソースは V_{DD} 電源端子に接続され、トランジスタ144のドレインはセンスアンプ128内の他の回路に接続されている。Pチャンネルトランジスタ146のゲートは分配導線134に接続されている。トランジスタ146のソースは V_{DD} 電源端子に接続され、そのドレインはセンスアンプ124内の他の回路に接続されている。

20

30

【0016】

動作の間、Pチャンネルトランジスタ138は、基準電圧によりバイアスされ、導電する。トランジスタ138は、導線51及び列デコーダ20を介して、アレイ中の選択されたビットに電流を供給するための一定電流のソースとして機能する。別の形態として、ゲート及びドレインが導線134において互いに接続するように、トランジスタ138のゲートにダイオードが接続され得ることは当然のことであろう。そのような形態において、トランジスタ140、142、144及び146はトランジスタ138とともに電流ミラーとして機能する。ビットのメモリ状態により生成された電圧信号、又は基準信号が、導線134を介して、センスアンプ126、128及び124における各Pチャンネルトランジスタに伝送され、検知動作が実行される。仮にセンスアンプの構造に対して追加の入力が必要であるならば、例えばトランジスタ124のような追加のトランジスタを導線134における入力に接続することにより、一つ若しくは複数の入力が提供され得る。図示した形態においては、センスアンプ126はトランジスタ140及び142により形成される二つの入力を有している。二つの入力がセンスアンプに提供された時、ビット入力の状態と中間レベルの基準入力の状態とが比較され、そのビットがその中間レベルより高いのか、若しくは低いのか判断される。その結果により、そのビットは高い論理値であるのか、若しくは低い論理値であるのか判断される。センスアンプに三つの入力が提供される時は、センスアンプは高基準入力及び低基準入力から信号を平均し、その平均値とデータビット値とを比較することにより、そのデータビットが高い状態にあるのか、若しく

40

50

は低い状態にあるのかを判断する。センスアンプに四つの入力提供される時は、その入力のうちの二つは同一のビットデータ値であり、他の二つの入力は高基準値及び低基準値である。センスアンプは、高基準値と第一ビットデータ値との間の差を、低基準値と第二ビットデータ値との間の差と比較し、そのデータビットが高い状態にあるのか、若しくは低い状態にあるのかを判断する。また、仮に、図3に関連して前述したように、センスアンプ内において相互接続の容量を平衡に保つための補償が必要とされるならば、その場合も、トランジスタ142のような追加のトランジスタが同様に提供され得る。

【0017】

図5に戻ると、接続の対称的性質のために、全てのデータ線及び基準線、並びにセンスアンプに対する入力は、容量性負荷に関して平衡を保っている。各サブアレイについて一つ、即ち四つのセンスアンプを使用することにより、対称性は保ちながらも、多重送信スイッチモジュールの必要性は排除される。多重送信スイッチモジュールの削除により、追加のトランジスタを導入することもない。このように、ビット線は、列デコードスイッチを介して、直接にセンスアンプに接続される。図7は、図5のいずれかの負荷、例えば負荷118の具体化として使用され得る回路の別の実施形態の回路図を示す。その負荷は、高基準出力、低基準出力及びビット出力を提供するのに使用される。図示の便宜のため、図6に示す負荷の実施形態の構成要素と同一の構成要素には、その接続構成の説明を繰り返すことなく、同一の番号を付与されている。図7における負荷118の実施形態は、Pチャンネルトランジスタ147が電圧Vに接続されたソースを有しているという点において、図6における負荷118の実施形態と相違する。電圧Vは、電源電圧 V_{DD} であっても、 V_{DD} 以下の特定の電圧であっても構わない。トランジスタ147のゲートは、そのドレインに接続されており、かつノード134に接続されている。図7における負荷118の他の全ての接続構成は、図6における負荷118のものと同一である。

【0018】

動作の間、電圧Vがトランジスタ147のソースに印加され、電圧は導線51に渡って生成される。トランジスタ147の性質及び測定されるべきビットにより、導線51に渡る電圧は決定される。入力（図7においては図示していないが、列デコード20を介して接続されている）におけるより高い抵抗は、導線51に渡ってより高い電圧をもたらし、より低い抵抗はより低い電圧をもたらす。電圧Vは、導線51上の電圧が所定の範囲内に制限されるように調整される。

【0019】

図8は、センスアンプ126の回路図を示す。センスアンプ126は、第一電流電極、即ち第一電源端子、つまり V_{DD} 供給電圧端子に接続されたソース、制御電極、即ち検知されるビット電圧 V_B を受け入れるための第一入力端子に接続されたゲート、及び第二電流電極、即ち電流 i_B を伝導するドレインを有するPチャンネルトランジスタ140を含んでいる。トランジスタ140のドレインは、ノード156において、第一出力端子OUTを提供する出力端子に接続されている。Pチャンネルトランジスタ142は、 V_{DD} 供給電圧端子に接続されたソース、検知されるビット電圧 V_B を受け入れるための第一入力端子に接続されたゲート、及び電流 i_B を再び伝導するドレインを有している。トランジスタ142のドレインはノード169に接続されている。Pチャンネルトランジスタ150は、 V_{DD} 供給電圧端子に接続されたソース、高基準電圧 V_H を受け入れるための第二入力端子に接続されたゲート、及びNチャンネルトランジスタ154のドレインに接続されたドレインを有している。トランジスタ150は電流 i_H を伝導する。トランジスタ154のゲートはそれ自体のドレインに接続されている。トランジスタ154のソースは、第二電源端子、即ち V_{SS} 供給電圧端子に接続されている。Nチャンネルトランジスタ158は、ノード156に接続されたドレイン、トランジスタ154のドレインに接続されたゲート、及び V_{SS} 供給電圧端子に接続されたソースを有している。Nチャンネルトランジスタ160は、ノード156に接続されたドレイン、第二出力端子OUT_Bを提供するノード164に接続されたゲート、及び V_{SS} 供給電圧端子に接続されたソースを有している。N

チャンネルトランジスタ170は、ノード169に接続され、かつそのゲートにも接続されているドレインを有し、 V_{SS} 供給電圧端子に接続されたソースを有している。Nチャンネルトランジスタ166は、ノード164における第二出力端子に接続されたドレイン、ノード169に接続されたゲート、及び V_{SS} 供給電圧端子に接続されたソースを有している。Nチャンネルトランジスタ168は、ノード164における第二出力端子に接続されたドレイン、ノード156における第一出力端子に接続されたゲート、及び V_{SS} 供給電圧端子に接続されたソースを有している。Pチャンネルトランジスタ162は、 V_{DD} 供給電圧端子に接続されたソース、低基準電圧 V_L を受け入れるための入力を提供するゲート、及びノード164における第二出力端子に接続されたドレインを有している。トランジスタ162は電流 i_L を伝導する。Nチャンネル等価トランジスタ172は、ノード156における第一出力端子に接続されたソース、ノード164における第二出力端子に接続されたドレイン、及び等価電圧 V_{EQ} に接続されたゲートを有している。

10

【0020】

動作の間、OUTとOUT__Bとの間の電位を等価にするための信号 V_{EQ} が、初期にはアクティブにされ、検知動作が始動されると無効にされると最初は仮定する。等価特性の目的は検知速度の向上にある。検知動作の間、トランジスタ150のゲートに印加された電圧信号 V_H により、トランジスタ150の中間の、若しくは飽和レベルの電流 i_H が発生する。その電流は $[(V_H - V_{DD}) - V_t]^2$ に比例する。ここで、 V_t はPチャンネルトランジスタ150のトランジスタ閾値電圧である。同様に、Pチャンネルトランジスタ162のゲートに印加された電圧信号 V_L により、Pチャンネルトランジスタ162の中間の、若しくは飽和レベルの電流 i_L が発生する。その電流は $[(V_L - V_{DD}) - V_t]^2$ に比例する。ここで、 V_t はPチャンネルトランジスタ162のトランジスタ閾値電圧である。同様に、トランジスタ140及び142のゲートに印加された電圧信号 V_B により、トランジスタ140及び142の両方について、別の中間レベルの、若しくは飽和レベルの電流 i_B が発生する。その電流は $[(V_B - V_{DD}) - V_t]^2$ に比例する。ここで、 V_t は各Pチャンネルトランジスタ140及び142のトランジスタ閾値電圧である。このように、トランジスタ150、154、140及び158は、第一差動回路、又は減算回路として機能する。トランジスタ150、154及び158は、その差動回路を具体化するための第一電流ミラーとして機能する。トランジスタ162、166、142及び170は、第二差動回路、又は減算回路として機能する。図示された形態において、第二差動回路は、トランジスタ142、170及び166が第二電流ミラーとして機能することにより具体化される。電流 i_H は、トランジスタ154を介してミラー化され、 i_H に等しいレベルのトランジスタ158における飽和電流が生成される。同様に、電流 i_B は、トランジスタ170を介してミラー化され、 i_B に等しいレベルのトランジスタ166における飽和電流が生成される。トランジスタ158を介して流れている電流は i_H であるが、トランジスタ158のドレインにおいて利用可能な電流は i_B に等しい。二つの電流間の差 $i_B - i_H$ がトランジスタ160を介して流れていることに注意されたい。同様に、 i_B に等しい電流がトランジスタ166を介して流れているが、トランジスタ166のドレインにおいて利用可能な電流は i_L に等しいために、二つの電流間の差 $i_L - i_B$ がトランジスタ168を介して流れていることに注意されたい。ノード156における出力電圧OUTは、トランジスタ160のドレイン - ソース間の電圧により決定されている。換言すれば、その電圧はトランジスタ160を介して流れている電流 $i_B - i_H$ に依存している。同様に、ノード164における出力電圧OUT__Bは、トランジスタ168のドレイン - ソース間の電圧により決定されている。換言すれば、その電圧はトランジスタ168を介して流れている電流 $i_L - i_B$ に依存している。それゆえ、出力電圧OUT及びOUT__Bの間の差は、二つの電流の差の間の差 $[(i_B - i_H) - (i_L - i_B)]$ の関数である。このように、トランジスタ160、168及び172は第三差動回路、又は減算回路として機能している。トランジスタ160及び168のゲートの交差結合によりさらに、出力電圧OUT及びOUT__Bの間の差は増幅される。明示はしていないが、出力電圧OUT及びOUT__Bは、検知されるビットBの状態を決定するためのラッチ段階の入力に提供されてもよい。

20

30

40

50

そのラッチ段階において、出力電圧OUT及びOUT__Bの間の差は増幅され、記録される。

【0021】

一例として、メモリセルの検知されるビットBが高抵抗状態であるとプログラムされている場合を考えると、電流の差 $i_B - i_H$ は殆どゼロになる。電流の差 $i_L - i_B$ は、高抵抗ビットと低抵抗ビットとの間の電流の完全な、若しくは最大の差に等しい電流値になる。それゆえ、電流の差 $[(i_B - i_H) - (i_L - i_B)]$ は、基準の平均を用いた従来の信号 $[i_B - (i_H + i_L) / 2]$ に比べて、二倍の検知信号を提供する。このように、出力電圧OUT及びOUT__Bの間の差を検知することは極めて容易である。その結果として、検知するために基準の平均値を使用しているセンスアンプに比べ、センスアンプ126はより高速であり、かつよりノイズソースのエラーを排除するものである。

10

【0022】

同様に、メモリセルの検知されるビットBが低抵抗状態であるとプログラムされている場合を考えると、電流の差 $i_L - i_B$ は殆どゼロになる。電流の差 $i_B - i_H$ は、高抵抗ビットと低抵抗ビットとの間の電流の完全な、若しくは最大の差に等しい電流値になる。再び、電流の差 $[(i_B - i_H) - (i_L - i_B)]$ は、従来の基準の平均を使用した場合に比べて、二倍の検知信号を提供する。

【0023】

これまでの所、当然のように、三つの入力を有するセンスアンプが提供された。そのセンスアンプは、ビット入力電圧、高基準電圧及び低基準電圧のそれぞれを電流値に変換し、かつ(1)ビット電流と高基準電流との間の差、(2)低基準電流とビット電流との間の差を取ることににより、ビットセルの状態を決定する。電流ステアリング回路に接続して使用されている電流ミラーは、ビット電流及び高基準電流の差を形成し、また低基準電流及びビット電流の差も形成する。加えて、センスアンプは、トランジスタ160及び168を使用することにより、二つの電流の差の値の間の差に反映した差の出力を促進するように機能する。

20

【0024】

これまでの所、当然のように、(ビット線及び基準)データをセンスアンプに伝送するための平衡化されたメモリの相互接続構造が提供された。本明細書において提供されたメモリの相互接続構造は、中間レベルの基準を形成する際に、対称性を保持するように設定され得る。加えて、本明細書において提供されたメモリの相互接続構造では、データ線の対称的な負荷を得るために、アクティブではないサブアレイを用意する。追加のスイッチユニットを使用することにより、必要に応じて、単一のセンスアンプのみを使用することも可能である。追加のスイッチユニットは、一つ、二つ、三つ若しくはそれ以上のデータ信号をセンスアンプに送信するように設定し得る。

30

【0025】

本発明を具体化する装置の殆どは、当業者にとっては周知の電子部品及び回路により構成されている。それゆえ、本発明の示唆を不明確に、若しくは曖昧にすることを避けるため、回路については、上記説明のように、本発明の基本的概念の理解及び認識にとって必要であると考えられる以上の詳細な説明は与えない。

40

【0026】

前述の明細書においては、本発明を特定の実施形態を参照することにより記載した。しかしながら、当業者は、以下の請求項において説明される本発明の範囲からは逸脱しない様々な改良及び変更を構想するだろう。例えば、本明細書において示唆したメモリの相互接続構造において使用されているセンスアンプの回路の実施形態は変更され得るものであり、データの検知を実行する様々な方法が有効である。特定の導電型のMOSFETが説明されたが、本相互接続構造を具体化するのに、導電型の変更又はトランジスタの型の変更が可能であることは十分理解されよう。容量性負荷の平衡を保ちながら、多重送信スイッチモジュール32の回路構造を様々な方法で変形することは可能である。従って、本明細書及び図は制限を意味する訳ではなく、例示を意味するものとしてみなすべきであり、

50

そのような全ての改良は、本発明の範囲に含まれると意図される。

【 0 0 2 7 】

特定の実施形態に関連して、利便、他の利点及び問題解決案を上述した。しかしながら、その利便、利点、問題解決案、及びいかなる利便、利点又は解決案を発生させる、若しくはより顕著にする任意の構成要素が、任意又は全ての請求項において、重大な、必要な、若しくは本質的な特徴又は要件を構成しているべきではない。本明細書において使用した用語、「備える」、「備えている」又はその他の任意の変形は、非排他的な付加を対象とするように意図されている。例えば、一連の構成要素を備えるプロセス、方法、製品又は装置は、それらの構成要素のみを含む訳ではなく、そのようなプロセス、方法、製品又は装置に固有ではない、若しくはリストには明示されていない他の構成要素も含み得るものである。

10

【図面の簡単な説明】

【 0 0 2 8 】

【図 1】メモリアレイの構造を形成するブロック図。

【図 2】本発明による平衡負荷を有するメモリのセンスアンプを形成する部分回路図。

【図 3】本発明による平衡負荷を有するメモリのセンスアンプの別の形態を形成する部分回路図。

【図 4】本発明による平衡負荷を有するメモリのセンスアンプのさらに別の形態を形成する部分回路図。

【図 5】多重送信スイッチ及びそれに関連したデコード論理に代えて、負荷デバイスを有するような本発明による平衡化された相互接続方式を使用する別のメモリの相互接続構造を形成するブロック図。

20

【図 6】図 5 の負荷のうちの一つの典型的実施形態を形成する回路図。

【図 7】図 5 の負荷のうちの一つの共通のソースの具体化の別の典型的実施形態を形成する回路図。

【図 8】図 7 の負荷の回路により発生する電圧を使用するセンスアンプを形成する回路図。

。

【図 1】

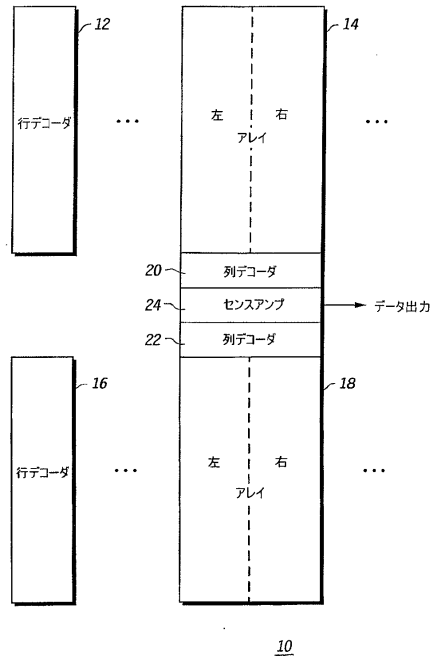


FIG.1

【図 2】

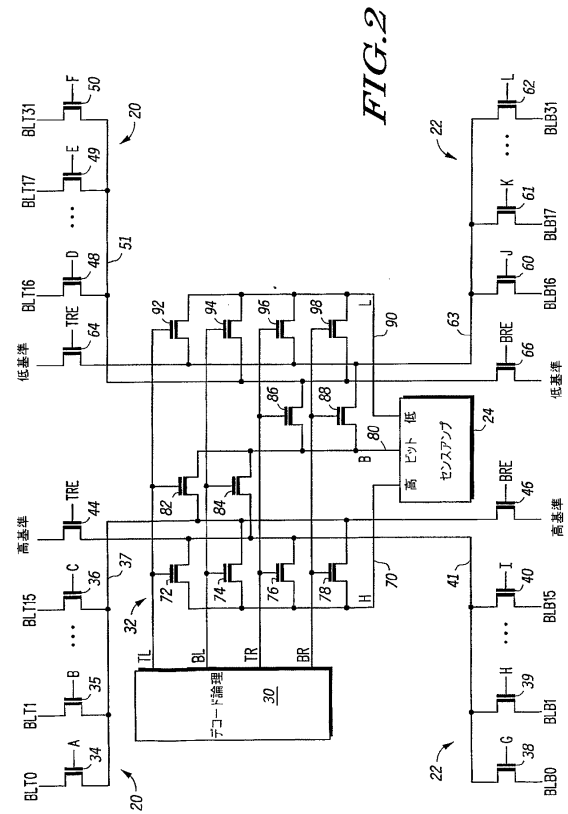


FIG.2

【図 3】

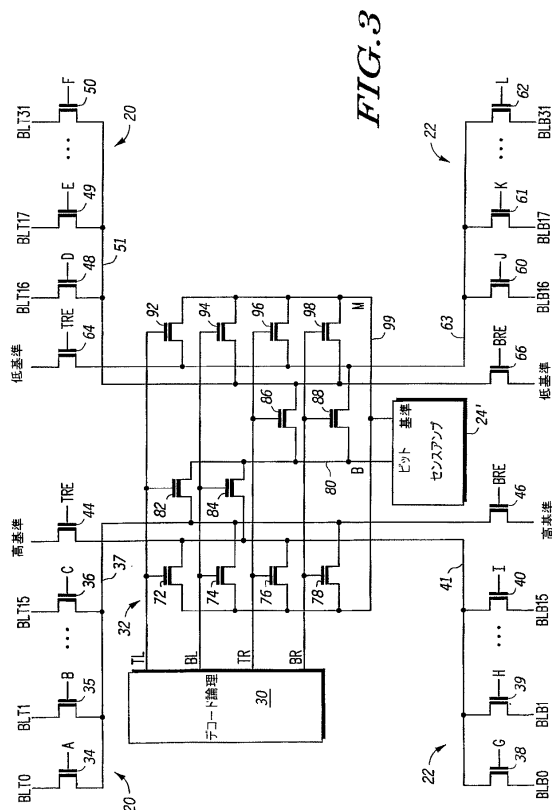


FIG.3

【図 4】

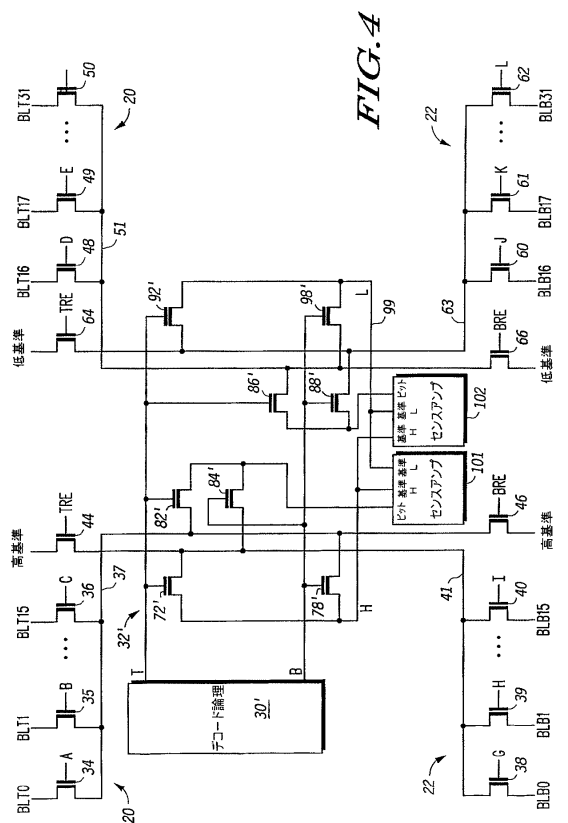
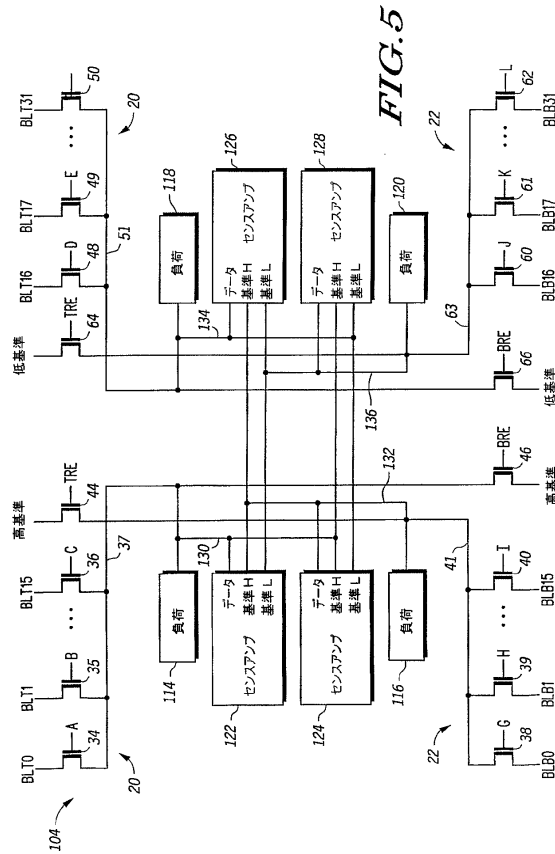


FIG.4

【図 5】



【図 6】

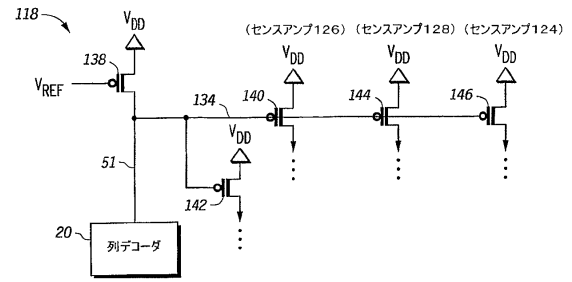


FIG. 6

【図 7】

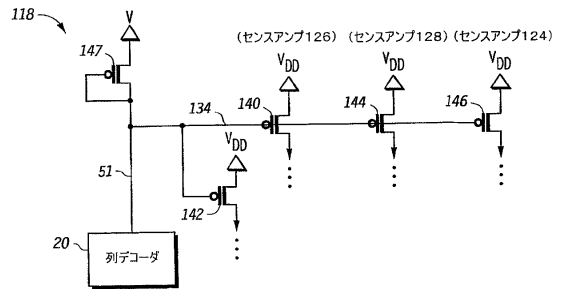


FIG. 7

【図 8】

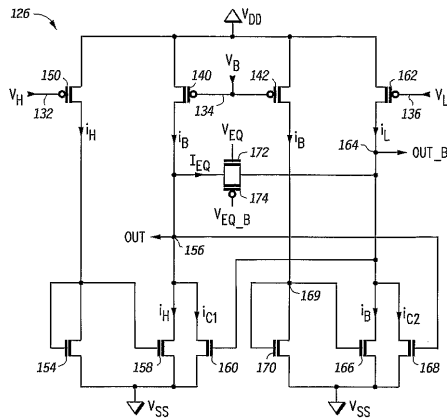


FIG. 8

フロントページの続き

- (72)発明者 スブラマニアン、チトラ ケー .
アメリカ合衆国 7 8 7 5 0 テキサス州 オースチン ピックフェア ドライブ 1 0 6 0 1
- (72)発明者 ガーニ、ブラッドリー ジェイ .
アメリカ合衆国 7 8 7 3 5 テキサス州 オースチン イーグル フェザー ドライブ 4 5 3
2
- (72)発明者 ナハス、ジョセフ ジェイ .
アメリカ合衆国 7 8 7 3 1 テキサス州 オースチン ジェントル ブリーズ テラス 5 8 2
4
- (72)発明者 リン、ハルバート エス .
アメリカ合衆国 7 8 7 1 7 テキサス州 オースチン アンドラ ドライブ 1 0 1 2 4
- (72)発明者 アンドレ、トーマス ダブリュ .
アメリカ合衆国 7 8 7 3 2 テキサス州 オースチン ラチマー ドライブ 3 5 0 8

審査官 須原 宏光

- (56)参考文献 特開平 0 6 - 1 0 3 7 8 9 (J P , A)
特開 2 0 0 2 - 2 2 2 5 8 9 (J P , A)
特開平 1 0 - 0 2 7 4 8 8 (J P , A)
特開平 0 9 - 1 9 8 8 8 6 (J P , A)
特開 2 0 0 3 - 0 7 7 2 8 2 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
G11C 16/02-16/06