

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 29/78

H01L 29/36 H01L 29/08

H01L 21/336



[12] 发明专利申请公开说明书

[21] 申请号 02811702.6

[43] 公开日 2004 年 8 月 11 日

[11] 公开号 CN 1520616A

[22] 申请日 2002.4.5 [21] 申请号 02811702.6

[30] 优先权

[32] 2001. 4. 11 [33] US [31] 09/833,132

[32] 2001. 10. 19 [33] US [31] 10/008,171

[86] 国际申请 PCT/US2002/012775 2002.4.5

[87] 国际公布 WO2002/084745 英 2002.10.24

[85] 进入国家阶段日期 2003.12.11

[71] 申请人 硅半导体公司

地址 美国北卡罗来纳州

[72] 发明人 B·J·巴利加

[74] 专利代理机构 中国专利代理(香港)有限公司

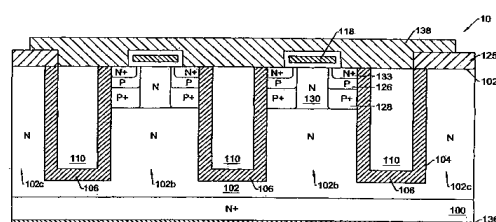
代理人 吴立明 梁 永

权利要求书 16 页 说明书 24 页 附图 31 页

[54] 发明名称 具有防止基区穿通的横向延伸基区屏蔽区的功率半导体器件及其制造方法

[57] 摘要

一种功率 MOSFET(10)，它包含其中具有漂移区的半导体衬底(102)以及延伸在漂移区和半导体衬底第一表面(102a)之间的过渡区(130)。过渡区(130)中具有垂直退减的掺杂分布，其峰值在相对于第一表面(102a)的第一深度处。而且在各自第一和第二基区(126)下方提供了第一和第二基区屏蔽区(128)，以便耗尽过渡区(130)。



ISSN 1008-4274

1. 一种垂直功率器件，它包含：
其中具有第一导电类型的漂移区的半导体衬底；
延伸在所述半导体衬底第一表面上的绝缘栅电极；
5 第二导电类型的第一基区屏蔽区，它延伸在所述半导体衬底中，
且相对于所述绝缘栅电极的第一末端具有第一横向延伸范围；
第二导电类型的第一基区，它延伸在所述第一基区屏蔽区与第一
表面之间，且相对于所述绝缘栅电极的第一末端具有小于第一横向延
伸范围的第二横向延伸范围；
10 所述第一基区中的第一导电类型的第一源区；
电连接到所述第一源区、所述第一基区、以及所述第一基区屏蔽
区的源电极；以及
第一导电类型的过渡区，它延伸在漂移区和与所述绝缘栅电极相
对延伸的部分第一表面之间，与所述第一基区和所述第一基区屏蔽区
15 形成整流结，且其中具有垂直退减的第一导电类型掺杂分布。
2. 权利要求1的器件，其中，所述第一基区屏蔽区延伸到至少相
对于第一表面的第一深度；且其中，所述过渡区中在第一深度处具有
第一导电类型掺杂剂的峰值浓度。
3. 权利要求2的器件，其中，所述过渡区在相对于第一表面的大
于第一深度的第二深度处，与漂移区形成非整流结；且其中，所述第
20 一基区屏蔽区在相对于第一表面的大于第二深度的第三深度处，与漂
移区形成P-N整流结。
4. 权利要求1的器件，还包含：
第二导电类型的第二基区屏蔽区，它延伸在所述半导体衬底中，
25 且相对于所述绝缘栅电极的第二末端具有第三横向延伸范围；
第二导电类型的第二基区，它延伸在所述第二基区屏蔽区与第一
表面之间，且相对于所述绝缘栅电极的第二末端具有小于第三横向延
伸范围的第四横向延伸范围；以及
所述第二基区中的第一导电类型的第二源区。
30 5. 权利要求4的器件，其中，所述过渡区在所述第一和第二基区
屏蔽区之间窄于其在所述第一和第二基区之间。
6. 权利要求4的器件，其中，所述过渡区延伸在所述第一和第二

基区之间以及所述第一和第二基区屏蔽区之间；其中，所述过渡区中在相对于表面的第一深度处具有第一导电类型掺杂剂的峰值浓度；且其中，所述过渡区中的第一导电类型掺杂剂的峰值浓度与所述过渡区在第一深度处的宽度的乘积，约为 $1 \times 10^{12} \text{cm}^{-2}$ - 约 $7 \times 10^{12} \text{cm}^{-2}$ 。

- 5 7. 权利要求 4 的器件，其中，所述过渡区延伸在所述第一和第二基区之间以及所述第一和第二基区屏蔽区之间；其中，所述过渡区中在相对于表面的第一深度处具有第一导电类型掺杂剂的峰值浓度；且其中，所述过渡区中的第一导电类型掺杂剂的峰值浓度与所述过渡区在第一深度处的宽度的乘积，约为 $3.5 \times 10^{12} \text{cm}^{-2}$ - 约 $6.5 \times 10^{12} \text{cm}^{-2}$ 。

- 10 8. 权利要求 1 的器件，其中，所述过渡区中的第一导电类型掺杂剂的峰值浓度是第一表面处退减的第一导电类型掺杂分布的数值的至少 10 倍。

- 15 9. 权利要求 8 的器件，其中，所述第一基区屏蔽区延伸到相对于第一表面的至少第一深度；且其中，所述过渡区中的第一导电类型掺杂剂的峰值浓度在第一深度处。

10. 权利要求 9 的器件，其中，所述过渡区在相对于第一表面的大于第一深度的第二深度处，与漂移区形成非整流结；且其中，所述第一基区屏蔽区在相对于第一表面的大于第二深度的第三深度处，与漂移区形成 P-N 整流结。

- 20 11. 权利要求 8 的器件，还包含：

第二导电类型的第二基区屏蔽区，它延伸在所述半导体衬底中，且相对于所述绝缘栅电极的第二末端具有第三横向延伸范围；

- 25 第二导电类型的第二基区，它延伸在所述第二基区屏蔽区与第一表面之间，且相对于所述绝缘栅电极的第二末端具有小于第三横向延伸范围的第四横向延伸范围；以及

所述第二基区中的第一导电类型的第二源区。

12. 权利要求 11 的器件，其中，所述过渡区在所述第一和第二基区屏蔽区之间窄于其在所述第一和第二基区之间。

- 30 13. 权利要求 11 的器件，其中，所述过渡区延伸在所述第一和第二基区之间以及所述第一和第二基区屏蔽区之间；其中，所述过渡区中在相对于表面的第一深度处具有第一导电类型掺杂剂的峰值浓度；且其中，所述过渡区中的第一导电类型掺杂剂的峰值浓度与所述过渡

区在第一深度处的宽度的乘积, 约为 $1 \times 10^{12} \text{cm}^{-2}$ - 约 $7 \times 10^{12} \text{cm}^{-2}$ 。

14. 权利要求 11 的器件, 其中, 所述过渡区延伸在所述第一和第二基区之间以及所述第一和第二基区屏蔽区之间; 其中, 所述过渡区中在相对于表面的第一深度处具有第一导电类型掺杂剂的峰值浓度;
- 5 且其中, 所述过渡区中的第一导电类型掺杂剂的峰值浓度与所述过渡区在第一深度处的宽度的乘积, 约为 $3.5 \times 10^{12} \text{cm}^{-2}$ - 约 $6.5 \times 10^{12} \text{cm}^{-2}$ 。

15. 一种垂直功率器件, 它包含:

- 半导体衬底, 其中具有第一导电类型的漂移区以及延伸在漂移区与所述半导体衬底的第一表面之间的第一导电类型的过渡区, 所述过渡区在相对于第一表面的第一深度处具有垂直退减的第一导电类型掺杂分布;
- 10

绝缘栅电极, 它延伸在第一表面上且具有相对的第一和第二末端;

- 第二导电类型的第一和第二基区, 它们分别自对准于所述绝缘栅电极的第一和第二末端, 并与延伸邻近第一表面的所述过渡区上部的相对侧形成各自的 P-N 结;
- 15

分别在所述第一和第二基区中的第一导电类型的第一和第二源区; 以及

- 第二导电类型的第一和第二基区屏蔽区, 它们比所述第一和第二基区被更高掺杂, 且彼此横向相向延伸在所述半导体衬底中, 从而在相对于第一表面的第二深度处将所述过渡区上部的颈部限制到最小宽度。
- 20

16. 权利要求 15 的器件, 其中, 所述过渡区中的第一导电类型掺杂剂的峰值浓度与所述过渡区在第一深度处的宽度的乘积, 约为 $1 \times 10^{12} \text{cm}^{-2}$ - 约 $7 \times 10^{12} \text{cm}^{-2}$ 。
- 25

17. 权利要求 15 的器件, 其中, 所述过渡区中的第一导电类型掺杂剂的峰值浓度与所述过渡区在第一深度处的宽度的乘积, 约为 $3.5 \times 10^{12} \text{cm}^{-2}$ - 约 $6.5 \times 10^{12} \text{cm}^{-2}$ 。

18. 权利要求 15 的器件, 其中, 所述第一和第二基区屏蔽区自对准于所述绝缘栅电极的相对的第一和第二末端。
- 30

19. 权利要求 18 的器件, 其中, 所述过渡区中的第一导电类型掺杂剂的峰值浓度与所述过渡区在第二深度处的宽度的乘积, 约为 $1 \times$

10^{12}cm^{-2} —约 $7 \times 10^{12}\text{cm}^{-2}$ 。

20. 权利要求 18 的器件, 其中, 所述过渡区中的第一导电类型掺杂剂的峰值浓度与所述过渡区在第二深度处的宽度的乘积, 约为 $3.5 \times 10^{12}\text{cm}^{-2}$ —约 $6.5 \times 10^{12}\text{cm}^{-2}$ 。

5 21. 一种垂直功率器件, 它包含:

半导体衬底, 其中具有第一导电类型的漂移区以及延伸在漂移区与所述半导体衬底第一表面之间且其中具有峰值在相对于第一表面的第一深度处的垂直掺杂分布的第一导电类型的过渡区;

10 绝缘栅电极, 它延伸在第一表面上且具有相对的第一和第二末端;

第二导电类型的第一和第二基区, 它们分别自对准于所述绝缘栅电极的第一和第二末端, 并与延伸邻近第一表面的所述过渡区上部的相对侧形成 P-N 结;

15 分别在所述第一和第二基区中的第一导电类型的第一和第二源区; 以及

第二导电类型的第一和第二基区屏蔽区, 它们比所述第一和第二基区被更高掺杂, 且彼此横向相向延伸在所述半导体衬底中, 从而在相对于第一表面的第一深度附近处将所述过渡区上部的颈部限制到最小宽度。

20 22. 权利要求 21 的器件, 其中, 所述第一和第二基区屏蔽区分别自对准于所述绝缘栅电极的第一和第二末端。

23. 权利要求 21 的器件, 其中, 所述绝缘栅电极、所述第一源区、所述第一基区、以及所述过渡区一起确定沟道长度小于大约 0.25 微米的第一横向增强模式 MOSFET。

25 24. 权利要求 23 的器件, 其中, 所述绝缘栅电极、所述第二源区、所述第二基区、以及所述过渡区一起确定沟道长度小于大约 0.25 微米的第二横向增强模式 MOSFET。

30 25. 权利要求 24 的器件, 其中, 在正向开通状态导电过程中, 第一和第二横向增强模式 MOSFET 供应垂直通过所述过渡区被限制的颈部的第一导电类型的多数载流子。

26. 一种垂直功率器件, 它包含:

半导体衬底, 其中具有第一导电类型的漂移区以及延伸在漂移区

与所述半导体衬底的第一表面之间且具有峰值在相对于第一表面的第一深度处的垂直掺杂分布的第一导电类型的过渡区；

绝缘栅电极，它延伸在与所述过渡区上部相对的部分第一表面上；

- 5 第二导电类型的第一和第二区，它们分别自对准于所述绝缘栅电极相对的第一和第二末端，与所述过渡区的相对侧形成各自的 P-N 结，并在大于大约 0.25 微米的相对于第一表面的第二深度处将所述过渡区上部的颈部限制到最小宽度；以及

- 10 分别在第二导电类型的所述第一和第二区中的第一导电类型的第一和第二源区。

27. 权利要求 26 的器件，其中，第一深度大约等于第二深度。

28. 权利要求 26 的器件，其中，所述过渡区中的第一导电类型掺杂剂的峰值浓度与所述过渡区在第一深度处的宽度的乘积，约为 $1 \times 10^{12} \text{ cm}^{-2}$ - 约 $7 \times 10^{12} \text{ cm}^{-2}$ 。

- 15 29. 一种垂直功率器件，它包含：

半导体衬底，其中具有第一导电类型的漂移区以及延伸在漂移区与所述半导体衬底第一表面之间的第一导电类型的过渡区；

绝缘栅电极，它延伸在第一表面上且具有相对的第一和第二末端；

- 20 第二导电类型的第一和第二基区，它们分别自对准于所述绝缘栅电极的第一和第二末端，并与延伸邻近第一表面的所述过渡区上部的相对侧形成各自的 P-N 结；

分别在所述第一和第二基区中的第一导电类型的第一和第二源区；以及

- 25 第二导电类型的第一和第二基区屏蔽区，它们比所述第一和第二基区被更高掺杂，且彼此横向相向延伸在所述半导体衬底中，从而在相对于第一表面的第一深度处将所述过渡区上部的颈部限制到最小宽度。

30. 权利要求 29 的功率器件，其中，所述过渡区被不均匀地掺杂。

- 30 31. 权利要求 30 的功率器件，其中，所述过渡区具有相对于第一表面垂直退减的第一导电类型掺杂分布。

32. 一种垂直功率器件，它包含：

半导体衬底，其中具有第一导电类型的漂移区以及延伸在漂移区与所述半导体衬底第一表面之间的第一导电类型的过渡区；

绝缘栅电极，它延伸在与所述过渡区上部相对的部分第一表面上；

- 5 第二导电类型的第一和第二区，它们分别自对准于所述绝缘栅电极的相对的第一和第二末端，与所述过渡区的相对侧形成各自的 P-N 结，并在大于大约 0.25 微米的相对于第一表面的第一深度处将所述过渡区上部的颈部限制到最小宽度；以及

- 10 分别在所述第二导电类型的第一和第二区中的第一导电类型的第一和第二源区。

33. 权利要求 32 的器件，其中，所述过渡区中第一深度处的第一导电类型掺杂剂浓度与所述过渡区在第一深度处的宽度的乘积，约为 $1 \times 10^{12} \text{cm}^{-2}$ - 约 $7 \times 10^{12} \text{cm}^{-2}$ 。

34. 一种制作垂直功率器件的方法，它包含下列步骤：

- 15 制作半导体衬底，其中具有第一导电类型的漂移区以及延伸在漂移区与半导体衬底第一表面之间且其中具有峰值位于相对于第一表面的第一深度处的垂直退减的第一导电类型掺杂分布的第一导电类型的过渡区；

在第一表面上制作栅电极；

- 20 用栅电极作为注入掩模，以比较高的剂量和高能量水平，将第二导电类型的基区屏蔽区掺杂剂注入到过渡区的上部中；

对半导体衬底进行退火，以便部分地将基区屏蔽区掺杂剂垂直地驱入到过渡区中，并横向驱入到栅电极下方，从而确定第一和第二中间屏蔽区；

- 25 用栅电极作为注入掩模，以比较低的剂量和低的能量水平，将第二导电类型的基区掺杂剂注入到第一和第二中间屏蔽区中；

- 对半导体衬底进行退火，以便将基区掺杂剂垂直地驱入到衬底中，并沿第一表面横向驱入到栅电极下方，从而确定第一和第二基区，并同时横向和垂直地将基区屏蔽区掺杂剂驱动到其在衬底中的基本上完全和最后的深度，从而确定限制过渡区上部的颈部到最小宽度的第一和第二基区屏蔽区；以及
- 30

分别在第一和第二基区中形成第一和第二源区。

35. 权利要求 34 的方法，其中，第一和第二基区屏蔽区在相对于第一表面的大约第一深度处将过渡区上部的颈部限制到最小宽度。

36. 一种制作垂直功率器件的方法，它包含下列步骤：

5 制作半导体衬底，其中具有第一导电类型的漂移区以及延伸在漂移区与半导体衬底第一表面之间的第一导电类型的过渡区；

在第一表面上制作栅电极；

用栅电极作为注入掩模，以比较高的剂量和高能量水平，将第二导电类型的基区屏蔽区掺杂剂注入到过渡区的上部中；

10 对半导体衬底进行退火，以便部分地将基区屏蔽区掺杂剂垂直地驱入到过渡区中，并横向驱入到栅电极下方，从而确定第一和第二中间屏蔽区；

用栅电极作为注入掩模，以比较低的剂量和低的能量水平，将第二导电类型的基区掺杂剂注入到第一和第二中间屏蔽区中；

15 对半导体衬底进行退火，以便将基区掺杂剂垂直地驱入到衬底中，并沿第一表面横向驱入到栅电极下方，从而确定第一和第二基区，并同时横向和垂直地将基区屏蔽区掺杂剂驱动到其在衬底中的基本上完全和最后的深度，从而确定限制过渡区上部的颈部到最小宽度的第一和第二基区屏蔽区；以及

分别在第一和第二基区中形成第一和第二源区。

20 37. 一种垂直功率器件，它包含：

半导体衬底，其中具有第一和第二沟槽以及延伸到第一和第二沟槽确定的台面中的第一导电类型的漂移区；

第一和第二沟槽中的第一和第二被绝缘电极；

25 第二导电类型的第一和第二基区，它们分别延伸邻接第一和第二沟槽的侧壁，并延伸在台面中；

分别在所述第一和第二基区中的第一导电类型的第一和第二源区；

绝缘栅电极，它延伸在所述半导体衬底的表面上并与所述第一基区相对；以及

30 第一导电类型的过渡区，它延伸在所述第一和第二基区之间，与漂移区形成非整流结，并具有相对于表面的垂直退减的第一导电类型掺杂分布。

38. 权利要求 37 的器件, 其中, 所述过渡区中第一导电类型掺杂剂的峰值浓度是表面处退减的第一导电类型掺杂分布的数值的至少 10 倍。

39. 权利要求 37 的器件, 其中, 所述第一和第二被绝缘电极被电连接到所述第一和第二源区。

40. 权利要求 37 的器件, 其中, 所述过渡区中在相对于表面的第一深度处具有第一导电类型掺杂剂的峰值浓度; 且其中, 所述过渡区中第一导电类型掺杂剂的峰值浓度与所述过渡区在第一深度处的宽度的乘积, 为 $1 \times 10^{12} \text{cm}^{-2}$ - $7 \times 10^{12} \text{cm}^{-2}$ 。

41. 权利要求 37 的器件, 其中, 所述过渡区中在相对于表面的第一深度处具有第一导电类型掺杂剂的峰值浓度; 且其中, 所述过渡区中第一导电类型掺杂剂的峰值浓度与所述过渡区在第一深度处的宽度的乘积, 为 $3.5 \times 10^{12} \text{cm}^{-2}$ - $6.5 \times 10^{12} \text{cm}^{-2}$ 。

42. 权利要求 37 的器件, 其中, 所述过渡区中在相对于表面的第一深度处具有第一导电类型掺杂剂的峰值浓度; 且其中, 所述过渡区中第一导电类型掺杂剂的峰值浓度与非整流结的宽度的乘积, 为 $1 \times 10^{12} \text{cm}^{-2}$ - $7 \times 10^{12} \text{cm}^{-2}$ 。

43. 权利要求 37 的器件, 其中, 所述过渡区中在相对于表面的第一深度处具有第一导电类型掺杂剂的峰值浓度; 且其中, 所述过渡区中第一导电类型掺杂剂的峰值浓度、所述过渡区在第一深度处的宽度与台面的宽度的乘积, 小于 $2 \times 10^{15} \text{cm}^{-1}$ 。

44. 权利要求 37 的器件, 其中, 所述第一源区和所述第一基区自对准于所述绝缘栅电极。

45. 权利要求 37 的器件, 还包含:

第二导电类型的第一屏蔽区, 它延伸在所述第一基区与漂移区之间, 且比所述第一基区被更高掺杂; 以及

第二导电类型的第二屏蔽区, 它延伸在所述第二基区与漂移区之间, 且比所述第二基区被更高掺杂。

46. 权利要求 45 的器件, 其中, 所述第一和第二屏蔽区与所述过渡区形成各自的 P-N 整流结; 其中, 所述过渡区中在相对于表面的第一深度处具有第一导电类型掺杂剂的峰值浓度; 且其中, 所述过渡区中的第一导电类型掺杂剂的峰值浓度与所述第一和第二屏蔽区之间的

宽度的乘积, 为 $1 \times 10^{12} \text{cm}^{-2} - 7 \times 10^{12} \text{cm}^{-2}$ 。

47. 权利要求 37 的器件, 其中, 漂移区中具有相对于表面垂直退减的第一导电类型掺杂分布。

48. 权利要求 37 的器件, 其中, 所述绝缘栅电极与所述第一和第二源区、所述第一和第二基区、以及所述过渡区相对延伸。

49. 权利要求 40 的器件, 其中, 所述过渡区中第一导电类型掺杂剂的峰值浓度大于大约 $1 \times 10^{17} \text{cm}^{-3}$; 其中, 表面确定所述绝缘栅电极与所述过渡区之间的界面; 且其中, 表面处所述过渡区中第一导电类型掺杂剂的浓度小于大约 $2 \times 10^{16} \text{cm}^{-3}$ 。

50. 权利要求 39 的器件, 其中, 所述第一被绝缘电极在第一沟槽的侧壁处与所述第一基区和所述第一源区欧姆接触。

51. 权利要求 45 的器件, 其中, 非整流结延伸在所述第一和第二屏蔽区之间。

52. 权利要求 37 的器件, 还包含所述半导体衬底中的第三沟槽, 所述第二和第三沟槽在其间确定漂移区延伸到其中的模拟台面。

53. 权利要求 52 的器件, 还包含延伸在模拟台面中且电连接到所述第一和第二源区的第二导电类型的第三基区。

54. 权利要求 53 的器件, 其中, 延伸在所述第二和第三沟槽之间的模拟台面的宽度, 等于延伸在所述第一和第二沟槽之间的台面的宽度。

55. 权利要求 52 的器件, 还包含:

所述第三沟槽中的第三被绝缘电极;

模拟台面上的场平板绝缘层; 以及

延伸在所述场平板绝缘层上且电连接到所述第一、第二、以及第三被绝缘电极的源电极。

56. 权利要求 55 的器件, 其中, 所述第一和第二沟槽之间的间距不等于所述第二和第三沟槽之间的间距。

57. 一种垂直功率器件, 它包含:

半导体衬底;

所述半导体衬底中的第一导电类型的漂移区;

所述半导体衬底中分隔开的第二导电类型的第一和第二基区;

分别在所述第一和第二基区中的第一导电类型的第一和第二源

区;

第一导电类型的过渡区,它延伸在所述第一和第二基区之间,与漂移区形成非整流结,并相对于所述半导体衬底的表面具有垂直退减的第一导电类型掺杂分布;以及

- 5 绝缘栅电极,它延伸在表面上并与所述第一基区和所述过渡区相对。

58. 权利要求 57 的器件,其中,所述过渡区中第一导电类型掺杂剂的峰值浓度是表面处退减的第一导电类型掺杂分布的数值的至少 10 倍。

- 10 59. 权利要求 57 的器件,其中,所述过渡区中在相对于表面的第一深度处具有第一导电类型掺杂剂的峰值浓度;且其中,所述过渡区中第一导电类型掺杂剂的峰值浓度与所述过渡区在第一深度处的宽度的乘积,为 $1 \times 10^{12} \text{cm}^{-2} - 7 \times 10^{12} \text{cm}^{-2}$ 。

- 15 60. 权利要求 57 的器件,其中,所述过渡区中在相对于表面的第一深度处具有第一导电类型掺杂剂的峰值浓度;且其中,所述过渡区中第一导电类型掺杂剂的峰值浓度与所述过渡区在第一深度处的宽度的乘积,为 $3.5 \times 10^{12} \text{cm}^{-2} - 6.5 \times 10^{12} \text{cm}^{-2}$ 。

61. 权利要求 57 的器件,还包含:

- 20 第二导电类型的第一屏蔽区,它延伸在所述第一基区与漂移区之间,且比所述第一基区被更高掺杂;以及

第二导电类型的第二屏蔽区,它延伸在所述第二基区与漂移区之间,且比所述第二基区被更高掺杂。

- 25 62. 权利要求 61 的器件,其中,所述第一和第二屏蔽区与所述过渡区形成各自的 P-N 整流结;其中,所述过渡区中在相对于表面的第一深度处具有第一导电类型掺杂剂的峰值浓度;且其中,所述过渡区中第一导电类型掺杂剂的峰值浓度与所述第一和第二屏蔽区之间的宽度的乘积为 $1 \times 10^{12} \text{cm}^{-2} - 7 \times 10^{12} \text{cm}^{-2}$ 。

- 30 63. 权利要求 62 的器件,其中,所述过渡区中第一导电类型掺杂剂的峰值浓度大于大约 $1 \times 10^{17} \text{cm}^{-3}$;其中,表面确定所述绝缘栅电极与所述过渡区之间的界面;且其中,表面处所述过渡区中第一导电类型掺杂剂的浓度小于大约 $2 \times 10^{16} \text{cm}^{-3}$ 。

64. 一种垂直功率器件,它包含:

半导体衬底，其中具有第一和第二沟槽以及延伸到第一和第二沟槽确定的台面中的第一导电类型的漂移区；

分别在第一和第二沟槽中的第一和第二被绝缘电极；

5 第二导电类型的第一基区，它与第一沟槽的侧壁相对延伸，并延伸在台面中；

第二导电类型的第一屏蔽区，它与第一沟槽的侧壁相对延伸，比所述第一基区被更高掺杂，被排列在所述第一基区与漂移区之间，并与漂移区形成 P-N 整流结；

所述第一基区中的第一导电类型的源区；

10 绝缘栅电极，它延伸在台面上并与所述第一基区相对；以及

源电极，它延伸在所述源区上，并被电连接到所述第一和第二被绝缘电极。

65. 权利要求 64 的垂直功率器件，还包含：

15 第一导电类型的过渡区，它延伸在所述第一基区与第二沟槽的侧壁之间，分别与所述第一基区和漂移区形成 P-N 整流结和非整流结，并具有相对于其上延伸绝缘栅电极的台面表面的垂直退减的第一导电类型掺杂分布。

66. 权利要求 64 的垂直功率器件，还包含：

20 第一导电类型的过渡区，它延伸在所述第一基区与第二沟槽的侧壁之间，分别与所述第一基区和漂移区形成 P-N 整流结和非整流结；其中，所述过渡区在相对于所述衬底表面的第一深度处具有第一导电类型掺杂剂的峰值浓度；且其中，所述过渡区中第一导电类型掺杂剂的峰值浓度与所述过渡区在第一深度处的宽度的乘积，为 $3.5 \times 10^{12} \text{ cm}^{-2} - 6.5 \times 10^{12} \text{ cm}^{-2}$ 。

25 67. 一种垂直功率器件，它包含：

半导体衬底，其中具有第一和第二沟槽以及延伸到第一和第二沟槽确定的台面中的第一导电类型的漂移区；

第一和第二沟槽中的第一和第二被绝缘电极；

30 第二导电类型的第一和第二基区，它们分别邻近第一和第二沟槽的侧壁延伸，并延伸在台面中；

分别在所述第一和第二基区中的第一导电类型的第一和第二源区；

绝缘栅电极，它延伸在所述半导体衬底的表面上并与所述第一基区相对；以及

5 第一导电类型的过渡区，它延伸在所述第一和第二基区之间，并与漂移区形成非整流结，所述过渡区中在相对于所述衬底表面的第一深度处具有第一导电类型掺杂剂的峰值浓度；且其中，所述过渡区中第一导电类型掺杂剂的峰值浓度与所述过渡区在第一深度处的宽度的乘积，为 $3.5 \times 10^{12} \text{cm}^{-2} - 6.5 \times 10^{12} \text{cm}^{-2}$ 。

68. 权利要求 67 的垂直功率器件，其中，台面的宽度与延伸在过渡区下方的部分台面中的第一导电类型电荷的数量的乘积，最好为 $2 \times 10^9 \text{cm}^{-1} - 2 \times 10^{10} \text{cm}^{-1}$ 。

69. 权利要求 67 的垂直功率器件，还包含所述半导体衬底中的第三和第四沟槽，所述第二和第三沟槽在其间确定漂移区延伸到其中的第一模拟台面，且所述第三和第四沟槽在其间确定漂移区延伸到其中的第二模拟台面。

15 70. 一种垂直功率器件，它包含：

半导体衬底，其中具有第一和第二沟槽以及延伸到第一和第二沟槽确定的台面中的第一导电类型的漂移区；

第一和第二沟槽中的第一和第二被绝缘电极；

20 第二导电类型的第一和第二基区，它们分别邻近第一和第二沟槽的侧壁延伸，并延伸在台面中；

分别在所述第一和第二基区中的第一导电类型的第一和第二源区；

第一绝缘栅电极，它延伸在所述半导体衬底的表面上，并与所述第一基区相对；

25 第二绝缘栅电极，它延伸在所述半导体衬底的表面上，并与所述第二基区相对；

导电区，它延伸在所述第一和第二绝缘栅电极之间，并与台面相对；以及

30 源电极，它被电连接到所述第一和第二源区，并被电连接到所述导电区。

71. 权利要求 70 的器件，还包含第一导电类型的过渡区，它延伸在所述第一和第二基区之间，与漂移区形成非整流结，并具有相对于

表面的垂直退减的第一导电类型掺杂分布；且其中，所述源电极延伸在第一和第二绝缘栅电极的相对的侧壁之间。

72. 权利要求 71 的器件，其中，所述过渡区中第一导电类型掺杂剂的峰值浓度是表面处退减的第一导电类型掺杂分布的数值的至少 10 倍。

73. 权利要求 72 的器件，其中，所述导电区包含模拟栅电极。

74. 权利要求 71 的器件，其中，所述过渡区中在相对于表面的第一深度处具有第一导电类型掺杂剂的峰值浓度；且其中，所述过渡区中第一导电类型掺杂剂的峰值浓度与所述过渡区在第一深度处的宽度的乘积，为 $1 \times 10^{12} \text{cm}^{-2} - 7 \times 10^{12} \text{cm}^{-2}$ 。

75. 权利要求 71 的器件，其中，所述过渡区中在相对于表面的第一深度处具有第一导电类型掺杂剂的峰值浓度；且其中，所述过渡区中第一导电类型掺杂剂的峰值浓度与所述过渡区在第一深度处的宽度的乘积，为 $3.5 \times 10^{12} \text{cm}^{-2} - 6.5 \times 10^{12} \text{cm}^{-2}$ 。

76. 一种制作垂直功率器件的方法，它包含下列步骤：

以第一剂量水平和第一能量水平，将第一导电类型的过渡区掺杂剂注入到半导体衬底的表面中，此半导体衬底中具有延伸邻近表面的第一导电类型的漂移区；

在表面上制作栅电极，它与注入的过渡区掺杂剂相对延伸；

用栅电极作为注入掩模，以第二剂量水平和第二能量水平，将第二导电类型的屏蔽区掺杂剂注入到表面中；

用栅电极作为注入掩模，以第三剂量水平和第三能量水平，将第二导电类型的基区掺杂剂注入到表面中；

将被注入的过渡区掺杂剂、屏蔽区掺杂剂、以及基区掺杂剂驱入到衬底中，以便确定延伸在漂移区中且其中具有相对于表面垂直退减的第一导电类型掺杂分布的过渡区、延伸在过渡区相对侧上并与之形成各自 P-N 整流结的第一和第二屏蔽区、以及延伸在过渡区相对侧上并与之形成各自 P-N 整流结的第一和第二基区；以及

用栅电极作为注入掩模，将第一导电类型的源区掺杂剂注入到第一和第二基区。

77. 权利要求 76 的方法，其中，第一剂量水平和能量水平以及所述驱动步骤的时间长度，足以使过渡区中第一导电类型掺杂剂的峰值

浓度与在第一和第二屏蔽区之间测得的过渡区的宽度的乘积为 $1 \times 10^{12} \text{ cm}^{-2} - 7 \times 10^{12} \text{ cm}^{-2}$ 。

78. 权利要求 76 的方法，其中，所述注入屏蔽区掺杂剂的步骤在下列步骤之后进行：

- 5 在半导体衬底中制作沟槽；
 用沟槽绝缘层对沟槽进行衬里；以及
 然后在沟槽绝缘层上形成导电区。

79. 权利要求 78 的方法，其中，所述注入过渡区掺杂剂的步骤包含将过渡区掺杂剂注入到沟槽中的导电区中以及注入到确定在沟槽之间的台面中。

80. 权利要求 78 的方法，还包含下列步骤：

对沟槽绝缘层进行回腐蚀，以便暴露源区、基区、以及屏蔽区；
以及

形成与导电区、源区、基区、以及屏蔽区欧姆接触的源接触。

15 81. 权利要求 76 的方法，其中，当峰值的深度相对于表面被测量时，第一和第二能量的各自水平引起屏蔽区中第二导电类型掺杂剂的峰值浓度的深度为过渡区中第一导电类型掺杂剂的峰值浓度的深度的 10% 以内。

82. 权利要求 76 的方法，其中，栅电极是绝缘栅电极；其中，过渡区延伸到绝缘栅电极与表面之间的界面；且其中，过渡区中第一导电类型掺杂剂的峰值浓度是过渡区中的表面掺杂剂浓度的大约 10 倍。

83. 权利要求 77 的方法，其中，所述注入屏蔽区掺杂剂的步骤在下列步骤之后进行：

- 25 在半导体衬底中制作沟槽；
 用沟槽绝缘层对沟槽进行衬里；以及
 然后在沟槽绝缘层上形成导电区。

84. 权利要求 83 的方法，还包含下列步骤：

对沟槽绝缘层进行回腐蚀，以便暴露源区、基区、以及屏蔽区；
以及

30 形成与导电区、源区、基区、以及屏蔽区欧姆接触的源接触。

85. 权利要求 83 的方法，其中，当峰值的深度相对于表面被测量时，第一和第二能量的各自水平引起屏蔽区中第二导电类型掺杂剂的

峰值浓度的深度为过渡区中第一导电类型掺杂剂的峰值浓度的深度的10%以内。

86. 权利要求 77 的方法，其中，栅电极是绝缘栅电极；其中，过渡区延伸到绝缘栅电极与表面之间的界面；且其中，过渡区中第一导电类型掺杂剂的峰值浓度是过渡区中的表面掺杂剂浓度的大约 10 倍。

87. 一种制作垂直功率器件的方法，它包含下列步骤：

在半导体衬底中制作沟槽，此半导体衬底中具有邻近沟槽侧壁延伸的第一导电类型的漂移区；

用沟槽绝缘层对沟槽进行衬里；

- 10 在沟槽绝缘层上形成基于沟槽的电极；

在衬底表面上形成绝缘栅电极；

形成第二导电类型的基区，它延伸在表面中，并延伸到沟槽的侧壁；

- 15 形成第一导电类型的源区，它延伸在基区中，并延伸到沟槽的侧壁；

对沟槽绝缘层进行回腐蚀，以便暴露沿沟槽侧壁延伸的部分基区和源区；以及

形成源接触，它沿沟槽的侧壁被电连接到基区和源区。

88. 一种具有有源单元和模拟单元的集成功率器件，它包含：

- 20 其中具有第一导电类型的漂移区的半导体衬底；

所述半导体衬底中的第一、第二、第三、以及第四分隔开的沟槽，所述第一和第二沟槽在其间确定漂移区延伸到其中的有源台面，所述第二和第三沟槽在其间确定漂移区延伸到其中的第一模拟台面，而所述第三和第四沟槽在其间确定漂移区延伸到其中的第二模拟台面；

- 25 分别在所述第一、第二、第三、以及第四沟槽中的第一、第二、第三、以及第四被绝缘电极；

第二导电类型的第一和第二基区，它们分别邻近第一和第二沟槽的侧壁延伸，并延伸在台面中；

分别在所述第一和第二基区中的第一和第二源区；

- 30 绝缘栅电极，它延伸在所述半导体衬底的表面上并与所述第一基区相对；以及

第一导电类型的过渡区，它延伸在所述第一和第二基区之间，并

与漂移区形成非整流结，所述过渡区中在相对于所述衬底表面的第一深度处具有第一导电类型掺杂剂的峰值浓度；且

其中，第一和第二模拟台面没有正向开通状态电流通路。

89. 权利要求 88 的器件，其中，所述过渡区中第一导电类型掺杂剂的峰值浓度与所述过渡区在第一深度处的宽度的乘积，为 $3.5 \times 10^{12} \text{cm}^{-2}$ – $6.5 \times 10^{12} \text{cm}^{-2}$ ；且其中，台面的宽度与延伸在过渡区下方的部分台面中的第一导电类型电荷的数量的乘积，最好为 $2 \times 10^9 \text{cm}^{-1}$ – $2 \times 10^{10} \text{cm}^{-1}$ 。

具有防止基区穿通的横向延伸基区屏蔽区
的功率半导体器件及其制造方法

5

发明的领域

本发明涉及到半导体开关器件，更确切地说是涉及到用于功率转换和功率放大的开关器件及其制造方法。

发明的背景

已经为要求功率转换和功率放大的应用开发了功率 MOSFET。对于
10 功率转换应用，市售器件典型为 DMOSFET 和 UMODFET。在这些器件中，
一个主要目的是获得低的开通比电阻，以便降低功率损失。在功率
MOSFET 中，栅电极在施加适当栅偏压时提供了开通和关断控制。例如，
当响应于正栅偏压的施加而在 P 型基区中形成导电的 N 型反型层沟道
(也称为“沟道区”)时，就在 N 型增强 MOSFET 中发生开通。反型层
15 沟道将 N 型源区和漏区电连接，从而使多数载流子在其间导电。

功率 MOSFET 的栅电极被插入的典型为二氧化硅的绝缘层分隔于基
区。由于栅被绝缘于基区，故若需要一点栅电流来保持 MOSFET 处于导
电状态或将 MOSFET 从开通状态转换到关断状态或反之，此栅电流也
很小。由于栅与 MOSFET 的基区形成一个电容器，故此栅电流在转换过
20 程中保持很小。于是，在转换过程中仅仅需要充电和放电电流(“位
移电流”)。由于与绝缘栅电极相关的高输入阻抗，故栅的电流要求
非常小，因而能够容易地实现栅驱动电路。而且，由于 MOSFET 中的电
流传导通过经由反型层沟道输运的多数载流子而发生，故不存在与过
剩少数载流子的复合和储存相关的延迟。因此，能够使功率 MOSFET 的
25 转换速度数量级高于双极晶体管。与双极晶体管不同，功率 MOSFET 能
够被设计成比较长时间承受大电流密度和高电压而不遭遇所谓“二次
击穿”的破坏性失效。由于跨越功率 MOSFET 的正向电压降随温度升高
而增加，故能够容易地并联功率 MOSFET，从而有助于在并联连接的器
件中的均匀电流分布。

30 在 PWS Publishing Co. 出版的 B. J. Baliga 所著书名为《Power
Semiconductor Devices》的教科书 (ISBN 0-534-94098-6) (1995)
中，更充分地描述了 DMOSFET 和 UMOSFET，此处将其公开列为参考。

此书第 7 章 p335-425 描述了功率 MOSFET。在 IEEE Transaction on Electron Devices, Vol. 41, No. 5, May (1994) 的题为 “Comparision of Ultralow Specific On-Resistance UMOSFET Structures: The ACCUFET, EXTFET, INVFET, and Convention UMOSFETs” 的 T. Syau, P. Venkatraman and B. J. Baliga 的论文中, 还公开了包括积累、反型、以及具有延伸到 N+漏区中的沟槽栅电极的延伸沟槽 FET 的硅功率 MOSFET 的例子。如 Syau 等人所述, 对于能够支持最高 25V 的器件, 实验演示了 $100-250 \mu \Omega \text{cm}^2$ 的开通比电阻。但这些器件的性能受到沟槽底部处跨越栅氧化物必须支持正向截止电压的限制。Lidow 等人的美国专利 No. 4680853 也公开了一种常规功率 MOSFET, 它利用相邻 P 基区之间的高掺杂 N+区 130 来降低开通状态电阻。例如, Lidow 等人的图 22 公开了一种高电导率区 130, 此区域具有恒定的横向密度以及从栅氧化物下方的芯片表面开始并一直向下延伸到芯片本体中的从比较高的浓度到比较低的浓度的梯度。

上述 Syau 等人论文的图 1 (d) 公开了一种常规 UMOSFET 结构。在运行的截止模式中, 此 UMOSFET 支持跨越 N 型漂移层的大部分正向截止电压, 此 N 型漂移层必须掺杂成比较低的水平, 以便获得高的最大截止电压能力, 但低的掺杂水平通常会增大开通状态串联电阻。基于高截止电压与低开通状态电阻的这些相互竞争的设计要求, 已经推导了功率器件的重要品质因数, 此品质因数使开通比电阻 ($R_{\text{ON,SP}}$) 与最大截止电压 (BV) 有关。如上述 B. J. Baliga 教科书 p373 所解释的那样, N 型硅漂移区的理想开通比电阻由下式给定:

$$R_{\text{ON,SP}} = 5.93 \times 10^{-9} (\text{BV})^{2.5} \quad (1)$$

于是, 对于具有 60V 截止能力的器件, 理想的开通比电阻是 $170 \mu \Omega \text{cm}^2$ 。但由于来自沟道的额外电阻贡献, 报道的 UMOSFET 开通比电阻通常高得多。例如, 在 Solid-State Electronics Vol. 32, No. 3, pp. 247-251, (1989) 中 H. Chang 的题为 “Numerical and Experimental Comparision of 60V Vertical Double-Diffused MOSFET and MOSFET With A Trench-Gate Structure” 的论文中, 公开了一种开通比电阻为 $730 \mu \Omega \text{cm}^2$ 的 UMOSFET。但在这种器件中, 当截止正向高电压时, 在漂移区中需要低于理想的均匀掺杂浓度来补偿沟槽底部角落附近的电力线高度集中。其公开此处被列为参考的美国专利 No. 5637989 和

5742076 以及 1997 年 8 月 6 日提交的美国申请 No. 08/906916, 还公开了具有垂直电流载运能力的普及功率半导体器件。

确切地说, Baliga 的美国专利 No. 5637898 公开了一种通常称为渐变掺杂 (GD) UMODFET 的推荐的硅场效应晶体管。如'898 专利的图 3 所示, 集成功率半导体器件场效应晶体管的单元 100 可以具有 1 微米的宽度 " W_c ", 并包含第一导电类型 (例如 N+) 衬底的高掺杂漏层 114、其中具有线性渐变掺杂浓度的第一导电类型的漂移层 112、第二导电类型 (例如 P 型) 的比较薄的基区层 116、以及第一导电类型 (例如 N+) 的高掺杂源层 118。漂移层 112 可以借助于在厚度为 100 微米且其中掺杂浓度大于每立方厘米 1×10^{18} (例如每立方厘米 1×10^{19}) 的 N 型漏层 114 上外延生长厚度为 4 微米的 N 型原位掺杂的单晶硅层而形成。漂移层 112 中还具有线性渐变的掺杂浓度, 其最大浓度每立方厘米 3×10^{17} 位于与漏层 114 的 N+/N 结处, 而最小浓度每立方厘米 1×10^{16} 开始于离 N+/N 结 3 微米处 (亦即深度 1 微米处), 并以均匀水平延续到上表面。基区层 116 可以借助于以 100keV 的能量和每平方厘米 1×10^{14} 的剂量将诸如硼的 P 型掺杂剂注入到漂移层 112 中而形成。P 型掺杂剂然后可以被扩散到漂移层 112 中 0.5 微米的深度。也可以在 50keV 的能量和每平方厘米 1×10^{15} 的剂量下注入诸如砷之类的 N 型掺杂剂。N 型和 P 型掺杂剂则能够同时分别被扩散到 0.5 微米和 1.0 微米的深度, 从而形成包含漏层、漂移层、基区层、以及源层的复合半导体衬底。

然后在衬底中形成条形沟槽, 此沟槽具有沿第三维 (未示出) 延伸的成对的侧壁 120a 和底部 120b。对于宽度 W_c 为 1 微米的单元 100, 在工艺结束时沟道最好形成成为 0.5 微米的宽度 W_t 。然后在沟槽中形成包含栅绝缘区 124 和导电栅 125 (例如多晶硅) 的绝缘栅电极。延伸邻近沟槽底部 120b 和漂移层 112 的部分栅绝缘区 124 可以具有约为 2000Å 的厚度 " T_1 ", 以便防止在沟槽底部出现强电场并沿沟槽侧壁 120b 提供基本上均匀的电位梯度。沿与基区层 116 和源层 118 相对方向延伸的部分栅绝缘区 124 可以具有约为 500Å 的厚度 " T_2 ", 以便将器件的阈值电压保持在大约 2-3V。单元 100 在 15V 栅偏压下的模拟证实了垂直硅场效应晶体管具有 60V 的最高截止电压能力和 $40 \mu \Omega \text{cm}^2$ 的开通比电阻, 这是 60V 功率 UMOSFET 能够达到的 $170 \mu \Omega \text{cm}^2$ 的理想

开通比电阻的四分之一。尽管有这些优异的特性,但若总的栅-漏电容 (C_{gd}) 太大,则'898 专利的图 3 的晶体管还是可能遭遇比较低的高频品质因数 (HFOM)。MOSFET 的不适当的边沿终止也可能妨碍达到最大的截止电压。在此处列为参考的 Baliga 的美国专利 No. 5998833 中,还公开了另一种具有渐变漂移区和基于沟槽的源电极的 UMOSFET。

功率 MOSFET 也可以被用于功率放大应用 (例如音频或射频)。在这些应用中,为了尽可能减小信号畸变,传送特性 (例如 $I_d \sim V_g$) 的线性成为非常重要。用于这些功率放大应用的市售器件典型为 LDMOS 和砷化镓 MESFET。但如下所述,包括 LDMOS 晶体管的功率 MOSFET 可以具有能够导致信号畸变的非线性特性。在 S. M. Sze 的书名为《Physics of Semiconductor Devices》的教科书的第 8.2.2 节第 438-451 页 (1981) 中,描述了功率 MOSFET 中的电流饱和物理过程。如该书所述, MOSFET 典型地工作于二种模式之一。在低的漏电压 (与栅电压相比时) 下, MOSFET 工作于线性模式,其中 I_d 和 V_g 之间的关系基本上是线性的。此处,跨导 (g_m) 也独立于 V_g :

$$g_m = (Z/L) u_{ns} C_{ox} V_d \quad (2)$$

其中, Z 和 L 分别是沟道宽度和长度, u_{ns} 是沟道迁移率, C_{ox} 是栅氧化物的比电容,而 V_d 是漏电压。然而,一旦漏电压增大且变得与栅电压 (V_g) 可比拟, MOSFET 就由于沟道夹断而工作于饱和模式。当这种情况发生时,跨导能够被表示为:

$$g_m = (Z/L) u_{ns} C_{ox} (V_g - V_{th}) \quad (3)$$

其中, V_g 表示栅电压,而 V_{th} 表示 MOSFET 的阈值电压。于是,如方程 (3) 所示,在饱和工作过程中,跨导随栅偏压增大而增大。这使得 (输出侧上) 漏电流与 (输入侧上) 栅电压之间的关系成为非线性,因为漏电流随栅电压的平方而增大。这一非线性能够导致功率放大器中的信号畸变。此外,一旦沿沟道的电压降变得大到足以产生大于大约 1×10^4 V/cm 的纵向电场同时仍然低于栅电压,沟道中的电子就由于载流子速度饱和而以降低了的微分迁移率运动。

于是,尽管试图开发用于功率转换和功率放大应用的功率 MOSFET,但对开发能够支持高电压并在支持高电压时具有包括高度线性传送特性的改进了的电学特性的功率 MOSFET,仍然有所需求。

发明的概述

根据本发明各个实施方案的垂直功率器件利用退减掺杂过渡区来增强正向开通状态和反向击穿电压特性。还可以提供高掺杂的屏蔽区，此屏蔽区延伸邻近过渡区，并有助于在正向开通状态导电和反向截止模式工作过程中耗尽此过渡区。

根据本发明第一实施方案的垂直功率器件（例如 MOSFET）包含半导体衬底，其中具有第一和第二沟槽以及延伸到第一和第二沟槽所确定的台面中以及在第一和第二沟槽之间的第一导电类型（例如 N 型）的漂移区。此漂移区最好被不均匀地掺杂并相对于其中形成第一和第二沟槽的衬底的上表面具有退减的掺杂分布。确切地说，此衬底可以包含第一导电类型的高掺杂漏区和延伸在漏区与上表面之间的漂移区。漂移区中的掺杂分布可以从与漏区的非整流结到衬底的上表面单调地减小，且漂移区的上部可以被均匀地掺杂到比较低的水平（例如每立方厘米 1×10^{16} ）。还可以在第二沟槽中提供第一和第二绝缘电极。这些第一和第二绝缘电极可以构成三端器件中的基于沟槽的源电极。

在台面中提供第二导电类型（例如 P 型）的第一和第二基区。这些基区最好分别延伸邻近第一和第二沟槽的侧壁。还在第一和第二基区中分别提供第一导电类型的第一和第二高掺杂的源区。绝缘栅电极被提供成延伸于台面上。对绝缘栅电极进行图形化，使上表面优选地确定绝缘栅电极与第一和第二基区之间的界面。在正向开通状态导电过程中，借助于将幅度足够的栅偏压施加到绝缘栅电极，反型层沟道被形成在第一和第二基区内。

第一导电类型的过渡区也被提供在台面中。此过渡区最好延伸于第一和第二基区之间并延伸到与绝缘栅电极的界面。此过渡区与漂移区构成非整流结，并相对于上表面具有垂直退减的第一导电类型掺杂分布。此掺杂分布的峰值掺杂浓度位于相对于上表面的第一深度处，相对于上表面可以延伸大约 0.2-0.5 微米。在第一深度与上表面之间，掺杂分布最好沿向着上表面的方向单调地减小。这一单调地减小的分布的倾斜部分的幅度最好大于 $3 \times 10^{21} \text{cm}^{-4}$ 。借助于以各个剂量和能量水平执行单个注入步骤，或借助于以各个剂量水平和不同的能量水平执行多个注入步骤，可以达到在第一深度处建立“埋置的”峰值。

过渡区中的峰值掺杂剂浓度大于上表面处的过渡区掺杂剂浓度的至少大约 2 倍是优选的。过渡区中的峰值掺杂剂浓度大于上表面处的过渡区掺杂剂浓度的大约 10 倍更优选。

根据第一实施方案的功率器件的优选情况，过渡区（第一深度处）
5 中第一导电类型掺杂剂峰值浓度与第一深度处过渡区的宽度的乘积，
为 $1 \times 10^{12} \text{cm}^{-2} - 7 \times 10^{12} \text{cm}^{-2}$ ，约为 $3.5 \times 10^{12} \text{cm}^{-2} - 6.5 \times 10^{12} \text{cm}^{-2}$ 更优选。
根据集成多单元器件中的单元设计，过渡区中第一导电类型掺杂剂峰
值浓度与过渡区和漂移区之间的非整流结的宽度的乘积，也可以为 1
 $\times 10^{12} \text{cm}^{-2} - 7 \times 10^{12} \text{cm}^{-2}$ 。过渡区中第一导电类型掺杂剂峰值浓度、第一
10 深度处过渡区的宽度、与台面的宽度的乘积，也可以被设定为小于 2
 $\times 10^{15} \text{cm}^{-1}$ 。为了在漂移区台面中达到足够的电荷耦合，漂移区台面宽
度与延伸在过渡区下方的部分漂移区台面中的第一导电类型电荷的数
量的乘积，优选是 $2 \times 10^9 \text{cm}^{-1} - 2 \times 10^{10} \text{cm}^{-1}$ 。

根据第一实施方案的另一情况，借助于包括在台面并在过渡区相
15 对的二侧延伸的第二导电类型的高掺杂屏蔽区，能够达到增强的正向
开通状态和反向截止特性。确切地说，第二导电类型的第一屏蔽区被
提供成延伸在第一基区与漂移区之间，且其掺杂比第一基区更高。同
样，第二导电类型的第二屏蔽区被提供成延伸在第二基区与漂移区之
间，且其掺杂比第二基区更高。为了在正向开通状态和反向截止模式
20 工作过程中提供耗尽，第一和第二屏蔽区分别与过渡区组成 P-N 整流
结。借助于使过渡区中第一导电类型掺杂剂峰值浓度与第一和第二屏
蔽区之间的宽度的乘积为 $1 \times 10^{12} \text{cm}^{-2} - 7 \times 10^{12} \text{cm}^{-2}$ ，也可以达到高的击
穿电压能力。

根据本发明第二实施方案的集成垂直功率器件最好包含提供正向
25 开通状态电流的有源单元和在正向开通状态导电过程中从有源单元清
除热且支持同等最高反向截止电压的模拟单元。根据第二实施方案，
各个集成单元可以包含一个有源单元和一个或多个模拟单元。除了第
一和第二沟槽之外，可以在半导体衬底中提供第三沟槽。第一和第二
沟槽确定有源台面，其中提供有源单元，而第二和第三沟槽在其间确
30 定模拟台面，其中提供模拟单元。第二导电类型的模拟基区最好与模
拟屏蔽区一起被提供在模拟台面中。模拟基区和屏蔽区最好延伸跨越
模拟台面，并可以被电连接到有源单元中的第一和第二源区。倘若提

供一个或多个模拟单元,则借助于使其中提供有源单元的台面的宽度等于其中提供各个模拟单元的相应模拟台面的宽度,能够达到均匀的反向截止电压特性。或者,代替第三模拟基区,可以在模拟台面的上表面上提供场平板绝缘层,并可以在第三沟槽中提供第三绝缘电极。

- 5 源电极可以延伸在场平板绝缘层上,并被电连接到各个沟槽中的第一、第二、以及第三绝缘电极。倘若在模拟台面上提供场平板绝缘层来代替使用模拟基区,则为了支持最高截止电压,第一和第二沟槽之间的间距不必等于第二和第三沟槽之间的间距。

- 10 本发明的另一实施方案还包括了制作垂直功率器件的方法。这些方法最好包括以第一剂量水平和第一能量水平将第一导电类型的过渡区掺杂剂注入到其中具有延伸邻近表面的第一导电类型的漂移区的半导体衬底表面中。然后可以在此表面上制作绝缘栅电极。最好对绝缘栅电极进行图形化,使之面对注入的过渡区掺杂剂相反延伸。然后以第二剂量水平和第二能量水平,将第二导电类型的屏蔽区掺杂剂注入到表面中。这一注入步骤最好用栅电极作为注入掩模,以相对于栅电极自对准的方式进行。还用栅电极作为注入掩模,以第三剂量水平和第三能量水平,将第二导电类型的基区掺杂剂注入到表面中。因此,基区和屏蔽区掺杂剂彼此自对准。

- 20 然后执行热处理步骤,以便驱动注入的过渡区掺杂剂、屏蔽区掺杂剂、以及基区掺杂剂进入到衬底中,从而确定过渡区、过渡区相对侧的第一和第二屏蔽区、以及过渡区相对侧的第一和第二基区。过渡区延伸到漂移区中,且其中具有相对于表面的垂直退减的第一导电类型掺杂分布。借助于在表面下方充分形成埋置的掺杂剂峰值浓度而达到这一退减的分布。第一和第二屏蔽区与过渡区形成各自的 P-N 整流结,且第一和第二基区也与过渡区形成各自的 P-N 整流结。与基区掺杂剂和屏蔽区掺杂剂相关的剂量和注入能量也被选择成使屏蔽区相对于基区被更高地掺杂,并更深地延伸到衬底中。

- 30 根据本实施方案的优选情况,第一剂量水平和能量水平以及热处理步骤的时间长度足以使过渡区中第一导电类型掺杂剂峰值浓度与第一和第二屏蔽区之间的过渡区宽度的乘积为 $1 \times 10^{12} \text{cm}^{-2} - 7 \times 10^{12} \text{cm}^{-2}$ 。当峰值的深度相对于表面测量时,第一和第二能量水平也可以被设定成使屏蔽区中第二导电类型掺杂剂的峰值浓度的深度为过渡区中第一

导电类型掺杂剂的峰值浓度的深度的10%以内。

注入屏蔽区掺杂剂的步骤之前，最好执行在半导体衬底中形成沟槽并用沟槽绝缘层对沟槽进行衬里的步骤。导电区也被形成在沟槽的绝缘层上。这些与沟槽有关的步骤可以在注入过渡区掺杂剂的步骤之前进行。在此情况下，过渡区掺杂剂最好被注入到沟槽内的导电区中以及由沟槽确定的台面中。根据本实施方案的另一优选情况，还执行一些步骤，以便借助于改善源接触的结构来提高功率器件中的最大开通状态电流密度。确切地说，借助于对沟道绝缘层进行回腐蚀以暴露源区、基区、屏蔽区，然后形成与导电区欧姆接触并在各个沟槽侧壁处接触到源区、基区、以及屏蔽区的源接触，使源接触形成在沟槽的侧壁上。

根据本发明另一实施方案的垂直功率 MOSFET 包括半导体衬底，此半导体衬底中具有第一导电类型的漂移区和延伸在半导体衬底第一表面上的绝缘栅电极。第二导电类型的第一基区屏蔽区被提供成在半导体衬底中延伸。第一基区屏蔽区具有相对于绝缘栅电极第一末端的第一横向延伸。第二导电类型的第一基区也被提供在衬底中。第一基区延伸在第一基区屏蔽区与第一表面之间。第一基区具有相对于绝缘栅电极第一末端的第二横向延伸，它小于第一横向延伸。此功率器件还包括在第一基区中延伸并与第一基区形成 P-N 结的第一导电类型的第一源区。第一导电类型的过渡区被提供成延伸在漂移区和面对绝缘栅电极延伸的部分第一表面之间。此过渡区与第一基区和第一基区屏蔽区形成整流结。过渡区的上部具有垂直退减的第一导电类型掺杂分布。此垂直退减的第一导电类型掺杂分布可以在相对于第一表面的第一深度处具有峰值。

第二基区和第二基区屏蔽区也被提供在衬底中。确切地说，第一和第二基区可以被自对准于绝缘栅电极相对的第一和第二末端，并可以各自与延伸邻近第一表面的过渡区上部的相对二侧形成 P-N 结。第一和第二基区屏蔽区的掺杂比第一和第二基区更高，并在半导体衬底中彼此相向横向延伸，从而将所述过渡区上部的颈部在相对于第一表面的第二深度处限制到最小宽度。第二深度最好大于大约 0.25 微米。过渡区中第一导电类型掺杂剂峰值浓度与第一深度处过渡区的宽度的乘积，优选为 $1 \times 10^{12} \text{cm}^{-2} - 7 \times 10^{12} \text{cm}^{-2}$ ，更优选是约为 $3.5 \times 10^{12} \text{cm}^{-2} -$

约 $6.5 \times 10^{12} \text{cm}^{-2}$ 。

制作这些垂直 MOSFET 的方法可以包括制作半导体衬底，此半导体衬底中具有第一导电类型的漂移区以及延伸在半导体衬底漂移区与第一表面之间的第一导电类型的过渡区。然后在第一表面上制作栅电极。在制作栅电极之后，用栅电极作为注入掩模，以比较高的剂量和高能量水平，将第二导电类型的基区屏蔽区掺杂剂注入到过渡区的上部中。注入的基区屏蔽区掺杂剂的峰值浓度充分分隔于第一表面，使埋置的基区屏蔽区能够被形成具有此处所需的特性。然后对半导体衬底进行退火，以便部分地驱动基区屏蔽区掺杂剂垂直地进入到过渡区中并横向进入栅电极下方。这一退火步骤导致第一和第二中间屏蔽区的确定。然后以比较低的剂量和低的能量水平，将第二导电类型的基区掺杂剂注入到第一和第二中间屏蔽区的上部中。在这一注入步骤中，栅电极再次被用作注入掩模，以便提供自对准图形。然后执行另一个退火步骤，以便将基区掺杂剂垂直地驱动到衬底中，并沿第一表面横向进入栅电极下方，从而确定第一和第二基区。在这一退火步骤中，基区屏蔽区掺杂剂还被横向和垂直驱动到其衬底中基本上整个和最终的深度。基于早期的注入和多个退火步骤，确定了第一和第二基区屏蔽区，这就在对应于达到注入的基区屏蔽区掺杂剂原来峰值浓度的深度处，将过渡区上部的颈部限制到最小宽度。然后分别在第一和第二基区中形成第一和第二源区。

附图的简要说明

图 1 是根据本发明第一实施方案的垂直功率器件的剖面图。

图 2 是根据本发明第二实施方案的垂直功率器件的剖面图。

图 3 是根据本发明第三实施方案的垂直功率器件的剖面图。

图 4 是根据本发明第四实施方案的垂直功率器件的剖面图。

图 5 是根据本发明第五实施方案的垂直功率器件的剖面图。

图 6 是根据本发明第六实施方案的垂直功率器件的剖面图。

图 7 是根据本发明第七实施方案的垂直功率器件的剖面图。

图 8A 示出了借助于以不同的能量执行过渡区掺杂剂的多次注入而得到的图 1 实施方案的过渡区上的优选垂直退减掺杂分布。

图 8B 示出了跨越图 1 实施方案的源区、基区、以及屏蔽区的优选垂直掺杂分布。

图 9A-9K 是中间结构的剖面图，示出了制作图 5 的垂直功率器件的优选方法。

图 10 是根据本发明另一实施方案的垂直功率器件的剖面图。

图 11 是根据本发明另一实施方案的包括电连接到源电极的模拟栅电极的垂直功率器件的剖面图。

图 12 是常规双扩散功率 MOSFET 的剖面图。

图 13 是根据本发明另一实施方案的垂直功率器件单元的剖面图。

图 14A-14G 是中间结构的剖面图，示出了制作图 13 器件的方法。

优选实施方案的描述

下面参照附图来更充分地描述本发明，在这些附图示出了本发明的优选实施方案。但本发明可以以不同的形式来体现，且不局限于此处所述的实施方案。提供这些实施方案 只是为了使本公开更透彻和完整，并将本发明的范围传达给本技术领域的熟练人员。在这些附图中，为清晰起见，层和区域的厚度被夸大了。还可以理解的是，当一个层被称为位于另一个层或衬底“之上”时，可以是直接位于另一个层或衬底上，或也可以存在插入的层。而且，术语“第一导电类型”和“第二导电类型”指的是诸如 N 或 P 型的相反的导电类型，但此处所述的各个实施方案也包括其互补的实施方案。相似的参考号通篇表示相似的元件。

现在参照图 1，根据本发明第一实施方案的集成垂直功率器件 10 包括并排位于半导体衬底中的多个有源垂直功率器件单元。如所示，功率器件 10 包含高掺杂的第一导电类型（示为 N+）的漏区 100 以及与漏区 100 形成非整流结的第一导电类型的漂移区 102。还提供了与漏区 100 形成欧姆接触的漏电极 136。漏区 100 的厚度可以约为 10-500 微米。漂移区 102 最好被不均匀地掺杂。确切地说，漂移区 102 最好具有渐变的掺杂分布，沿从非整流结到漂移区 102 第一表面 102a 延伸的方向单调地减小。这一渐变的掺杂分布可以是线性渐变的掺杂分布，从约为 $1 \times 10^{17} \text{cm}^{-3}$ - 约 $2.5 \times 10^{17} \text{cm}^{-3}$ 的优选最大漂移区掺杂浓度减小到最小掺杂剂浓度。因此，若漏区 100 被掺杂到大约 $1 \times 10^{19} \text{cm}^{-3}$ 或以上的水平，则非整流结将是突变的非整流结。漂移区 102 上部可以被均匀地掺杂到大约 $1 \times 10^{16} \text{cm}^{-3}$ 的水平，且被均匀地掺杂的漂移区 102 上部的厚度可以约为 0.5-约 1.0 微米。

可以在漂移区 102 中制作多个沟槽 104。若提供沟槽，则沟槽 104 最好被并排制作在漂移区 102 中，成为平行的条形沟槽，但也可以采用其它的沟槽形状（例如弧形，螺旋形，以及多角形，包括环形和六角形等）。如此处所述，若这些区域如此出现，则当沿横截面观察时，
5 这些区域将被确定为分离的区域。如所示，各个成对的沟槽最好在其间确定一个漂移区台面 102b。还在沟槽 104 的侧壁和底部上提供电绝缘层 106。“沟槽”绝缘层 106 的厚度可以约为 $3000\text{\AA}$ ，但厚度可以依赖于功率器件 10 的额定值而变化。电绝缘层 106 可以包含二氧化硅或其它常规介电材料。最好用被各个电绝缘层 106 电绝缘于漂移区 102
10 的导电区 110 填充各个沟槽 104。导电区 110 可以构成被源电极 138 电连接到一起的基于沟槽的电极。如所示，源接触/电极 138 可以延伸在漂移区 102 的第一表面 102a 上。

漂移区台面 102b 的均匀掺杂的上部最好包含第一导电类型的各个过渡区 130。过渡区 130 与漂移区 102 构成非整流结，且根据厚度可以
15 与漂移区 102 的均匀掺杂的上部或漂移区 102 的渐变掺杂部分构成各个非整流结。例如，漂移区 102 的均匀掺杂的上部相对于第一表面 102a 的厚度可以约为 1.0 微米，而过渡区 130 相对于第一表面 102a 的厚度可以约为 0.7 微米。而且，根据本发明的优选情况，各个过渡区 130 中具有相对于第一表面 102a 的垂直退减的第一导电类型掺杂分布。
20 确切地说，过渡区中第一深度处的第一导电类型掺杂剂峰值浓度至少是第一表面 102a 处退减的第一导电类型掺杂分布数值的二倍。过渡区中第一导电类型掺杂剂峰值浓度至少是第一表面处第一导电类掺杂剂浓度数值的 10 倍更优选。根据另一优选情况，至少部分退减的第一导电类型掺杂分布的斜率大于大约 $3 \times 10^{21}\text{cm}^{-4}$ 。过渡区 130 中的掺杂分布还包括沿峰值向下到过渡区 130 与漂移区 102 之间的非整流结
25 延伸的方向的高至低渐变分布。借助于以相对高能量和剂量执行单个过渡区注入步骤或执行多个注入步骤，可以达到所希望的掺杂分布。例如，如图 8A 所示，借助于用特性扩散长度约为 0.1 微米的掺杂剂，以各种能量（以及相同的或相似的剂量水平）执行 3 个注入步骤以达
30 到约为 0.15 微米、0.3 微米、以及 0.45 微米的第一、第二、以及第三注入深度，可以在过渡区掺杂分布中得到比较宽的峰值。

如所示，栅电极 118 被提供在第一表面 102a 上。这些栅电极 118

可以是条形的，并可以平行于基于沟槽的电极 110 延伸。如所示，栅电极 118 最好构成被绝缘的栅电极（例如 MOS 栅电极）。栅电极 118 也可以沿正交于沟槽基底电极 110 长度方向的长度方向延伸，各个漂移区台面 102b 中的所示区域 130、133、126、128 相对于沟槽 104 侧壁旋转 90 度。垂直功率器件 10 还包含形成在漂移区台面 102b 中各个分隔的位置处的第二导电类型（示为 P+）的高掺杂屏蔽区 128。这些屏蔽区 128 最好自对准于栅电极 118。各个屏蔽区 128 最好与过渡区 130 的各个侧壁和与各个漂移区台面 102b（或过渡区 130 的尾部）形成 P-N 整流结。根据本发明的优选情况，各个屏蔽区 128 中的第二导电类型掺杂剂峰值浓度被形成在与各个过渡区 130 中的第一导电类型掺杂剂峰值浓度大致相同的深度（相对于第一表面 102a）处。第二导电类型（示为 P）的基区 126 也被形成在各个漂移区台面 102b 中。各个基区 126 最好自对准于各个栅电极 118。如所示，还在各个基区 126 中形成第一导电类型（示为 N+）的高掺杂源区 133。源区 133 与过渡区 130 的各个边沿之间沿第一表面 102a 的间距，确定了功率器件 10 的沟道长度。这些源区 133 与源电极 138 形成欧姆接触。也可以借助于使源电极 138 延伸于漂移区的外围延伸区 102c 上，并用场平板绝缘区 125 使源电极 138 绝缘于漂移区的外围延伸区 102c，来提供边沿末端。

各个漂移区台面 102b 中 (i) 成对的分隔开的屏蔽区 128 与 (ii) 延伸于各个屏蔽区 128 之间且具有垂直退减掺杂分布的优选过渡区 130 的组合，能够提高多单元功率器件 10 中各个有源单元的击穿电压特性。确切地说，屏蔽区 128 的工作能够借助于在功率器件 10 处于截止反向电压时明显抑制 P-基区的穿通效应，并借助于使反向电流流过屏蔽区 128 而不是基区 126，来“屏蔽”各个基区 126。P 基区穿通的抑制使得能够减小器件 10 的沟道长度。而且，过渡区 130 中的优选退减掺杂分布使得在功率器件 10 处于截止最大反向电压且漂移区台面 102b 支持反向电压时能够完全或充分耗尽过渡区 130。

在正向开通状态导电过程中，也可以发生过渡区 130 的完全耗尽。确切地说，正向工作过程中的完全耗尽最好发生在沟道（邻近过渡区 130 的末端处）中的电压等于绝缘栅电极 118 上的栅电压之前。如此处所用的那样，将过渡区称为“完全耗尽”应该被解释为意味着过渡区

至少被耗尽到足以提供垂直延伸通过过渡区 130 的正向开通状态电
流路径的 JFET 式夹断。为了达到完全耗尽，在邻接过渡区 130 的相对侧
面上提供第二导电类型（例如 P+）的比较高掺杂的屏蔽区 128。随着
正向开通状态导电过程中沟道内电压上升，过渡区 130 变得越来越耗
5 尽，直至在过渡区 130 中发生 JFET 式夹断。过渡区 130 中的这一 JFET
式夹断能够被设计成发生于沟道漏侧电压（ V_{cd} ）等于栅电压之前（亦
即 $V_{cd} \leq V_{gs}$ ）。例如，MOSFET 可以被设计成当 $0.1V \leq V_{cd} \leq 0.5V$ 和 $V_{gs} =$
4.0V 时过渡区 130 变得完全耗尽。使用优选过渡区 130 使功率器件 10
10 中场效应晶体管的沟道能够在正向开通状态导电过程中以线性工作模
式工作，而晶体管的漏区以速度饱和和工作模式同时工作。在本受让人
受让的 2000 年 6 月 23 日提交的题为“MOSFET Devices Having Linear
Transfer Charecteristics When Operating in Velocity
Saturation Mode and Methods of Forming and Operating Same”
15 的美国申请 No. 09/602414 中，描述了表现相似工作模式的其它功率器
件，此申请的公开此处被列为参考。

还对沟槽深度为 4.7 微米，沟槽宽度为 1.1 微米，台面宽度为 1.9
微米的单元进行了图 1 器件的模拟。采用了厚度为 3000Å 的侧壁氧化
物。漂移区具有 6 微米的厚度，而漂移区均匀掺杂的上部具有 0.5 微
米的厚度。漂移区均匀掺杂的上部中的第一导电类型掺杂剂的浓度被
20 设定为 $1 \times 10^{16} \text{cm}^{-3}$ ，且漏区的磷掺杂浓度为 $5 \times 10^{19} \text{cm}^{-3}$ 。栅氧化物的
厚度被设定为 250Å，并采用 0.9 微米的总栅长度（跨越台面）。屏蔽
区、基区、以及源区的宽度（相对于侧壁）分别为 0.65 微米、0.65
微米、以及 0.45 微米，且沟道长度为 0.2 微米。过渡区的宽度（过渡
区中峰值浓度的深度处）被设定为 0.6 微米。从下列表 1 和图 8A-8B
25 可以得到源区、基区、屏蔽区、以及过渡区的深度及其峰值掺杂剂浓
度，其中的峰值 N_d 和 N_a 是施主和受主的峰值浓度。

区域	注入能量 (KeV)	注入剂量 (cm ⁻²)	掺杂剂	峰值 $N_{d,p}$ cm ⁻³
N ⁺ 源	40-50	1.5×10^{15}	P, As	1×10^{20}
P-基区	40-50	1.5×10^{13}	B	2×10^{18} (表面); 4×10^{17} (沟道最大值)
P ⁺ 屏蔽	100	1.5×10^{14}	B	5×10^{18}
-过渡	200	1.10×10^{12}	P	1.3×10^{17}

表1

基于上述特性且包括过渡区中的峰值掺杂剂浓度 ($Peak_{TR}$) 和过渡区宽度 (W_{TR}) 的变化, 得到了表 2 和 3 的下列模拟击穿电压。Avant1™ 公司发行的 Medici™ 模拟软件被用来执行器件模拟。

$W_{TR}(\mu m)$	(峰值 $_{TR})(cm^{-3})$	BV (Volts)	$Q(\#/cm^2)$
0.5	0.4×10^{17}	80	0.2×10^{13}
0.5	0.7×10^{17}	80	0.35×10^{13}
0.5	1.2×10^{17}	79	0.6×10^{13}
0.5	1.3×10^{17}	78	0.65×10^{13}
0.5	1.4×10^{17}	62	0.7×10^{13}
0.5	1.6×10^{17}	35	0.8×10^{13}
0.5	1.9×10^{17}	20	0.95×10^{13}
0.5	2.5×10^{17}	9	1.25×10^{13}

表 2

$W_{TR}(\mu m)$	(峰值 _{TR})(cm^{-3})	BV (Volts)	$Q(\#/cm^2)$
0.3	1.4×10^{17}	80	0.42×10^{13}
0.4	1.4×10^{17}	80	0.56×10^{13}
0.5	1.4×10^{17}	62	0.7×10^{13}
0.6	1.4×10^{17}	37	0.84×10^{13}
0.7	1.4×10^{17}	24	0.98×10^{13}

表 3

如本发明人此处所确定的以及表 2 和表 3 所示的模拟结果, 借助于使过渡区中(第一深度处)第一导电类型掺杂剂峰值浓度与第一深度处过渡区的宽度的乘积优选范围约为 $1 \times 10^{12} cm^{-2}$ —约 $7 \times 10^{12} cm^{-2}$, 更优选范围是约为 $3.5 \times 10^{12} cm^{-2}$ —约 $6.5 \times 10^{12} cm^{-2}$, 能够提供具有高击穿电压的功率器件。这一更窄的优选范围能够导致器件具有高的击穿电压和优异的开通状态电阻特性。依赖于集成多单元器件中的单元设计, 过渡区中第一导电类型掺杂剂峰值浓度与过渡区和漂移区之间的非整流结的宽度的乘积, 也可以处于约为 $1 \times 10^{12} cm^{-2}$ —约 $7 \times 10^{12} cm^{-2}$ 的范围中。过渡区中第一导电类型掺杂剂的峰值浓度、过渡区在第一深度处的宽度、以及台面的宽度的乘积, 也可以被设定为小于大约 $2 \times 10^{15} cm^{-1}$ 。为了在漂移区台面中得到充分的电荷耦合, 漂移区台面宽度与延伸在过渡区下方的部分漂移区台面中第一导电类型电荷的数量的乘积, 最好在大约 $2 \times 10^9 cm^{-1}$ — $2 \times 10^{10} cm^{-1}$ 的范围内。

现在参照图 2-7, 根据本发明的功率器件的其它实施方案包括图 2 的多单元功率器件 20。此器件 20 相似于图 1 的器件 10, 但由延伸在源电极 138 与漂移区延长区 102c 之间的肖特基整流接触提供了反并联的二极管。图 3 的功率器件 30 也相似于图 2 的功率器件 20, 但在模拟漂移区台面 102d 中提供了多个模拟单元。还在模拟漂移区台面 102d 中提供了模拟屏蔽区(示为 P+)的模拟基区(示为 P)。如所示, 模拟基区电连接源电极 138。模拟基区和模拟屏蔽区可以与基区和屏蔽区同时被形成在有源单元中。依赖于多单元功率器件的热额定值, 可以提供一或多个模拟单元来促进从各个有源单元散热。

图 4 的多单元功率器件 40 相似于图 3 的器件 30, 但模拟漂移区台

面 102d (它可能无助于正向开通状态导电, 但较好地支持等效反向击穿电压) 通过场平板绝缘层 125 被电容耦合到源电极 138。与图 3 中模拟漂移区台面 102d 的宽度应该等于有源单元漂移区台面 102b 的宽度相反, 图 4 中的模拟漂移区台面 102d 的宽度无须相等。图 5 的功率器件 50 相似于图 2 的器件 20, 但沟槽侧壁上的电绝缘层 106 已被凹陷, 以便能够在源电极 138 与有源单元中的源区、基区、以及屏蔽区之间形成直接的侧壁接触。借助于降低, 最好是消除为了提供对基区的直接接触而对沿第三维 (未示出) 周期性地插入源区的要求, 这一直接侧壁接触的建立提高了器件的有源面积。

图 6 的功率器件 60 示出了具有中心定位的基区 126a 和屏蔽区 128a 的比较宽的有源漂移区台面 102b。过渡区 130a 可以具有如上对图 1-5 的功率器件 10-50 中的过渡区 130 所述的特性。图 7 的功率器件 70 相似于图 6 的器件 60, 但图 6 的中心定位的基区 126a 和屏蔽区 128a 已经被中心定位的沟槽 104 分隔开。图 10 的功率器件 10' 相似于图 1 的功率器件 10, 但各个有源台面 102b 上的绝缘栅电极 118 已经被一对较短的绝缘栅电极 118a 和 118b 取代。对于宽度为 2.6 微米的台面, 栅电极 118a 和 118b 的长度可以是例如 0.3 微米。用一对较短的栅电极来取代面对过渡区 130 的整个宽度延伸的单个连续的栅电极, 能够减小器件 10' 的栅-漏电容 C_{gd} , 并增大高频功率增益。如图 10 所示, 源电极 138 还延伸到栅电极 118a 和 118b 之间的空间中。延伸进入栅电极 118a 和 118b 之间的空间的源电极 138 部分的长度可以约为 0.2 微米。直接延伸在源电极 138 和过渡区 130 之间的绝缘体可以是栅氧化物, 且厚度可以约为 100-约 1000Å。延伸在栅电极 118a 和 118b 的侧壁与源电极 138 之间的侧壁绝缘体的厚度也可以约为 1000-约 5000Å, 但也可以采用其它的侧壁绝缘体厚度。根据本实施方案的另一情况, 借助于对用来形成栅电极 118a 和 118b 的导电层 (例如多晶硅) 进行图形化, 可以形成延伸到栅电极 118a 和 118b 之间的空间中的源电极 138 部分。确切地说, 第三“模拟”栅电极 118c 可以被图形化成面对过渡区 130 延伸。图 11 示出了利用模拟栅电极 118c 的垂直功率器件 10''。图 11 的器件 10'' 也可以相似于图 10 的器件 10'。可以用常规尾端 (back-end) 加工技术来形成此第三模拟栅电极 118c 与源电极 138 之间的电接触。

现在来描述具有 65V 产品额定值的图 5 的垂直功率器件的优选制作方法。如图 9A 所示, 这些方法可以包括在高掺杂的硅衬底 200 (例如 N+衬底) 上外延生长第一导电类型 (示为 N) 漂移区的步骤。此高掺杂的衬底 200 中的第一导电类型掺杂浓度可以大于大约 $1 \times 10^{19} \text{cm}^{-3}$, 且起始厚度 T_s 可以约为 500 微米。最好在同时以渐变方式用第一导电类型掺杂剂对漂移区 202 掺杂的情况下执行外延生长步骤。为了达到 65V 的产品额定值, 可能要求具有 75V 实际截止电压的垂直功率器件。为了达到此截止电压, 典型要求深度约为 4.5-5 微米的沟槽。为了支持具有这种深度的沟槽, 可能要求厚度 T_s 约为 6 微米的渐变掺杂的漂移区 202。厚度为 6 微米的漂移区 202 最好在其上表面处包括均匀掺杂区。此均匀掺杂区的厚度可以约为 0.5-1.0 微米, 并可以被掺杂成约为 $1 \times 10^{16} \text{cm}^{-3}$ 的均匀水平。漂移区 202 的渐变掺杂部分的厚度可以是 5.0-5.5 微米, 并可以从 0.5 或 1.0 微米深度处的掺杂水平 $1 \times 10^{16} \text{cm}^{-3}$ 渐变到例如 6.0 微米深度处的至少约为 $5 \times 10^{16} \text{cm}^{-3}$ 的更高水平。漂移区 202 可以与衬底 200 形成突变的非整流结。

然后可以用第一腐蚀掩模 (未示出) 来执行常规的选择性腐蚀技术, 以便在漂移区 202 中确定多个平行的条形沟槽 204。也可以采用其它形状的沟槽 204。例如, 各个成对的相邻沟槽 204 可以代表各个环形沟槽的相对侧。这些沟槽 204 的深度 D_1 可以是例如 5 微米。相邻的沟槽 204 确定了其间的漂移区台面 202b, 各个台面 202b 的宽度 W_m 受相邻沟槽 204 之间的间距控制。如图 9B 所示, 然后可以于低温下在沟槽 204 的侧壁和底部上以及各个台面 202b 的上表面 202a 上生长薄的热氧化物层 206。例如, 可以在 30 分钟内于 900℃ 的温度下在湿氧气氛中生长这一薄的氧化物层 206。此热生长步骤可以导致厚度约为 700Å 的氧化物层 206。借助于清除与腐蚀相关的缺陷, 此薄的氧化物层 206 能够被用来改善沟槽 204 侧壁与沟槽 204 内随后形成的区域之间的界面。与此热氧化物生长步骤相关的热过程应该不足以明显地改变漂移区 202 中的渐变掺杂分布, 但各个台面 202b 的表面 202a 处的掺杂浓度可能由于掺杂剂分凝而增大。然后可以在低温下定积厚的共形氧化物层 208, 以便在沟槽 204 的侧壁和底部上产生电绝缘间隔。对于 65V 产品额定值, 总的氧化物厚度 (热氧化物加上淀积的氧化物) 可以是 3000Å。

现在参照图 9C, 可以用低温 CVD 工艺来淀积共形多晶硅层 210。此层的厚度应该足以填充沟槽 204。多晶硅层 210 可以被原位掺杂(例如用磷), 致使得得到 10 欧姆/□的低的薄片电阻。如图 9D 所示, 然后可以用常规腐蚀技术来回腐蚀淀积的多晶硅层 210。这一腐蚀步骤的时间长度可以足够长, 使各个沟槽 204 中的多晶硅区 210a 与台面 202b 的上表面 202a 共平面。此回腐蚀步骤可以被执行而无需腐蚀掩模。现在参照图 9E, 可以用第二掩模(未示出)来执行另一个腐蚀步骤, 以便选择性地清除台面 202b 上的氧化物, 但保留可能位于漂移区 202 外围周围的场氧化物区(未示出)中的氧化物。此第二掩模可以包含光抗蚀剂, 此光抗蚀剂已经被图形化, 以便确定环绕包含多个所示功率器件作为单元的集成功率器件的外侧沟槽(未示出)边界中的腐蚀窗口。

如图 9F 所示, 然后在台面 202b 的暴露的上表面上生长薄的衬垫氧化物层 212 作为屏蔽氧化物。此薄的衬垫氧化物层的厚度约 250Å。此薄的衬垫氧化物层 212 可以在湿氧气氛中于 900℃ 的温度下生长 10 分钟。然后可以用满铺注入步骤注入第一导电类型的过渡区掺杂剂 214。确切地说, 借助于以 200keV 的能量水平和 $5 \times 10^{12} \text{cm}^{-2}$ 的优选剂量水平注入磷掺杂剂, 可以形成其中相对于上表面 202a 具有垂直退减掺杂分布的过渡区。这一 200keV 的能量水平和 $5 \times 10^{12} \text{cm}^{-2}$ 的剂量水平, 可以导致峰值注入深度 (N_{P10}) 约为 0.25-0.3 微米且峰值掺杂剂浓度约为 $1.3 \times 10^{17} \text{cm}^{-3}$ 的 N 型过渡区。

现在参照图 9G, 然后清除衬垫氧化物层 212, 并在其位置处形成厚度约为 500Å 的栅氧化物层 216。可以借助于在湿氧气氛中于 900℃ 的温度下执行热氧化步骤 20 分钟来提供此栅氧化物层 216。然后淀积满铺多晶硅层 218, 并用光抗蚀剂掩模层 220(第三掩模)进行图形化, 以便确定多个栅电极 218。然后执行序列的自对准注入步骤工序。确切地说, 可以借助于以 100keV 的能量水平和 $1 \times 10^{14} \text{cm}^{-2}$ 的剂量水平注入屏蔽区掺杂剂 222(例如硼), 在过渡区中形成第二导电类型的高掺杂自对准屏蔽区。假设特征扩散长度约为 0.1 微米, 在热处理之后, 这些能量和剂量水平可以在屏蔽区中大约 0.3 微米的深度处最终导致约为 $5 \times 10^{18} \text{cm}^{-3}$ 的峰值硼浓度。最好用栅电极 218 和掩模层 220 二者作为注入掩模来注入这些屏蔽区掺杂剂 222。借助于以 50keV 的能量水

平和 $3 \times 10^{13} \text{ cm}^{-2}$ 的剂量水平注入基区掺杂剂 224 (例如硼), 也可以在屏蔽区中形成第二导电类型的自对准基区。在台面 202b 中屏蔽区掺杂剂 222 和基区掺杂剂 224 的峰值浓度的位置由参考号 “+” 表示。在 0.25-0.3 微米的深度处, 屏蔽区掺杂剂的峰值浓度可以等于 $3 \times 10^{18} \text{ cm}^{-3}$ 。这一深度较好地符合过渡区掺杂剂的峰值深度。

现在参照图 9H, 可以清除掩模层 220, 然后可以在大约 1000°C 的温度下执行驱入步骤大约 60 分钟, 以便确定自对准基区 226 (示为 P)、自对准屏蔽区 228 (示为 P+)、以及过渡区 230 (示为 N)。这一引起注入的基区掺杂剂、屏蔽区掺杂剂、以及过渡区掺杂剂横向和向下扩散的驱入步骤, 可以在此处上述的方法中提供最高的热循环。若在此步骤中漂移区中的均匀和渐变的掺杂分布被明显地改变, 则可以考虑与驱入步骤相关的热循环调整起始漂移区掺杂分布。如图 9H 所示, 可以选择注入能量和驱入步骤的时间长度以及温度, 以便 P+屏蔽区 228 与漂移区 202 之间 P-N 结的深度大致等于过渡区 230 与漂移区 202 之间非整流结的深度, 但也可以采用不相等的深度。此 P-N 结的深度可以等于 0.7 微米。

现在参照图 9I, 然后用栅电极 218 作为注入掩模, 将第一导电类型的源区掺杂剂 232 注入到基区 226 中。可以在 40keV 的能量水平和 $2 \times 10^{14} \text{ cm}^{-2}$ 的剂量水平下来注入源区掺杂剂 232。如图 9J 所示, 然后可以 900°C 的温度下对注入的源区掺杂剂 (由参考号 “-” 示出) 进行 10 分钟驱入, 以便确定 N+源区 233。可以用栅电极 218 和第四光抗蚀剂掩模 (未示出) 作为注入掩模来执行此注入步骤。可以对第四光抗蚀剂掩模进行图形化, 以便确定相对于所示剖面 (未示出) 沿第三维到 P 基区的短接的位置。然后可以执行常规的绝缘体淀积、侧壁间隔形成、以及图形化步骤, 以便确定多个绝缘栅电极 234。也可以执行这些步骤来确定源区、P 基区、沟槽中的多晶硅、以及栅电极的接触窗口。对沟槽上部侧壁进行衬里的绝缘区 206/208 也可以被选择性地回腐蚀, 以便暴露源区、基区、以及屏蔽区的侧壁。此回腐蚀步骤的存在可以消除对用第四光抗蚀剂掩模来确定到 P 基区的短接的需要, 因而可以导致给定横向单元尺寸的正向开通状态导电面积的增大。如图 9K 所示, 还可以执行常规的正面金属化淀积和图形化步骤, 以便确定源接触 238 和栅接触 (未示出)。如所示, 源接触 238 沿沟槽 204 的上部侧壁延

伸,并接触到源区、基区、以及屏蔽区的暴露部分。还可以对衬底 200 的背面进行减薄,然后可以执行常规的背面金属化步骤,以便确定漏接触 236。

根据本发明其它实施方案的垂直功率器件代表了对常规双扩散功率 MOSFET 的改进。如图 12 所示,双扩散 MOSFET 300 的常规单元包括其中具有漂移区 304 的半导体衬底 302。延伸邻近衬底 302 的上表面的漂移区 304 的上部 304a 可以被更高地掺杂,并可以具有如图 12 右侧所示的向下倾斜的垂直掺杂分布。如本技术领域熟练人员可以理解的那样,漂移区 304 的上部 304a 可以被称为 JFET 颈部区。所示的掺杂分布代表沿 12A-12'线的衬底 302 中第一导电类型掺杂剂的垂直浓度。借助于以比较低的能量水平将 N 型掺杂剂注入到衬底 302 的上表面,然后对衬底 302 进行退火,使注入的掺杂剂从表面处的峰值浓度向下扩散,可以形成漂移区 304 的这一上部 304a。由于各个成对的 P 型基区 314 之间的横向距离在衬底 302 的表面处最窄,且这一点通常导致强的 JFET 作用,故峰值浓度最好位于表面处。借助于在高掺杂的漏区 306 (例如 N+晶片)上外延生长原位掺杂的半导体层,可以形成漂移区 304。漏电极 308 可以被制作成与衬底 302 下表面上的漏区 306 形成欧姆接触。

MOSFET 300 还包括被栅氧化物层 320 分隔于衬底 302 上部表面的绝缘栅电极 318。此绝缘栅电极 318 还被绝缘帽层 322 隔离于相邻的源电极 310。成对的 P 型基区 314 可以被形成沿第三维(未示出)延伸且平行于栅电极 318 的条形区域。还提供了高掺杂的基区接触区 312 (示为 P+)。如所示,这些接触区 312 延伸通过基区 314 并进入到漂移区 304 中。借助于用栅电极 318 作为注入掩模,将基区掺杂剂注入到衬底 302 中,可以形成基区 314。然后执行退火步骤,以便至少部分地驱入被注入的基区掺杂剂。在这一退火步骤之后,可以再次用栅电极 318 作为注入掩模,将源区掺杂剂注入到衬底 302 中。然后可以执行一个短时间的退火步骤,以便同时驱入基区掺杂剂和源区掺杂剂。在这一第二退火步骤之后,可以在衬底 302 上淀积掩模层并对其进行图形化,以便确定其中的窗口。然后,通过窗口,以比较高的能量水平,将高浓度基区接触区掺杂剂注入到各个基区 314 的中央。然后可以执行第三退火步骤,以便将基区接触区掺杂剂横向和垂直地驱入到

衬底 302 中。借助于减小各个源区 316 下方的有效基区电阻, 采用 P+ 基区接触区 312 能够防止寄生双极晶体管作用并改善安全工作区和稳定性。在 Kim 的题为 "Methods of Forming Power Semiconductor Devices Having Latch-Up Inhibiting Regions" 的美国专利 No. 5879967 中, 公开了另一种功率器件 (例如 MOSFET, IGBT), 这种功率器件利用自对准于栅电极的埋置的 P 型层。如图 12 的器件那样, '967 专利所公开的器件中的埋置的 P 型层沿横向延伸不超过 P 基区。

现在参照图 13, 根据本发明其它实施方案的 MOSFET 400 具有横向延伸的基区屏蔽区 412, 此基区屏蔽区被高掺杂, 且借助于当 MOSFET 400 处于截止反向电压时明显地抑制 P 基区穿通效应并使反向电流流过基区屏蔽区 412 而不流过基区 414, 而被用来屏蔽即保护各个基区 414。如以下对图 14A-14G 更充分的描述那样, 此 P 基区穿通的抑制使得能够减小器件 400 的沟道长度。确切地说, 图 13 的 MOSFET 400 包括半导体衬底 402, 此半导体衬底 402 中具有在下方漏区 406 (示为 N+) 上延伸并与下方漏区 406 形成非整流结的第一导电类型的漂移区 404。如图 14A 所示, 借助于在下方的高掺杂衬底上外延生长均匀或不均匀掺杂的外延层, 可以形成漂移区 404。邻近衬底 402 的上表面 402a 还提供了第一导电类型的过渡区 424。在外延生长漂移区 404 的步骤中, 可以形成过渡区 424。或者, 可以借助于以比较高的能量水平将第一导电类型掺杂剂注入到衬底 402 的上表面 402a 中, 使得在执行适当的退火步骤之后能够在其中得到其峰值在相对于上表面 402a 的第一深度处的退减掺杂分布, 来形成过渡区 424。这一相似于图 8A 所示分布的退减的掺杂分布, 被示于图 13 和 14A 的右侧。可以用形成其中具有确定衬底 402 有源部分的窗口的掩模层的步骤, 来进行注入过渡区掺杂剂的步骤。或者, 可以在衬底 402 上表面的非有源部分上形成场氧化物隔离区 (未示出), 然后用此场氧化物隔离区作为注入掩模来注入过渡区掺杂剂。

图 13 的 MOSFET 还包括上表面 402a 上的绝缘栅电极 418。此栅电极 418 被栅氧化物层 420 分隔于上表面 402a。此绝缘栅电极 418 还被绝缘帽层 422 隔离于邻近的源电极 410。栅电极可以是条形的或图形化成螺旋形、环形 (例如环, 六角形)、或其它相似的形状。第二导电

类型（示为 P 型）的基区 414 被提供在衬底 402 中，且这些基区 414 最好自对准于绝缘栅电极 418 的各个末端。这些基区 414 面对绝缘栅电极延伸，并在正向开通状态导电过程中支持反型层沟道。第一导电类型的源区 416 被提供在基区 416 中，并可以足够宽，以便也横向延伸到更高掺杂的基区屏蔽区 412 中。源区 416 在栅电极 418 的各个末端下方横向延伸。各个源区 416 的末端与过渡区 424 相对边沿之间的横向距离确定了 MOSFET 的沟道长度。

基区屏蔽区 412 在基区 414 下方延伸，并具有比基区 414 更大的横向尺寸。如图 13 所示，基区 414 与延伸邻近上表面 402a 的过渡区 424 上部的相对侧形成各个 P-N 结，比基区 414 更高掺杂的基区屏蔽区 412 彼此相向横向延伸，从而将过渡区 424 上部的颈部在相对于第一表面的第二深度处限制到最小宽度。此第二深度最好对应于基区屏蔽区 412 中的掺杂浓度取峰值处的深度。此第二深度最好大致等于第一深度（亦即过渡区 424 中退减掺杂分布处的深度）。而且，基区屏蔽区 412 中的垂直掺杂分布与过渡区 424 中的优选退减掺杂分布的组合，在功率器件 400 处于截止最大反向电压时，促进了过渡区 424 的完全或充分耗尽。各个所述的基区、源区、以及基区屏蔽区可以是例如分立的条形区，或可以是具有环形、多角形、或其它形状的单个分立的基区、源区、或基区屏蔽区的各个部分。尽管如此，当沿横截面观察时，这些区域还是可以呈现为分立的区域。

借助于用栅电极 418 作为注入掩模，将基区屏蔽区掺杂剂 412a 注入到上表面 402a 中，可以形成基区屏蔽区 412。如图 14B 所示，栅电极 418 可以被形成为下方栅氧化物绝缘层 420 上的高导电层。然后借助于在高导电层上淀积掩模层，在将掩模层图形化成待要形成的栅电极的形状，可以形成掩模 421。然后可以执行选择性腐蚀步骤，以便腐蚀穿透未被掩模 421 覆盖的导电层部分。栅氧化物绝缘层 420 可以被用作腐蚀停止层。现在参照图 14C，用栅电极 418 作为注入掩模，在约为 $2 \times 10^{14} \text{cm}^{-2}$ 的剂量水平以及约为 100-约 150keV 的能量水平下，将基区屏蔽区掺杂剂 412a 注入到衬底 402 中。此能量水平高得足以在上表面 402a 下方大约 0.3-0.5 微米的深度处产生掺杂剂峰值浓度。然后可以执行退火步骤，以便驱入注入的基区屏蔽区掺杂剂 412a，从而确定中间屏蔽区 412。此退火步骤之后，如图 14D 所示，以比较浅的水平，

将第二导电类型的基区掺杂剂 414a 注入到衬底 402 的上表面 402a 中。然后可以执行另一个退火步骤,以便将注入的基区掺杂剂垂直和横向地驱动到栅电极 418 下方 并进一步驱入先前注入和退火的基区屏蔽区掺杂剂 412a。此处,基区 414 相对于栅电极 418 相对末端的横向尺寸小于基区屏蔽区 412 的横向尺寸。基区屏蔽区 412 用来将过渡区 424 在相当于基区屏蔽区掺杂剂 412a 被注入处的深度的水平处的宽度限制到最小。

现在参照图 14E,在衬底 402 上形成源注入掩模(未示出)。源注入掩模中可以具有暴露栅电极 418 和邻近的部分基区 414 的窗口。然后将源区掺杂剂 416a 注入到衬底 402 中,并利用短时间的退火步骤来驱入源区掺杂剂。如图 14F 所示,可以在栅电极 418 上淀积电绝缘层并将其图形化,以便确定绝缘帽层 422。然后如图 14G 所示,可以执行常规金属化步骤,以便确定上表面 402a 上的源电极 410 和衬底 402 底部表面上的漏电极 408。

对图 13 的垂直 MOSFET 执行了二维数字模拟。1.2 微米的栅宽度(沿剖面观察时)和 40nm (400Å) 的栅氧化物厚度,被用于单元。漂移区掺杂浓度被设定为 $1.75 \times 10^{16} \text{cm}^{-3}$ 水平,并具有 2 微米的厚度。基区屏蔽区的深度也被设定为 0.75 微米,而单元间距被设定为 3 微米。P 基区沟道长度也被设定为 0.17 微米。基于这些特性,击穿电压被模拟为 40V,并得到了 $0.17 \text{ m}\Omega \text{ cm}^2$ 的低s的开通状态比电阻 (R_{SP})。发现比栅电荷 Q_i (对于 $V_g=4.5\text{V}$) 为 $2.57 \times 10^{-7} \text{C/cm}^2$, 且发现 Miller 比栅电荷为 $1.1 \times 10^{-7} \text{C/cm}^2$ 。对应于这些结果的品质因素 (FOM) 为 23×10^9 (亦即 $(R_{\text{SP}} \times Q_i)^{-1} = 23 \times 10^9$)。与之对照,图 12 的垂直 MOSFET 被模拟成具有 2 微米的栅宽度和 40 nm (400Å) 的栅氧化物厚度。漂移区掺杂浓度被设定为 $1.5 \times 10^{16} \text{cm}^{-3}$ 水平,并具有 2 微米的厚度。接触区的深度也被设定为 1 微米,而单元间距被设定为 4 微米。P 基区沟道长度也被设定为 0.5 微米。基于这些特性,击穿电压被模拟为 40V,并得到了 $0.30 \text{ m}\Omega \text{ cm}^2$ 的低s的开通状态比电阻 (R_{SP})。发现比栅电荷 Q_i (对于 $V_g=4.5\text{V}$) 为 $2.8 \times 10^{-7} \text{C/cm}^2$, 且发现 Miller 比栅电荷为 $1.5 \times 10^{-7} \text{C/cm}^2$ 。对应于这些结果的品质因素 (FOM) 为 12×10^9 (亦即 $(R_{\text{SP}} \times Q_i)^{-1} = 12 \times 10^9$)。

在附图和说明书中,已经描述了本发明的典型优选实施方案,虽

然使用了特定的术语，但它们仅仅被用于一般的描述意义，而不是为了限制的目的，下列权利要求中提出了本发明的范围。

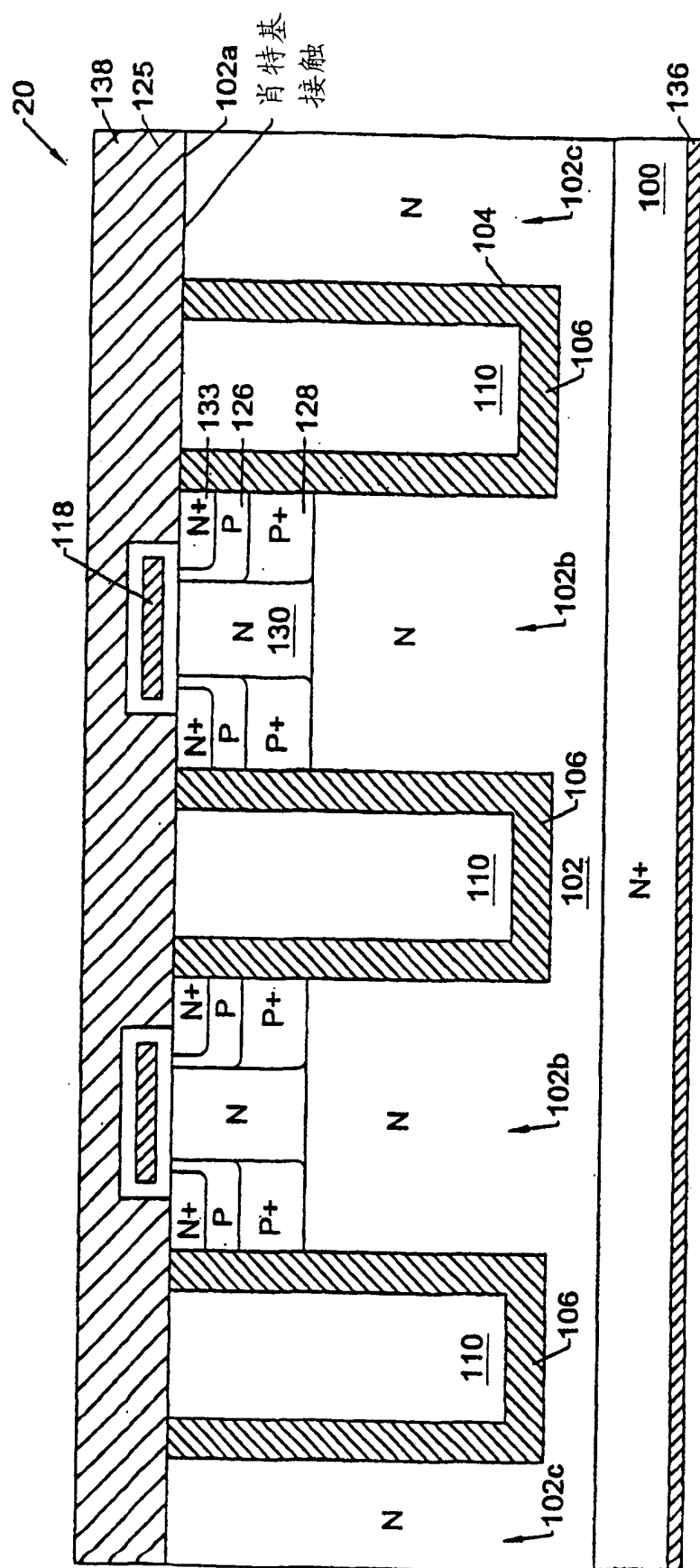


图 2

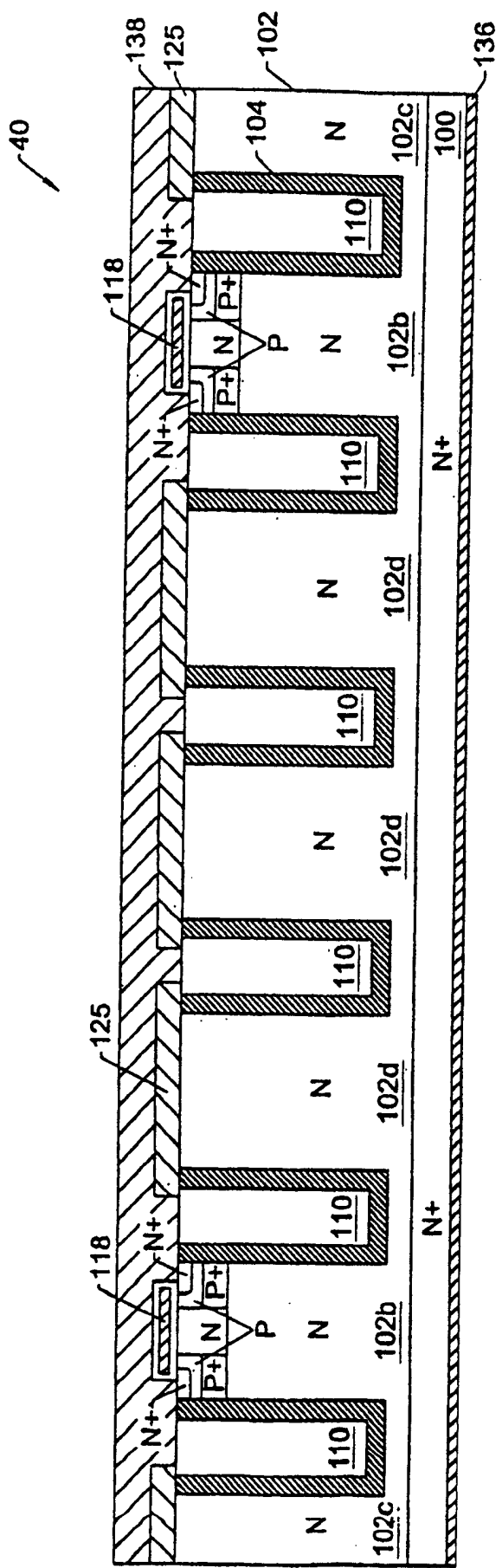


图 4

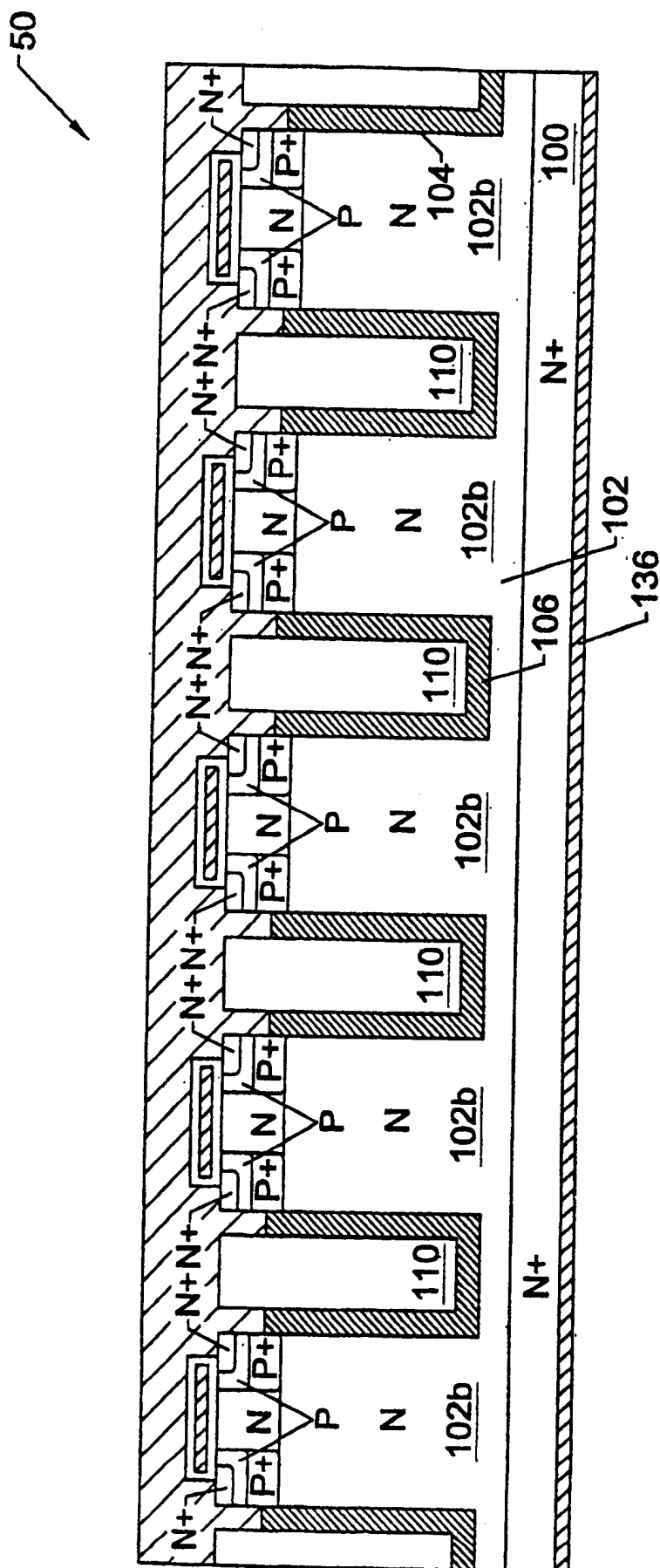


图 5

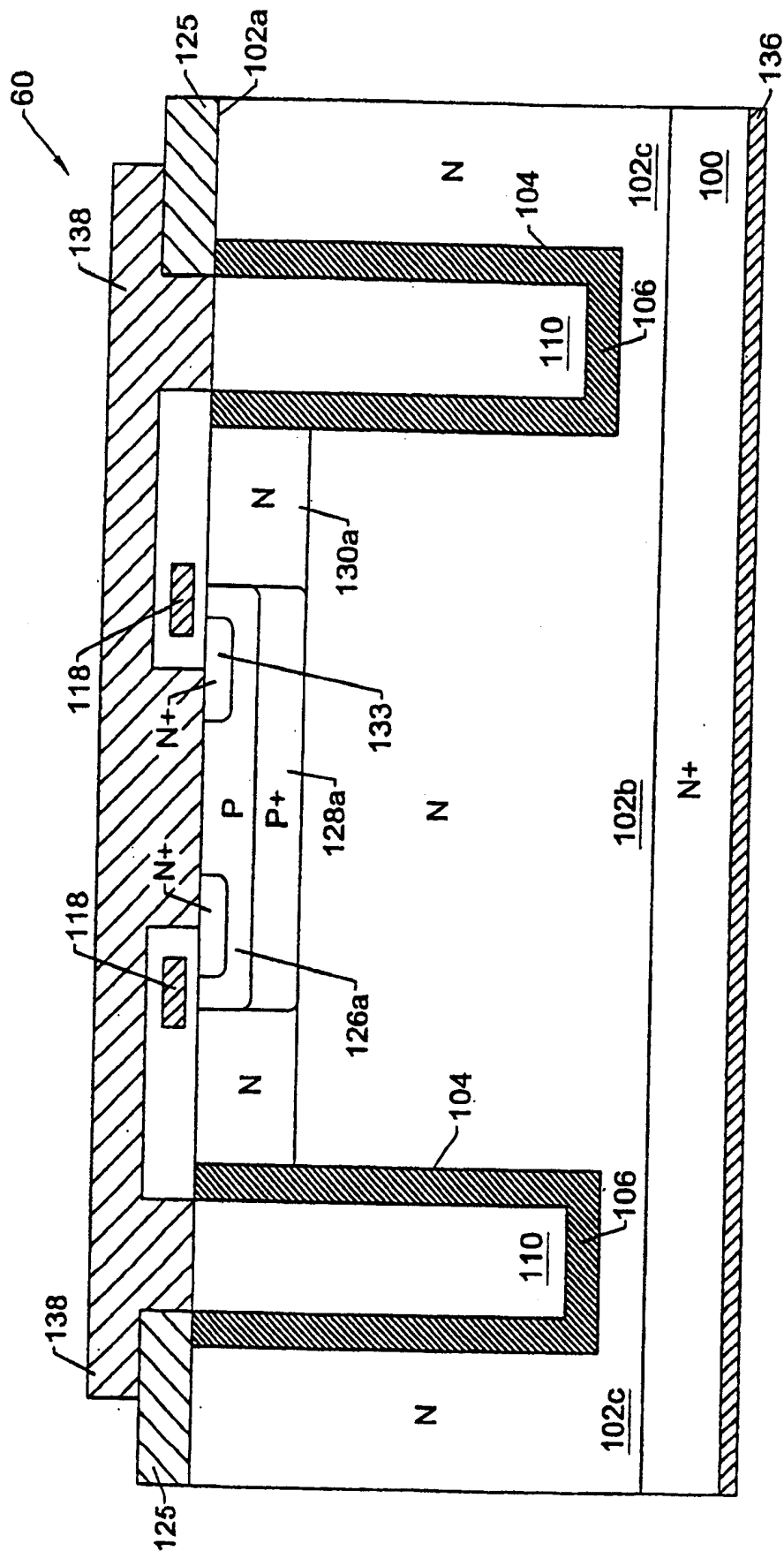


图 6

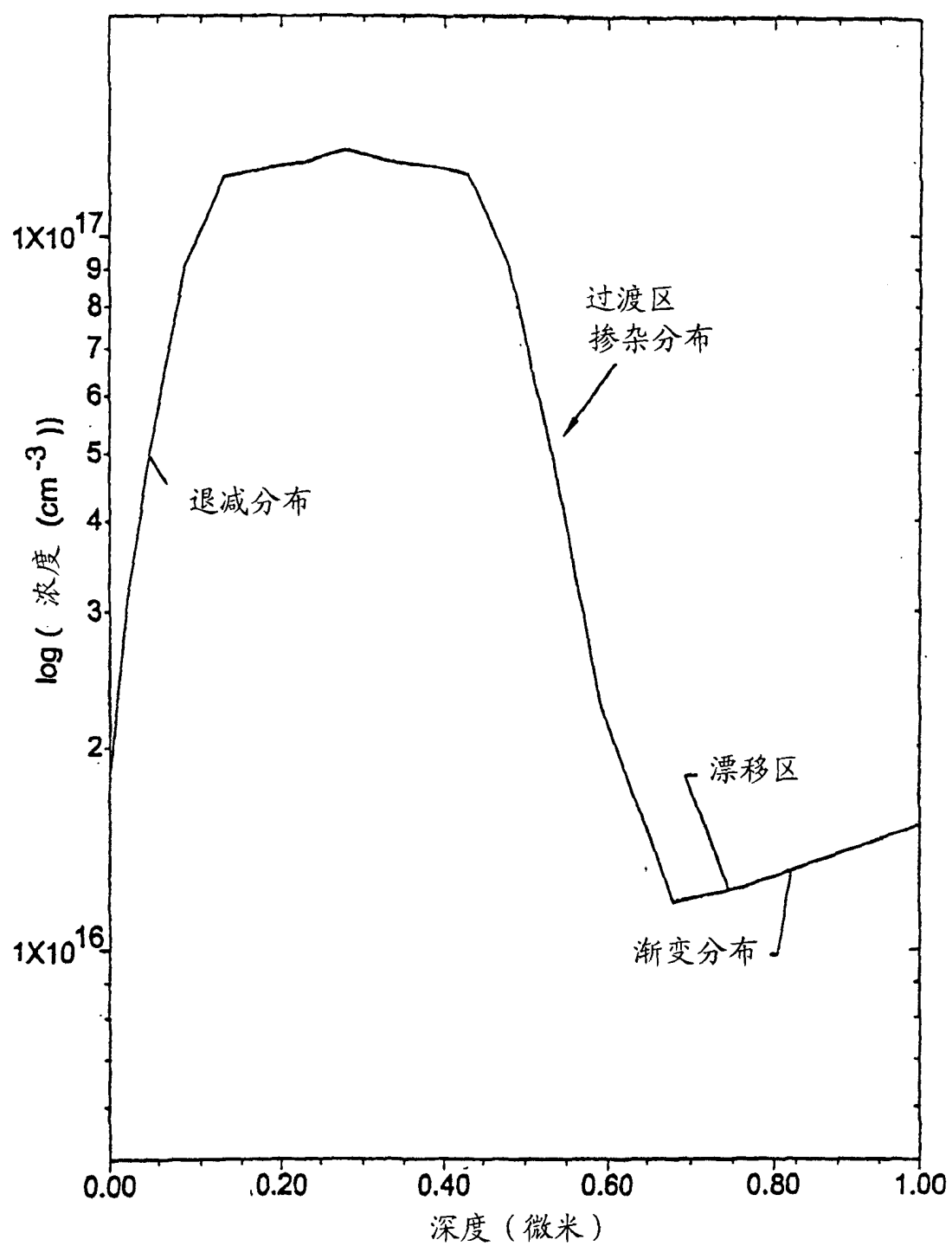


图 8A

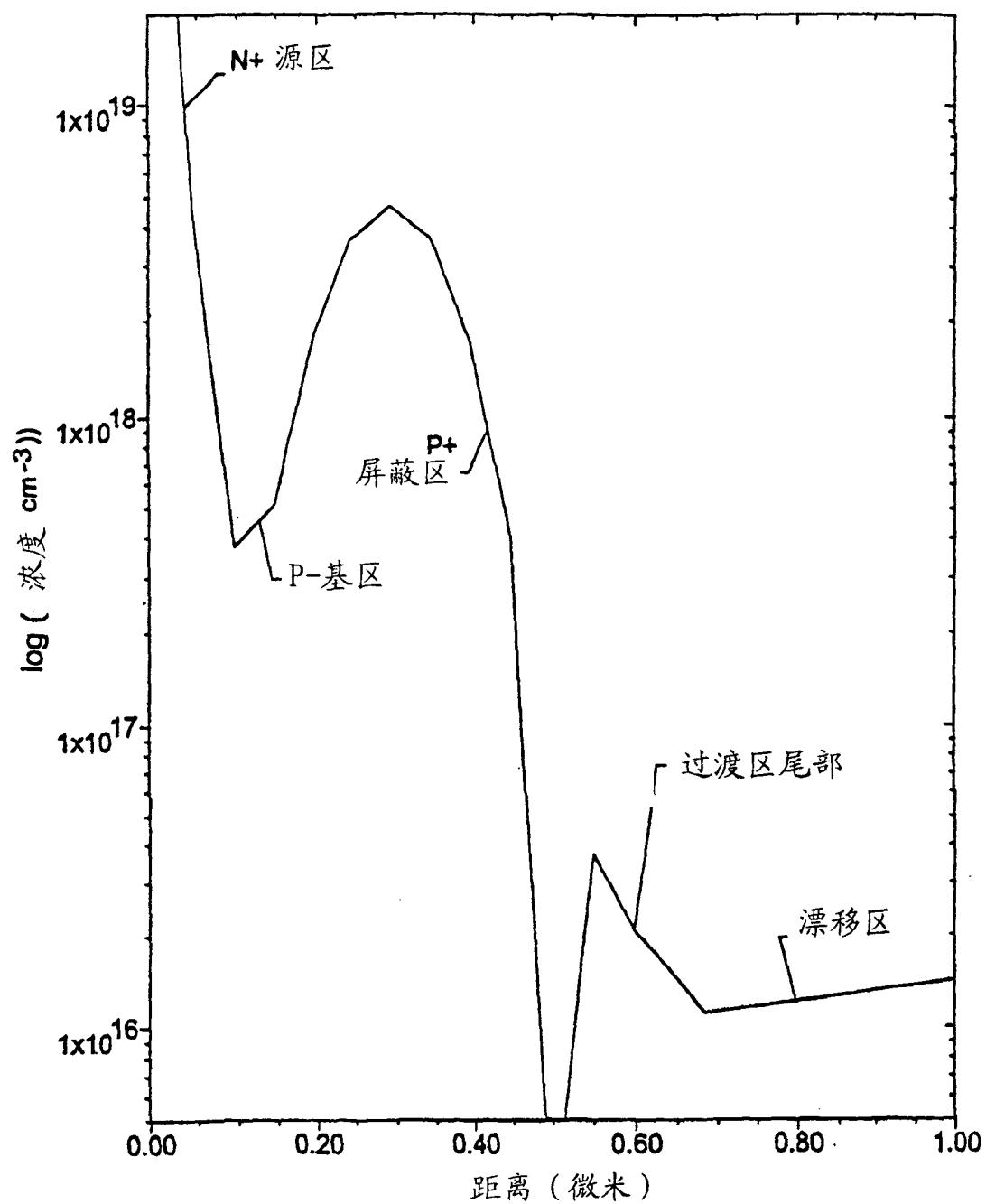


图 8B

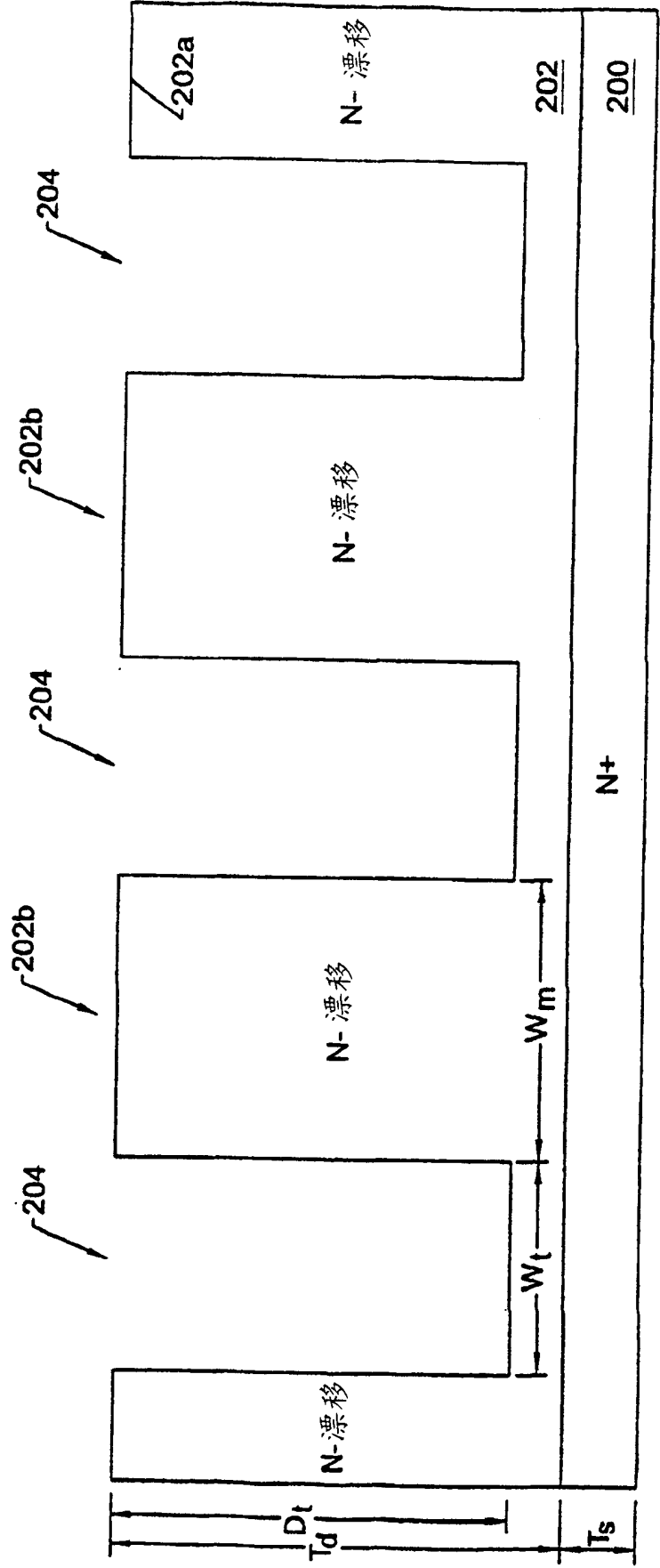


图 9A

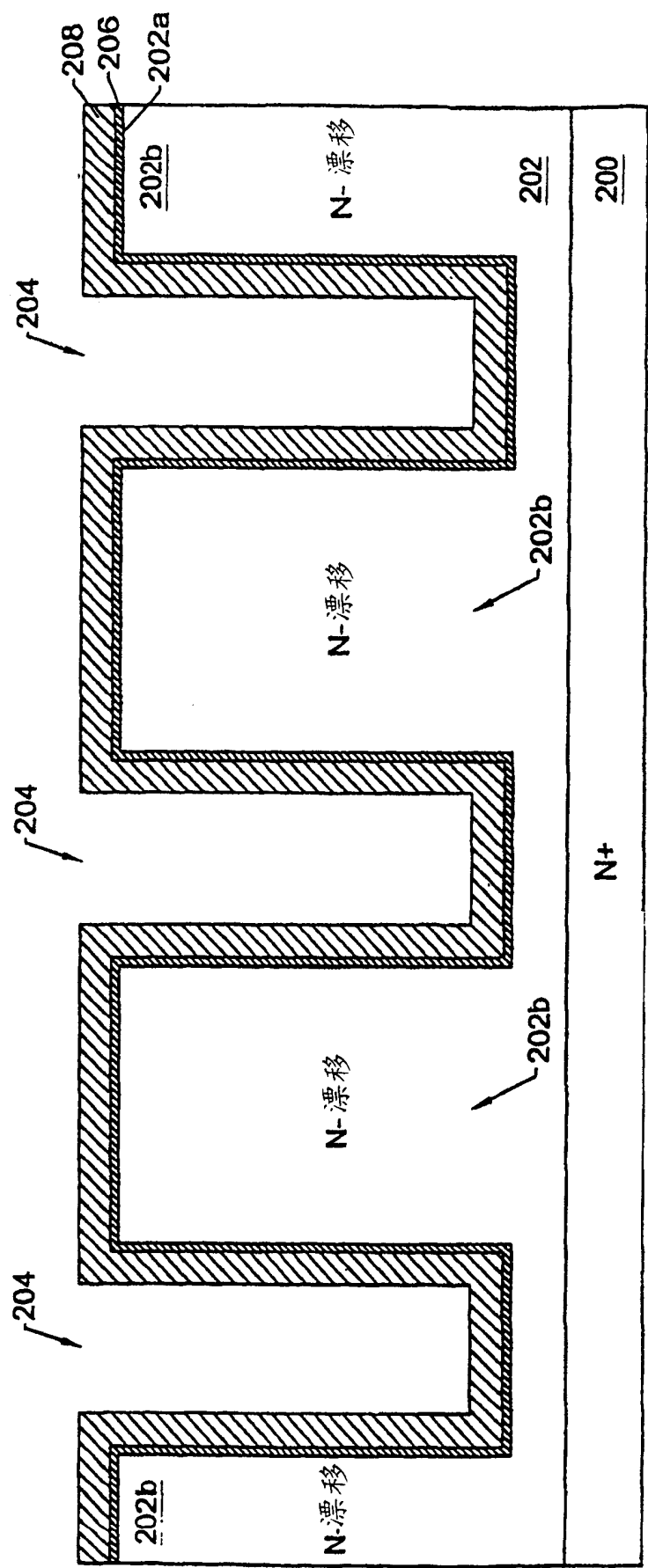


图 9B

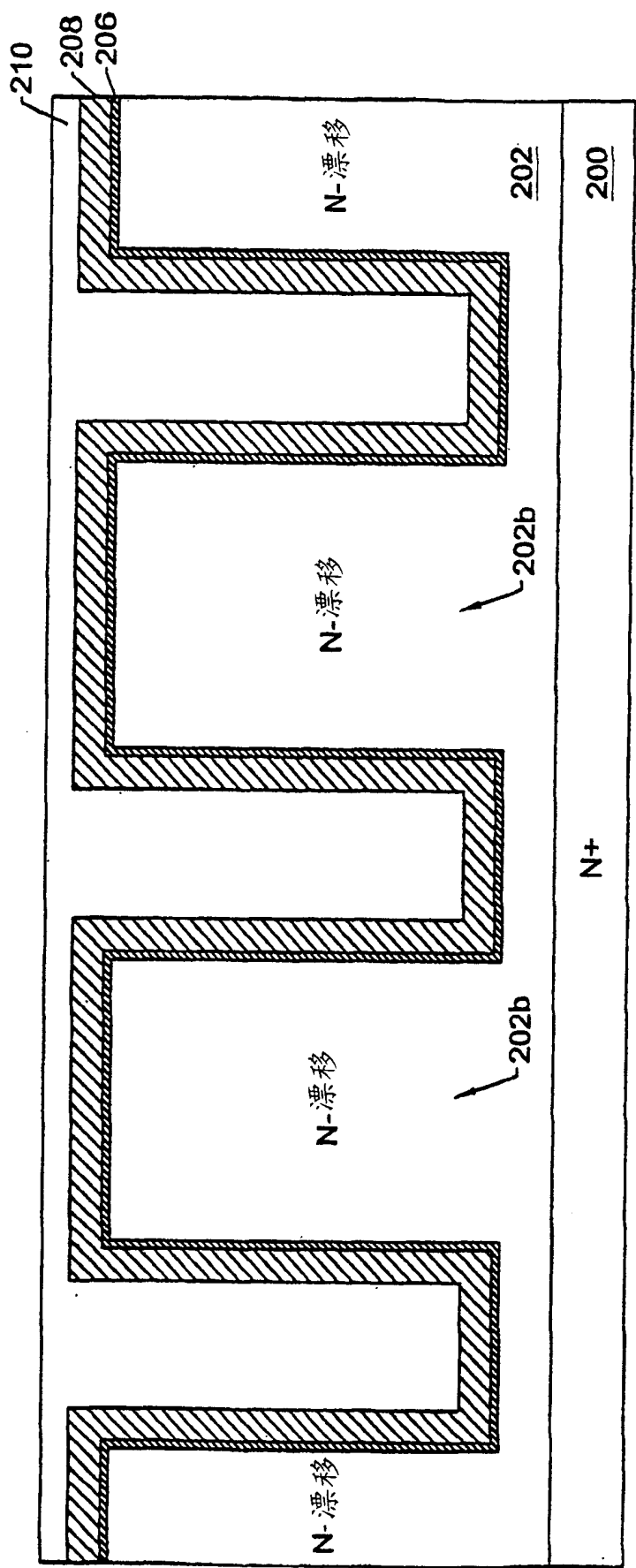


图 9C

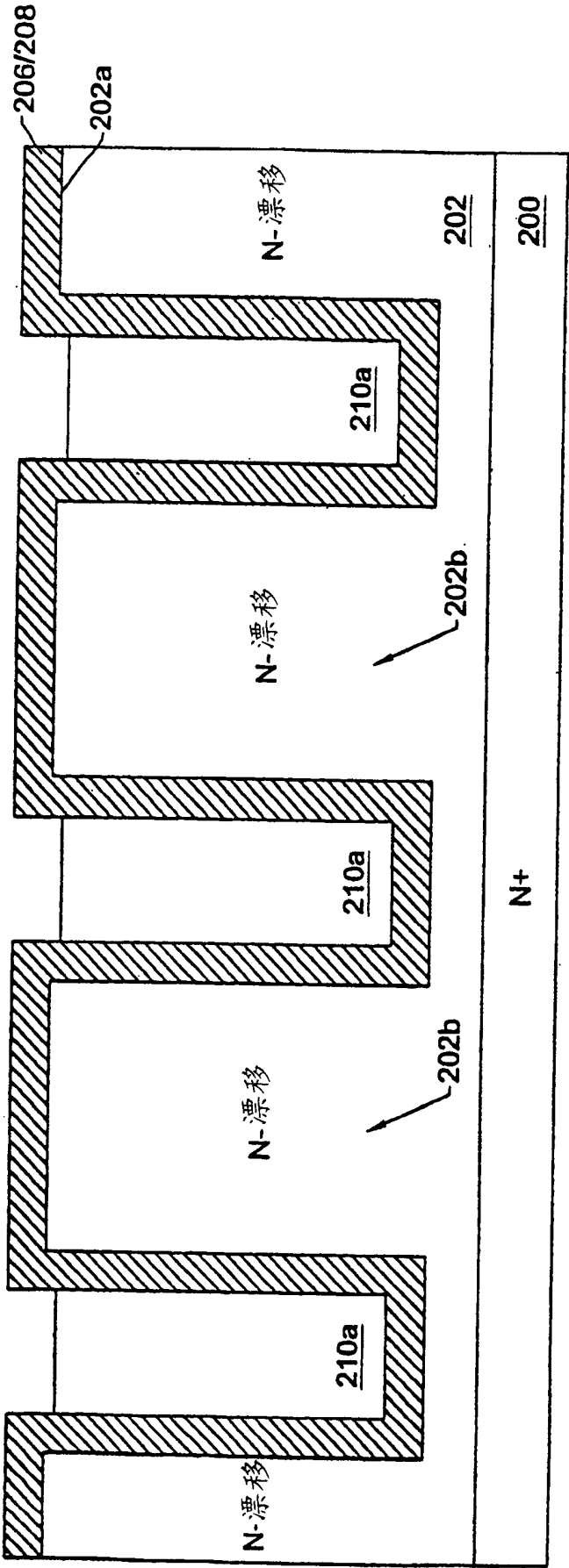


图 9D

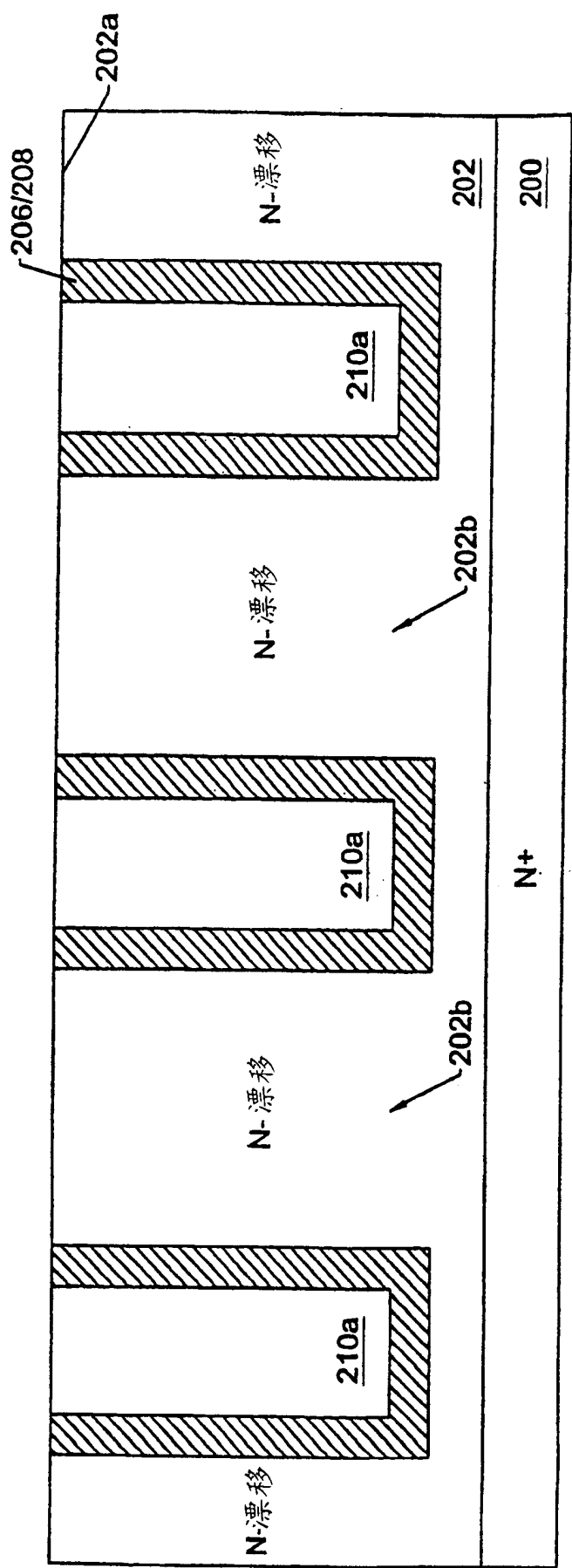


图 9E

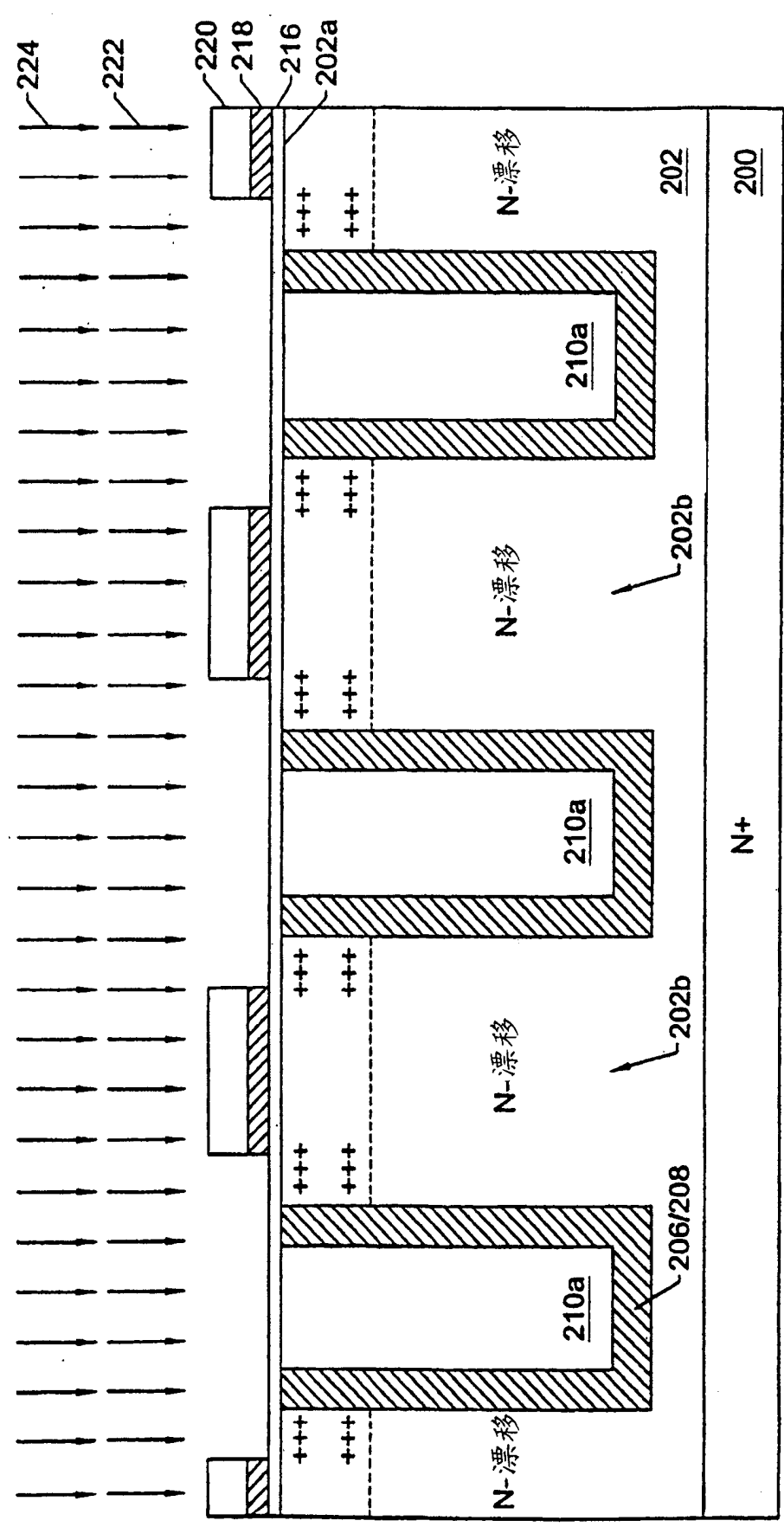


图 9G

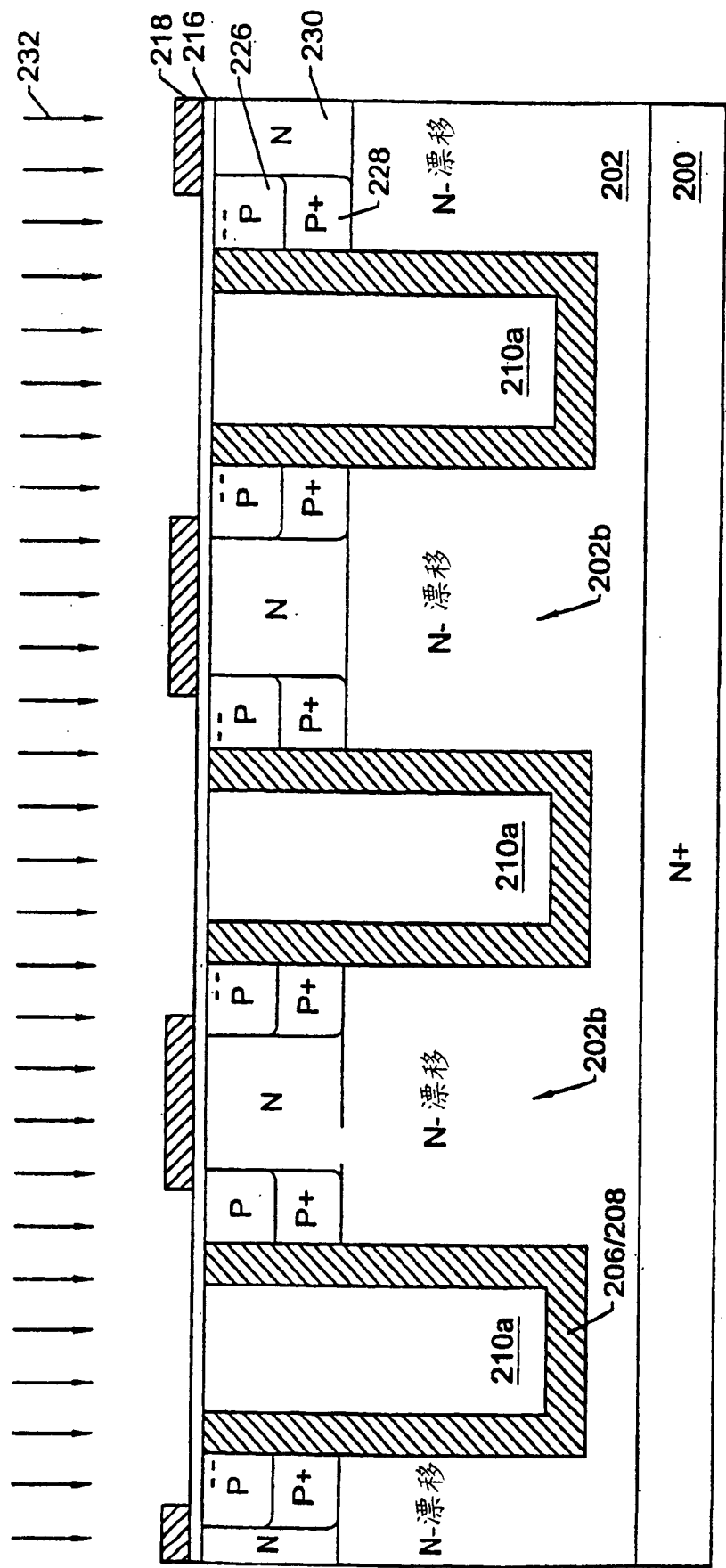


图 91

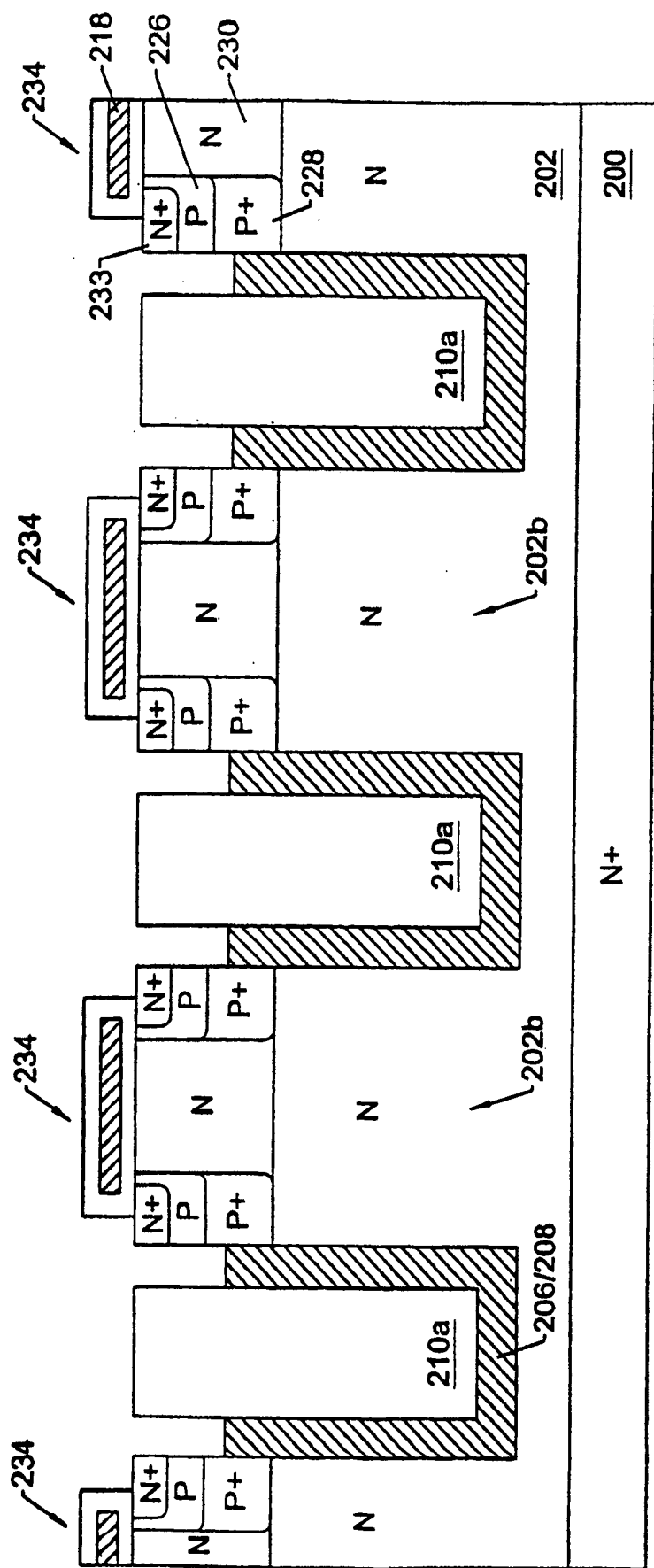


图 9J

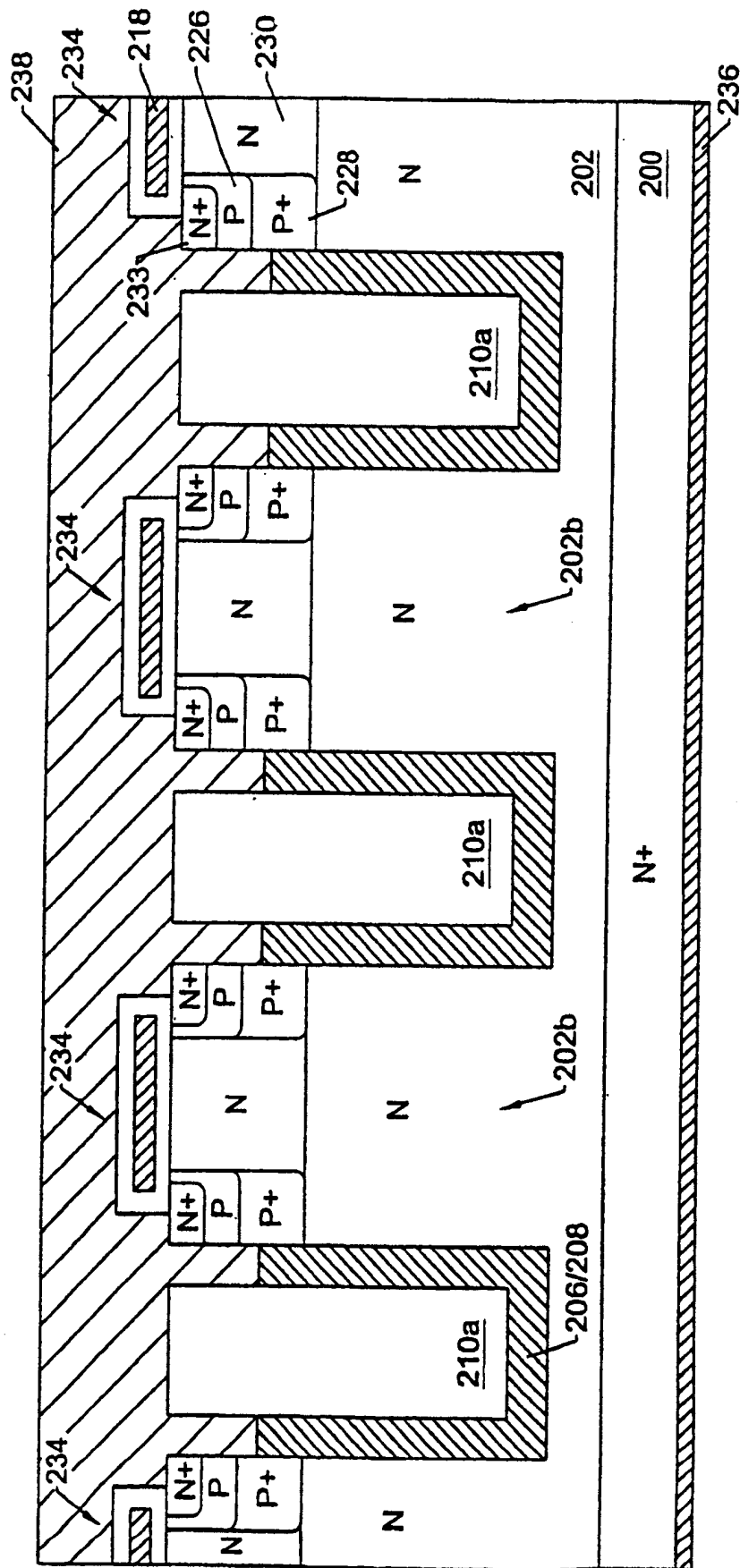


图 9K

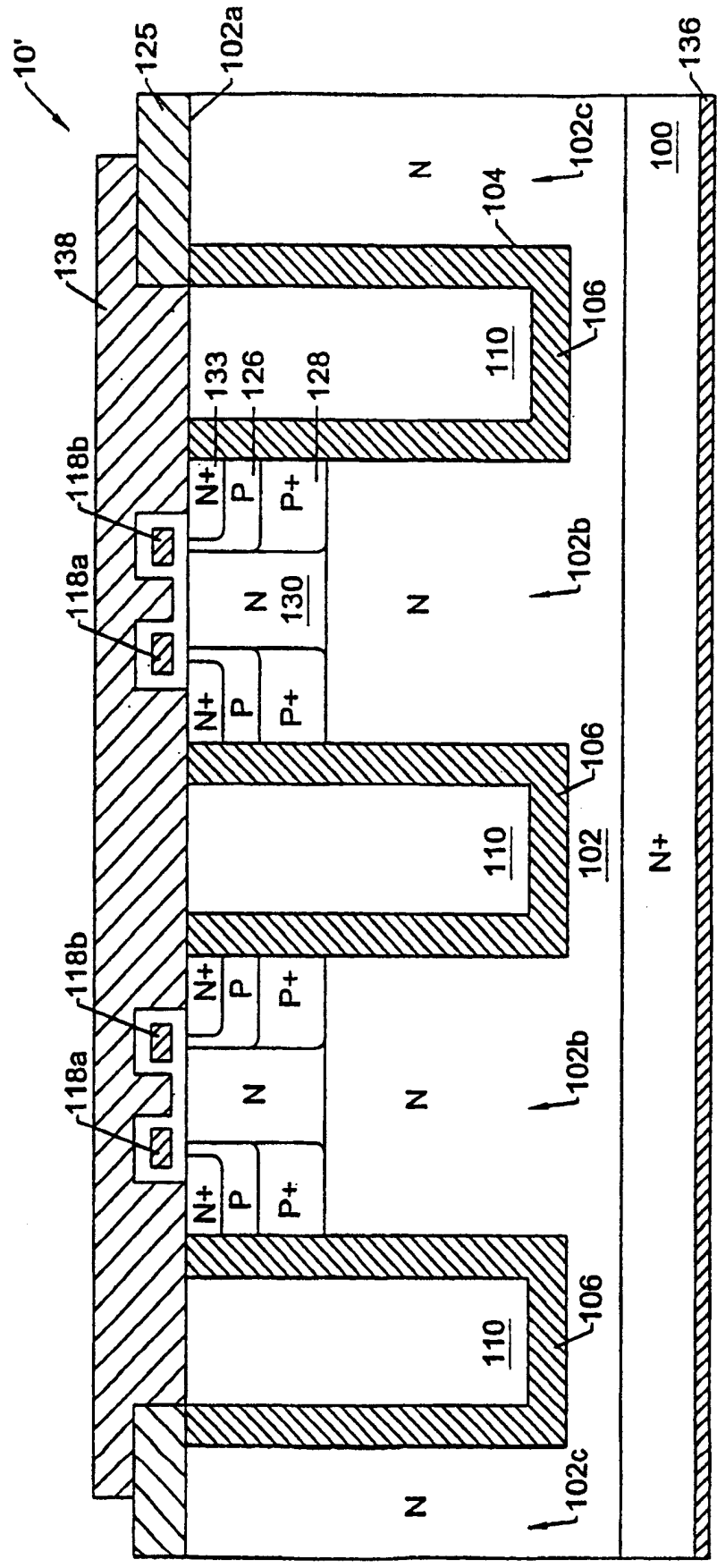


图 10

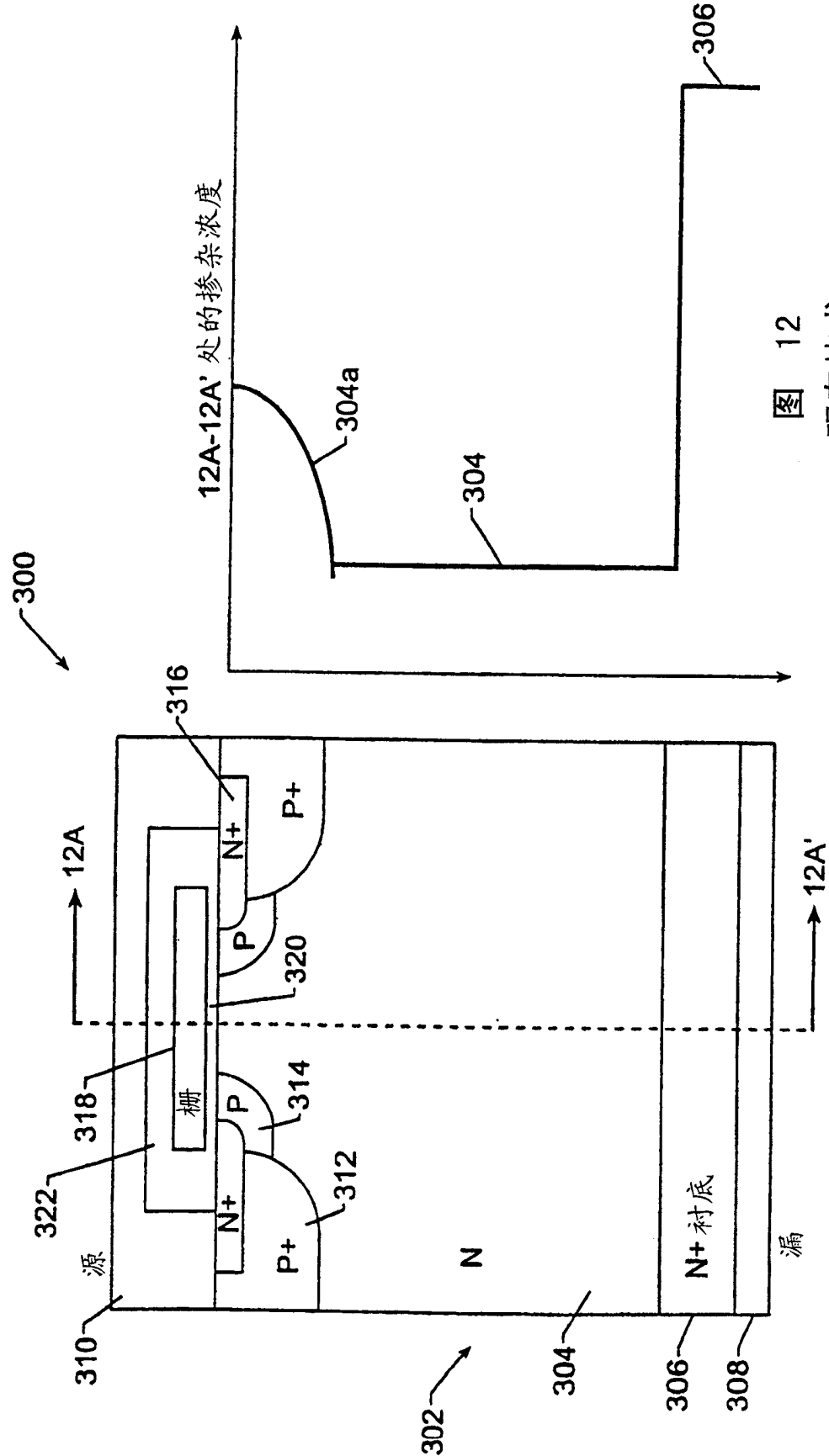


图 12
现有技术

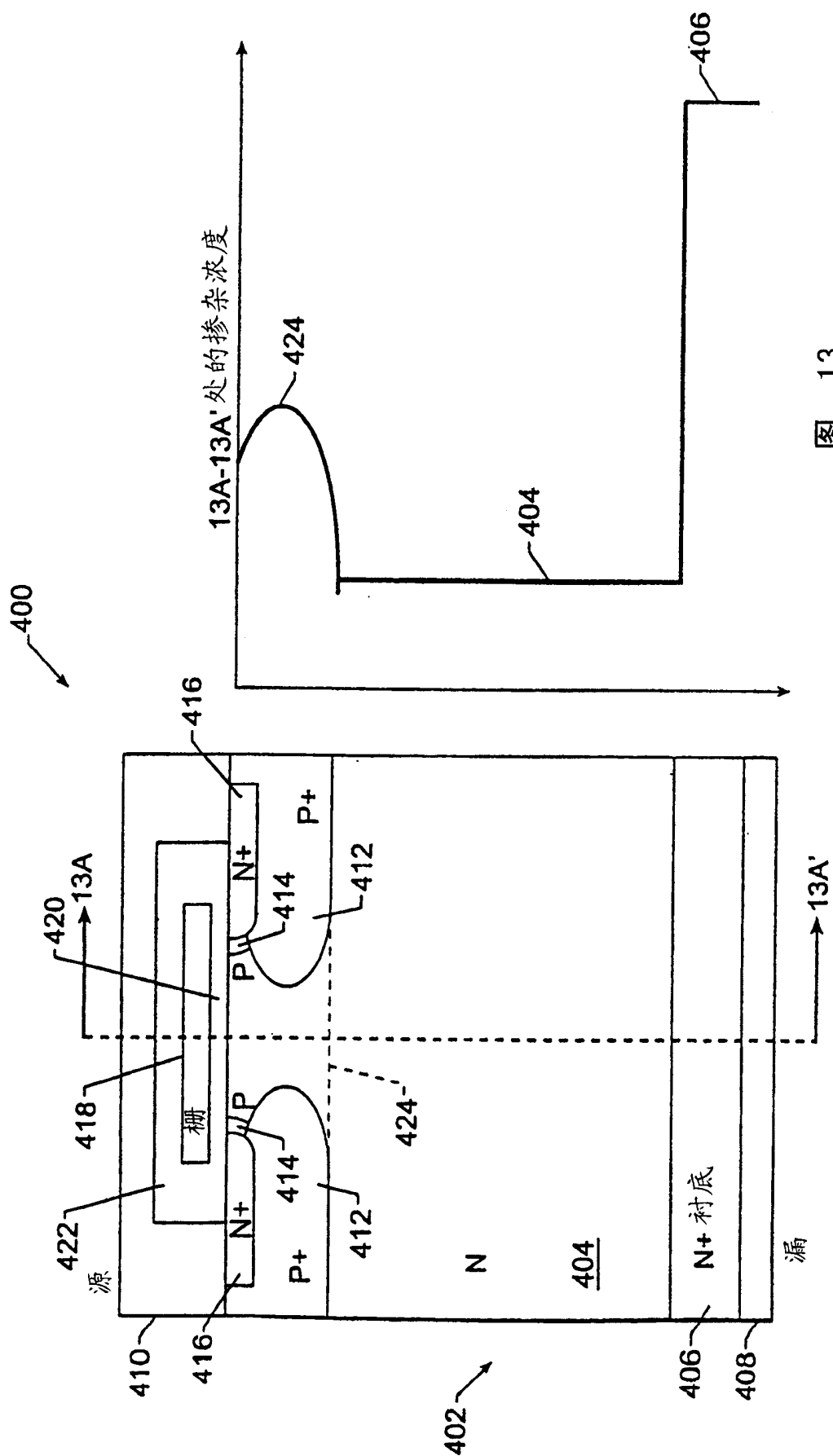


图 13

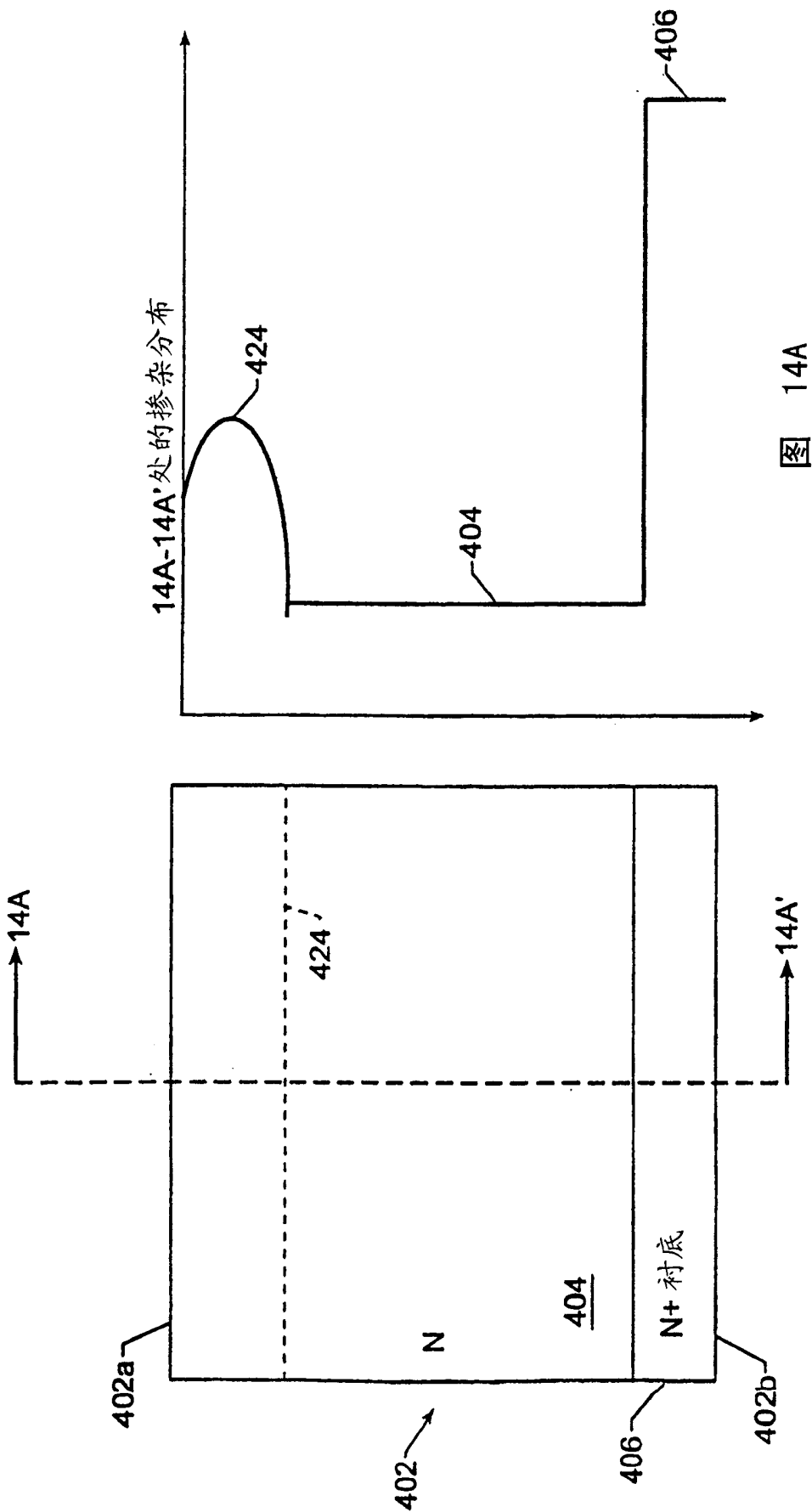


图 14A

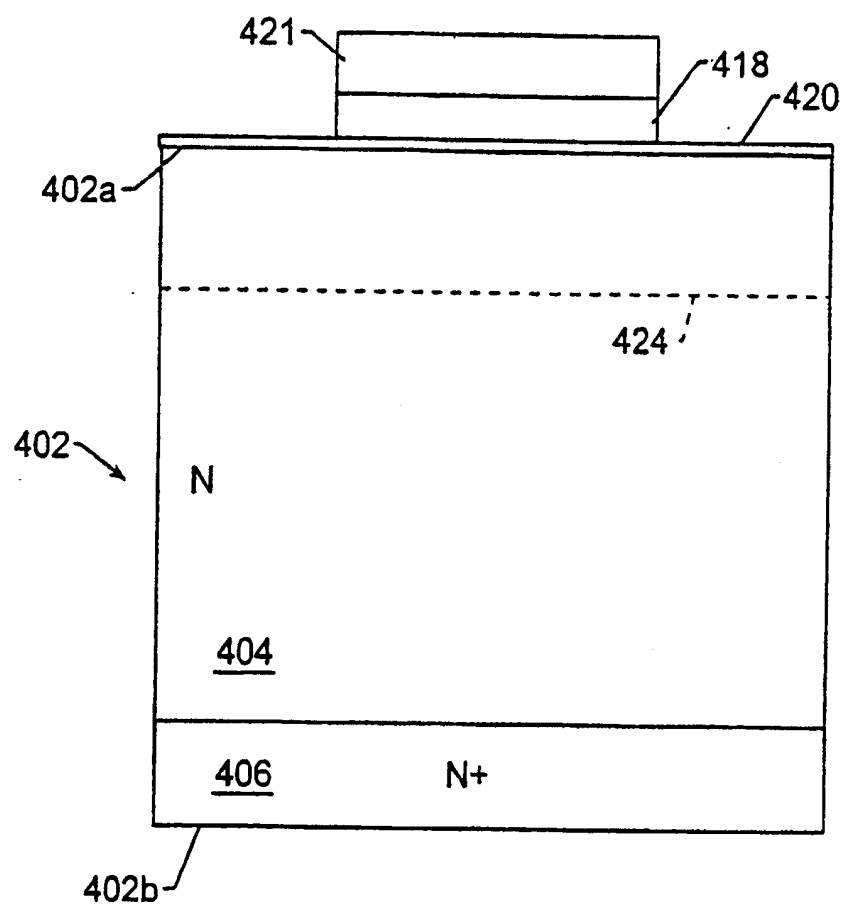


图 14B

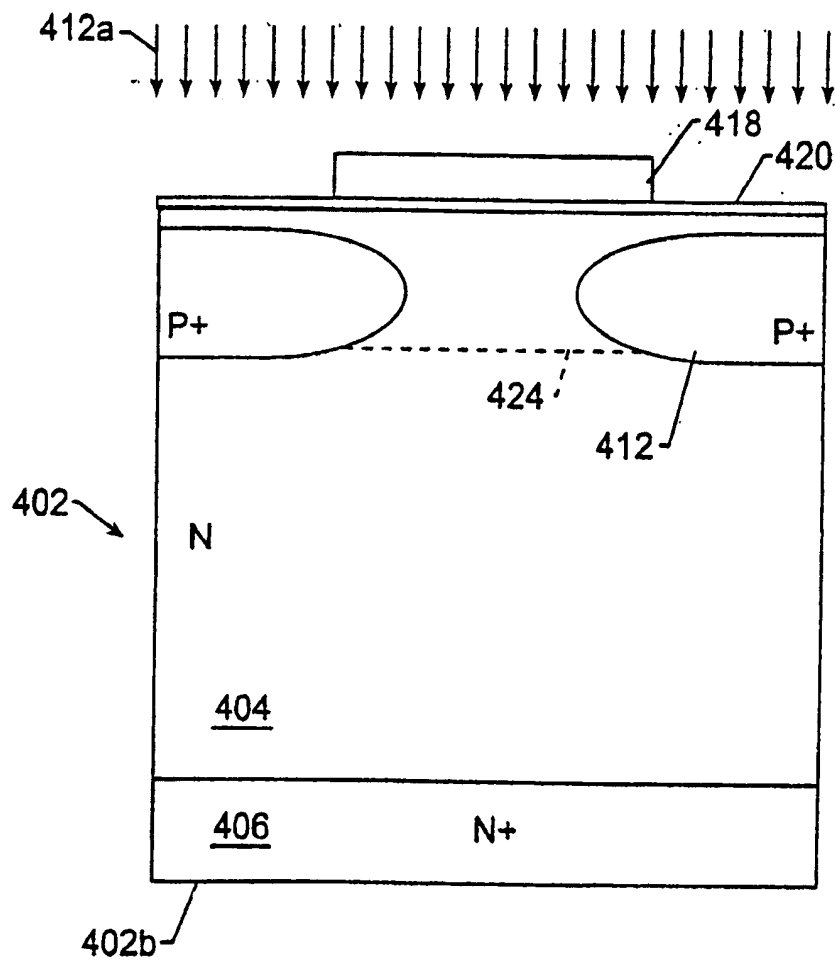


图 14C

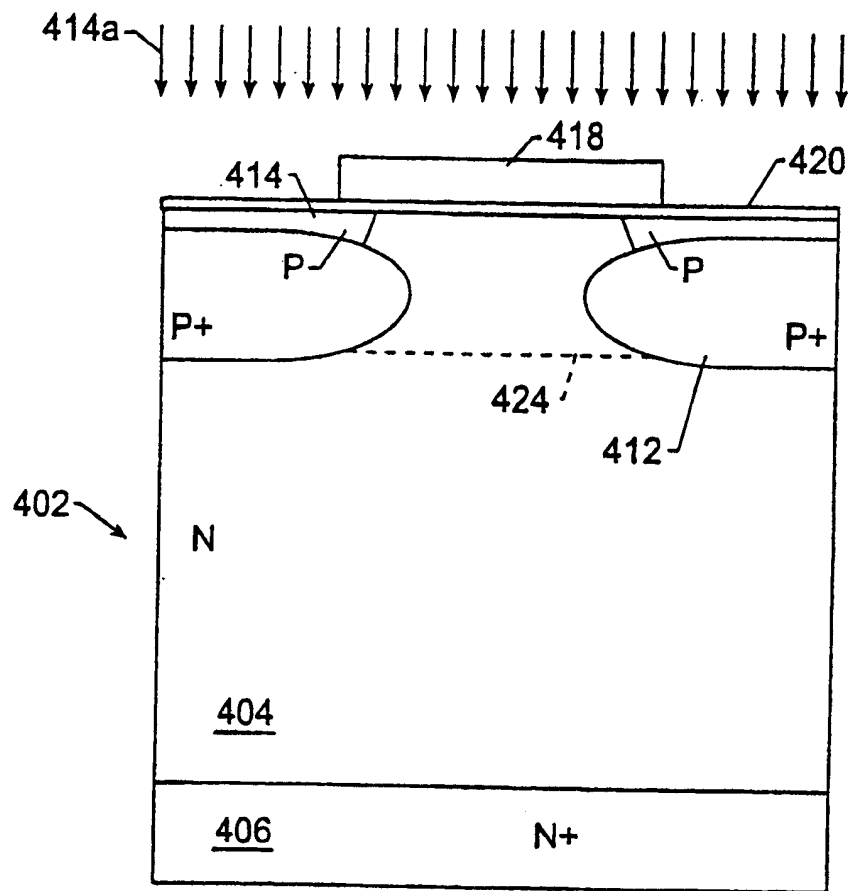


图 14D

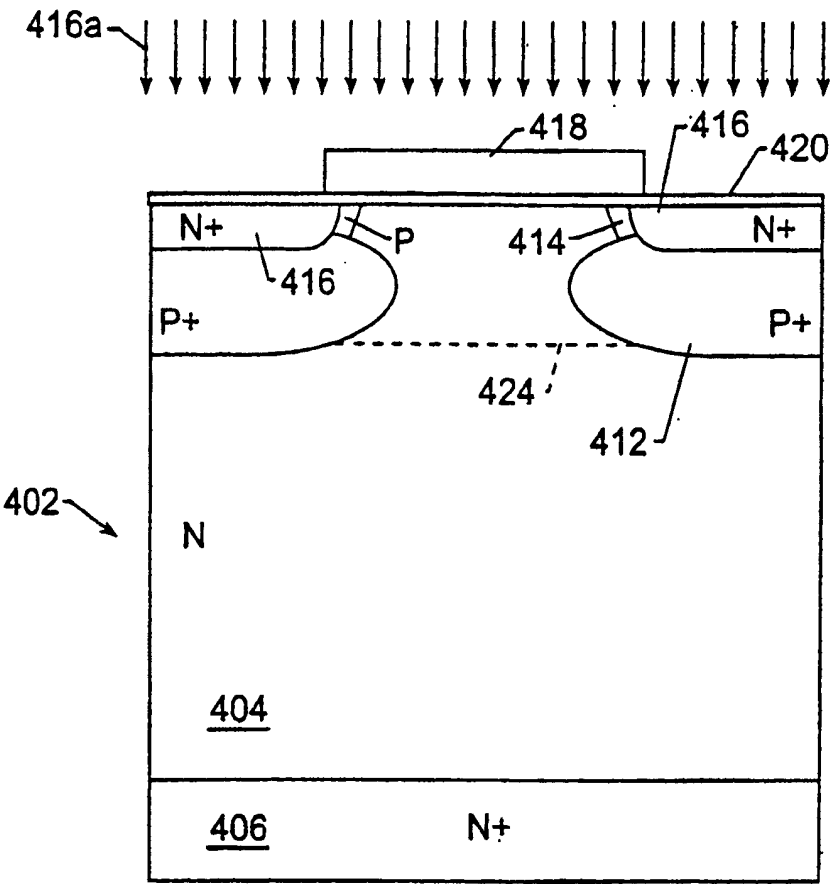


图 14E

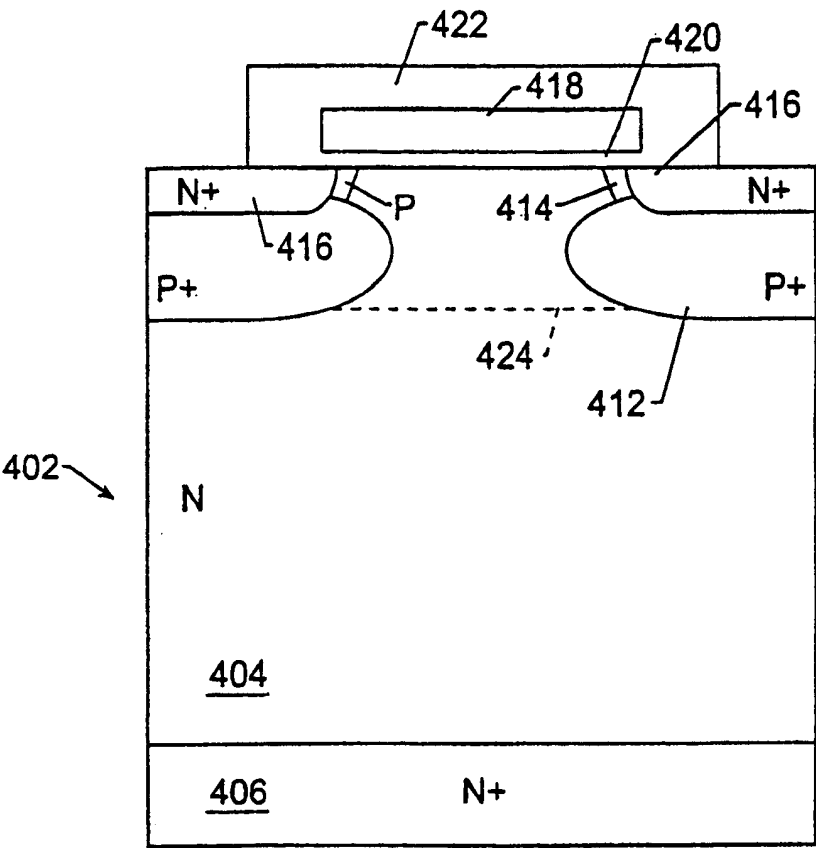


图 14F

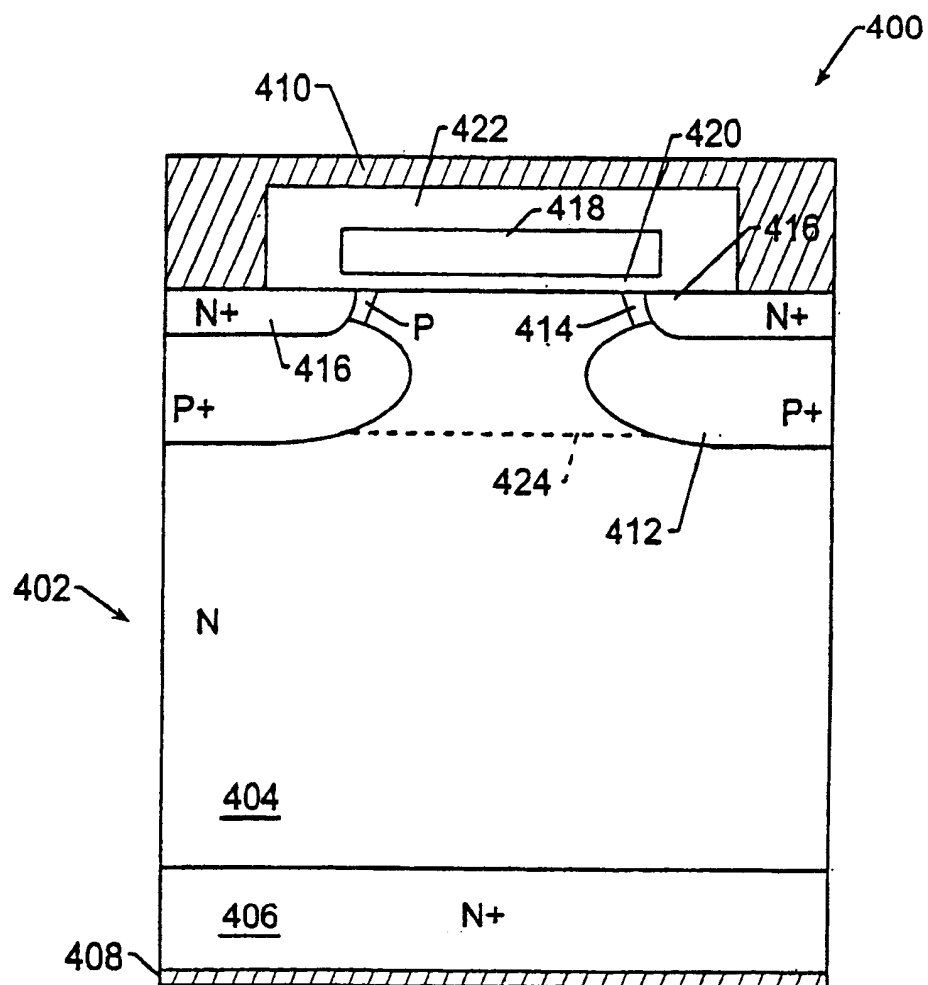


图 14G