



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0131121
(43) 공개일자 2017년11월29일

(51) 국제특허분류(Int. Cl.)

H01L 27/115 (2017.01)

(52) CPC특허분류

H01L 27/11553 (2013.01)

H01L 27/11548 (2013.01)

(21) 출원번호 10-2016-0062384

(22) 출원일자 2016년05월20일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

장, 강

경기도 수원시 영통구 청명로 132 (영통동, 벽산
삼익아파트) 321동 1701호

(74) 대리인

특허법인 고려

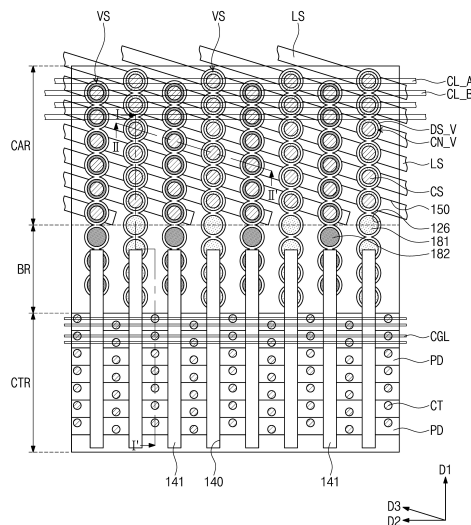
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 소자

(57) 요약

본 발명의 실시예들에 따른 반도체 소자는 반도체 층 상에 차례로 적층된 게이트 전극들을 포함하는 전극 구조체와 상기 전극 구조체를 관통하며 제 1 방향으로 연장되고 상기 제 1 방향과 교차하는 제 2 방향으로 이격된 수직 구조체들을 포함할 수 있다. 상기 수직 구조체들 각각은 상기 제 1 방향으로 배열된 수직 채널 패턴들을 포함할 수 있다. 상기 전극 구조체 아래에서 상기 제 1 방향과 교차하는 제 3 방향으로 연장되는 수평 구조체들이 제공될 수 있다. 상기 수평 구조체들은 수평 채널 패턴들을 포함하고 상기 수평 채널 패턴들 각각은 상기 수직 채널 패턴들 중 적어도 3개와 연결될 수 있다.

대표도 - 도3a



(52) CPC특허분류

H01L 27/11556 (2013.01)

H01L 27/11575 (2013.01)

H01L 27/1158 (2013.01)

H01L 27/11582 (2013.01)

명세서

청구범위

청구항 1

반도체 층 상에 차례로 적층된 게이트 전극들을 포함하는 전극 구조체;

상기 전극 구조체를 관통하며 제 1 방향으로 연장되고 상기 제 1 방향과 교차하는 제 2 방향으로 이격된 수직 구조체들, 상기 수직 구조체들 각각은 상기 제 1 방향으로 배열된 수직 채널 패턴들을 포함하고; 및

상기 전극 구조체 아래에서 상기 제 1 방향과 교차하는 제 3 방향으로 연장되는 수평 구조체들, 상기 수평 구조체들은 수평 채널 패턴들을 포함하고;

상기 수평 채널 패턴들 각각은 상기 수직 채널 패턴들 중 적어도 3개와 연결되는 반도체 소자.

청구항 2

제 1 항에 있어서,

상기 게이트 전극들은 상기 수직 구조체들을 사이에 두고 상기 제 2 방향으로 분리되는 반도체 소자.

청구항 3

제 1 항에 있어서,

상기 제 1 방향 및 상기 제 2 방향은 상기 반도체 층의 상면과 평행하고,

상기 제 3 방향은 상기 반도체 층의 상면과 평행하고 상기 제 2 방향과 교차하는 반도체 소자.

청구항 4

제 3 항에 있어서,

상기 수직 채널 패턴들은 상기 게이트 전극들을 사이에 두고 이격되는 제 1 수직 채널 및 상기 제 1 수직 채널에 인접한 제 2 수직 채널을 포함하고,

상기 제 1 수직 채널과 상기 제 2 수직 채널은 상기 제 3 방향으로 이격되는 반도체 소자.

청구항 5

제 1 항에 있어서,

상기 수직 구조체들 각각은 수직 정보 저장막을 더 포함하고,

상기 수평 구조체들 각각은 수평 정보 저장막을 더 포함하고,

상기 수평 정보 저장막은 상기 수직 저장막과 연결되는 반도체 소자.

청구항 6

제 1 항에 있어서,

상기 수직 구조체들은 상기 수직 채널 패턴들 상에 패드들을 더 포함하고,

상기 수직 채널 패턴들은:

상기 수평 채널 패턴들 중 하나에 공통적으로 연결되는 제 1 수직 채널 패턴들; 및

상기 하나의 수평 채널 패턴에 인접한 다른 하나의 수평 채널 패턴에 공통적으로 연결되는 제 2 수직 채널 패턴들을 포함하고,

상기 제 1 수직 채널 패턴들 상의 패드들의 도전형은 상기 제 2 수직 채널 패턴들 상의 패드들의 도전형과 다른 반도체 소자.

청구항 7

제 6 항에 있어서,

상기 제 1 수직 채널 패턴들과 상기 제 2 수직 채널 패턴들은 상기 제 3 방향을 따라 교대로 배치되는 반도체 소자.

청구항 8

제 1 항에 있어서,

상기 반도체 층은 상기 수직 채널 패턴들이 배치되는 셀 어레이 영역 및 상기 셀 어레이 영역에 인접하고 상기 게이트 전극들이 계단 형태로 배치되는 콘택 영역을 포함하고,

상기 반도체 소자는 상기 수직 구조체들 각각으로부터 상기 콘택 영역으로 연장되며 상기 게이트 전극들을 상기 제 2 방향으로 분리하는 분리 절연 패턴들을 더 포함하는 반도체 소자.

청구항 9

제 8 항에 있어서,

상기 반도체 층은 상기 셀 어레이 영역과 상기 콘택 영역 사이의 경계 영역을 더 포함하고,

상기 수직 구조체들과 상기 분리 절연 패턴들은 상기 경계 영역 상에서 오버랩되고,

상기 수평 구조체들은 상기 셀 어레이 영역에 한정되어 제공되는 반도체 소자.

청구항 10

반도체 층 상에 차례로 제공되고 제 1 방향으로 연장되는 복수의 게이트 전극들을 포함하는 전극 구조체; 및

상기 복수의 게이트 전극들 각각을 상기 제 1 방향과 수직하는 제 2 방향으로 분리하는 수직 구조체들, 상기 수직 구조체들은 정보 저장막들 및 채널 패턴들을 포함하고,

상기 채널 패턴들은 상기 정보 저장막들 사이에 두고 상기 제 1 방향으로 이격되는 수직 채널 패턴들, 및 상기 수직 채널 패턴들로부터 상기 전극 구조체 아래로 연장되어 인접한 수직 구조체들의 수직 채널 패턴들과 연결되는 수평 채널 패턴들을 포함하는 반도체 소자.

발명의 설명

기술 분야

본 발명은 반도체 소자에 관한 것으로, 더욱 상세하게는 수직형 메모리 소자에 관한 것이다.

[0001]

배경 기술

[0002] 우수한 성능 및 저렴한 가격을 충족시키기 위해 반도체 소자의 집적도를 증가시키는 것이 요구되고 있다. 특히, 반도체 소자의 집적도는 제품의 가격을 결정하는 중요한 요인이다. 종래의 2차원 반도체 소자의 집적도는 단위 메모리 셀이 점유하는 면적에 의해 주로 결정되기 때문에, 미세 패턴 형성 기술의 수준에 크게 영향을 받는다. 하지만, 패턴의 미세화를 위해서는 초고가의 장비들이 필요하기 때문에, 2차원 반도체 반도체 소자의 집적도는 증가하고는 있지만 여전히 제한적이다.

발명의 내용

해결하려는 과제

[0003] 본 발명은 공정 단순화가 가능하고, 집적도 및 신뢰성이 증가된 반도체 소자를 제공하기 위한 것이다.

과제의 해결 수단

[0004] 발명의 실시예들에 따른 반도체 소자는 반도체 층 상에 차례로 적층된 게이트 전극들을 포함하는 전극 구조체; 상기 전극 구조체를 관통하며 제 1 방향으로 연장되고 상기 제 1 방향과 교차하는 제 2 방향으로 이격된 수직 구조체들, 상기 수직 구조체들 각각은 상기 제 1 방향으로 배열된 수직 채널 패턴들을 포함하고; 및 상기 전극 구조체 아래에서 상기 제 1 방향과 교차하는 제 3 방향으로 연장되는 수평 구조체들, 상기 수평 구조체들은 수평 채널 패턴들을 포함하고; 상기 수평 채널 패턴들 각각은 상기 수직 채널 패턴들 중 적어도 3개와 연결될 수 있다.

[0005] 상기 게이트 전극들은 상기 수직 구조체들을 사이에 두고 상기 제 2 방향으로 분리될 수 있다. 상기 제 1 방향 및 상기 제 2 방향은 상기 반도체 층의 상면과 평행하고, 상기 제 3 방향은 상기 반도체 층의 상면과 평행하고 상기 제 2 방향과 교차할 수 있다. 상기 수직 채널 패턴들은 상기 게이트 전극들을 사이에 두고 이격되는 제 1 수직 채널 및 상기 제 1 수직 채널에 인접한 제 2 수직 채널을 포함하고, 상기 제 1 수직 채널과 상기 제 2 수직 채널은 상기 제 3 방향으로 이격될 수 있다.

[0006] 상기 수직 구조체들 각각은 수직 정보 저장막을 더 포함하고, 상기 수평 구조체들 각각은 수평 정보 저장막을 더 포함하고, 상기 수평 정보 저장막은 상기 수직 저장막과 연결될 수 있다. 상기 수직 구조체들은 상기 수직 채널 패턴들 상에 패드들을 더 포함하고, 상기 수직 채널 패턴들은: 상기 수평 채널 패턴들 중 하나에 공통적으로 연결되는 제 1 수직 채널 패턴들; 및 상기 하나의 수평 채널 패턴에 인접한 다른 하나의 수평 채널 패턴에 공통적으로 연결되는 제 2 수직 채널 패턴들을 포함하고, 상기 제 1 수직 채널 패턴들 상의 패드들의 도전형은 상기 제 2 수직 채널 패턴들 상의 패드들의 도전형과 다를 수 있다. 상기 제 1 수직 채널 패턴들과 상기 제 2 수직 채널 패턴들은 상기 제 3 방향을 따라 교대로 배치될 수 있다.

[0007] 상기 반도체 층은 상기 수직 채널 패턴들이 배치되는 셀 어레이 영역 및 상기 셀 어레이 영역에 인접하고 상기 게이트 전극들이 계단 형태로 배치되는 콘택 영역을 포함하고, 상기 반도체 소자는 상기 수직 구조체들 각각으로부터 상기 콘택 영역으로 연장되며 상기 게이트 전극들을 상기 제 2 방향으로 분리하는 분리 절연 패턴들을 더 포함할 수 있다.

[0008] 상기 반도체 층은 상기 셀 어레이 영역과 상기 콘택 영역 사이의 경계 영역을 더 포함하고, 상기 수직 구조체들과 상기 분리 절연 패턴들은 상기 경계 영역 상에서 오버랩되고, 상기 수평 구조체들은 상기 셀 어레이 영역에 한정되어 제공될 수 있다.

[0009] 반도체 층 상에 차례로 제공되고 제 1 방향으로 연장되는 복수의 게이트 전극들을 포함하는 전극 구조체; 및 상기 복수의 게이트 전극들 각각을 상기 제 1 방향과 수직하는 제 2 방향으로 분리하는 수직 구조체들, 상기 수직 구조체들은 정보 저장막들 및 채널 패턴들을 포함하고, 상기 채널 패턴들은 상기 정보 저장막들 사이에 두고 상기 제 1 방향으로 이격되는 수직 채널 패턴들, 및 상기 수직 채널 패턴들로부터 상기 전극 구조체 아래로 연장되어 인접한 수직 구조체들의 수직 채널 패턴들과 연결되는 수평 채널 패턴들을 포함할 수 있다.

[0010] 상기 수평 채널 패턴들 각각은 적어도 3개의 수직 채널 패턴들과 연결될 수 있다. 상기 전극 구조체 및 상기 수직 구조체들은 복수의 메모리 셀 스트링들을 구성하고, 하나의 수직 채널 패턴 및 상기 하나의 수직 채널 패턴을 사이에 두고 이격된 게이트 전극들은 서로 다른 한 쌍의 메모리 셀 스트링들로 동작할 수 있다. 하나의 수평 채널 패턴에 연결되고 서로 인접한 한 쌍의 수직 채널 패턴들은 동일한 메모리 셀 스트링의 채널 영역으로 동작

할 수 있다.

[0011] 상기 수평 채널 패턴들 각각은 상기 제 1 방향 및 상기 제 2 방향과 교차하는 제 3 방향으로 연장되고, 상기 정보 저장막들은 상기 수평 채널 패턴들을 따라 상기 제 3 방향으로 연장될 수 있다. 상기 반도체 층은 상기 수직 채널 패턴들이 배치되는 셀 어레이 영역 및 상기 셀 어레이 영역에 인접하고 상기 게이트 전극들이 계단 형태로 배치되는 콘택 영역을 포함하고, 상기 반도체 소자는 상기 수직 구조체들 각각으로부터 상기 콘택 영역으로 연장되며 상기 게이트 전극들을 상기 제 2 방향으로 분리하는 분리 절연 패턴들을 더 포함할 수 있다.

발명의 효과

[0012] 본 발명의 실시예들에 따르면, 3차원 반도체 소자의 집적도를 높일 수 있으며 제조 공정을 단순화할 수 있다.

도면의 간단한 설명

[0013] 도 1은 본 발명의 실시예들에 따른 반도체 소자를 나타내는 블록도이다.
 도 2는 도 1의 메모리 셀 어레이의 예를 나타내는 블록도이다.
 도 3a는 본 발명의 실시예들에 따른 반도체 소자의 평면도이다.
 도 3b는 도 3a의 I-I'선에 따른 단면도이다.
 도 3c는 도 3a의 II-II'선에 따른 단면도이다.
 도 4는 본 발명의 실시예들에 따른 반도체 반도체 소자의 셀 어레이를 나타낸 간략 회로도이다.
 도 5a는 도 4의 P 영역으로 하나의 메모리 블록의 회로도이다.
 도 5b는 각 게이트 전극들을 구별하기 위하여 도 5a의 구성 요소들을 각 게이트 전극들에 도시한 개념도이다.
 도 6a 내지 도 13a는 본 발명의 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 평면도들이다.
 도 6b 내지 도 13b는 도 6a 내지 도 13a의 I-I'선에 따른 단면도들이다.
 도 6c 내지 도 13c는 도 6a 내지 도 13a의 II-II'선에 따른 단면도들이다.
 도 14a 및 도 14b는 본 발명의 실시예들에 따른 수직 정보 저장막들을 설명하기 위한 수평 단면도들이다.
 도 15는 본 발명의 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 도면으로, 도 8a의 II-II'선에 따른 단면도이다.
 도 16은 본 발명의 실시예들에 따른 반도체 소자의 개략 블록도이다.
 도 17은 본 발명의 실시예들에 따른 반도체 메모리 소자의 단면도이다. 설명의 간소화를 위하여 중복된 구성에 대한 설명은 생략된다.
 도 18a 및 도 18b는 수직 홀들의 형상을 설명하기 위한 수평 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0014] 이상의 본 발명의 목적들, 다른 목적들, 특징들 및 이점들은 첨부된 도면과 관련된 이하의 바람직한 실시예들을 통해서 쉽게 이해될 것이다. 그러나, 본 발명은 여기서 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.

[0015] 본 명세서에서, 어떤 막(또는 층)이 다른 막(또는 층) 또는 기판 상에 있다고 언급되는 경우에 그것은 다른 막(또는 층) 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 막(또는 층)이 개재될 수도 있다 또한, 도면들에 있어서, 구성들의 크기 및 두께 등은 명확성을 위하여 과장된 것이다. 또한, 본 명세서의 다양한 실시예들에서 제 1, 제 2, 제 3 등의 용어가 다양한 영역, 막들(또는 층들) 등을 기술하기 위해서 사용되었지만, 이들 영역, 막들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 소정 영역 또는 막(또는 층)을 다른 영역 또는 막(또는 층)과 구별시키기 위해서 사용되었을 뿐이다. 여기에 설명되고 예시되는 각 실시예는 그것의 상보적인 실시예도 포함한다. 본 명세서에서 '및/또는' 이란 표현은 전후에 나열된 구성요소들 중 적어도 하나를 포함하는 의미로 사용된다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시

된 부분들은 동일한 구성요소들을 나타낸다.

- [0016] 이하, 도면들을 참조하여, 본 발명의 개념에 따른 실시예들에 대해 상세히 설명하기로 한다.
- [0017] 도 1은 본 발명의 실시예들에 따른 반도체 소자를 나타내는 블록도이다. 도 1을 참조하면, 본 발명의 실시예들에 따른 반도체 소자(105)는 메모리 셀 어레이(10), 어드레스 디코더(20), 읽기/쓰기 회로(30), 데이터 입출력 회로(40), 및 제어 로직(50)을 포함할 수 있다.
- [0018] 상기 메모리 셀 어레이(10)는 복수 개의 워드 라인들(WL)을 통해 상기 어드레스 디코더(20)에 연결되고, 비트 라인들(BL)을 통해 읽기 및 쓰기 회로(30)에 연결될 수 있다. 상기 메모리 셀 어레이(10)는 복수 개의 메모리 셀들을 포함한다. 예를 들어, 상기 메모리 셀 어레이(10)는 셀 당 하나 또는 그 이상의 비트를 저장할 수 있도록 구성된다.
- [0019] 상기 어드레스 디코더(20)는 상기 워드 라인들(WL)을 통해 상기 메모리 셀 어레이(10)에 연결될 수 있다. 상기 어드레스 디코더(20)는 상기 제어 로직(50)의 제어에 응답하여 동작하도록 구성된다. 상기 어드레스 디코더(20)는 외부로부터 어드레스(ADDR)를 수신할 수 있다. 상기 어드레스 디코더(20)는 수신된 어드레스(ADDR) 중 행 어드레스를 디코딩하여, 복수 개의 워드 라인들(WL) 중 대응하는 워드 라인을 선택한다. 또한, 상기 어드레스 디코더(20)는 상기 수신된 어드레스(ADDR) 중 열 어드레스를 디코딩하고, 디코딩된 열 어드레스를 상기 읽기/쓰기 회로(30)에 전달한다. 예를 들어, 상기 어드레스 디코더(20)는 행 디코더, 열 디코더, 어드레스 버퍼 등을 포함할 수 있다.
- [0020] 상기 읽기/쓰기 회로(30)는 상기 비트 라인들(BL)을 통해 상기 메모리 셀 어레이(10)에 연결되고, 데이터 라인들(DL)을 통해 상기 데이터 입출력 회로(40)에 연결될 수 있다. 상기 읽기/쓰기 회로(30)는 상기 제어 로직(50)의 제어에 응답하여 동작할 수 있다. 상기 읽기/쓰기 회로(30)는 상기 어드레스 디코더(20)로부터 디코딩된 열 어드레스를 수신하도록 구성된다. 디코딩된 열 어드레스를 이용하여, 상기 읽기/쓰기 회로(30)는 비트 라인(BL)을 선택한다. 예를 들어, 상기 읽기/쓰기 회로(30)는 상기 데이터 입출력 회로(40)로부터 데이터를 수신하고, 수신된 데이터를 상기 메모리 셀 어레이(10)에 기입한다. 상기 읽기/쓰기 회로(30)는 상기 메모리 셀 어레이(10)로부터 데이터를 읽고, 읽어진 데이터를 상기 데이터 입출력 회로(40)에 전달한다. 상기 읽기/쓰기 회로(30)는 상기 메모리 셀 어레이(10)의 제 1 저장 영역으로부터 데이터를 읽고, 읽어진 데이터를 상기 메모리 셀 어레이(10)의 제 2 저장 영역에 기입한다. 예를 들면, 상기 읽기/쓰기 회로(30)는 카피-백(copy-back) 동작을 수행하도록 구성될 수 있다.
- [0021] 상기 읽기/쓰기 회로(30)는 페이지 버퍼(또는 페이지 레지스터) 및 열 선택 회로를 포함하는 구성 요소들을 포함할 수 있다. 다른 예로서, 상기 읽기/쓰기 회로(30)는 감지 증폭기, 쓰기 드라이버, 및 열 선택 회로를 포함하는 구성 요소들을 포함할 수 있다.
- [0022] 상기 데이터 입출력 회로(40)는 데이터 라인들(DL)을 통해 상기 읽기/쓰기 회로(30)에 연결될 수 있다. 상기 데이터 입출력 회로(40)는 상기 제어 로직(50)의 제어에 응답하여 동작한다. 상기 데이터 입출력 회로(40)는 외부와 데이터(DATA)를 교환하도록 구성된다. 상기 데이터 입출력 회로(40)는 외부로부터 전달되는 데이터(DATA)를 데이터 라인들(DL)을 통해 상기 읽기/쓰기 회로(30)에 전달하도록 구성된다. 상기 데이터 입출력 회로(40)는 읽기 및 쓰기 회로로부터 데이터 라인들(DL)을 통해 전달되는 데이터(DATA)를 외부로 출력하도록 구성된다. 예를 들어, 상기 데이터 입출력 회로(40)는 데이터 버퍼 등과 같은 구성 요소를 포함할 수 있다.
- [0023] 상기 제어 로직(50)은 상기 어드레스 디코더(20), 상기 읽기/쓰기 회로(30), 및 상기 데이터 입출력 회로(40)에 연결될 수 있다. 상기 제어 로직(50)은 반도체 소자의 동작을 제어하도록 구성된다. 상기 제어 로직(50)은 외부로부터 전달되는 제어 신호(CTRL)에 응답하여 동작할 수 있다.
- [0024] 도 2는 도 1의 상기 메모리 셀 어레이(10)의 예를 나타내는 블록도이다. 도 2를 참조하면, 상기 메모리 셀 어레이(10)는 복수 개의 메모리 블록들(BLK1~BLKn)을 포함할 수 있다. 각 메모리 블록은 3차원 구조(또는 수직 구조)를 가질 수 있다. 예를 들면, 각 메모리 블록은 서로 교차하는 제 1 내지 제 3 방향들(X, Y, Z)로 연장된 구조물들을 포함할 수 있다. 예를 들면, 각 메모리 블록은 제 3 방향(Z)으로 연장된 복수 개의 셀 스트링들을 포함한다.
- [0025] 도 3a는 본 발명의 실시예들에 따른 반도체 소자의 평면도이다. 도 3b는 도 3a의 I-I'선에 따른 단면도이다. 도 3c는 도 3a의 II-II'선에 따른 단면도이다.
- [0026] 도 3a 내지 도 3c를 참조하면, 반도체 층 상에 차례로 적층된 게이트 전극들(GE)을 포함하는 전극 구조체가 제

공될 수 있다. 일 예로, 상기 반도체 층은 기판(100)일 수 있으나 이에 한정되지 않는다. 상기 기판(100)은 제 1 도전형, 예를 들면 P형을 갖는 반도체 기판일 수 있다. 반도체 기판은 단결정 실리콘막, SOI(silicon on insulator), 실리콘 게르마늄(SiGe)막 상에 형성된 실리콘 막, 절연막 상에 형성된 실리콘 단결정막, 및 절연막 상에 형성된 폴리실리콘막 중 하나일 수 있다.

[0027] 상기 기판(100)은 메모리 셀들이 제공되는 셀 어레이 영역(CAR), 게이트 전극들(GE)과 배선들의 연결을 위한 콘택 영역(CTR), 및 상기 셀 어레이 영역(CAR)과 상기 콘택 영역(CTR) 사이의 경계 영역(BR)을 포함할 수 있다. 상기 게이트 전극들(GE) 각각은 제 1 방향(D1)으로 연장되며, 상기 콘택 영역(CTR)에서 배선들과의 연결을 위한 계단형 구조를 가질 수 있다. 즉, 각 게이트 전극들(GE)은 바로 아래의 게이트 전극(GE) 보다 제 1 방향(D1)으로 짧은 길이를 가지며, 그에 따라 각 게이트 전극들(GE)은 이하 설명될 콘택들과 연결될 수 있는 패드 영역들(PD)을 노출할 수 있다. 상기 패드 영역들(PD)은 제 1 층간 절연막(171)에 의하여 덮일 수 있다. 상기 제 1 층간 절연막(171)은 실리콘 산화막을 포함할 수 있다.

[0028] 상기 기판(100)과 상기 게이트 구조체 사이에 버퍼 유전막(121)이 제공될 수 있다. 상기 버퍼 유전막(121)은 실리콘 산화막일 수 있다. 수직적으로 적층된 상기 게이트 전극들(GE) 사이에 절연 패턴들(125)이 제공될 수 있다. 상기 절연 패턴들(125)은 실리콘 산화막 또는 실리콘 산화질화막을 포함할 수 있다. 상기 절연 패턴들(125)의 두께는 동일할 수 있으나, 이에 한정되지 않는다. 일 예로, 최상층 절연 패턴의 두께는 그 아래의 절연 패턴들(125) 보다 두꺼울 수 있다. 상기 버퍼 유전막(121)은 절연 패턴들(125)에 비하여 얇을 수 있다. 상기 게이트 전극들(GE)은 도핑된 실리콘, 금속(예를 들어, 텅스텐), 금속 질화물, 금속 실리사이드들 또는 이들의 조합을 포함할 수 있다. 도면에는 게이트 전극들이 수직적으로 8개가 적층된 것으로 도시되었으나, 이에 한정되지 않고 그 이상 또는 그 이하일 수 있다.

[0029] 상기 게이트 전극들(GE)을 제 1 방향(D1)과 교차하는 제 2 방향(D2)으로 분리하는 수직 구조체들(VS)이 제공될 수 있다. 일 예로, 상기 제 2 방향(D2)은 상기 제 1 방향(D1)과 수직할 수 있다. 즉, 상기 기판(100)의 상면으로부터 동일한 레벨에 배치되는 게이트 전극들(GE)은 제 1 방향(D1)으로 연장되는 상기 수직 구조체들(VS)에 의하여 제 2 방향(D2)으로 상호 분리될 수 있다. 상기 수직 구조체들(VS)은 제 1 방향(D1)으로 연장되는 오프닝들(126) 내에 제공될 수 있다. 상기 오프닝들(126) 각각은 제 2 방향(D2)으로의 폭이 넓은 영역과 좁은 영역이 교대로 반복하여 배치될 수 있다. 일 예로, 평면적 관점에서, 상기 오프닝들(126) 각각은 제 1 방향(D1)을 따라 배치된 원들 각각이 인접하는 원들과 부분적으로 오버랩되는 형상일 수 있다.

[0030] 각 수직 구조체(VS)는 상기 게이트 전극들(GE)을 관통하여 수직적으로 연장되는 수직 채널 패턴들(CN_V)을 포함할 수 있다. 상기 수직 채널 패턴들(CN_V)은 트랜지스터들의 채널이 형성되는 영역일 수 있다. 상기 채널 패턴들(SP)은 실리콘, 게르마늄, 및 실리콘 게르마늄 중 적어도 하나를 포함할 수 있다. 일 예로, 상기 수직 채널 패턴들(CN_V)은 다결정(일 예로, 폴리 실리콘)일 수 있다. 상기 수직 채널 패턴들(CN_V)은 상기 제 1 도전형, 즉 P형 반도체 패턴일 수 있으나, 이에 한정되지 않으며 n형 상태일 수 있다. 인접하는 수직 구조체들(VS)의 수직 채널 패턴들(CN_V)은 제 1 방향(D1)으로 서로 오프셋 될 수 있다. 그 결과, 상기 수직 채널 패턴들(CN_V)은 제 3 방향(D3)으로 열들을 구성할 수 있다.

[0031] 상기 수직 채널 패턴들(CN_V)과 상기 게이트 전극들(GE) 사이에 수직 정보 저장막(DS_V)이 제공될 수 있다. 각 수직 구조체(VS)의 수직 채널 패턴들(CN_V)은 제 1 방향(D1)으로 서로 분리될 수 있다. 즉, 상기 수직 정보 저장막(DS_V)은 제 1 방향(D1)으로 인접한 수직 채널 패턴들(CN_V) 사이로 연장되어 이들을 전기적으로 분리할 수 있다. 상기 수직 정보 저장막(DS_V)을 포함한 정보 저장막에 대해서는 이하, 도 14a 및 도 14b를 참조하여 보다 상세히 설명된다.

[0032] 상기 수직 구조체들(VS)은 상기 수직 채널 패턴들(CN_V) 각각에 의하여 둘러싸인 매립 절연막들(131)을 포함할 수 있다. 상기 매립 절연막들(131)은 실리콘 산화물 또는 실리콘 산화질화물을 포함할 수 있다. 이와는 달리, 상기 매립 절연막들(131)은 생략될 수 있다.

[0033] 상기 수직 구조체들(VS) 각각은 상기 셀 어레이 영역(CAR)으로부터 상기 경계 영역(BR)으로 연장될 수 있다. 즉, 상기 경계 영역(BR)은 상기 수직 구조체들(VS)의 단부들이 배치되는 영역일 수 있다. 상기 수직 구조체들(VS)의 단부들과 오버랩되고 상기 경계 영역(BR)으로부터 상기 콘택 영역(CTR)으로 연장되며 상기 게이트 전극들(GE)을 수평적으로 분리하는 분리 절연 패턴들(141)이 제공될 수 있다. 상기 분리 절연 패턴들(141) 각각은 분리 트렌치(140) 내에 제공될 수 있다. 상기 분리 트렌치(140)는 평면적 관점에서 상기 수직 구조체들(VS) 각각과 오버랩되며, 제 1 방향(D1)으로 연장될 수 있다. 상기 수직 구조체들(VS) 및 상기 분리 절연 패턴들(141)에 의하여 제 2 방향(D2)으로 인접하는 게이트 전극들(GE)은 물리적으로 및 전기적으로 분리될 수 있다. 즉, 하

나의 수직 구조체(VS) 및 이로부터 연장되는 분리 절연 패턴(141)을 사이에 두고 수평적으로 이격된 게이트 전극들(GE)은 전기적으로 분리되므로 이하 동작 방법에서 설명되는 바와 같이 서로 다른 전압이 인가될 수 있다. 상기 분리 절연 패턴들(141)은 실리콘 산화물, 실리콘 질화물 및 실리콘 산화질화물 중 적어도 하나를 포함할 수 있다. 상기 분리 절연 패턴들(141)의 제 2 방향(D2)으로의 폭이 상기 수직 구조체들(VS)의 폭보다 작은 것으로 도시되었으나, 이와는 달리 상기 분리 절연 패턴들(141)의 폭이 상기 수직 구조체들(VS)의 폭보다 클 수 있다.

[0034] 상기 수직 구조체들(VS)과 상기 기판(100) 사이에 수평 구조체들(LS)이 제공될 수 있다. 상기 수평 구조체들(LS)은 상기 기판(100)의 상부에 매립되거나, 상기 기판(100) 상에 형성된 층(일 예로, 다결정 실리콘층) 내에 제공될 수 있다. 일 예로, 상기 수평 구조체들(LS)은 상기 기판(100)의 상부에 형성된 연결 트렌치들(150) 내에 제공될 수 있다. 상기 수평 구조체들(LS) 각각은 제 1 방향(D1) 및 제 2 방향(D2) 모두와 교차하는 제 3 방향(D3)으로 연장될 수 있다. 상기 수평 구조체들(LS)은 수평 채널 패턴들(CN_L) 및 수평 정보 저장막들(DS_L)을 포함할 수 있다.

[0035] 상기 수평 구조체들(LS) 각각은 이와 교차하는 상기 수직 구조체들(VS)의 하부들과 연결될 수 있다. 상기 수평 채널 패턴들(CN_L) 각각은 제 3 방향(D3)을 따라 배치된 수직 채널 패턴들(CN_V)과 공통적으로 연결될 수 있다. 마찬가지로, 상기 수평 정보 저장막들(DS_L) 각각은 상기 수직 정보 저장막들(DS_V)과 공통적으로 연결되며 상기 연결 트렌치들(150)을 따라 연장될 수 있다. 상기 수평 채널 패턴들(CN_L)은 상기 수평 정보 저장막들(DS_L)에 의하여 상기 기판(100)과 분리될 수 있다. 상기 매립 절연막들(131) 각각은 상기 수직 채널 패턴들(CN_V)의 내측벽들로부터 상기 수평 채널 패턴들(CN_L)의 내측벽으로 연결될 수 있다.

[0036] 상기 수평 구조체들(LS)은 상기 셀 어레이 영역(CAR)에 제공되며, 상기 경계 영역(BR) 및 상기 콘택 영역(CTR)에 제공되지 않을 수 있다. 이하, 본 명세서에서 상기 셀 어레이 영역(CAR)과 상기 경계 영역(BR)의 경계는 상기 수평 구조체들(LS)의 단부들을 연결하는 가상의 선으로 정의될 수 있다. 상기 경계 영역(BR) 상의 상기 수직 채널 패턴들(CN_V)은 상기 수평 채널 패턴들(CN_L)과 연결되지 않을 수 있다. 즉, 상기 경계 영역(BR) 상의 상기 수직 채널 패턴들(CN_V)은 메모리 셀들을 구성하지 않는 더미 셀들일 수 있다.

[0037] 상기 수직 채널 패턴들(CN_V) 상에 패드들(181, 182)이 제공될 수 있다. 상기 패드들(181, 182)은 상기 수직 채널 패턴들(CN_V) 각각 상에서 서로 이격될 수 있다. 상기 패드들(181, 182)은 상기 절연 패턴들(125) 중 최상층 내에 제공되고, 상기 최상층 절연 패턴과 상기 패드들(181, 182) 사이에 상기 수직 정보 저장막들(DS_V)이 개재되는 것으로 도시하였으나 이에 한정되지 않으며, 상기 패드들(181, 182)은 별도의 절연층 내에 제공되거나 상기 최상층 절연 패턴과 접할 수 있다. 일 예로, 상기 패드들(181, 182)은 도핑된 반도체 패턴들일 수 있다.

[0038] 상기 패드들(181, 182)은 제 1 패드들(181) 및 제 2 패드들(182)을 포함할 수 있다. 상기 제 1 패드들(181)과 상기 제 2 패드들(182)은 서로 도전형이 다를 수 있다. 일 예로, 상기 제 1 패드들(181)은 p형 반도체 패턴들이고 상기 제 2 패드들(182)은 n형 반도체 패턴들일 수 있다. 하나의 수직 구조체(VS) 내의 수직 채널 패턴들(CN_V) 상에는 동일한 타입의 패드들이 제공될 수 있다. 일 예로, 짝수 번째 수직 구조체들(VS)의 수직 채널 패턴들(CN_V) 상에는 제 1 패드들(181)이 제공될 수 있고, 홀수 번째 수직 구조체들(VS)의 수직 채널 패턴들(CN_V) 상에는 제 2 패드들(182)이 제공될 수 있다. 하나의 수평 구조체(LS)에 연결되는 수직 채널 패턴들(CN_V) 상에는 상기 제 1 패드(181)와 상기 제 2 패드(182)가 교대로 반복하여 배치될 수 있다.

[0039] 상기 패드들(181, 182) 상에 셀 스템들(CS)이 제공될 수 있다. 상기 셀 스템들(CS)은 상기 셀 어레이 영역(CAR) 상의 패드들(181, 182) 상에 한정되어 제공되며, 상기 경계 영역(BR) 상의 패드들(181, 182) 상에는 제공되지 않을 수 있다. 이와는 달리, 상기 경계 영역(BR) 상의 수직 채널 패턴들(CN_V) 상에는 상기 패드들(181, 182)이 제공되지 않거나, 상기 패드들(181, 182) 및 상기 셀 스템들(CS) 모두가 제공되지 않을 수 있다.

[0040] 제 2 방향(D2)으로 연장하며 상기 셀 스템들(CS)을 연결하는 도전 라인들(CL_A, CL_B)이 제공될 수 있다. 도 3a에서 상기 도전 라인들(CL_A, CL_B)은 일부 셀 스템들(CS) 상에만 도시되었으나 이는 표현의 간소화를 위한 것이며 제 1 방향(D1)을 따라 제 1 도전 라인들(CL_A)과 제 2 도전 라인들(CL_B)이 반복하여 교대로 배치될 수 있다. 상기 셀 스템들(CS)은 상기 제 1 층간 절연막(171) 상의 제 2 층간 절연막(172) 내에 제공될 수 있다. 제 1 도전 라인들(CL_A)은 짝수 번째 수직 구조체들(VS)의 수직 채널 패턴들(CN_V)과 연결되고, 제 2 도전 라인들(CL_B)은 홀수 번째 수직 구조체들(VS)의 수직 채널 패턴들(CN_V)과 연결될 수 있다. 즉, 상기 제 1 도전 라인들(CL_A)은 상기 셀 스템들(CS)을 통하여 상기 제 1 패드들(181)과 연결되고, 상기 제 2 도전 라인들(CL_B)은 상기 셀 스템들(CS)을 통하여 상기 제 2 패드들(182)과 연결될 수 있다.

- [0041] 상기 콘택 영역(CTR) 상에 상기 게이트 전극들(GE)과 연결되는 콘택들(CT)이 제공될 수 있다. 상기 콘택들(CT)은 상기 제 1 층간 절연막(171) 및 상기 제 2 층간 절연막(172)을 관통하여 상기 게이트 전극들(GE)의 패드 영역들(PD) 각각에 연결될 수 있다. 평면적 관점에서, 상기 콘택들(CT)은 제 2 방향(D2)을 따라 지그-재그 형태로 배치될 수 있다. 상기 콘택들(CT) 상에 배선들(CGL)이 배치될 수 있다. 도 3a에서 상기 배선들(CGL)은 일부 콘택들(CT) 상에만 도시되었으나 이는 표현의 간소화를 위한 것이다. 상기 도전 라인들(CL_A, CL_B), 상기 배선들(CGL), 상기 셀 스트러드들(CS) 및 상기 콘택들(CT) 각각은 금속, 도전성 금속 질화물 및 도핑된 반도체 물질 중 적어도 하나를 포함할 수 있다.
- [0042] 도 14a 및 도 14b는 본 발명의 실시예들에 따른 수직 정보 저장막들(DS_V)을 설명하기 위한 수평 단면도들이다. 상기 수직 정보 저장막들(DS_V)은 상기 오프닝들(126)의 측벽 상에 차례로 형성된 블로킹 절연막(BLK), 전하 저장막(CIL), 및 터널 절연막(TIL)을 포함할 수 있다. 도시를 생략하였으나, 상기 수평 정보 저장막들(DS_L)의 구조는 상기 수직 정보 저장막들(DS_V)과 실질적으로 동일할 수 있다. 상술한 바와 같이, 상기 오프닝들(126) 각각은 제 2 방향(D2)으로의 폭이 넓은 영역과 좁은 영역이 교대로 반복하여 배치되므로, 폭이 좁은 영역들(이하, 협폭 영역들(NWR))에서 상기 블로킹 절연막(BLK) 및/또는 상기 전하 저장막(CIL)이 서로 연결될 수 있다. 일 예로, 도 14a에 도시된 바와 같이 각 오프닝(126)의 양 측벽들 상의 블로킹 절연막들(BLK)은 상기 협폭 영역들(NWR)에서 서로 연결될 수 있다. 그 결과, 각 오프닝(126) 내에 제공되는 상기 전하 저장막들(CIL), 상기 터널 절연막들(TIL), 상기 수직 채널 패턴들(CN_V) 및 상기 매립 절연막들(131) 각각은 제 1 방향(D1)으로 서로 분리되어 형성될 수 있다.
- [0043] 다른 예로, 도 14b에 도시된 바와 같이 상기 블로킹 절연막(BLK) 뿐 아니라, 각 오프닝(126)의 양 측벽들 상의 전하 저장막들(CIL)도 상기 협폭 영역들(NWR)에서 서로 연결될 수 있다. 그 결과, 각 오프닝(126) 내에 제공되는 상기 터널 절연막들(TIL), 상기 수직 채널 패턴들(CN_V) 및 상기 매립 절연막들(131) 각각은 제 1 방향(D1)으로 서로 분리되어 형성될 수 있다.
- [0044] 상기 블로킹 절연막(BLK)은 복수의 박막들로 구성되는 다층막일 수 있다. 예를 들면, 블로킹 절연막(BLK)은 하프늄 산화막, 알루미늄 산화막 및/또는 실리콘 산화막을 포함할 수 있으며, 하프늄 산화막, 알루미늄 산화막 및 실리콘 산화막의 적층 순서는 다양할 수 있다. 상기 전하 저장막(CIL)은 전하 트랩막 또는 도전성 나노 입자를 포함하는 절연막일 수 있다. 전하 트랩막은, 예를 들면 실리콘 질화막을 포함할 수 있다. 상기 터널 절연막(TIL)은 실리콘 산화막을 포함할 수 있다. 상기 터널 절연막(TIL)은 고유전막(예를 들어, 하프늄 산화막 또는 알루미늄 산화막)을 더 포함할 수 있다. 다른 실시예들에 있어서, 상기 수직 정보 저장막들(DS_V)은 가변저항 패턴일 수 있다. 가변저항 패턴은 그것의 저항이 변화될 수 있는, 가변저항 특성을 갖는 물질들 중의 적어도 하나를 포함할 수 있다.
- [0045] 도 4는 본 발명의 실시예들에 따른 반도체 반도체 소자의 셀 어레이를 나타낸 간략 회로도이다. 도 5a는 도 4의 P 영역으로 하나의 메모리 블록의 회로도이다. 도 5b는 각 게이트 전극들을 구별하기 위하여 도 5a의 구성 요소들을 각 게이트 전극들에 도시한 개념도이다.
- [0046] 도 4, 도 5a 및 도 5b를 참조하면, 본 발명의 실시예들에 따른 반도체 소자는 제 1 도전 라인들(CL_A)과 제 2 도전 라인들(CL_B) 사이에 배치되는 복수개의 셀 스트링들(CSTR)을 포함할 수 있다. 도 3a 내지 도 3c를 참조하여 설명된 게이트 전극들(GE)은 최상층인 상부 선택 라인들(TS), 최하층인 제 1 하부 선택 라인들(BS1), 상기 상부 선택 라인들(TS)과 상기 제 1 하부 선택 라인들(BS1) 사이의 워드 라인들(WL), 및 최하층 워드 라인들(WL)과 상기 제 1 하부 선택 라인들(BS1) 사이의 제 2 하부 선택 라인들(BS2)을 포함할 수 있다. 상기 상부 선택 라인들(TS) 및 상기 제 1 및 제 2 하부 선택 라인들(BS1, BS2) 각각은 하나의 도전층으로부터 분리된 동일 레벨의 패턴들로 도시되었으나, 이에 한정되지 않는다.
- [0047] 상기 제 1 도전 라인들(CL_A)은 공통 소스 라인들일 수 있고, 상기 제 2 도전 라인들(CL_B)은 비트 라인들일 수 있다. 상기 상부 선택 라인들(TS) 중 일부는 스트링 선택 트랜지스터의 게이트 전극들일 수 있으며, 나머지는 접지 선택 트랜지스터의 게이트 전극들일 수 있다. 일 예로, 도 5a 및 도 5b에 도시된 셀 스트링(CSTR)의 경우, TS_j+3는 접지 선택 트랜지스터의 게이트 전극일 수 있으며 TS_j+1는 스트링 선택 트랜지스터의 게이트 전극일 수 있다. 제 1 하부 선택 라인들(BS1)은 인접하는 수직 채널 패턴들(CN_V), 보다 상세하게는 인접하는 수직 채널 패턴들(CN_V) 내에 형성되는 반전 영역들(inversion layer)을 연결 또는 분리하기 위한 스위칭 게이트들일 수 있다. 상기 워드 라인들(WL)은 메모리 셀 트랜지스터들의 게이트 전극들일 수 있다. 상기 제 2 하부 선택 라인들(BS2)은 상기 메모리 셀 트랜지스터들과 상기 스위칭 게이트들을 연결하는 게이트들일 수 있다. 이와는 달리, 상기 제 2 하부 선택 라인들(BS2)은 생략될 수 있다.

[0048] 도 5a 및 도 5b를 다시 참조하여, 본 발명의 실시예들에 따른 반도체 소자의 동작 방법이 설명된다. 소거의 경우 각 게이트 전극들 및 도선 라인들의 전압 조건은 다음과 같다. 아래의 표 1과 같은 조건 하에서, 하나의 메모리 블록의 모든 메모리 셀들이 소거될 수 있다. 이하, On은 트랜지스터가 턴-온되는 것을 지칭하고, OFF는 트랜지스터가 턴-오프되는 것을 지칭한다.

표 1

[0049]

구성 요소	조건
CL_A	V_{erase}
CL_B	Floating
WL	0V
TS _j ~TS _{j+4}	Floating
BS _{2j} ~BS _{2j+4}	On
BS _{1j+1} ~BS _{1j+3}	On
기관(or 상응하는 구조)	Floating

[0051]

기입의 경우, 각 게이트 전극들 및 도선 라인들의 전압 조건은 다음과 같다. 아래의 표2와 같은 조건 하에서, 도 5a의 셀 스트링(CSTR)이 선택되며, 해당 셀 스트링(CSTR)의 선택 메모리 셀(SM)에 기입 동작이 수행될 수 있다. 금지 전압(inhibiting voltage: V_{IN})은 해당 셀 스트링의 기입을 방지하기 위한 전압이다. 프로그램 전압(V_{pgm})은 채널로부터의 FN 터널링을 유발할 수 있을 정도로 큰 전압이고, 패스 전압(V_{pass})은 메모리 셀 트랜지스터의 문턱 전압(V_{th})보다는 크고 상기 프로그램 전압(V_{pgm})보다는 작은 범위에서 선택될 수 있다. 일 실시예에 따른 기입 방법의 경우, 셀프-부스팅을 이용하여 선택된 스트링들의 메모리 셀들을 프로그램하고, 금지된 스트링들(inhibited strings) 및 선택되지 않은 스트링들(unselected strings)의 메모리 셀들에서의 프로그램을 방지하는 선택적 프로그램 단계를 포함할 수 있다.

표 2

[0052]

구성 요소	조건	
선택 스트링의 CL_A	GND	
선택 스트링의 CL_B	0V	
미 선택 스트링의 CL_A, CL_B	V_{IN}	
WL	WL _{xJ+1} , WL _{xJ+3}	V_{pass}
	WL _{xJ+2}	$V_{reverse}$
	WL _{4j+1} (selected)	V_{pgm}
TS	TS _{j+1} , TS _{j+3}	V_{pass}
	TS _{j+2}	$V_{reverse}$
BS2	BS _{2j+1} , BS _{2j+3}	V_{pass}
	BS _{2j+2}	$V_{reverse}$
BS1j	BS _{1j+2}	ON
	BS _{1j+1} , BS _{1j+3}	OFF
기관(or 상응하는 구조)	$V_{reverse}$	

[0054]

독출의 경우, 각 게이트 전극들 및 도선 라인들의 전압 조건은 다음과 같다. 아래의 표3과 같은 조건 하에서, 도 5a의 셀 스트링(CSTR)이 선택되며, 해당 셀 스트링(CSTR)의 선택 메모리 셀(SM)의 독출 동작이 수행될 수 있다. 비트 라인 전압(V_{BL})은 문턱 전압(V_{th})보다 큰 소정의 전압(예를 들면, 외부 전원으로부터 공급되는 전압)일

수 있다.

표 3

[0055]

구성 요소		조건
선택 스트링의 CL_A		GND
선택 스트링의 CL_B		V _{BL}
미 선택 스트링의 CL_A, CL_B		GND
WL	WLxJ+1, WLxJ+3	V _{pass}
	WLxJ+2	V _{reverse}
	WL4j+1(selected)	V _{read}
TS	TSj+1, TSj+3	V _{pass}
	TSj+2	V _{reverse}
BS2	BS2j+1, BS2j+3	V _{pass}
	BS2j+2	V _{reverse}
BS1j	BS1j+2	ON
	BS1j+1, BS1j+3	OFF
기관(or 상응하는 구조)		V _{reverse}

[0057]

하나의 수평 채널 패턴(CN_L)에 연결되고 서로 인접한 한 쌍의 수직 채널 패턴들(CN_V)은 동일한 셀 스트링의 채널 영역으로 동작할 수 있다. 상술한 바와 같이, 하나의 수직 채널 패턴(CN_V)을 사이에 두고 이격되는 게이트 전극들은 전기적으로 분리되어 서로 다른 전압이 인가될 수 있으므로, 하나의 수직 채널 패턴(CN_V)이 2개의 셀 스트링들(CSTR)에 의하여 공유될 수 있다. 또한, 하나의 수직 채널 패턴(CN_V) 및 이를 사이에 두고 이격된 게이트 전극들은 서로 다른 한 쌍의 셀 스트링들(CSTR)로 동작할 수 있다. 이에 따라, 반도체 소자의 집적도가 향상될 수 있다.

[0058]

도 6a 내지 도 13a는 본 발명의 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 평면도들이다. 도 6b 내지 도 13b는 도 6a 내지 도 13a의 I-I'선에 따른 단면도들이다. 도 6c 내지 도 13c는 도 6a 내지 도 13a의 II-II'선에 따른 단면도들이다.

[0059]

도 6a 내지 도 6c를 참조하여, 기관(100)이 제공된다. 상기 기관(100)은 제 1 도전형, 예를 들면 P형의 도전형을 가질 수 있다. 상기 기관(100)은 메모리 셀들이 형성되는 셀 어레이 영역(CAR), 게이트 전극들과 배선들의 연결을 위한 콘택 영역(CTR), 및 상기 셀 어레이 영역(CAR)과 상기 콘택 영역(CTR) 사이의 경계 영역(BR)을 포함할 수 있다.

[0060]

상기 기관(100)의 상부에 연결 트렌치들(150)이 형성될 수 있다. 상기 연결 트렌치들(150) 각각은 제 3 방향으로 연장될 수 있다. 상기 연결 트렌치들(150)은 건식 식각 공정으로 형성될 수 있다. 상기 연결 트렌치들(150)은 상기 셀 어레이 영역(CAR)에 형성되며 상기 경계 영역(BR) 및 상기 콘택 영역(CTR)에는 형성되지 않을 수 있다.

[0061]

상기 연결 트렌치들(150)은 채우는 희생 패턴들(151)이 형성될 수 있다. 상기 희생 패턴들(151)은 이하 설명될 게이트 전극들 및 절연 패턴들과 식각 선택성이 있는 물질을 포함할 수 있다. 일 예로, 상기 희생 패턴들(151)은 실리콘 질화물 또는 실리콘 산화질화물을 포함할 수 있다. 상기 희생 패턴들(151)은 상기 연결 트렌치들(150)을 채우는 절연막을 형성한 후, 상기 기관(100)의 상면이 노출될 때까지 평탄화 공정을 수행하여 형성될 수 있다. 이하 설명의 간소화를 위하여 상기 희생 패턴들(151)이 상기 기관(100)의 상부에 형성되는 것으로 설명되나, 이와는 달리 상기 기관(100) 상에 형성된 별개의 층 내에 형성될 수 있다. 이와 관련된 실시예는 도 16 및 도 17을 참조하여 설명된다.

[0062]

도 7a 내지 도 7c를 참조하여, 상기 기관(100) 상에 버퍼 유전막(121)을 형성할 수 있다. 상기 버퍼 유전막(121)은, 예를 들어 실리콘 산화막일 수 있다. 상기 버퍼 유전막(121)은, 예를 들어 열산화 공정에 의하여 형성

될 수 있다. 상기 버퍼 유전막(121) 상에 게이트 전극들(GE) 및 절연 패턴들(125)이 교대로 반복하여 형성될 수 있다. 상기 게이트 전극들(GE)은 도핑된 실리콘, 금속(예를 들어, 텅스텐), 금속 질화물, 금속 실리사이드들 또는 이들의 조합을 포함할 수 있다. 상기 절연 패턴들(125)은 실리콘 산화막 또는 실리콘 산화질화막을 포함할 수 있다. 최상층 절연 패턴의 두께는 그 아래의 절연 패턴들(125) 보다 두꺼울 수 있다. 상기 버퍼 유전막(121), 상기 게이트 전극들(GE), 및 상기 절연 패턴들(125)은 화학 기상 증착 또는 물리 기상 증착으로 형성될 수 있다.

[0063] 상기 콘택 영역(CTR)에 패드 영역들(PD)이 형성될 수 있다. 상기 패드 영역들(PD)은 상기 게이트 전극들(GE)의 단부들로, 계단형 구조를 가질 수 있다. 즉, 각 게이트 전극들(GE)은 바로 아래의 게이트 전극(GE) 보다 제 1 방향(D1)으로 짧은 길이를 가질 수 있다. 각 게이트 전극들(GE)의 상면들과 접하는 절연 패턴들(125)은 각 게이트 전극들(GE)과 동일한 길이를 가질 수 있다. 상기 패드 영역들(PD)의 형성은 마스크 패턴의 형성 및 상기 마스크 패턴의 폭을 줄이는 복수의 트리밍 공정들을 포함할 수 있다. 일 예로, 상기 트리밍 공정들은 등방적 건식 식각 방법 또는 습식 식각 방법으로 수행될 수 있다. 상기 패드 영역들(PD)을 덮는 제 1 층간 절연막(171)이 형성될 수 있다. 상기 제 1 층간 절연막(171)은 실리콘 산화막을 포함할 수 있다.

[0064] 상기 게이트 전극들(GE), 상기 절연 패턴들(125), 및 상기 버퍼 유전막(121)을 관통하는 수직 홀들(122)이 형성될 수 있다. 상기 수직 홀들(122)은 상기 셀 어레이 영역(CAR) 및 상기 경계 영역(BR) 상에 형성될 수 있다. 상기 수직 홀들(122)은 이방성 식각 공정으로 형성될 수 있다. 일 예로, 최상층 절연 패턴(125) 상에 마스크 패턴들(176)을 형성한 후, 이를 식각 마스크로 이방성 식각 공정이 수행될 수 있다. 상기 마스크 패턴들(176)은 상기 절연 패턴들(125)과 식각 선택성이 있는 물질을 포함할 수 있다. 일 예로, 상기 절연 패턴들(125)이 실리콘 산화막인 경우, 상기 마스크 패턴들(176)은 실리콘 질화막 또는 실리콘 산화질화막일 수 있다.

[0065] 제 2 방향(D2)으로 인접한 상기 수직 홀들(122) 사이의 거리는 제 1 방향(D1)으로 인접한 수직 홀들(122) 사이의 거리보다 클 수 있다. 상기 수직 홀들(122)은 제 1 방향(D1)으로 열들을 구성할 수 있다. 인접하는 열들의 수직 홀들(122)은 상기 희생 패턴들(151)과 정렬되도록 제 1 방향(D1)으로 오프셋될 수 있다. 그 결과, 상기 희생 패턴들(151) 각각 상에 복수의 수직 홀들(122)이 형성될 수 있다. 상기 수직 홀들(122)은 상기 셀 어레이 영역(CAR)에서 상기 희생 패턴들(151)의 상면들을 노출할 수 있고, 상기 경계 영역(BR)에서 상기 기판(100)의 상면을 노출할 수 있다.

[0066] 상기 수직 홀들(122)의 형상이 도 18a 및 도 18b를 참조하여 설명된다. 상기 수직 홀들(122) 각각은 도 18a와 같이 제 1 방향(D1)으로의 폭(w1)과 제 2 방향(D2)으로의 폭(w2)이 실질적으로 동일할 수 있다. 이와는 달리, 상기 수직 홀들(122) 각각은 도 18b와 같이 제 1 방향(D1)으로의 폭(w1)이 제 2 방향(D2)으로의 폭(w2)보다 클 수 있다.

[0067] 도 8a 내지 도 8c를 참조하여, 상기 수직 홀들(122)이 확장되어 제 1 방향(D1)으로 연장되는 오프닝들(126)이 형성될 수 있다. 상기 수직 홀들(122)의 확장 공정은 복수의 식각 공정을 포함할 수 있다. 일 예로, 상기 수직 홀들(122)의 확장 공정은 상기 게이트 전극들(GE)의 측벽들의 식각 공정 및 상기 절연 패턴들(125)의 측벽들의 식각 공정을 포함할 수 있다. 일 예로, 상기 게이트 전극들(GE)의 식각은 SC1 용액으로 수행될 수 있고, 상기 절연 패턴들(125)의 식각은 HF로 수행될 수 있다. 상기 수직 홀들(122)이 확장됨에 따라 제 1 방향(D1)으로 인접한 수직 홀들(122)이 서로 연결되어 오프닝들(126)이 형성될 수 있다.

[0068] 상기 오프닝들(126)의 형성에 의하여 상기 게이트 전극들(GE) 및 상기 절연 패턴들(125)은 상기 오프닝들(126)을 사이에 두고 제 2 방향(D2)으로 분리될 수 있다. 상기 셀 어레이 영역(CAR)에서 상기 희생 패턴들(151)은 제거되지 않고 잔류할 수 있다. 도시된 바와는 달리, 상기 희생 패턴들(151)이 형성되지 않은 상기 경계 영역(BR)의 경우, 상기 기판(100)의 상부가 함께 식각 될 수 있다. 상기 수직 홀들(122)을 형성하기 위하여 상기 마스크 패턴들(176)에 형성된 홀들은 상기 수직 홀들(122)과 함께 확장되지 않을 수 있으며, 이에 따라 상기 마스크 패턴들(176)은 그 아래의 게이트 전극들(GE) 및 절연 패턴들(125)을 구조적으로 지지할 수 있다.

[0069] 도 9a 내지 도 9c를 참조하여, 상기 희생 패턴들(151)이 선택적으로 제거될 수 있다. 상기 희생 패턴들(151)의 제거는 상기 게이트 전극들(GE) 및 상기 절연 패턴들(125)의 식각을 최소화하며 수행될 수 있다. 일 예로, 상기 희생 패턴들(151)의 선택적 제거는 인산으로 수행될 수 있다. 상기 희생 패턴들(151)의 제거에 의하여 상기 연결 트렌치들(150)이 노출될 수 있다. 그 결과 상기 오프닝들(126)은 상기 연결 트렌치들(150)과 연결될 수 있다. 상기 마스크 패턴들(176)은 상기 희생 패턴들(151)과 함께 제거되거나, 별개의 식각 공정으로 제거될 수 있다.

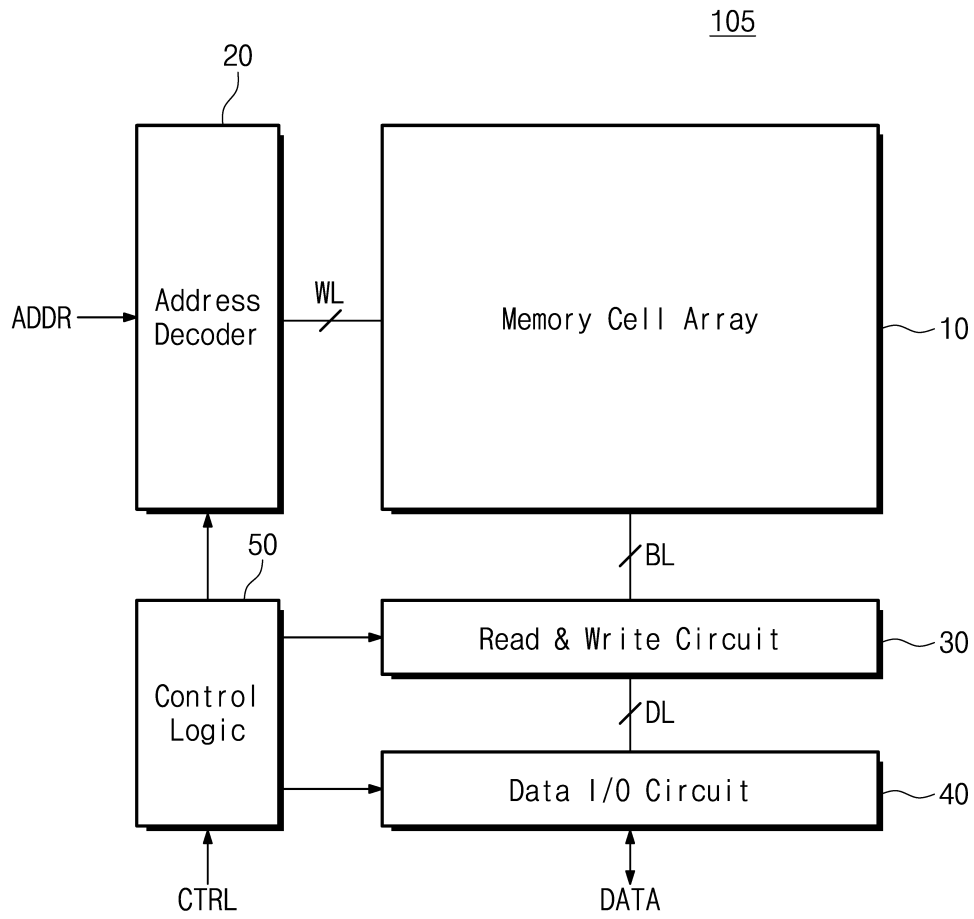
- [0070] 도 10a 내지 도 10c를 참조하여, 상기 오프닝들(126) 및 상기 연결 트렌치들(150) 내에 정보 저장막들(DS_V, DS_N), 채널 패턴들(CN_V, CN_L), 및 매립 절연막들(131)이 차례로 형성될 수 있다. 그 결과, 수직 구조체들(VS) 및 수평 구조체들(LS)이 형성될 수 있다. 상기 오프닝들(126) 내에 형성되는 상기 수직 구조체들(VS)은 수직 정보 저장막들(DS_V) 및 수직 채널 패턴들(CN_V)을 포함하고, 상기 연결 트렌치들(150) 내에 형성되는 상기 수평 구조체들(LS)은 수평 정보 저장막들(DS_L) 및 수평 채널 패턴들(CN_L)을 포함할 수 있다.
- [0071] 상기 수직 구조체들(VS) 및 상기 수평 구조체들(LS)의 형성은 원자층 증착(Atomic Layer Deposition) 공정을 포함할 수 있다. 상기 정보 저장막들(DS_V, DS_N)은 도 14a 및 도 14b를 참조하여 설명된 바와 같은 구조를 가질 수 있다. 일 예로, 상기 채널 패턴들(CN_V, CN_L)은 폴리 실리콘으로 형성될 수 있고, 상기 매립 절연막들(131)은 실리콘 산화막으로 형성될 수 있다. 이후, 평탄화 공정이 수행되어 최상층 절연 패턴(125)의 상면이 노출될 수 있다.
- [0072] 도 11a 내지 도 11c를 참조하여, 상기 수직 채널 패턴들(CN_V) 상에 패드들(181, 182)이 형성될 수 있다. 상기 패드들(181, 182)은 상기 수직 채널 패턴들(CN_V) 각각 상에서 서로 이격될 수 있다. 일 예로, 상기 패드들(181, 182)은 상기 수직 채널 패턴들(CN_V)의 상부들 및 상기 매립 절연막들(131)의 상부들을 제거한 후, 제거된 영역 내에 도전성 물질을 채워 형성될 수 있다. 일 예로, 상기 패드들(181, 182)은 도핑된 반도체 패턴들로 형성될 수 있다.
- [0073] 상기 패드들(181, 182)은 복수의 이온 주입 공정을 통하여 형성될 수 있다. 일 예로, 상기 패드들(181, 182)은 제 1 패드들(181) 및 제 2 패드들(182)을 포함하고, 상기 제 1 패드들(181)과 상기 제 2 패드들(182)은 서로 도전성이 다를 수 있다. 일 예로, 상기 제 1 패드들(181)은 p형 반도체 패턴들이고 상기 제 2 패드들(182)은 n형 반도체 패턴들일 수 있다. 하나의 수직 구조체(VS) 내의 수직 채널 패턴들(CN_V) 상에는 동일한 타입의 패드들이 제공될 수 있다. 일 예로, 짝수 번째 수직 구조체들(VS)의 수직 채널 패턴들(CN_V) 상에는 제 1 패드들(181)이 제공될 수 있고, 홀수 번째 수직 구조체들(VS)의 수직 채널 패턴들(CN_V) 상에는 제 2 패드들(182)이 제공될 수 있다.
- [0074] 도 12a 내지 도 12c를 참조하여, 상기 패드들(181, 182) 상에 제 2 층간 절연막(172)을 형성한 후, 상기 패드들(181, 182)과 연결되는 셀 스타드들(CS)을 형성할 수 있다. 상기 셀 스타드들(CS)은 상기 셀 어레이 영역(CAR) 상의 패드들(181, 182) 상에 한정되어 제공되며, 상기 경계 영역(BR) 상의 패드들(181, 182) 상에는 제공되지 않을 수 있다. 상기 셀 스타드들(CS)은 금속, 도전성 금속 질화물 및 도핑된 반도체 물질 중 적어도 하나를 포함할 수 있다. 일 예로, 상기 셀 스타드들(CS)은 물리 기상 증착으로 형성될 수 있다.
- [0075] 도 13a 내지 도 13c를 참조하여, 상기 수직 구조체들(VS)의 단부들 각각과 오버랩되고 상기 경계 영역(BR)으로부터 상기 콘택 영역(CTR)으로 연장되며 상기 게이트 전극들(GE)을 수평적으로 분리하는 분리 트렌치들(140)이 형성될 수 있다. 상기 분리 트렌치들(140)의 형성은 이방성 식각 공정을 포함할 수 있다. 상기 수직 구조체들(VS) 및 상기 분리 트렌치들(140)에 의하여 제 2 방향(D2)으로 인접하는 게이트 전극들(GE)은 물리적으로 및 전기적으로 분리될 수 있다. 상기 분리 트렌치들(140) 내에 분리 절연 패턴들(141)이 형성될 수 있다. 상기 분리 절연 패턴들(141)은 실리콘 산화물, 실리콘 질화물 및 실리콘 산화질화물 중 적어도 하나를 포함할 수 있다. 상기 분리 절연 패턴들(141)은 상기 분리 트렌치들(140)을 채우는 절연막을 형성한 후, 상기 제 2 층간 절연막(172)의 상면이 노출될 때까지 평탄화 공정을 수행하여 형성될 수 있다.
- [0076] 도 3a 내지 도 3c를 다시 참조하여, 상기 콘택 영역(CTR) 상에 상기 게이트 전극들(GE)과 연결되는 콘택들(CT)이 형성될 수 있다. 상기 콘택들(CT)은 상기 제 1 층간 절연막(171) 및 상기 제 2 층간 절연막(172)을 관통하여 상기 게이트 전극들(GE)의 패드 영역들(PD)을 노출하는 콘택홀들을 형성한 후, 이를 도전 물질로 채워 형성될 수 있다. 일 예로, 상기 콘택들(CT)은 금속, 도전성 금속 질화물 및 도핑된 반도체 물질 중 적어도 하나를 포함할 수 있다. 평면적 관점에서, 상기 콘택들(CT)은 제 2 방향(D2)을 따라 지그-재그 형태로 배치될 수 있다. 상술한 바와는 달리, 상기 콘택들(CT)과 상기 셀 스타드들(CS)은 동시에 형성될 수 있다.
- [0077] 제 2 방향(D2)으로 연장하며 상기 셀 스타드들(CS)을 연결하는 도전 라인들(CL_A, CL_B)이 형성될 수 있다. 제 1 도전 라인들(CL_A)은 짝수 번째 수직 구조체들(VS)의 수직 채널 패턴들(CN_V)과 연결되고, 제 2 도전 라인들(CL_B)은 홀수 번째 수직 구조체들(VS)의 수직 채널 패턴들(CN_V)과 연결될 수 있다. 상기 콘택들(CT) 상에 배선들(CGL)이 배치될 수 있다. 상기 도전 라인들(CL_A, CL_B) 및 상기 배선들(CGL)은 금속, 도전성 금속 질화물 및 도핑된 반도체 물질 중 적어도 하나를 포함하는 물질로 형성될 수 있다.
- [0078] 도 15는 본 발명의 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 도면으로, 도 8a의 II-II'선에

따른 단면도이다. 설명의 간소화를 위하여 중복되는 구성에 대한 설명은 생략된다.

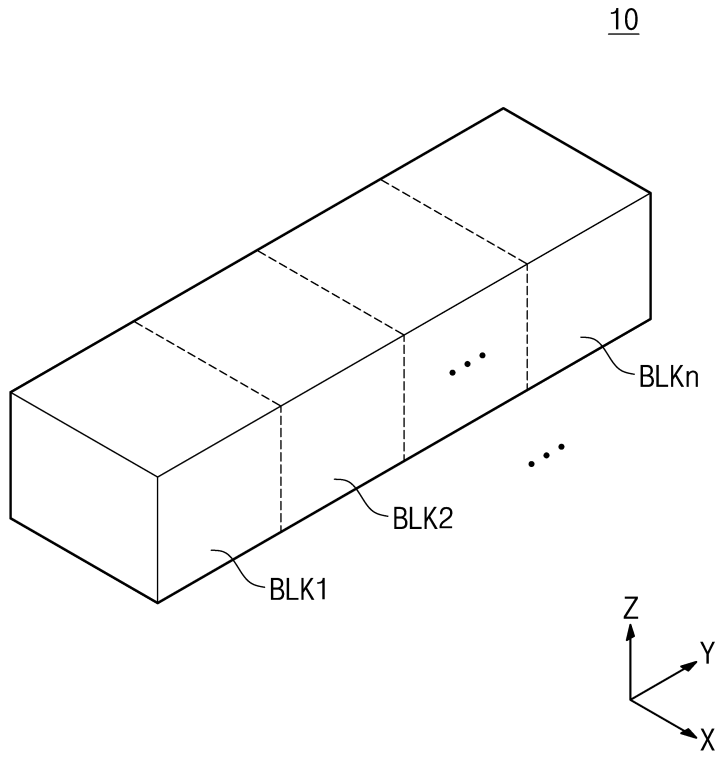
- [0079] 본 실시예에 있어서, 게이트 전극들(GE)은 상기 기판(100)의 상면으로부터의 거리에 따라 서로 식각 특성이 다른 물질들로 형성될 수 있다. 일 예로, 도 8a 내지 도 8c를 참조하여 설명된 수직 홀들(122)의 확장 공정에서 상대적으로 상기 기판(100)과 가까운 제 1 게이트 전극들(GE_A)은 상기 기판(100)으로부터 먼 제 2 게이트 전극들(GE_B)보다 식각 속도가 빠를 수 있다. 일 예로, 상기 기판(100)과 가까운 4개의 게이트 전극들(GE)은 제 1 게이트 전극들(GE_A)일 수 있고, 나머지 4개는 제 2 게이트 전극들(GE_B)일 수 있다. 이와는 달리, 상기 게이트 전극들(GE)은 서로 식각 특성이 다른 3개 이상의 게이트 전극들을 포함할 수 있다.
- [0080] 이와 마찬가지로, 상기 절연 패턴들(125)도 상기 기판(100)의 상면으로부터의 거리에 따라 서로 식각 특성이 다른 물질들로 형성될 수 있다. 일 예로, 도 8a 내지 도 8c를 참조하여 설명된 수직 홀들(122)의 확장 공정에서 상대적으로 상기 기판(100)과 가까운 제 1 절연 패턴들(125_A)은 상기 기판(100)으로부터 먼 제 2 절연 패턴들(125_B)보다 식각 속도가 빠를 수 있다.
- [0081] 식각 공정의 특성 상, 상기 수직 홀들(122)의 수직 길이가 길어짐에 따라 상기 수직 홀들(122)의 직경은 상부에 비하여 하부에서 작아질 수 있다. 본 실시예의 경우, 상기 기판(100)에 가까운 층들을 상대적으로 식각 속도가 큰 물질로 형성하고, 그에 따라 상기 수직 홀들(122)의 확장 공정에서 상기 수직 홀들(122)의 하부들이 상부들에 비하여 더 확장될 수 있다. 그 결과, 상기 오프닝들(126)의 측벽은 보다 수직에 가깝게 형성될 수 있다.
- [0082] 도 16은 본 발명의 실시예들에 따른 반도체 소자의 개략 블록도이다.
- [0083] 도 16을 참조하면, 실시예들에 따른 반도체 소자는 주변 로직 구조체(PSS) 및 셀 어레이 구조체(CSS)를 포함하며, 주변 로직 구조체(PSS) 상에 셀 어레이 구조체(CSS)가 적층될 수 있다. 즉, 주변 로직 구조체(PSS)와 셀 어레이 구조체(CSS)가 수직적으로 오버랩될 수 있다. 일 예로, 주변 로직 구조체(PSS)는 도 1을 참조하여 설명된 어드레스 디코더(20), 읽기/쓰기 회로(30), 데이터 입출력 회로(40), 및 제어 로직(50)을 포함할 수 있다. 셀 어레이 구조체(CSS)는 데이터 소거 단위인 복수 개의 메모리 블록들(BLK1~BLKn)을 포함할 수 있다.
- [0084] 도 17은 본 발명의 실시예들에 따른 반도체 메모리 소자의 단면도이다. 설명의 간소화를 위하여 중복된 구성에 대한 설명은 생략된다.
- [0085] 도 17을 참조하면, 반도체 기판(11) 상에 주변 로직 구조체(PSS) 및 셀 어레이 구조체(CSS)가 차례로 적층될 수 있다. 즉, 상기 주변 로직 구조체(PSS)는 상기 반도체 기판(11)과 상기 셀 어레이 구조체(CSS) 사이에 배치될 수 있다. 상기 반도체 기판(11)은 벌크(bulk) 실리콘 기판, 실리콘-온-인슐레이터(silicon on insulator: SOI) 기판, 게르마늄 기판, 게르마늄-온-인슐레이터(germanium on insulator: GOI) 기판, 실리콘-게르마늄 기판, 또는 선택적 에피택시얼 성장(selective epitaxial growth: SEG)을 수행하여 획득한 에피택시얼 박막의 기판일 수 있다.
- [0086] 상기 주변 로직 구조체(PSS)는 상기 셀 어레이 구조체(CSS)와 전기적으로 연결되는 NMOS 및 PMOS 트랜지스터들, 저항(resistor) 및 캐패시터(capacitor)를 포함할 수 있다. 이러한 주변 회로들은 상기 반도체 기판(11)의 전면에 형성될 수 있다. 또한, 상기 반도체 기판(11)은 n형 불순물이 도핑된 n웰 영역(NW)과 p형 불순물이 도핑된 p웰 영역(PW)을 포함할 수 있다. 상기 n웰 영역(NW)과 상기 p웰 영역(PW)에는 소자 분리막(21)에 의해 활성 영역들이 정의될 수 있다.
- [0087] 상기 주변 로직 구조체(PSS)는 주변 게이트 전극들(PG), 주변 게이트 전극들(PG) 양측의 소오스 및 드레인 불순물 영역들, 주변 콘택 플러그들(CP), 주변 회로 배선들(ICL), 및 주변 회로들을 덮는 하부 층간 절연막(174)을 포함할 수 있다. 보다 상세하게, 상기 n웰 영역(NW) 상에 PMOS 트랜지스터들이 형성될 수 있으며, 상기 p웰 영역(PW) 상에 NMOS 트랜지스터들이 형성될 수 있다. 상기 주변 회로 배선들(ICL)은 상기 주변 콘택 플러그들(CP)을 통해 주변 회로들과 전기적으로 연결될 수 있다.
- [0088] 상기 셀 어레이 구조체(CSS)는 반도체층(104)을 제외하고는 도 3a 내지 도 3c의 반도체 소자의 구조와 동일할 수 있다. 즉, 본 실시예의 경우 도 3a 내지 도 3c의 기판(100)은 반도체층(104)으로 대체될 수 있다. 상기 셀 어레이 구조체(CSS)의 제조 공정에서, 도 6a 내지 도 6c를 참조하여 설명된 연결 트랜치들(150)은 상기 반도체층(104) 내에 형성될 수 있다.
- [0089] 이상, 첨부된 도면들을 참조하여 본 발명의 실시 예들을 설명하였지만, 본 발명은 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수도 있다. 그러므로 이상에서 기술한 실시 예들에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면

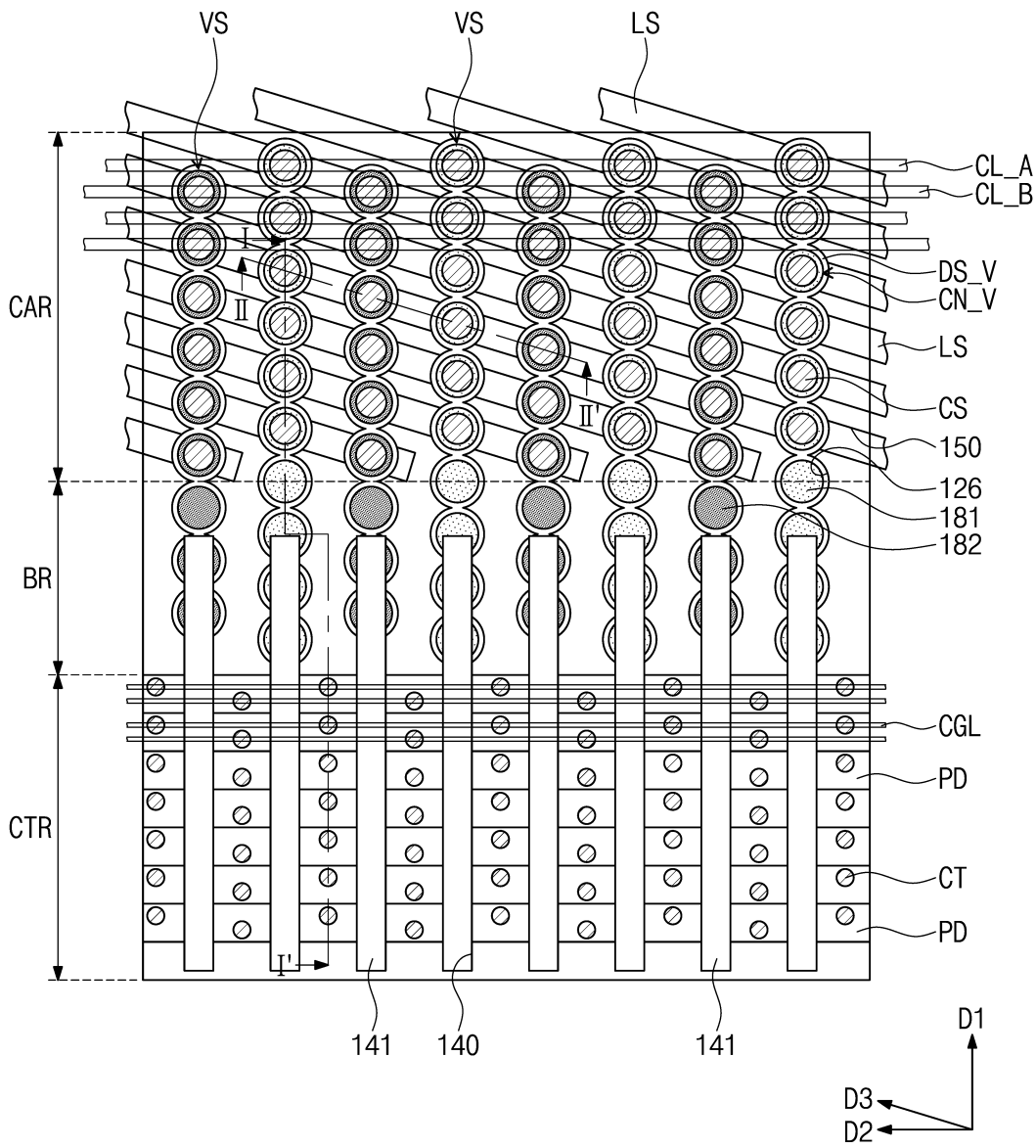
도면1



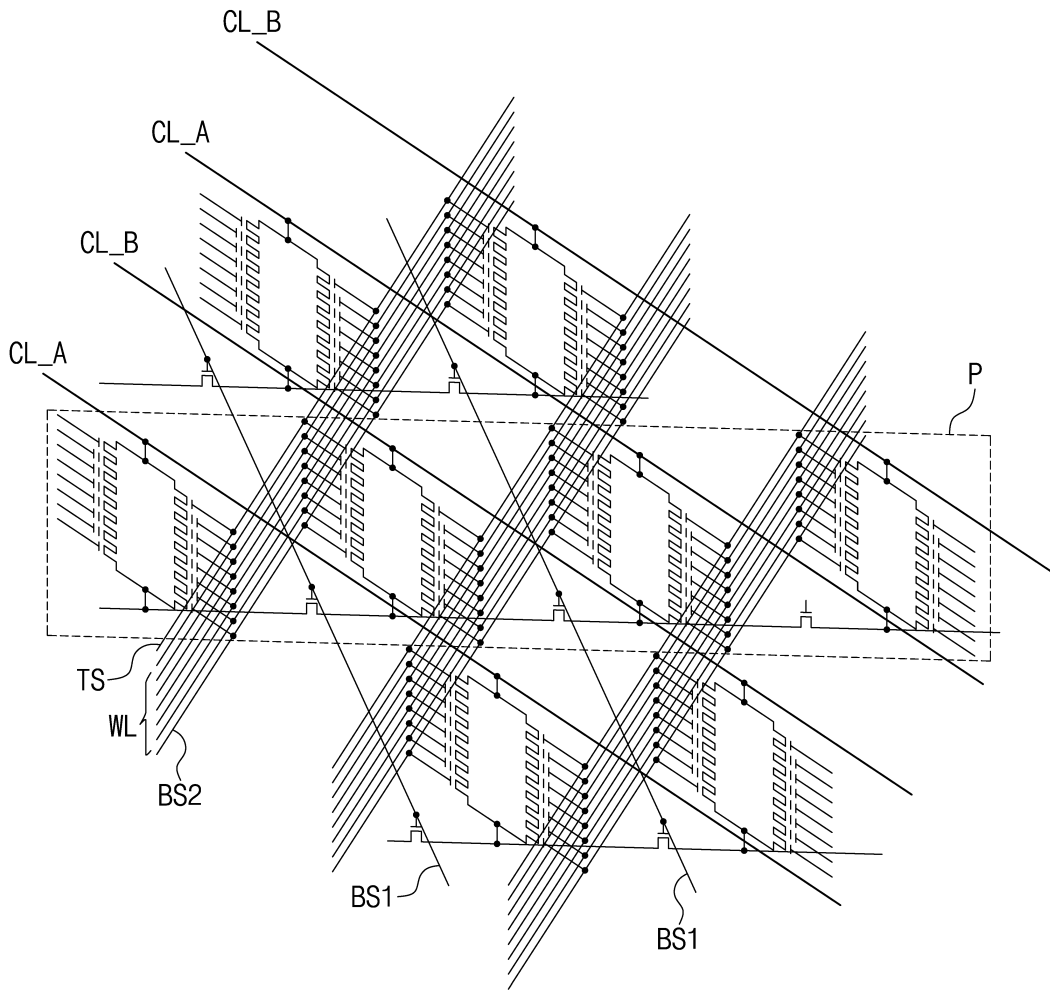
도면2



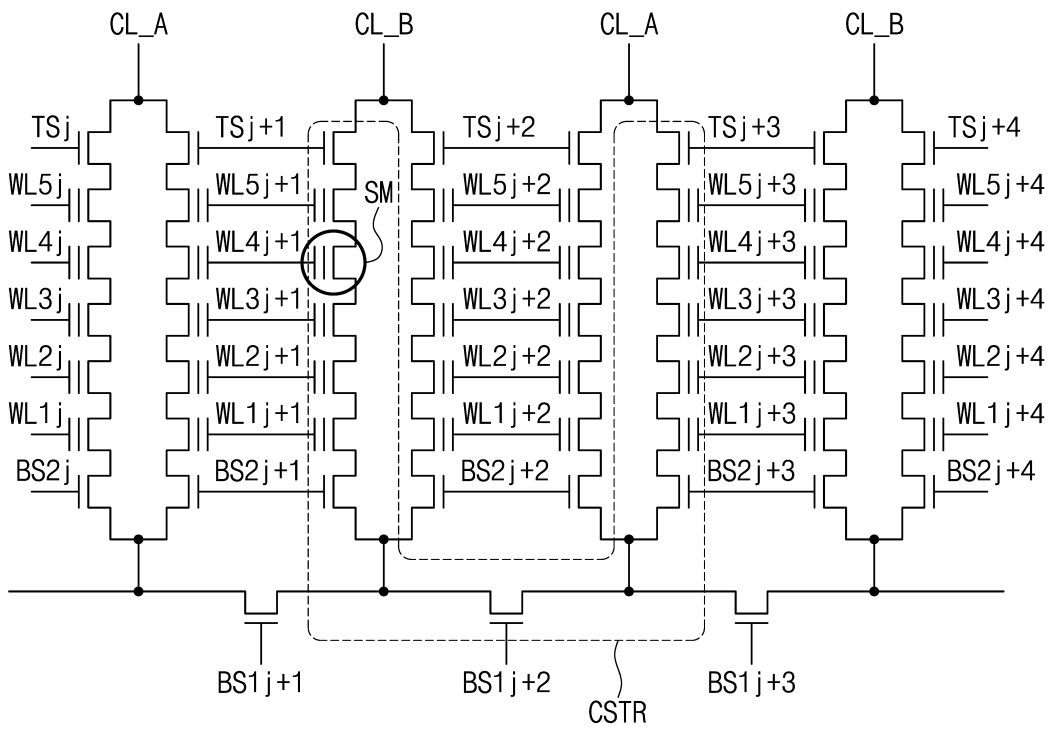
도면3a



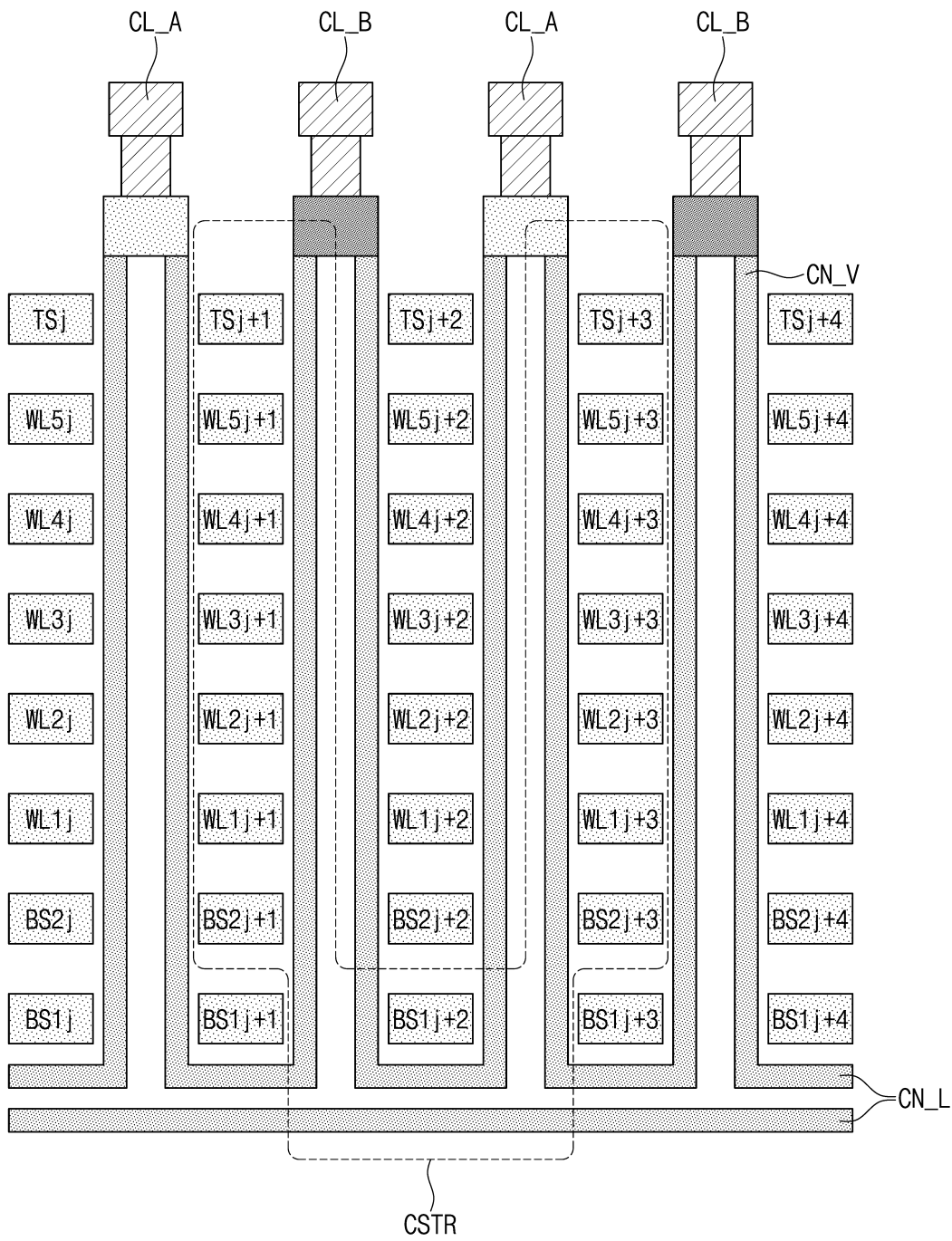
도면4



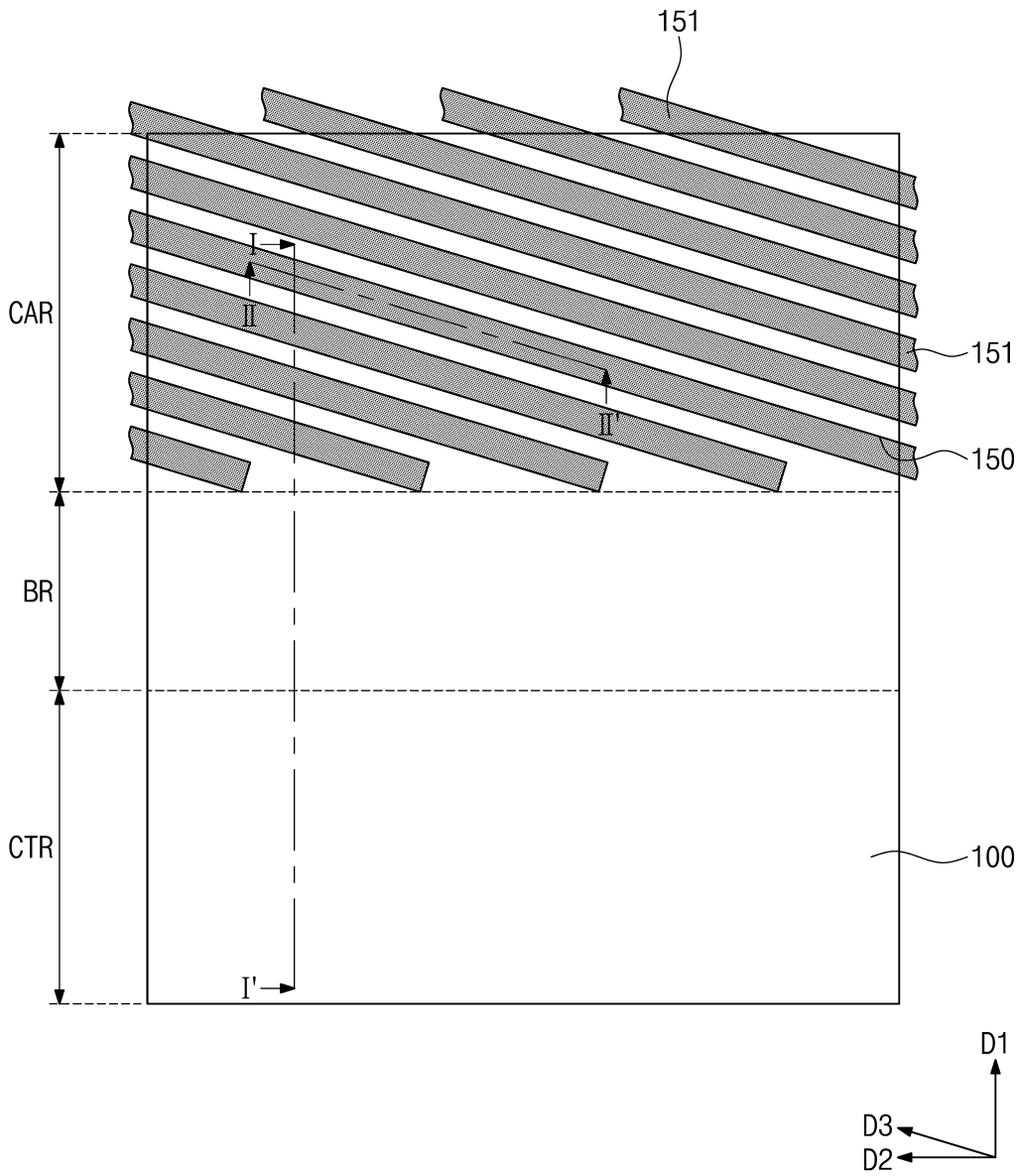
도면5a



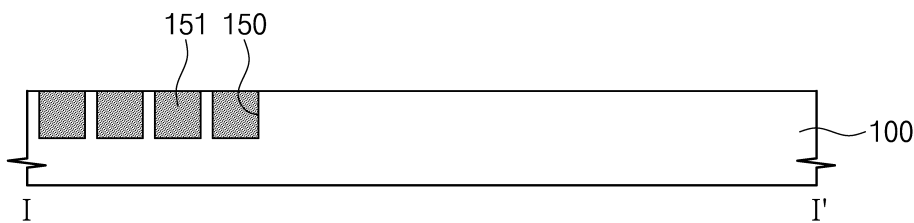
도면5b



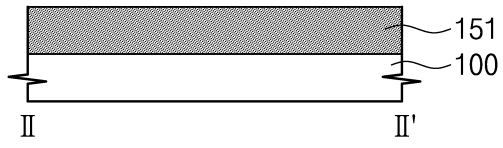
도면6a



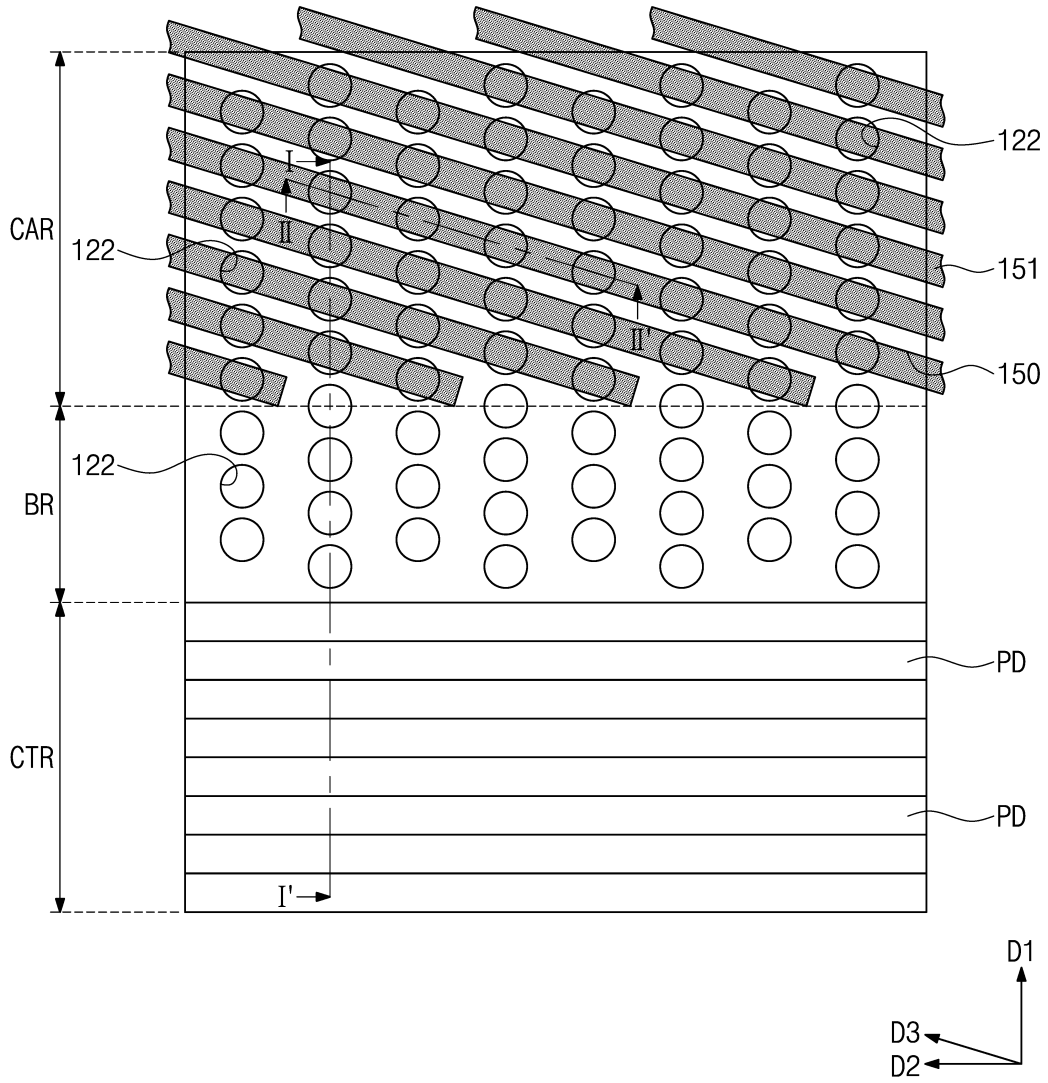
도면6b



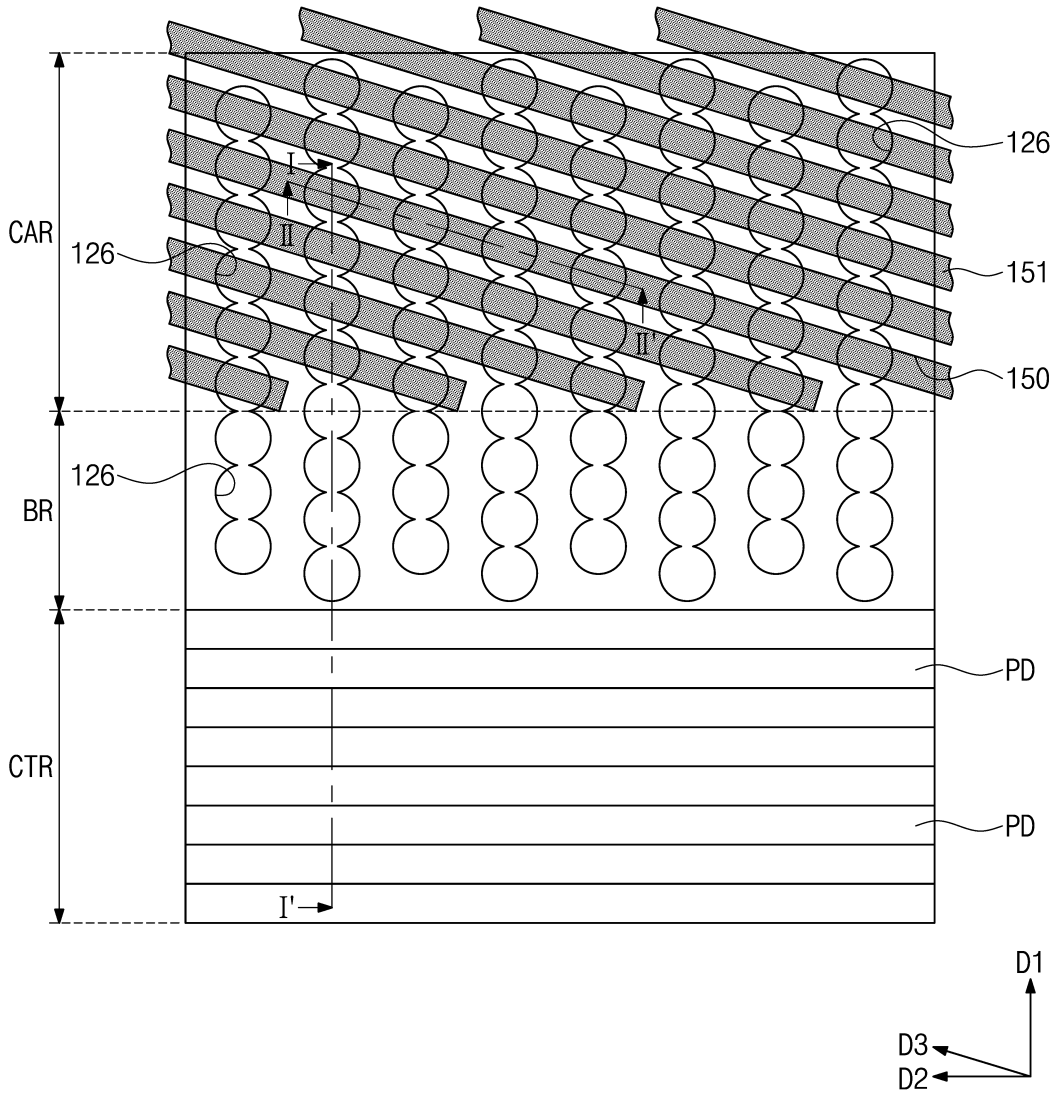
도면6c



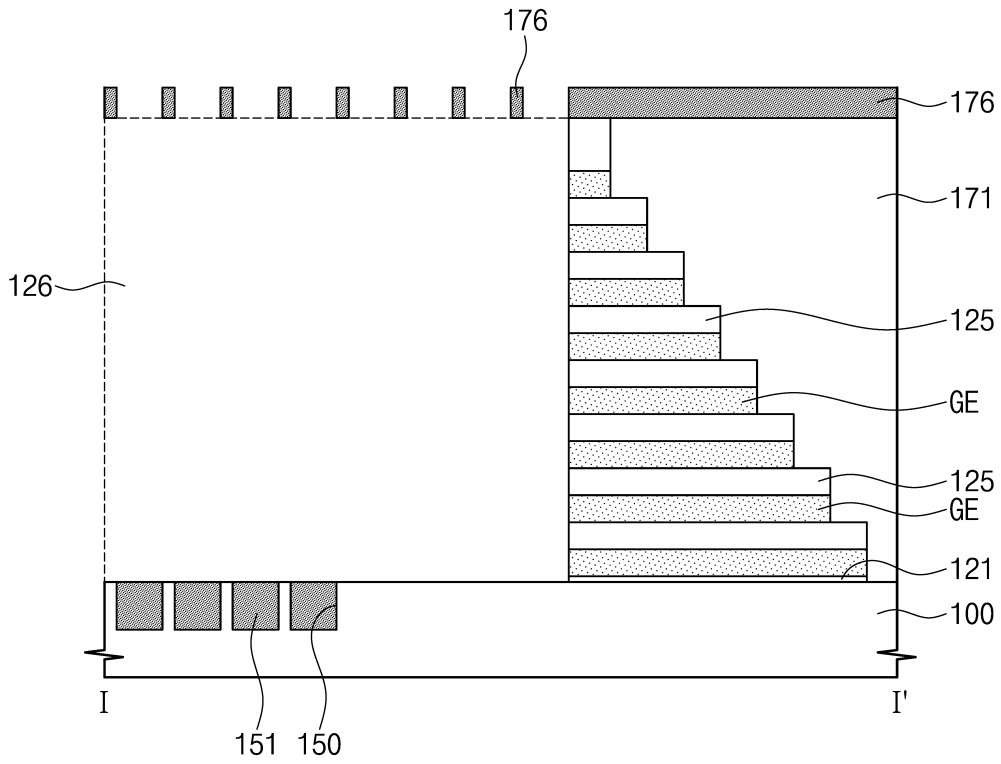
도면7a



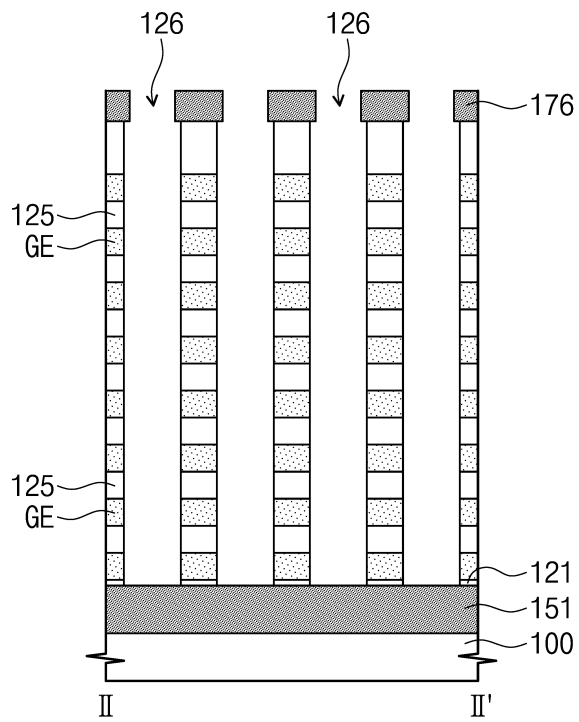
도면8a



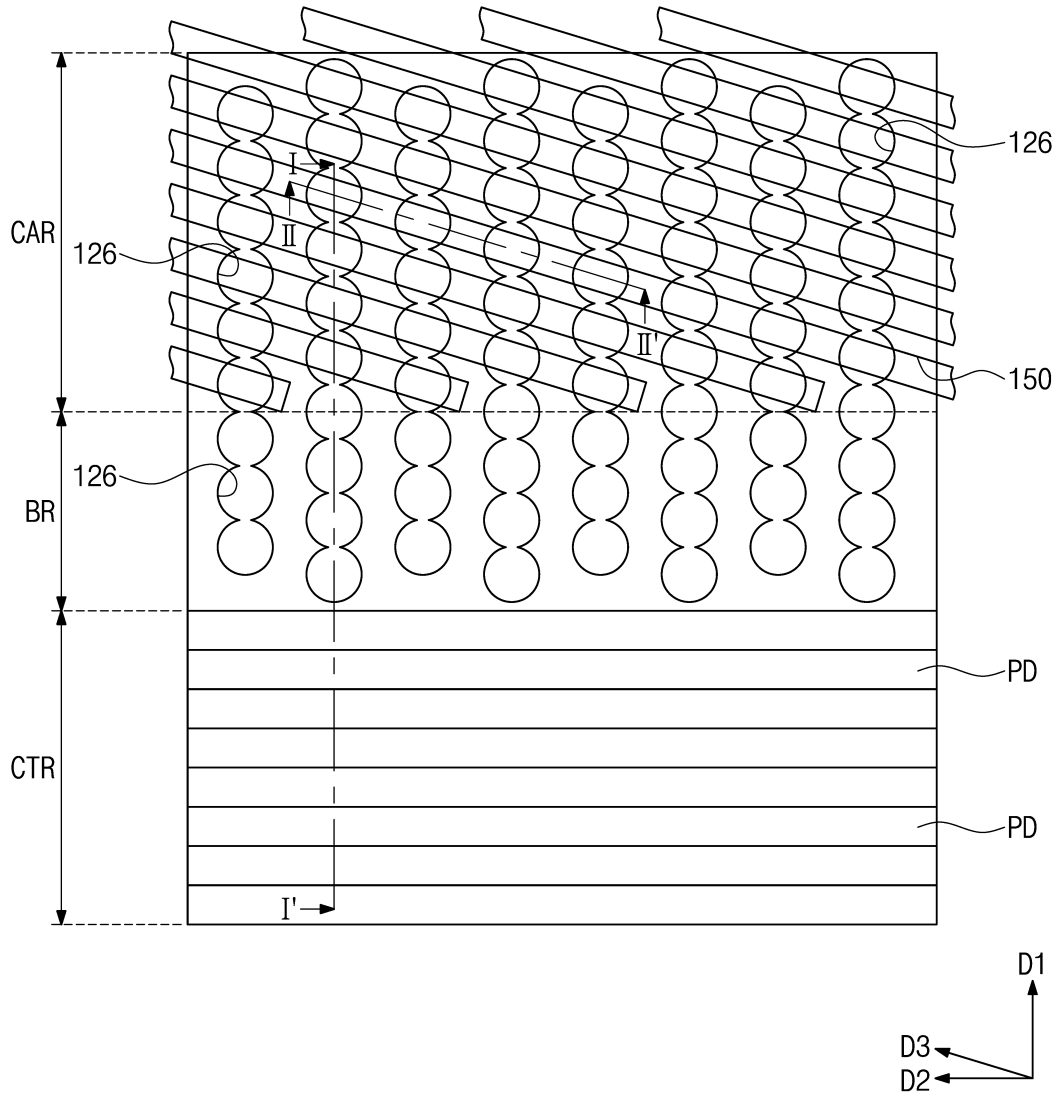
도면8b



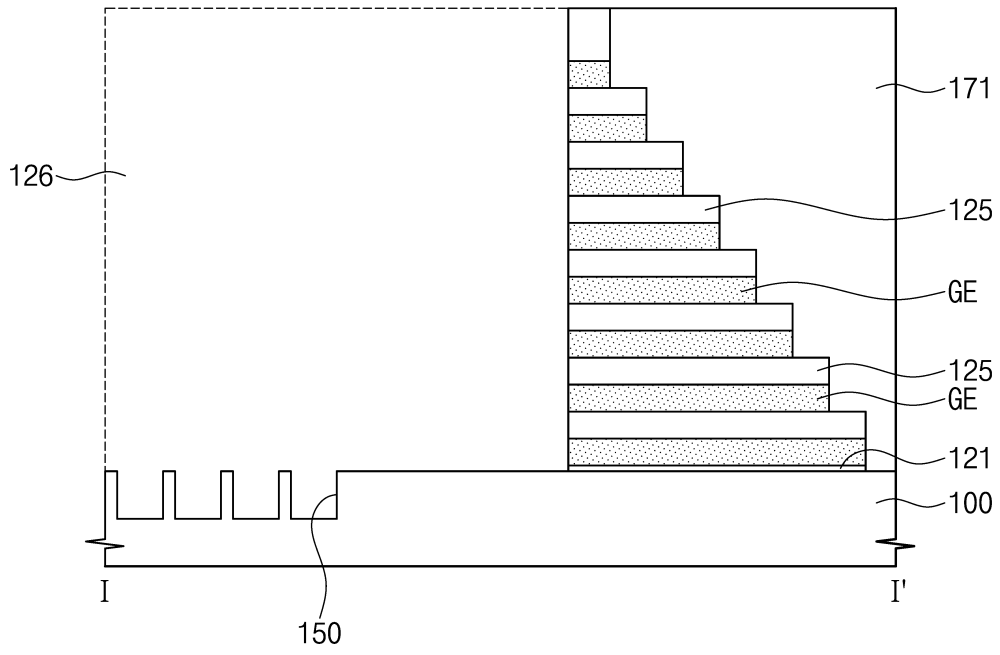
도면8c



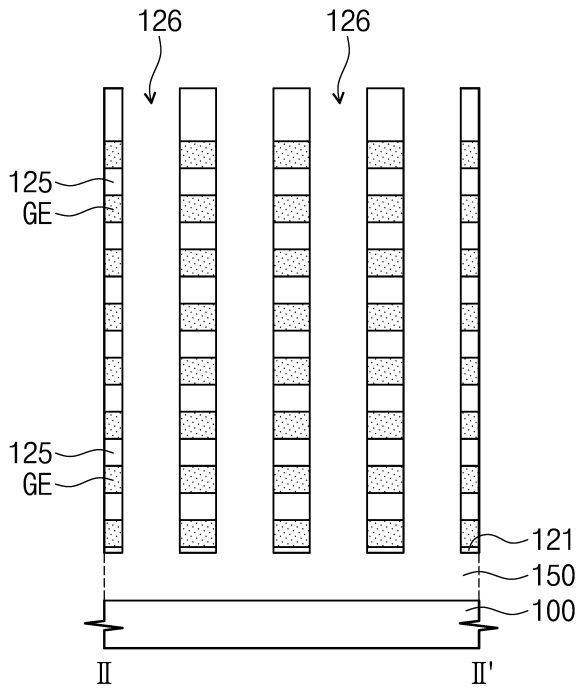
도면9a



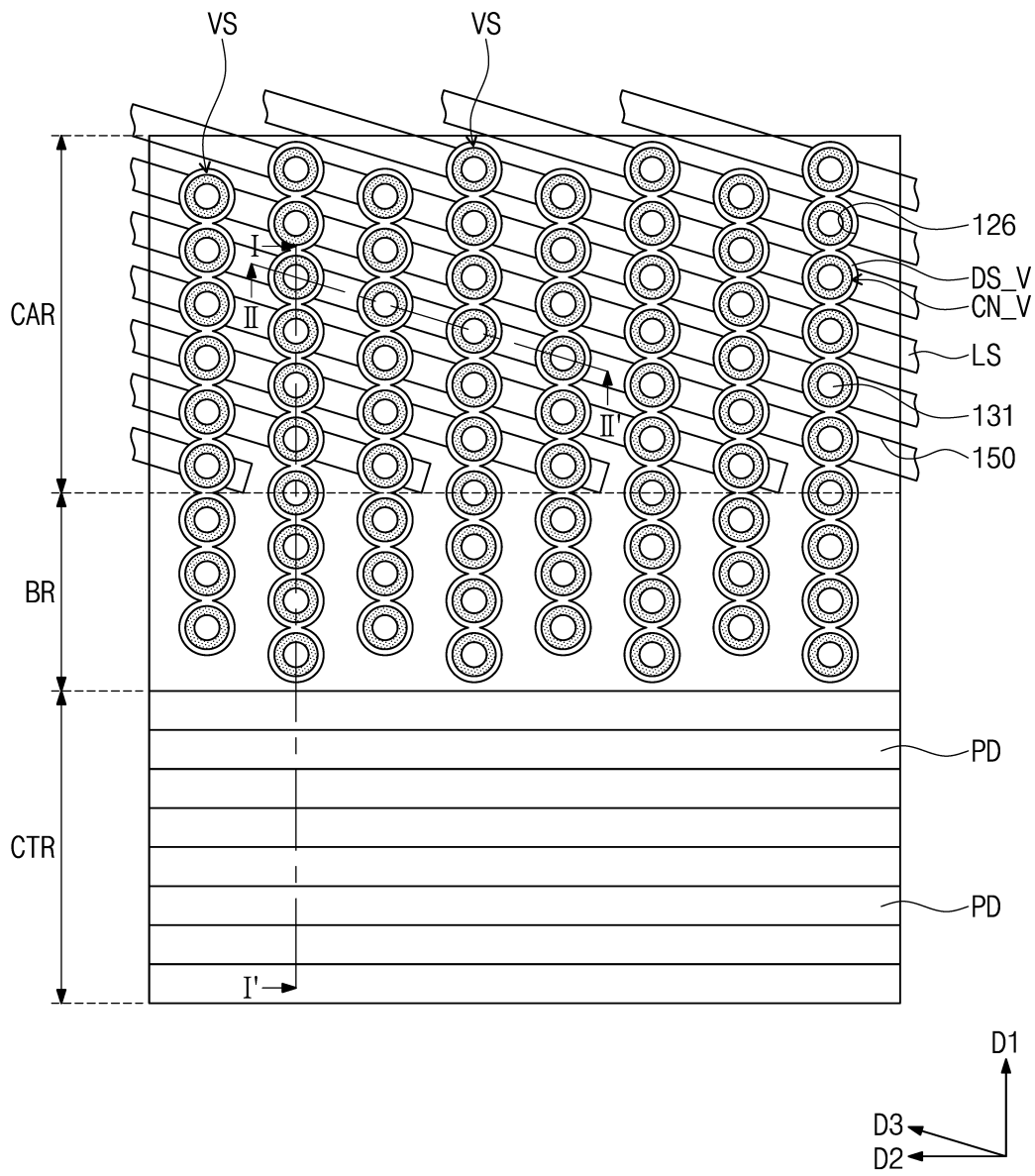
도면9b



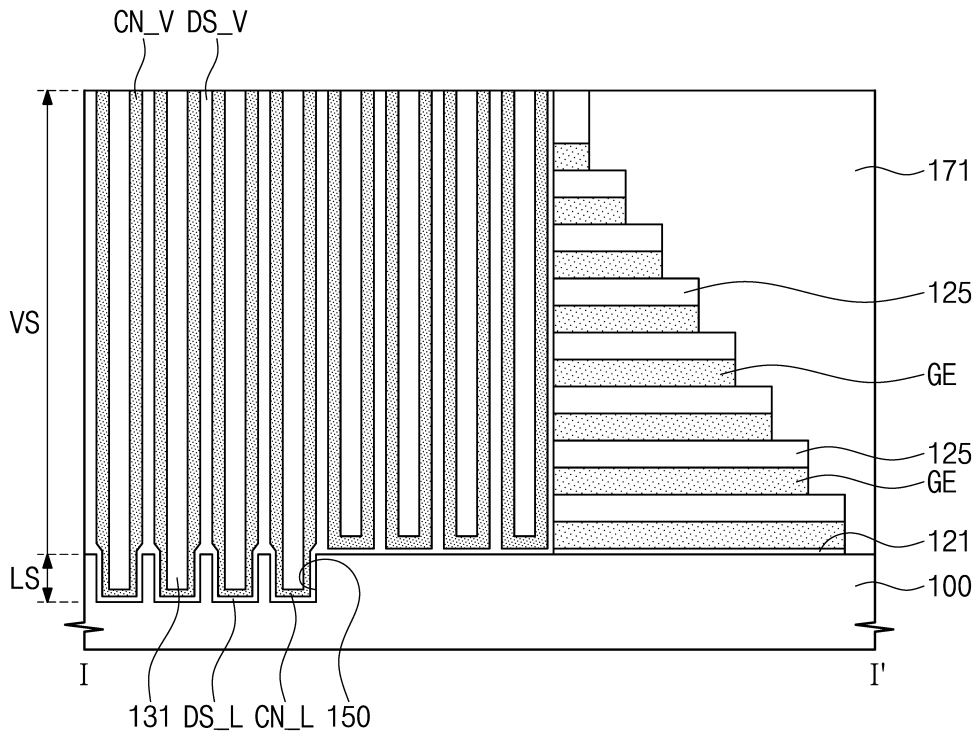
도면9c



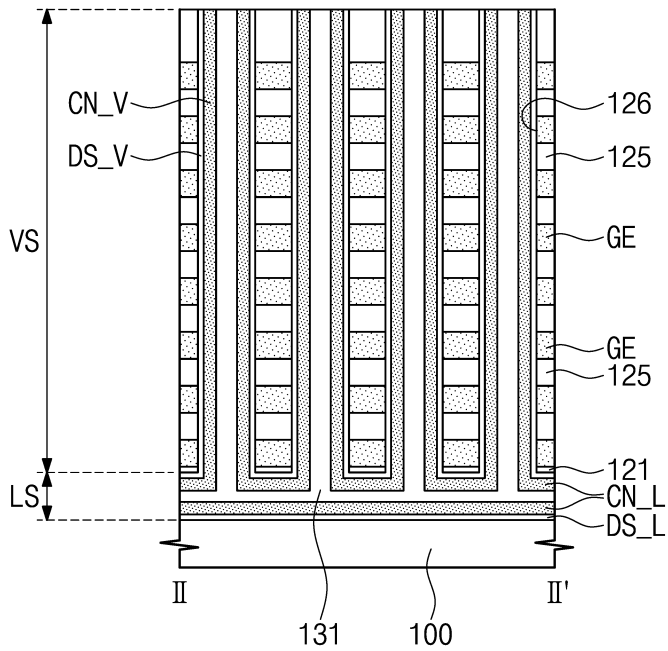
도면10a



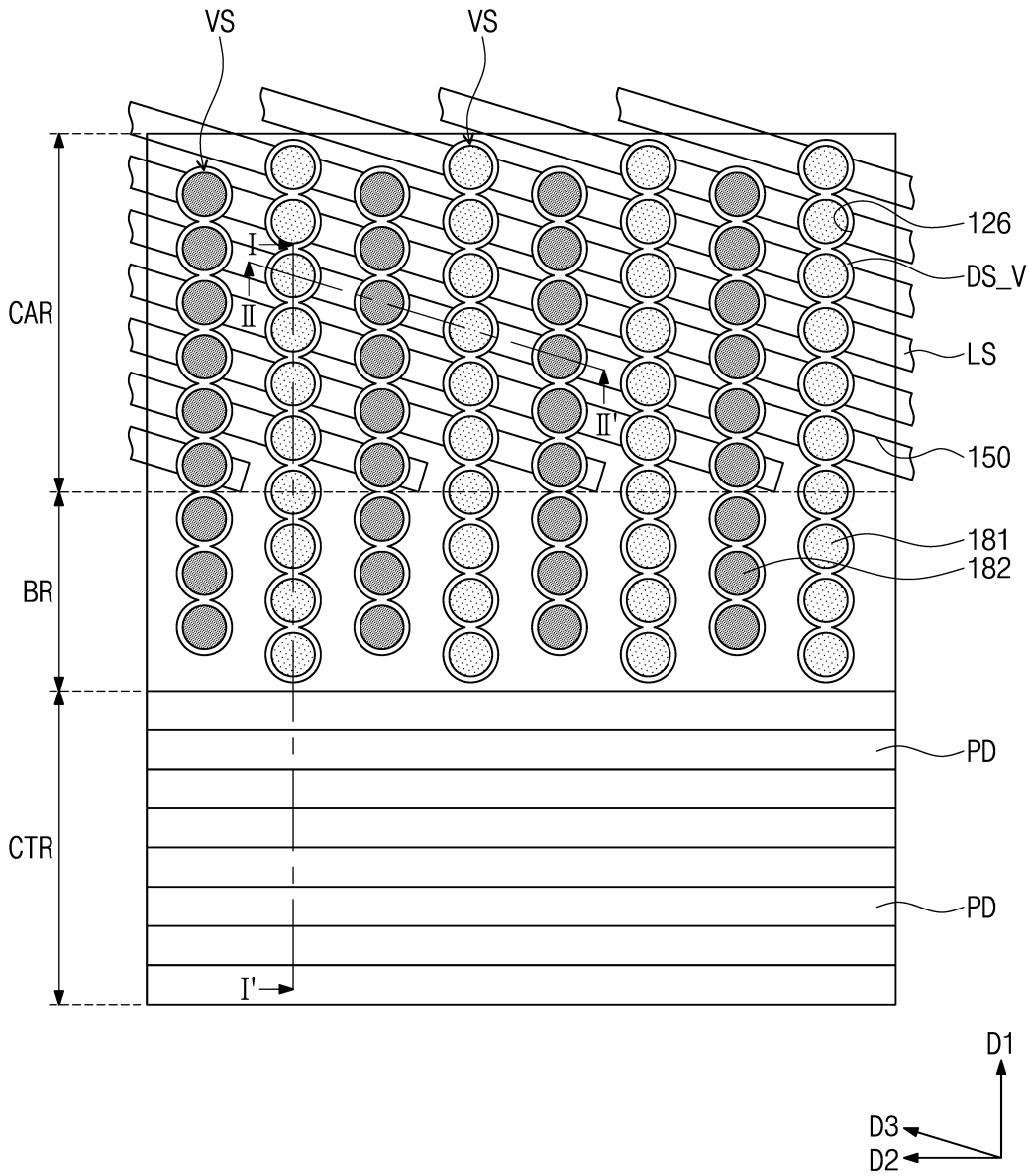
도면10b



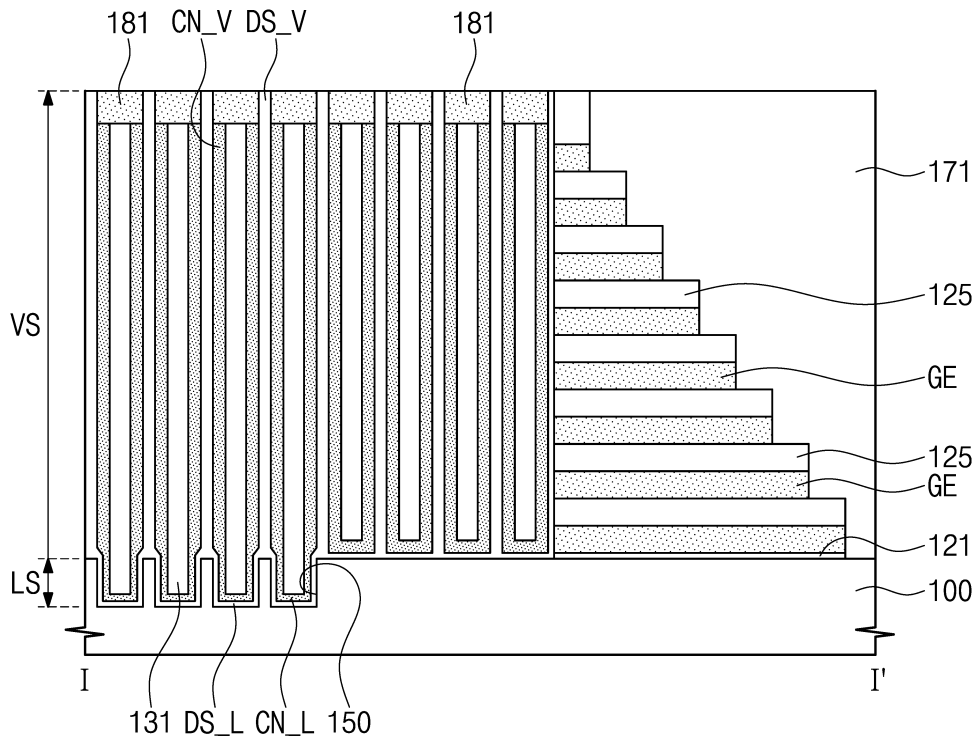
도면10c



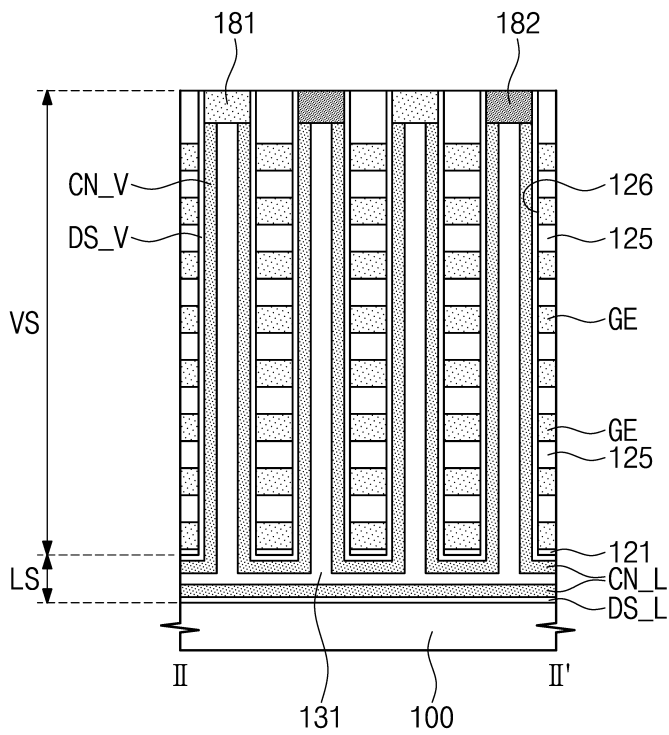
도면11a



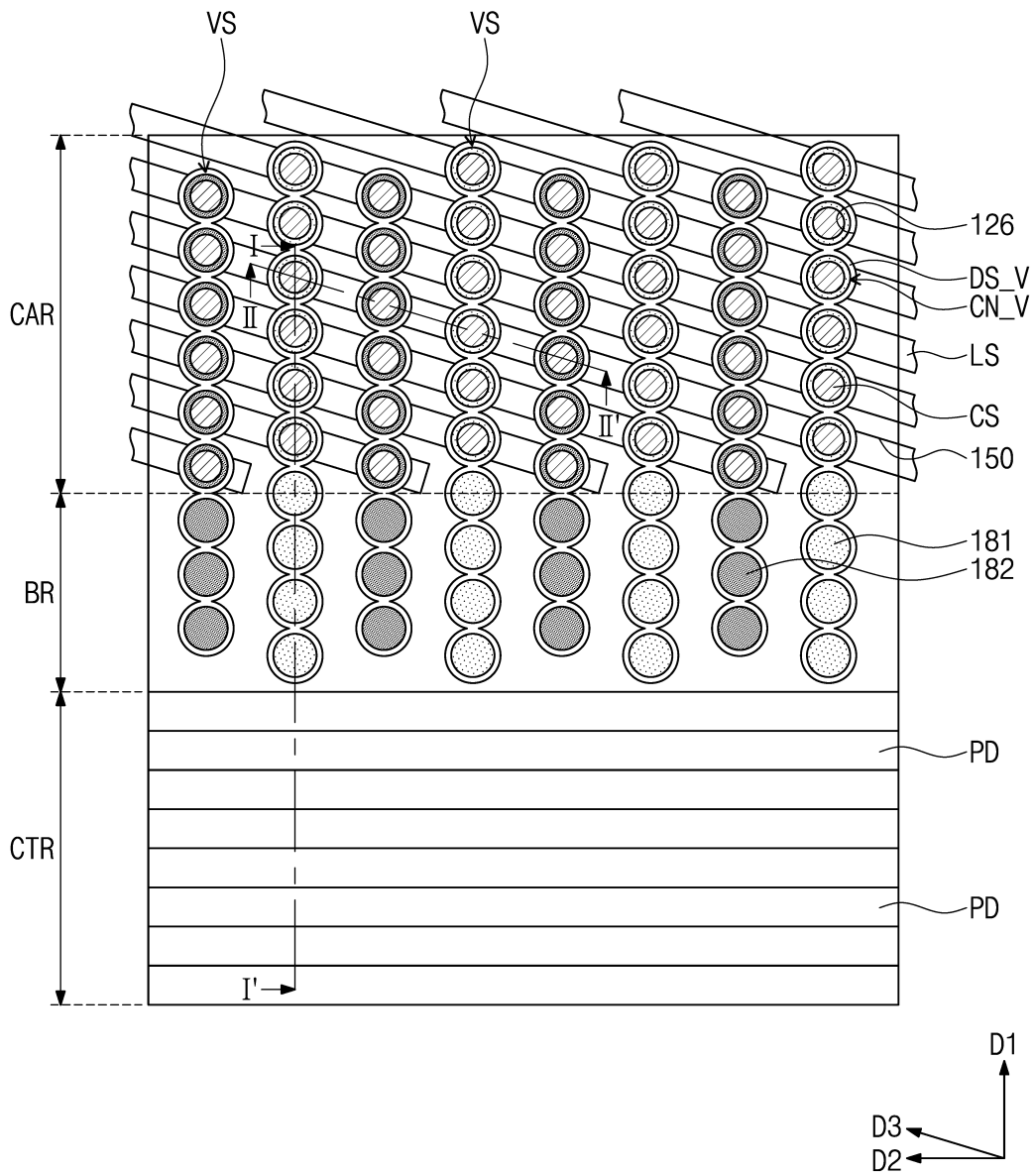
도면11b



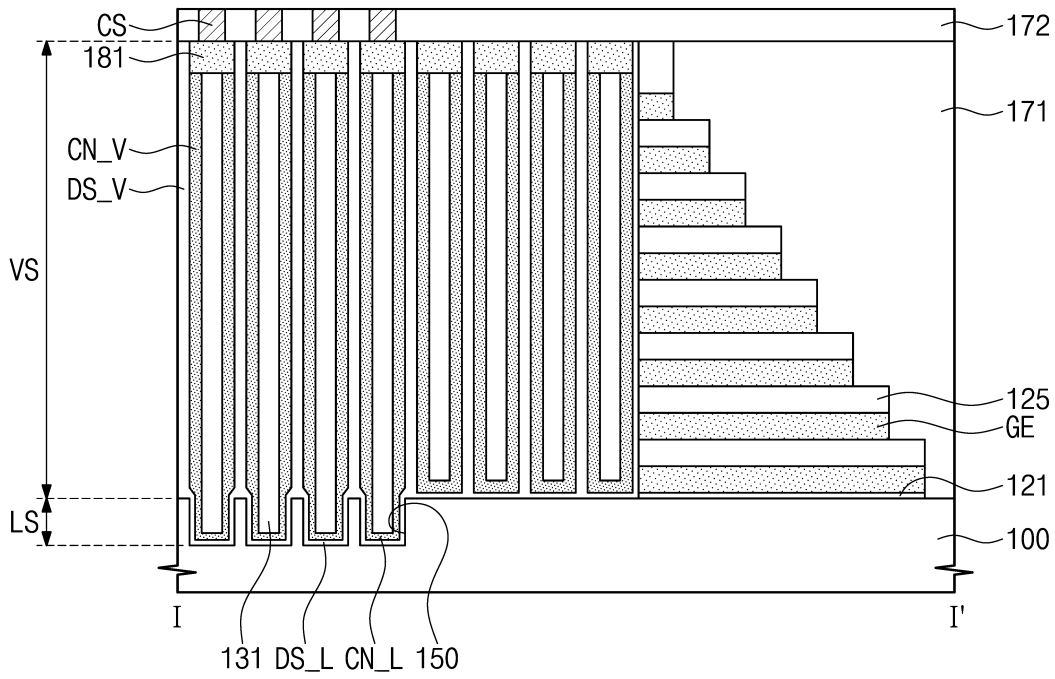
도면11c



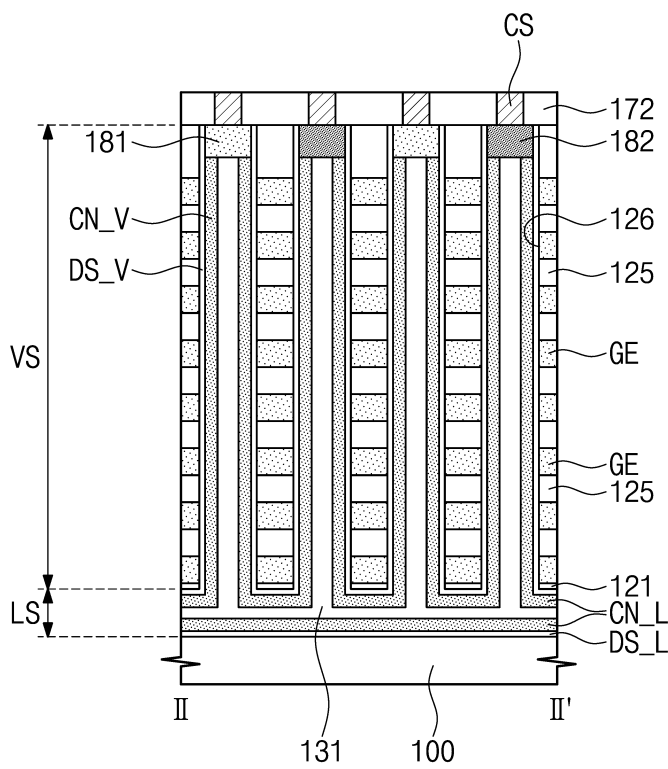
도면12a



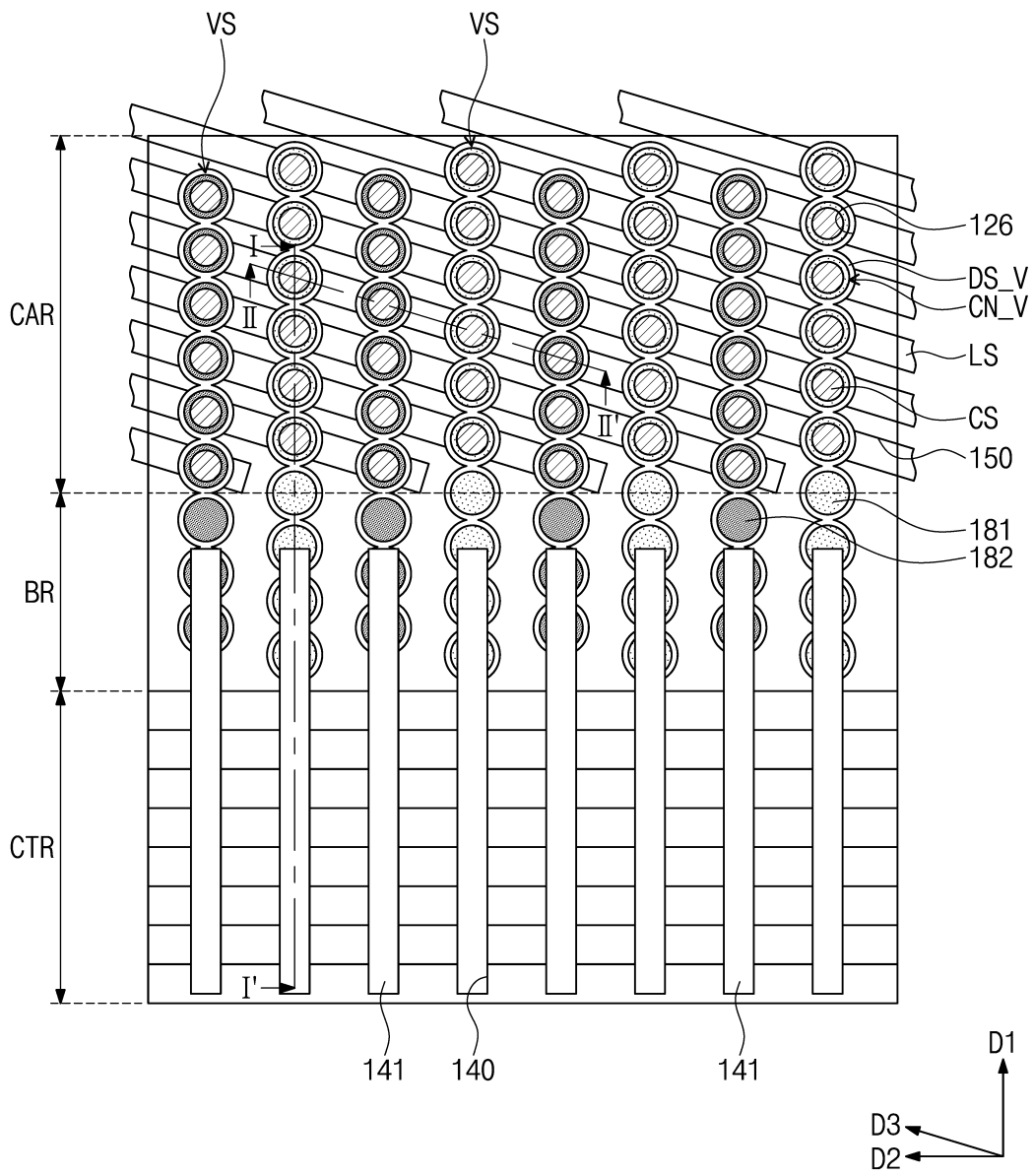
도면12b



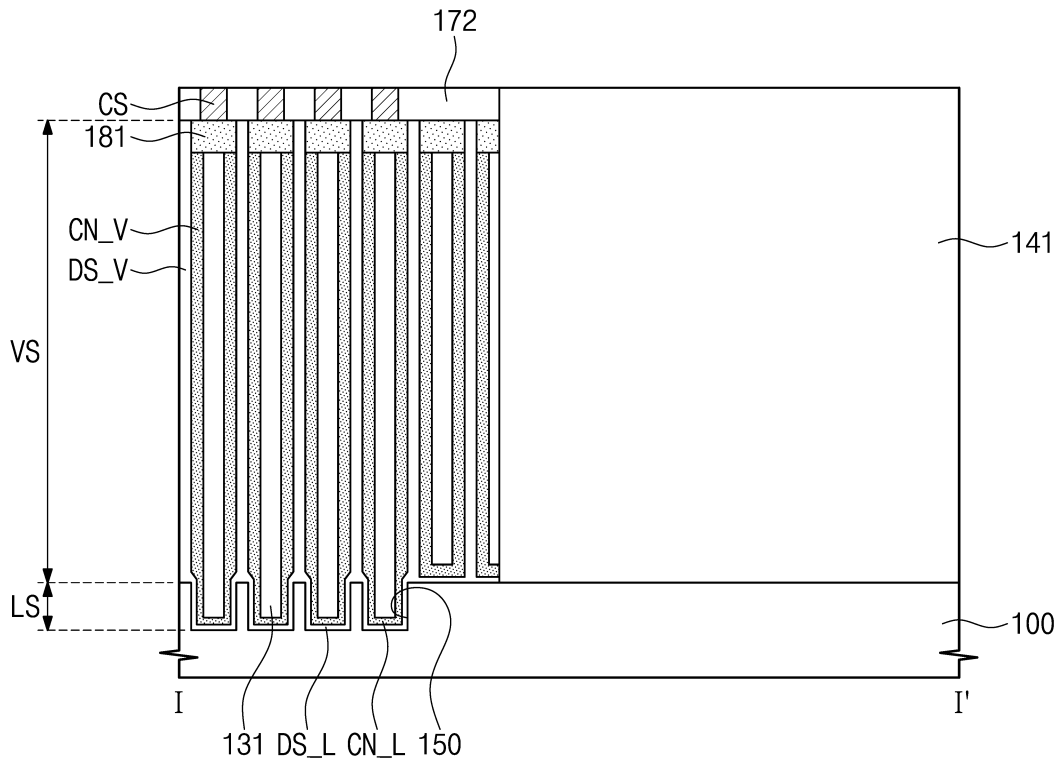
도면12c



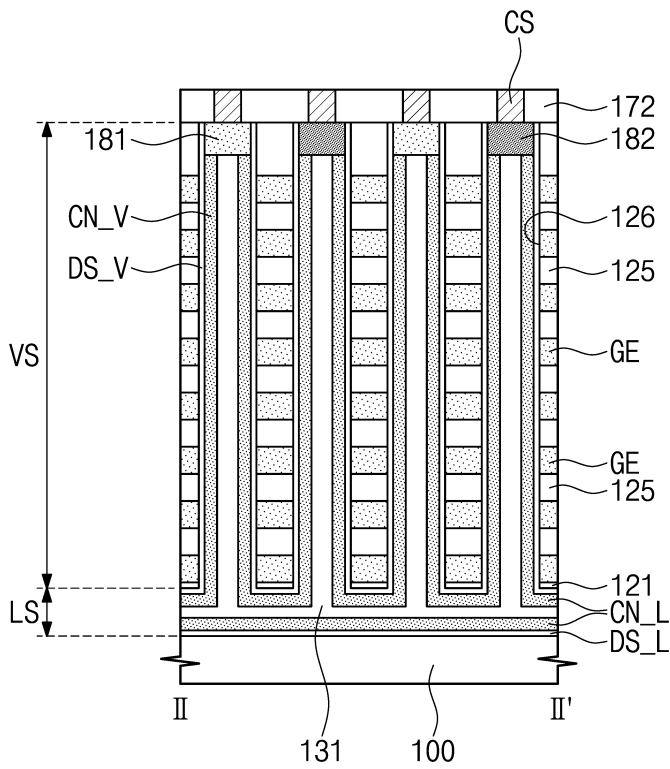
도면13a



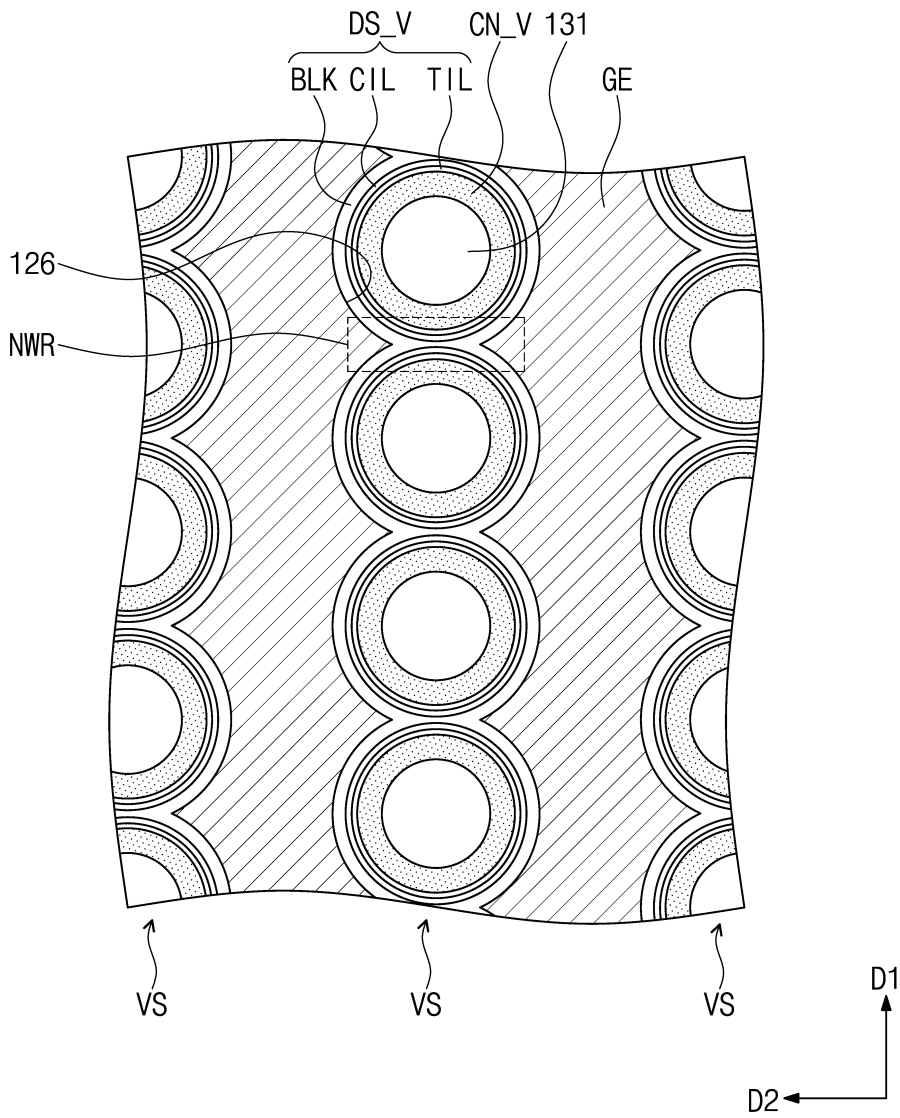
도면13b



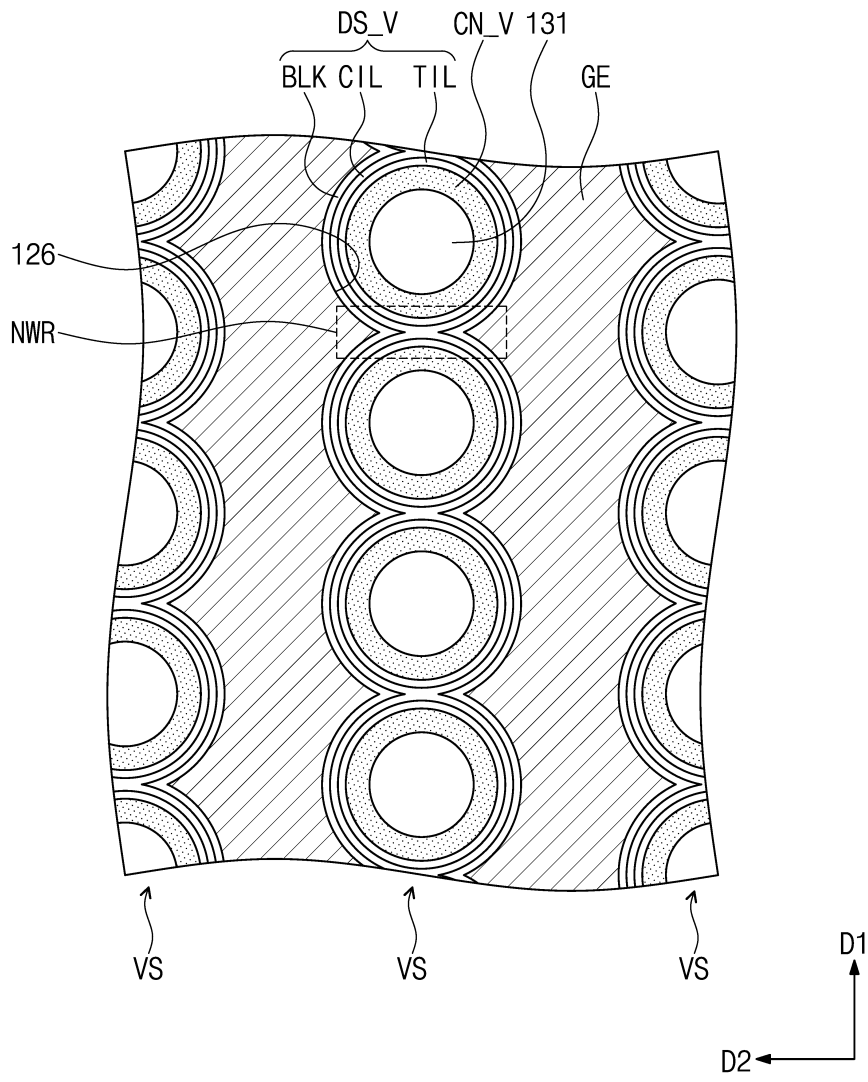
도면13c



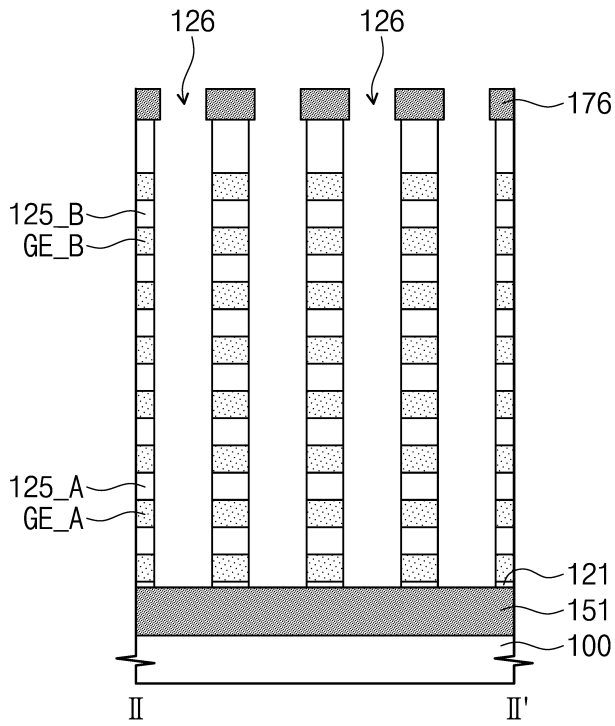
도면14a



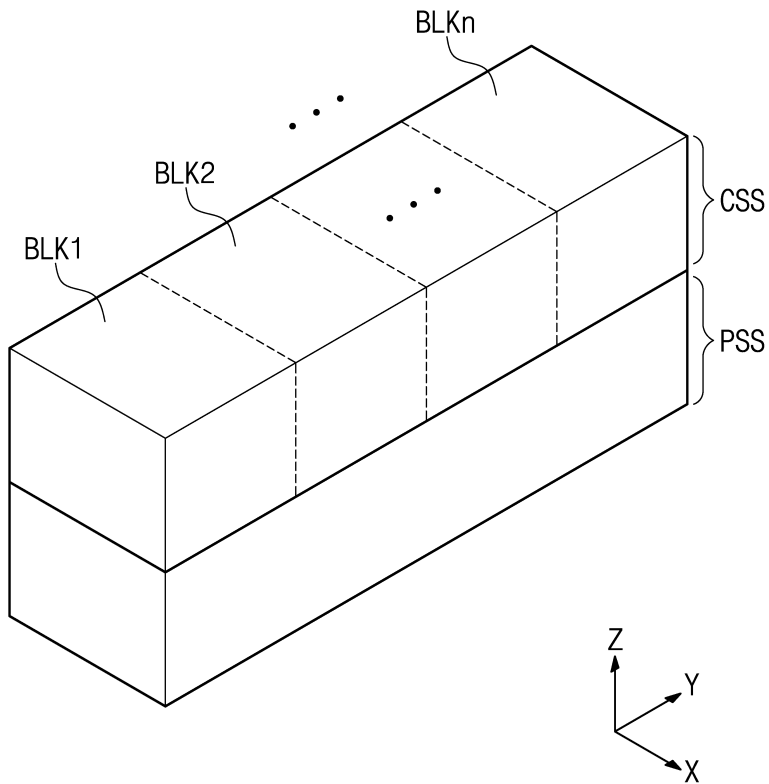
도면14b



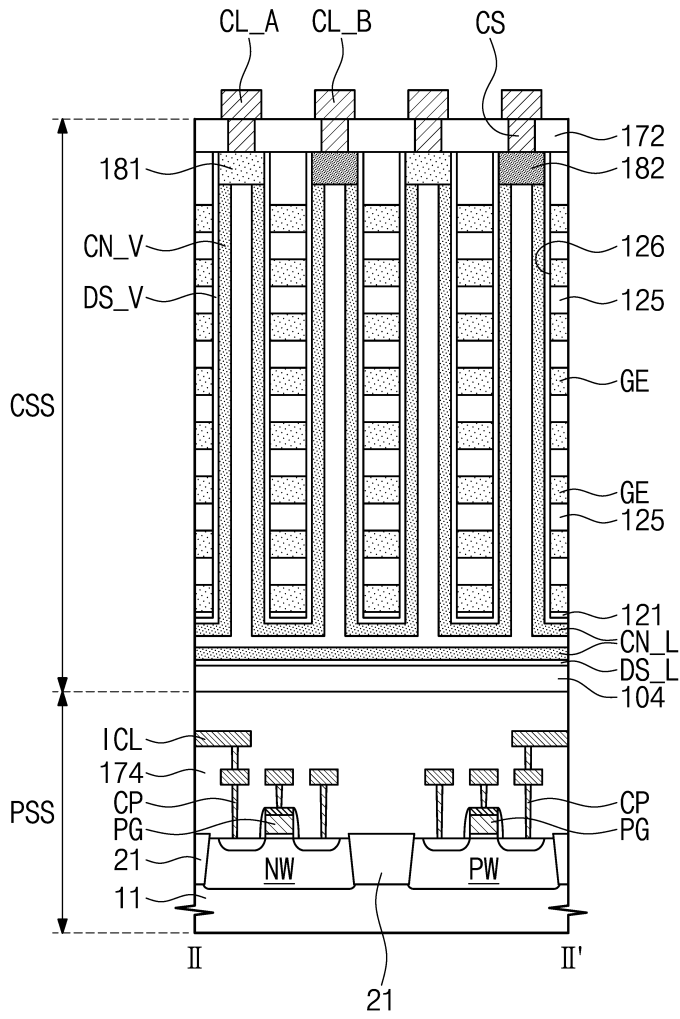
도면15



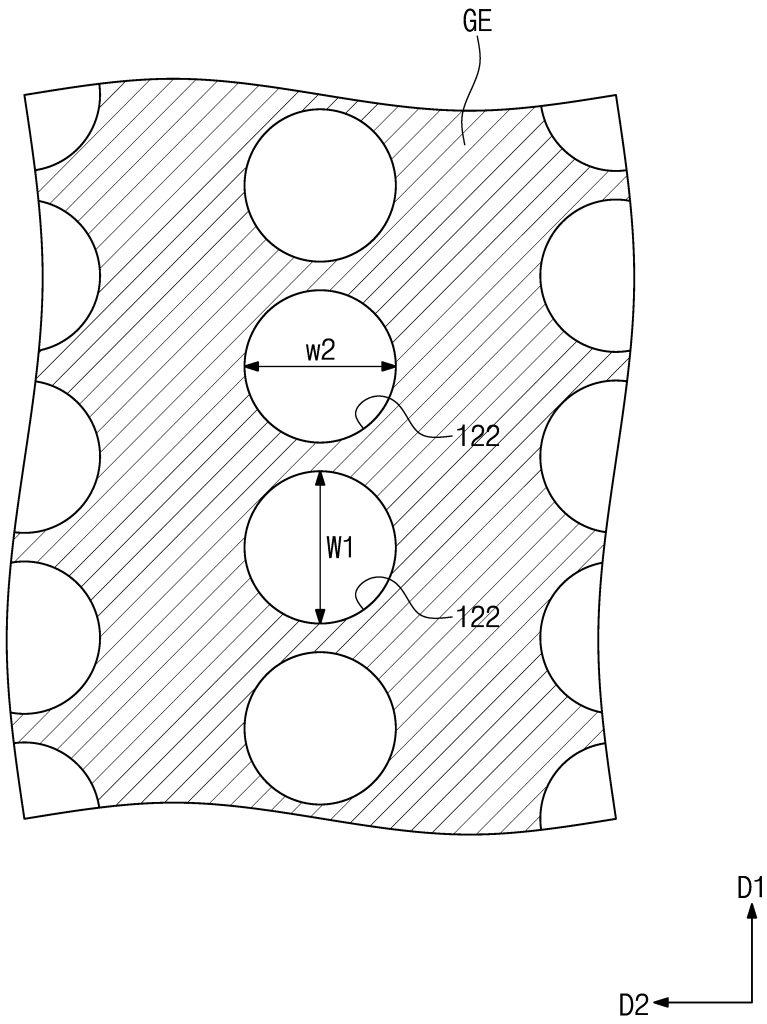
도면16



도면17



도면18a



도면18b

