



등록특허 10-2261944



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년06월07일
(11) 등록번호 10-2261944
(24) 등록일자 2021년06월01일

- (51) 국제특허분류(Int. Cl.)
G01R 33/00 (2006.01) *G01R 31/28* (2006.01)
G01R 31/3187 (2006.01) *G01R 33/07* (2006.01)
G01R 33/09 (2006.01) *G01R 35/00* (2006.01)
- (52) CPC특허분류
G01R 33/0023 (2013.01)
G01R 31/2829 (2013.01)
- (21) 출원번호 10-2016-7018259
- (22) 출원일자(국제) 2014년12월22일
심사청구일자 2019년12월04일
- (85) 번역문제출일자 2016년07월07일
- (65) 공개번호 10-2016-0102450
- (43) 공개일자 2016년08월30일
- (86) 국제출원번호 PCT/US2014/071825
- (87) 국제공개번호 WO 2015/100214
국제공개일자 2015년07월02일
- (30) 우선권주장
61/920,827 2013년12월26일 미국(US)

(56) 선행기술조사문현
WO2012164915 A2*

(뒷면에 계속)

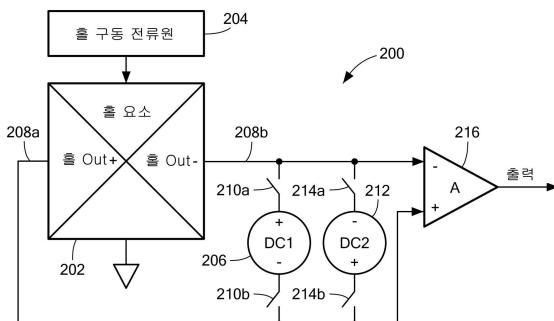
전체 청구항 수 : 총 25 항

심사관 : 이병수

(54) 발명의 명칭 센서 진단 방법 및 장치

(57) 요 약

차동의 제1 및 제2 출력들, 및 전류를 수신하는 입력을 가지는 자기 센싱 요소, 및 차동의 제1 및 제2 출력들에 각각 연결된 제1 및 제2 스위치들을 구비하는 집적 회로를 제공하는 방법들 및 장치들이 개시된다. 제1 전압원은 제1 및 제2 스위치들 사이에 연결되고, 제1 및 제2 스위치들은 제1 상태를 가지며, 제1 상태에서 제1 전압원은 차동의 제1 및 제2 출력들을 가로질러 연결되며, 자기 센싱 요소로부터 IC 출력으로의 신호 경로의 동작을 모니터링하도록 제1 및 제2 스위치들이 제1 상태일 때 IC 출력은 제1 전압원에 상응하는 전압을 출력할 수 있다.

대 표 도 - 도2

(52) CPC특허분류

G01R 31/2884 (2013.01)

G01R 31/3187 (2013.01)

G01R 33/072 (2013.01)

G01R 33/091 (2013.01)

G01R 35/005 (2013.01)

(72) 발명자

두구에, 마이클, 씨.

미국 03110 뉴햄프셔주 베드포드 미들톤 드라이브
7

하아스, 테이비드, 제이.

미국 03301-7922 뉴햄프셔주 콘코드 리저브 플레이
스 91

웰마인, 그레고리

미국 55375 미네소타주 미네트리스타 게임스 드라
이브 3892

테일러, 윌리암, 피.

미국 03031 뉴햄프셔주 암허스트 하이랜드 드라이
브 1

가보리, 마이클

미국 55337 미네소타주 번스빌 업تون 애비뉴 사우스
13221

(56) 선행기술조사문헌

KR1020090031757 A*

US20100211347 A1

US20030164711 A1

US20090251134 A1

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

차동의 제1 및 제2 출력들, 및 전류원으로부터 전류를 수신하는 입력을 가지는 자기 센싱 요소(magnetic sensing element);

상기 차동의 제1 및 제2 출력들에 각각 연결된 제1 및 제2 스위치들;

상기 제1 및 제2 스위치들 사이에 연결되는 제1 전압원 - 상기 제1 및 제2 스위치들은 제1 상태를 가지고, 상기 제1 출력, 상기 제1 스위치, 상기 제1 전압원, 상기 제2 스위치 및 상기 제2 출력이 직렬 회로 경로를 형성하도록 상기 제1 상태에서 상기 제1 전압원이 상기 차동의 제1 및 제2 출력들을 가로질러 연결됨 -;

상기 자기 센싱 요소로부터 집적 회로(IC) 출력으로의 신호 경로의 동작을 모니터링하도록 상기 제1 및 제2 스위치들이 상기 제1 상태에 있을 때 상기 제1 전압원에 상응하는 제1 전압을 출력하는 상기 IC 출력;

상기 차동의 제1 및 제2 출력들에 각각 연결된 제3 및 제4 스위치들;

상기 제3 및 제4 스위치들 사이에 연결되는 제2 전압원 - 상기 제3 및 제4 스위치들은 제2 상태를 가지고, 상기 제2 상태에서 상기 제2 전압원이 상기 차동의 제1 및 제2 출력들을 가로질러 연결되고, 상기 제1 및 제2 전압원들은 서로 다른 극성들을 가지고, 상기 IC 출력은, 상기 자기 센싱 요소로부터 상기 IC 출력으로의 신호 경로의 동작을 모니터링하도록 상기 제3 및 제4 스위치들이 상기 제2 상태에 있을 때, 상기 제2 전압원에 상응하는 제2 전압을 출력함 -;

상기 자기 센싱 요소의 상기 제2 출력과 상기 제1 스위치 사이에 연결된 제5 스위치; 및

상기 자기 센싱 요소의 상기 제1 출력과 상기 제2 스위치 사이에 연결된 제6 스위치를 포함하고,

상기 제1, 제2, 제3 및 제4 스위치들의 각각의 상태들은 상기 신호 경로의 이득(gain)을 검증하도록 제어 가능한 것을 특징으로 하는 집적 회로.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

제 1 항에 있어서, 상기 자기 센싱 요소는 홀 요소(Hall element)를 포함하는 것을 특징으로 하는 집적 회로.

청구항 10

제 1 항에 있어서, 상기 자기 센싱 요소는 자기저항 요소(magnetoresistive element)를 포함하는 것을 특징으로 하는 집적 회로.

청구항 11

제 1 항에 있어서,

상기 자기 센싱 요소의 상기 차동의 제1 및 제2 출력들에 각각 연결된 입력들을 가지는 증폭기를 더 포함하는 것을 특징으로 하는 집적 회로.

청구항 12

제 1 항에 있어서, 상기 집적 회로는 선형 자기 센서를 포함하는 것을 특징으로 하는 집적 회로.

청구항 13

제 1 항에 있어서,

리드프레임(leadframe)으로부터 오려내진(cutout) 영역을 가지는 상기 리드프레임에 의해 지지되는 다이(die)를 더 포함하고,

상기 자기 센싱 요소의 위치는 와전류(Eddy currents)를 감소시키도록 상기 영역에 맞추어 정렬되는 것을 특징으로 하는 집적 회로.

청구항 14

제 13 항에 있어서, 상기 리드프레임은 각각의 다이 부착 부분들을 가지는 상응하는 리드들을 가지고, 상기 리드들의 상기 다이 부착 부분들을 가로질러 상기 다이가 배치되는 것을 특징으로 하는 집적 회로.

청구항 15

제 1 항에 있어서,

프로세서, 및 상기 프로세서에 대한 명령들을 저장하는 비휘발성 메모리를 더 포함하는 것을 특징으로 하는 집적 회로.

청구항 16

차동의 제1 및 제2 출력들, 및 전류를 수신하는 입력을 가지는 자기 센싱 요소를 채용하는 단계;

제1 및 제2 스위치들을 상기 차동의 제1 및 제2 출력들에 각각 연결하는 단계;

제1 전압원을 상기 제1 및 제2 스위치들 사이에 연결하는 단계 - 상기 제1 및 제2 스위치들은 제1 상태를 가지고, 상기 제1 출력, 상기 제1 스위치, 상기 제1 전압원, 상기 제2 스위치 및 상기 제2 출력이 직렬 회로 경로를 형성하도록 상기 제1 상태에서 상기 제1 전압원이 상기 차동의 제1 및 제2 출력들을 가로질러 연결됨 -;

상기 자기 센싱 요소로부터 집적 회로(IC) 출력으로의 신호 경로의 동작을 모니터링하도록 상기 제1 및 제2 스위치들이 상기 제1 상태에 있을 때 상기 제1 전압원에 상응하는 제1 전압을 출력하는 상기 IC 출력을 채용하는 단계;

제3 및 제4 스위치들을 상기 차동의 제1 및 제2 출력들에 각각 연결하는 단계;

제2 전압원을 상기 제3 및 제4 스위치들 사이에 연결하는 단계 - 상기 제3 및 제4 스위치들은 제2 상태를 가지고, 상기 제2 상태에서 상기 제2 전압원이 상기 차동의 제1 및 제2 출력들을 가로질러 연결되고, 상기 제1 및 제2 전압원들은 서로 다른 극성들을 가지고, 상기 IC 출력은, 상기 자기 센싱 요소로부터 상기 IC 출력으로의 신호 경로의 동작을 모니터링하도록 상기 제3 및 제4 스위치들이 상기 제2 상태에 있을 때, 상기 제2 전압원에

상응하는 제2 전압을 출력함 -;

제5 스위치를 상기 자기 센싱 요소의 상기 제2 출력과 상기 제1 스위치 사이에 연결하는 단계; 및

제6 스위치를 상기 자기 센싱 요소의 상기 제1 출력과 상기 제2 스위치 사이에 연결하는 단계를 포함하고,

상기 제1, 제2, 제3 및 제4 스위치들의 각각의 상태들은 상기 신호 경로의 이득을 겸증하도록 제어 가능한 것을 특징으로 하는 방법.

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

제 16 항에 있어서, 상기 자기 센싱 요소는 훌 요소를 포함하는 것을 특징으로 하는 방법.

청구항 23

제 16 항에 있어서, 상기 자기 센싱 요소는 자기저항 요소를 포함하는 것을 특징으로 하는 방법.

청구항 24

제 16 항에 있어서,

상기 자기 센싱 요소의 상기 차동의 제1 및 제2 출력들에 각각 연결된 입력들을 가지는 증폭기를 채용하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 25

제 16 항에 있어서, 상기 집적 회로는 선형 자기 센서를 포함하는 것을 특징으로 하는 방법.

청구항 26

제 16 항에 있어서,

리드프레임으로부터 오려내진 영역을 가지는 상기 리드프레임에 의해 지지되는 다이를 채용하는 단계를 더 포함하고,

상기 자기 센싱 요소의 위치는 와전류를 감소시키도록 상기 영역에 맞추어 정렬되는 것을 특징으로 하는 방법.

청구항 27

제 26 항에 있어서, 상기 리드프레임은 각각의 다이 부착 부분들을 가지는 상응하는 리드들을 가지고, 상기 리드들의 상기 다이 부착 부분들을 가로질러 상기 다이가 배치되는 것을 특징으로 하는 방법.

청구항 28

제 16 항에 있어서,

프로세서, 및 상기 프로세서에 대한 명령들을 저장하는 비휘발성 메모리를 채용하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 29

제 16 항에 있어서,

상기 자기 센싱 요소의 상기 입력에 상기 전류를 제공하는 전압원을 채용하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 30

제 16 항에 있어서,

상기 자기 센싱 요소의 상기 입력에 상기 전류를 제공하는 전류원을 채용하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 31

차동의 제1 및 제2 출력들, 및 전류를 수신하는 입력을 가지는 자기 센싱 요소;

상기 차동의 제1 및 제2 출력들에 각각 연결되기 위한 제1 및 제2 스위치 수단들;

상기 제1 및 제2 스위치들 사이에 연결되는 제1 전압원 수단 - 상기 제1 및 제2 스위치들은 제1 상태를 가지고, 상기 제1 출력, 상기 제1 스위치 수단, 상기 제1 전압원 수단, 상기 제2 스위치 수단 및 상기 제2 출력이 직렬 회로 경로를 형성하도록 상기 제1 상태에서 상기 제1 전압원 수단이 상기 차동의 제1 및 제2 출력들을 가로질러 연결됨 -;

상기 자기 센싱 요소로부터 접적 회로(IC) 출력으로의 신호 경로의 동작을 모니터링하도록 상기 제1 및 제2 스위치 수단들이 상기 제1 상태에 있을 때 상기 제1 전압원 수단에 상응하는 전압을 출력하는 상기 IC 출력;

상기 차동의 제1 및 제2 출력들에 각각 연결된 제3 및 제4 스위치 수단들;

상기 제3 및 제4 스위치 수단들 사이에 연결되는 제2 전압원 수단 - 상기 제3 및 제4 스위치 수단들은 제2 상태를 가지고, 상기 제2 상태에서 상기 제2 전압원 수단이 상기 차동의 제1 및 제2 출력들을 가로질러 연결되고, 상기 제1 및 제2 전압원 수단들은 서로 다른 극성들을 가지고, 상기 IC 출력은, 상기 자기 센싱 요소로부터 상기 IC 출력으로의 신호 경로의 동작을 모니터링하도록 상기 제3 및 제4 스위치 수단들이 상기 제2 상태에 있을 때, 상기 제2 전압원 수단에 상응하는 전압을 출력함 -;

상기 자기 센싱 요소의 상기 제2 출력과 상기 제1 스위치 수단 사이에 연결된 제5 스위치 수단; 및

상기 자기 센싱 요소의 상기 제1 출력과 상기 제2 스위치 수단 사이에 연결된 제6 스위치 수단을 포함하고,

상기 제1, 제2, 제3 및 제4 스위치 수단들의 각각의 상태들은 상기 신호 경로의 이득(gain)을 검증하도록 제어 가능한 것을 특징으로 하는 접적 회로.

청구항 32

제 31 항에 있어서,

리드프레임으로부터 오려내진 영역을 가지는 상기 리드프레임에 의해 지지되는 다이를 더 포함하고,

상기 자기 센싱 요소의 위치는 와전류를 감소시키도록 상기 영역에 맞추어 정렬되는 것을 특징으로 하는 접적 회로.

청구항 33

제 1 항에 있어서, 상기 제1 및 제2 전압원들 중 적어도 하나는, 상기 IC 출력에 연결된 증폭기를 포화시키는 임계 전압보다 큰 전압 레벨을 제공하는 것을 특징으로 하는 접적 회로.

청구항 34

제 33 항에 있어서, 상기 포화된 증폭기 출력은 상기 자기 센싱 요소로부터 상기 IC 출력으로의 신호 경로를 검증하게 하는 것을 특징으로 하는 접착 회로.

청구항 35

제 16 항에 있어서, 상기 제1 및 제2 전압원들 중 적어도 하나는, 상기 IC 출력에 연결된 증폭기를 포화시키는 임계 전압보다 큰 전압 레벨을 제공하는 것을 특징으로 하는 방법.

청구항 36

제 35 항에 있어서, 상기 포화된 증폭기 출력은 상기 자기 센싱 요소로부터 상기 IC 출력으로의 신호 경로를 검증하게 하는 것을 특징으로 하는 방법.

청구항 37

제 1 항에 있어서, ASIL 테스트 동안 상기 IC 출력으로부터 상기 자기 센싱 요소를 분리시키도록 상기 제1, 제2, 제3 및 제4 스위치들 중 임의의 하나가 닫힐 때, 상기 제5 및 제6 스위치들이 열리는 것을 특징으로 하는 접착 회로.

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

청구항 50

삭제

청구항 51

삭제

청구항 52

삭제

청구항 53

삭제

청구항 54

삭제

청구항 55

삭제

청구항 56

삭제

청구항 57

삭제

청구항 58

삭제

청구항 59

삭제

청구항 60

삭제

청구항 61

삭제

청구항 62

삭제

청구항 63

삭제

청구항 64

삭제

청구항 65

삭제

청구항 66

삭제

청구항 67

삭제

청구항 68

삭제

청구항 69

삭제

청구항 70

삭제

청구항 71

삭제

청구항 72

삭제

청구항 73

삭제

청구항 74

삭제

청구항 75

삭제

청구항 76

삭제

청구항 77

삭제

청구항 78

삭제

청구항 79

삭제

청구항 80

삭제

청구항 81

삭제

청구항 82

삭제

청구항 83

삭제

청구항 84

삭제

청구항 85

삭제

청구항 86

삭제

발명의 설명

기술 분야

[0001]

본 발명은 센서 진단 방법 및 장치에 관한 것이다.

배경 기술

[0002]

해당 기술분야에서 알려진 바와 같이, 자기 센서 집적 회로들(integrated circuits; ICs)에 대한 다수의 안전 필수 응용들이 존재한다. 기능적 안전성을 향상시키고, 보다 높은 전체적 품질 수준 및 보다 낮은 현장 고장을 을 달성하기 위한 다양한 사양들이 존재한다. 예를 들어, IC의 주요 기능 파라미터들에 대한 테스트 모드에 의해 고객들은 인쇄 회로 기판에 삽입하기 전에 테스트 기능을 구현할 수 있다. 그러나, 시스템 또는 서브시스템 내에, 예를 들어 자동차 내에, 설치된 후에는, 구성요소들이 제대로 동작하고 있는지를 확인할 수 있는 테스트 기회들이 제한된다.

선행기술문헌

특허문헌

(특허문헌 0001) 국제공개공보 WO2012/164915호 2012.12.06.

(특허문헌 0002) 공개특허공보 제10-2009-0031757호 2009.03.27.

발명의 내용

해결하려는 과제

[0003]

본 발명은 센서 진단이 가능한 집적 회로 및 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0004]

본 발명의 일 측면에 있어서, 집적 회로는, 차동의 제1 및 제2 출력들, 및 전류를 수신하는 입력을 가지는 자기 센싱 요소(magnetic sensing element); 상기 차동의 제1 및 제2 출력들에 각각 연결된 제1 및 제2 스위치들; 상기 제1 및 제2 스위치들 사이에 연결되는 제1 전압원 - 상기 제1 및 제2 스위치들은 제1 상태를 가지고, 상기 제1 상태에서 상기 제1 전압원이 상기 차동의 제1 및 제2 출력들을 가로질러 연결됨 -; 및 상기 자기 센싱 요소

로부터 집적 회로(IC) 출력으로의 신호 경로의 동작을 모니터링하도록 상기 제1 및 제2 스위치들이 상기 제1 상태에 있을 때 상기 제1 전압원에 상응하는 전압을 출력하는 상기 IC 출력을 포함한다.

[0005] 상기 집적 회로는 다음의 특징들 중 하나 이상을 더 포함할 수 있다. 상기 차동의 제1 및 제2 출력들에 각각 연결된 제3 및 제4 스위치들; 및 상기 제3 및 제4 스위치들 사이에 연결되는 제2 전압원 - 상기 제3 및 제4 스위치들은 제2 상태를 가지고, 상기 제2 상태에서 상기 제1 전압원이 상기 차동의 제1 및 제2 출력들을 가로질러 연결됨 - 을 더 포함하고, 상기 IC 출력은, 상기 자기 센싱 요소로부터 상기 IC 출력으로의 신호 경로의 동작을 모니터링하도록 상기 제3 및 제4 스위치들이 상기 제2 상태에 있을 때, 상기 제2 전압원에 상응하는 전압을 출력할 수 있고, 상기 제1 및 제2 전압원들은 서로 다른 극성들을 가질 수 있고, 상기 자기 센싱 요소의 상기 제2 출력과 상기 제1 스위치 사이에 연결된 제5 스위치를 더 포함할 수 있고, 상기 자기 센싱 요소의 상기 제1 출력과 상기 제2 스위치 사이에 연결된 제6 스위치를 더 포함할 수 있고, 상기 제1, 제2, 제3 및 제4 스위치들의 각각의 상태들은 상기 신호 경로의 이득(gain)을 검증하도록 제어 가능할 수 있고, 상기 자기 센싱 요소는 홀 요소(Hall element)를 포함할 수 있고, 상기 자기 센싱 요소는 자기저항 요소(magnetoresistive element)를 포함할 수 있고, 상기 자기 센싱 요소의 상기 차동의 제1 및 제2 출력들에 각각 연결된 입력들을 가지는 증폭기를 더 포함할 수 있고, 상기 집적 회로는 선형 자기 센서를 포함할 수 있고, 리드프레임(leadframe)으로부터 오려내진(cutout) 영역을 가지는 상기 리드프레임에 의해 지지되는 다이(die)를 더 포함하고, 상기 자기 센싱 요소의 위치는 와전류(Eddy currents)를 감소시키도록 상기 영역에 맞추어 정렬될 수 있고, 상기 리드프레임은 각각의 다이 부착 부분들을 가지는 상응하는 리드들을 가지고, 상기 리드들의 상기 다이 부착 부분들을 가로질러 다이가 배치될 수 있고, 상기 자기 센싱 요소의 상기 입력에 상기 전류를 제공하는 전압원 및/또는 전류원을 더 포함할 수 있고, 그리고/또는 프로세서, 및 상기 프로세서에 대한 명령들을 저장하는 비휘발성 메모리를 더 포함할 수 있다.

[0006] 본 발명의 다른 측면에 있어서, 방법은, 차동의 제1 및 제2 출력들, 및 전류를 수신하는 입력을 가지는 자기 센싱 요소(magnetic sensing element)를 채용하는 단계; 제1 및 제2 스위치들을 상기 차동의 제1 및 제2 출력들에 각각 연결하는 단계; 제1 전압원을 상기 제1 및 제2 스위치들 사이에 연결하는 단계 - 상기 제1 및 제2 스위치들은 제1 상태를 가지고, 상기 제1 상태에서 상기 제1 전압원이 상기 차동의 제1 및 제2 출력들을 가로질러 연결됨 -; 및 상기 자기 센싱 요소로부터 집적 회로(IC) 출력으로의 신호 경로의 동작을 모니터링하도록 상기 제1 및 제2 스위치들이 상기 제1 상태에 있을 때 상기 제1 전압원에 상응하는 전압을 출력하는 상기 IC 출력을 채용하는 단계를 포함한다.

[0007] 상기 방법은 다음의 특징들 중 하나 이상을 더 포함할 수 있다. 제3 및 제4 스위치들을 상기 차동의 제1 및 제2 출력들에 각각 연결하는 단계; 및 제2 전압원을 상기 제3 및 제4 스위치들 사이에 연결하는 단계 - 상기 제3 및 제4 스위치들은 제2 상태를 가지고, 상기 제2 상태에서 상기 제1 전압원이 상기 차동의 제1 및 제2 출력들을 가로질러 연결됨 - 를 더 포함하고, 상기 IC 출력은, 상기 자기 센싱 요소로부터 상기 IC 출력으로의 신호 경로의 동작을 모니터링하도록 상기 제3 및 제4 스위치들이 상기 제2 상태에 있을 때, 상기 제2 전압원에 상응하는 전압을 출력할 수 있고, 상기 제1 및 제2 전압원들은 서로 다른 극성들을 가질 수 있고, 제5 스위치를 상기 자기 센싱 요소의 상기 제2 출력과 상기 제1 스위치 사이에 연결하는 단계를 더 포함할 수 있고, 제6 스위치를 상기 자기 센싱 요소의 상기 제1 출력과 상기 제2 스위치 사이에 연결하는 단계를 더 포함할 수 있고, 상기 제1, 제2, 제3 및 제4 스위치들의 각각의 상태들은 상기 신호 경로의 이득(gain)을 검증하도록 제어 가능할 수 있고, 상기 자기 센싱 요소는 홀 요소(Hall element)를 포함할 수 있고, 상기 자기 센싱 요소는 자기저항 요소(magnetoresistive element)를 포함할 수 있고, 상기 자기 센싱 요소의 상기 차동의 제1 및 제2 출력들에 각각 연결된 입력들을 가지는 증폭기를 채용할 수 있고, 상기 집적 회로는 선형 자기 센서를 포함할 수 있고, 리드프레임(leadframe)으로부터 오려내진(cutout) 영역을 가지는 상기 리드프레임에 의해 지지되는 다이(die)를 채용하는 단계를 더 포함하고, 상기 자기 센싱 요소의 위치는 와전류(Eddy currents)를 감소시키도록 상기 영역에 맞추어 정렬될 수 있고, 상기 리드프레임은 각각의 다이 부착 부분들을 가지는 상응하는 리드들을 가지고, 상기 리드들의 상기 다이 부착 부분들을 가로질러 다이가 배치될 수 있고, 상기 자기 센싱 요소의 상기 입력에 상기 전류를 제공하는 전압원 및/또는 전류원을 채용하는 단계를 더 포함할 수 있고, 그리고/또는 프로세서, 및 상기 프로세서에 대한 명령들을 저장하는 비휘발성 메모리를 채용하는 단계를 더 포함할 수 있다.

[0008] 본 발명의 또 다른 측면에 있어서, 집적 회로는, 차동의 제1 및 제2 출력들, 및 전류를 수신하는 입력을 가지는 자기 센싱 요소(magnetic sensing element); 상기 차동의 제1 및 제2 출력들에 각각 연결되기 위한 제1 및 제2 스위치 수단들; 상기 제1 및 제2 스위치들 사이에 연결되는 제1 전압원 수단 - 상기 제1 및 제2 스위치들은 제1 상태를 가지고, 상기 제1 상태에서 상기 제1 전압원이 상기 차동의 제1 및 제2 출력들을 가로질러 연결됨 -; 및

상기 자기 센싱 요소로부터 집적 회로(IC) 출력으로의 신호 경로의 동작을 모니터링하도록 상기 제1 및 제2 스위치 수단들이 상기 제1 상태에 있을 때 상기 제1 전압원 수단에 상응하는 전압을 출력하는 상기 IC 출력을 포함한다.

[0009] 상기 집적 회로는 다음의 특징들 중 하나 이상을 더 포함할 수 있다. 상기 차동의 제1 및 제2 출력들에 각각 연결된 제3 및 제4 스위치들; 및 상기 제3 및 제4 스위치들 사이에 연결되는 제2 전압원 - 상기 제3 및 제4 스위치들은 제2 상태를 가지고, 상기 제2 상태에서 상기 제1 전압원이 상기 차동의 제1 및 제2 출력들을 가로질러 연결됨 - 을 더 포함하고, 상기 IC 출력은, 상기 자기 센싱 요소로부터 상기 IC 출력으로의 신호 경로의 동작을 모니터링하도록 상기 제3 및 제4 스위치들이 상기 제2 상태에 있을 때, 상기 제2 전압원에 상응하는 전압을 출력할 수 있고, 상기 제1 및 제2 전압원들은 서로 다른 극성들을 가질 수 있고, 상기 자기 센싱 요소의 상기 제2 출력과 상기 제1 스위치 사이에 연결된 제5 스위치를 더 포함할 수 있고, 상기 자기 센싱 요소의 상기 제1 출력과 상기 제2 스위치 사이에 연결된 제6 스위치를 더 포함할 수 있고, 상기 제1, 제2, 제3 및 제4 스위치들의 각각의 상태들은 상기 신호 경로의 이득(gain)을 겹증하도록 제어 가능할 수 있고, 상기 자기 센싱 요소는 홀 요소(Hall element)를 포함할 수 있고, 상기 자기 센싱 요소는 자기저항 요소(magnetoresistive element)를 포함할 수 있고, 상기 자기 센싱 요소의 상기 차동의 제1 및 제2 출력들에 각각 연결된 입력들을 가지는 증폭기를 더 포함할 수 있고, 상기 집적 회로는 선형 자기 센서를 포함할 수 있고, 리드프레임(leadframe)으로부터 오려내진(cutout) 영역을 가지는 상기 리드프레임에 의해 지지되는 다이(die)를 더 포함하고, 상기 자기 센싱 요소의 위치는 와전류(Eddy currents)를 감소시키도록 상기 영역에 맞추어 정렬될 수 있고, 상기 리드프레임은 각각의 다이 부착 부분들을 가지는 상응하는 리드들을 가지고, 상기 리드들의 상기 다이 부착 부분들을 가로질러 다이가 배치될 수 있고, 상기 자기 센싱 요소의 상기 입력에 상기 전류를 제공하는 전압원 및/또는 전류원을 더 포함할 수 있고, 그리고/또는 프로세서, 및 상기 프로세서에 대한 명령들을 저장하는 비휘발성 메모리를 더 포함할 수 있다.

[0010] 본 발명의 다른 측면에 있어서, 집적 회로는, 구동 전류원; 상기 구동 전류원에 연결되고, 제1 및 제2 차동 출력들을 가지는 자기 센싱 요소(magnetic sensing element); 상기 구동 전류원과 관련하여 전류들을 각각 제공하는 제1 및 제2 전류 요소들(first and second current elements) - 상기 제1 전류 요소는 상기 제1 차동 출력에 연결되고, 상기 제2 전류 요소는 상기 제2 차동 출력에 연결됨 -; 및 상기 제1 및 제2 전류 요소들의 상기 전류들에 상응하는 전압을 출력하는 IC 출력을 포함한다.

[0011] 상기 집적 회로는 다음의 특징들 중 하나 이상을 더 포함할 수 있다. 상기 제1 전류 요소는 전류 레플리케이터(current replicator)를 포함할 수 있고, 상기 제1 및 제2 전류 요소들은 전류 레플리케이터들을 각각 포함할 수 있고, 상기 제1 및 제2 전류 요소들은 상기 구동 전류원에 비례하여 각각 전류를 제공할 수 있고, 상기 자기 센싱 요소는 홀 요소(Hall element)를 포함할 수 있고, 상기 자기 센싱 요소는 자기저항 요소(magnetoresistive element)를 포함할 수 있고, 제1 저항 요소, 제2 저항 요소, 및 제3 저항 요소를 가지는 전압 분배기를 포함하는 신호 경로를 더 포함하고, 상기 제2 저항 요소는 상기 자기 센싱 요소를 포함할 수 있고, 그리고/또는 상기 집적 회로는 인가되는 자기장에 비례하는 출력 전압을 상기 IC 출력 상에 제공할 수 있다.

[0012] 본 발명의 다른 측면에 있어서, 방법은, 구동 전류원을 채용하는 단계; 자기 센싱 요소(magnetic sensing element)를 상기 구동 전류원에 연결하는 단계 - 상기 자기 센싱 요소는 제1 및 제2 차동 출력들을 가짐 -; 상기 구동 전류원과 관련하여 전류들을 각각 제공하는 제1 및 제2 전류 요소들(first and second current elements)을 채용하는 단계 - 상기 제1 전류 요소는 상기 제1 차동 출력에 연결되고, 상기 제2 전류 요소는 상기 제2 차동 출력에 연결됨 -; 및 상기 제1 및 제2 전류 요소들의 상기 전류들에 상응하는 전압을 출력하도록 IC 출력을 제공하는 단계를 포함하는 방법.

[0013] 상기 방법은 다음의 특징들 중 하나 이상을 더 포함할 수 있다. 상기 제1 전류 요소는 전류 레플리케이터(current replicator)를 포함할 수 있고, 상기 제1 및 제2 전류 요소들은 전류 레플리케이터들을 각각 포함할 수 있고, 상기 제1 및 제2 전류 요소들은 상기 구동 전류원에 비례하여 각각 전류를 제공할 수 있고, 상기 자기 센싱 요소는 홀 요소(Hall element)를 포함할 수 있고, 상기 자기 센싱 요소는 자기저항 요소(magnetoresistive element)를 포함할 수 있고, 상기 집적 회로는 제1 저항 요소, 제2 저항 요소, 및 제3 저항 요소를 가지는 전압 분배기를 포함하는 신호 경로를 더 포함하고, 상기 제2 저항 요소는 상기 자기 센싱 요소를 포함할 수 있고, 그리고/또는 상기 집적 회로는 인가되는 자기장에 비례하는 출력 전압을 상기 IC 출력 상에 제공할 수 있다.

[0014] 본 발명의 다른 측면에 있어서, 집적 회로는, 자기 센싱 요소(magnetic sensing element); 상기 자기 센싱 요소에 근접하여 배치된 코일; 상기 코일의 끝단들에 연결되어 상기 자기 센싱 요소로부터 IC 출력까지를 포함하는

아날로그 신호 경로를 시험(exercise)하는 셀프 테스트 모듈을 포함한다.

[0015] 상기 집적 회로는 다음의 특징들 중 하나 이상을 더 포함할 수 있다. 상기 IC 출력은 인가되는 자기장에 비례하는 전압을 출력할 수 있고, 상기 자기 센싱 요소는, 상기 집적 회로와 공통된 실리콘 기판 상에 배치된 홀 요소(Hall element)를 포함할 수 있고, 상기 자기 센싱 요소는, 상기 집적 회로와 공통된 실리콘 기판 상에 배치된 자기저항 요소(magnetoresistive element)를 포함할 수 있고, 상기 자기 센싱 요소는 홀 요소(Hall element)를 포함할 수 있고, 상기 셀프 테스트 모듈은, 상기 코일의 일단에 연결된 제1 전류원, 및 상기 코일의 타단에 연결된 제2 전류원을 포함할 수 있고, 상기 집적 회로는 선형 전류 센서를 포함할 수 있고, 상기 집적 회로는 스위치를 포함할 수 있고, 리드프레임(leadframe)으로부터 오려내진(cutout) 영역을 가지는 상기 리드프레임에 의해 지지되는 다이(die)를 더 포함하고, 상기 자기 센싱 요소의 위치는 와전류(Eddy currents)를 감소시키도록 상기 영역에 맞추어 정렬될 수 있고, 그리고/또는 상기 자기 센싱 요소는 홀 요소(Hall element)를 포함할 수 있다.

[0016] 본 발명의 또 다른 측면에 있어서, 방법은, 집적 회로의 일부를 형성하는 자기 센싱 요소에 근접하여 코일을 배치하는 단계; 상기 자기 센싱 요소로부터 IC 출력까지를 포함하는 아날로그 신호 경로를 시험(exercise)하도록 셀프 테스트 모듈을 상기 코일의 끝단들에 연결하는 단계; 및 상기 자기 센싱 요소로부터 상기 IC 출력으로의 상기 아날로그 신호 경로를 시험(exercise)하는 단계를 포함할 수 있다.

[0017] 상기 방법은 다음의 특징들 중 하나 이상을 더 포함할 수 있다. 상기 셀프 테스트 모듈의 제1 전류원을 상기 코일의 일단에 연결하고, 상기 셀프 테스트 모듈의 제2 전류원을 상기 코일의 타단에 연결하는 단계를 더 포함할 수 있고, 비교기 스위치포인트들(switchpoints)을 포함하여, 상기 집적 회로의 동작을 검증하도록 상기 제1 및 제2 전류원들을 제어하는 것을 적용하는 단계를 더 포함할 수 있고, 상기 코일 내의 전류에 비례하여 상기 IC 출력을 변형(deflect)시키는 것을 포함하여, 상기 집적 회로의 동작을 검증하도록 상기 제1 및 제2 전류원들을 제어하는 단계를 더 포함할 수 있고, 상기 코일에 일정한(constant) 전류를 인가하는 단계, 및 상기 아날로그 신호 경로의 이득(gain)에 비례하는 상기 IC 출력 상의 변형(deflection)을 검증하는 단계를 더 포함할 수 있고, 상기 IC 출력의 영 자기장(zero field) 동작을 검증하는 단계를 더 포함할 수 있고, 그리고/또는 리드프레임(leadframe)으로부터 오려내진(cutout) 영역을 가지는 상기 리드프레임에 의해 지지되는 다이(die)를 채용하는 단계를 더 포함하고, 상기 자기 센싱 요소의 위치는 와전류(Eddy currents)를 감소시키도록 상기 영역에 맞추어 정렬될 수 있다.

[0018] 본 발명의 또 다른 측면에 있어서, 집적 회로는, 자기 센싱 요소; 상기 센싱 요소에 연결되고 결합 검출 모듈 - 상기 결합 검출 모듈은, 결합 조건을 검출하는 회로로서 상기 결합 조건을 검출하는 상기 회로의 동작을 셀프-테스트하는 상기 회로를 포함함 -; 및 상기 결합 조건을 나타내는 결합 핀을 포함한다.

[0019] 상기 집적 회로는 다음의 특징들 중 하나 이상을 더 포함할 수 있다. 상기 결합 검출 모듈은 상기 결합 조건과 연관된 적어도 하나의 임계치를 가지는 윈도우 비교기를 포함할 수 있고, 상기 적어도 하나의 임계치는 쇼트 회로(short circuit) 조건에 상응할 수 있고, 상기 쇼트 회로 조건은, 상기 윈도우 비교기로부터 상기 자기 센싱 요소로 연장된 신호 경로 내에 위치할 수 있고, 상기 결합 핀은 상기 적어도 하나의 임계치에 의한 결합 검출 시 정해진 상태로 활성화될 수 있고, 그리고/또는 상기 셀프-테스트 동작의 셀프-테스트 신호들은 지속 시간에 대하여 프로그램 가능할 수 있다.

[0020] 본 발명의 다른 측면에 있어서, 집적 회로 내에서 자기 센싱 요소를 결합 검출 모듈에 연결하는 단계; 결합 조건을 검출하는 회로로서 상기 결합 조건을 검출하는 상기 회로의 동작을 셀프-테스트하는 상기 회로를 포함하는 상기 결합 검출 모듈을 제공하는 단계; 셀프-테스트 신호들을 제공하는 단계; 및 상기 결합 조건을 나타내는 결합 핀을 제공하는 단계를 포함한다.

[0021] 상기 방법은 다음의 특징들 중 하나 이상을 더 포함할 수 있다. 상기 결합 검출 모듈은 상기 결합 조건과 연관된 적어도 하나의 임계치를 가지는 윈도우 비교기를 포함할 수 있고, 상기 적어도 하나의 임계치는 쇼트 회로(short circuit) 조건에 상응할 수 있고, 상기 쇼트 회로 조건은, 상기 윈도우 비교기로부터 상기 자기 센싱 요소로 연장된 신호 경로 내에 위치할 수 있고, 상기 결합 핀은 상기 적어도 하나의 임계치에 의한 결합 검출 시 정해진 상태로 활성화될 수 있고, 상기 결합 조건은 임계치 이상의 전류 수준을 포함할 수 있고, 상기 결합 핀은, 상기 결합 핀을 정해진 시간 동안 정해진 전압 레벨로 풀링(pulling)하면 상기 셀프-테스트 동작을 개시하는 셀프-테스트 요청을 제공하는 입출력 핀일 수 있고, 상기 셀프-테스트 요청의 상기 정해진 시간은 프로그램 가능할 수 있고, 상기 셀프-테스트 요청의 상기 정해진 시간은 셀프-테스트 요청의 파워업 개시(power up initiation)에 상응할 수 있고, 상기 셀프-테스트 동작은 인가되는 자기장이 자기장 임계치 이하일 때만 진입될

수 있고, 상기 셀프-테스트 동작으로의 진입을 나타내는 인지(acknowledge) 신호를 제공하도록 상기 결합 편 상의 전압을 제어하는 단계를 더 포함할 수 있고, 상기 인지 신호가 활성화되는 시간의 크기는 프로그램 가능할 수 있고, 상기 셀프-테스트 동작으로부터의 결과들을 제공하도록 상기 결합 편 상의 전압 레벨을 제어하는 단계를 더 포함할 수 있고, 상기 셀프-테스트 동작의 성공 또는 실패를 나타내도록 상기 결합 편 상의 전압 레벨의 시간을 조절(timing)하는 단계를 더 포함할 수 있고, 제1 시간에서의 상기 전압 레벨의 천이(transition)는 성공을 나타내고, 제2 시간에서의 상기 전압 레벨의 천이는 실패를 나타내며, 제3 시간에서의 상기 전압 레벨의 천이는 결합 실패를 나타낼 수 있고, 상기 제1, 제2 및 제3 시간들은 프로그램 가능할 수 있고, 온도 임계치 이상의 온도 변화 후에 상기 셀프-테스트 동작을 개시하는 단계를 더 포함할 수 있고, 상기 접적 회로는 정확히 네 개의 편들을 가지는 패키지를 포함할 수 있고, 리드프레임(leadframe)으로부터 오려내진(cutout) 영역을 가지는 상기 리드프레임에 의해 지지되는 다이(die)를 채용하는 단계를 더 포함하고, 상기 자기 센싱 요소의 위치는 와전류(Eddy currents)를 감소시키도록 상기 영역에 맞추어 정렬될 수 있고, 상기 셀프-테스트는 플럭스(flux) 임계치 이상의 자기장이 검출될 때 종료될 수 있고, 상기 접적 회로는 선형 전류 센서를 포함할 수 있고, 그리고/또는 상기 셀프-테스트 동작의 셀프-테스트 신호들은 지속 시간에 대하여 프로그램 가능할 수 있다.

도면의 간단한 설명

[0022]

본 발명 그 자체뿐만 아니라, 본 발명의 상술한 특징들이 첨부된 도면들로부터 보다 완전히 이해될 수 있을 것이다. 첨부된 도면들에서,

도 1은 본 발명의 예시적인 실시예들에 따라 신호 경로 진단(signal path diagnostics)을 가지는 센서를 도식적으로 나타낸 것이고;

도 2 및 도 2a는 센싱 요소에 인가된 전압과 함께 센서의 일부를 도식적으로 나타내는 것들이고;

도 3은 셀프-테스트 기능을 가지는 센서를 도식적으로 나타내는 것이고;

도 3a는 진단 기능을 가지는 스위치를 도식적으로 나타내는 것이고;

도 3b는 코일을 통하는 전류에 상응하는 출력 신호를 그래프로 나타낸 것이고;

도 4는 센싱 요소에 걸쳐 인가되는 전류를 가지는 센서의 일부를 도식적으로 나타낸 것이고;

도 4a는 예시적인 테스트 회로의 회로도이고;

도 4b는 홀 요소(Hall element)를 포함하는 일련의 저항들에 걸쳐 인가되는 기준 전압을 도식적으로 나타낸 것이고;

도 5는 테스트 모드 신호를 생성하는 예시적인 회로의 회로도이고;

도 6은 결합 검출을 가지는 예시적인 센서를 도식적으로 나타낸 것이고;

도 6a는 예시적인 비교기 회로의 회로도이고;

도 7은 시간에 따른 결합 신호 전압 및 출력 전압을 나타내는 타이밍도이고;

도 8은 셀프-테스트 개시 신호를 검출하는 예시적인 회로의 회로도이고;

도 9는 예시적인 결합 검출 및 셀프-테스트 모듈의 회로도이고;

도 10은 대안적인 셀프-테스트 회로의 회로도이고;

도 11은 셀프-테스트 신호 타이밍을 그래프로 나타낸 것이고;

도 11a는 셀프-테스트 신호 타이밍을 보다 자세히 그래프로 나타낸 것이고;

도 12a는 KT 패키지에서의 센서의 상면도이고;

도 12b는 LE 패키지에서 센서의 상면도이고;

도 12c는 예시적인 단자 리스트를 표로 나타낸 것이고;

도 12d는 IC의 일부를 형성할 수 있는 리드프레임(leadframe)을 도식적으로 나타낸 것이고;

도 12e는, 일부에서 분리된 패들(paddle)을 생성하도록 리드들의 다이 부착 부분을 가로질러 다이가 배치되고, IC의 일부를 형성할 수 있는 리드프레임(leadframe)을 도식적으로 나타낸 것이고; 그리고

도 13은 여기에 개시된 처리를 적어도 일부 수행할 수 있는 예시적인 컴퓨터를 도식적으로 나타낸 것이다.

발명을 실시하기 위한 구체적인 내용

[0023]

도 1은 본 발명의 예시적인 실시예들에 따른 신호 경로 진단 모듈(102)을 가지는 선형 자기 센서 IC(100)의 예시적인 실시예를 나타낸다. 일 실시예에 있어서, 상기 센서 IC(100)는, 예를 들어, 120kHz 대역폭을 가지는 전류 센서 선형 장치(current sensor linear device)를 포함한다. 상기 센서 IC는 인가되는 자기장에 비례하는 아날로그 출력 전압(VOUT)을 가진다. 일 실시예에 있어서, 상기 센서는 Vcc/2에서 시작하여 상기 인가되는 전압의 극성에 따라 양 및 음의 방향들로 스윙하는 선형 출력을 가진다.

[0024]

상기 센서 IC는 해당 기술분야에서 잘 알려진 방식으로 전류를 감지한다. 일반적으로, 홀 요소(Hall element)(104)와 같은 자기장 센싱 요소(magnetic field sensing element)는 인가되는 자기장에 응답하여 전압을 생성한다. 동적 오프셋 제거 모듈(106)은 상기 신호를 '초핑(chops)'하고, 신호 복구 모듈(108)은 출력 신호를 제공한다. 감도(sensitivity) 제어(110) 및 오프셋 제어(112)는, 예를 들어 미국 특허 제7,923,996호 및 미국 공개 특허 제US2011/0018533호에 도시 및 기재된 바와 같이, 상기 신호들을 조절하는 데에 이용될 수 있고, 상기 문헌들은 여기에 참조로서 포함된다. 특정한 응용에서의 필요에 따라 다른 기술들이 이용될 수 있음을 이해할 수 있을 것이다.

[0025]

이러한 실시예 및 다른 실시예들에서의 상기 자기장 센싱 요소(104)는, 이에 한정되는 것은 아니지만, 홀 효과 요소(Hall effect element), 자기저항 요소(magnetoresistance element) 또는 자기트랜ジ스터(magnetotransistor)가 될 수 있다. 알려진 바와 같이, 서로 다른 유형들의 홀 효과 요소들, 예를 들면, 평면형 홀 요소(planar Hall element), 수직형 홀 요소(vertical Hall element) 및 원형 수직 홀 요소(Circular Vertical Hall(CVH) element)가 있다. 또한, 알려진 바와 같이, 서로 다른 유형들의 자기저항 요소들, 예를 들면, 안티몬화 인듐(Indium Antimonide(InSb))과 같은 반도체 자기저항 요소, 거대 자기저항(giant magnetoresistance(GMR)) 요소, 이방성 자기저항 요소(anisotropic magnetoresistance element(AMR)), 터널링 자기저항(tunneling magnetoresistance(TMR)) 요소, 자기 터널 접합(magnetic tunnel junction(MTJ)), 스핀-밸브(spins-valve) 등이 있다. 상기 센싱 요소(104)는 단일한 요소, 또는 이와 달리 다양한 구성들, 예를 들면, 하프 브릿지(half bridge) 또는 풀 (휘트스톤(Wheatstone)) 브릿지로 배열된 2 이상의 요소들을 포함할 수 있다. 소자 유형 및 다른 응용 요구들에 따라, 상기 센싱 요소(104)는 실리콘(Si)이나 게르마늄(Ge)과 같은 IV족 반도체 물질, 또는 갈륨-비소(GaAs) 또는 인듐 화합물, 예를 들면, 안티몬화 인듐(InSb)과 같은 III-V족 반도체 물질로 구성된 소자일 수 있다.

[0026]

알려진 바와 같이, 상술한 자기장 센싱 요소들의 일부는 상기 자기장 감지 소자를 지지하는 기판에 평행한 최대 감도축을 가지는 경향이 있고, 상술한 자기장 센싱 요소들의 다른 일부는 상기 자기장 감지 소자를 지지하는 기판에 직교하는 최대 감도축을 가지는 경향이 있다. 특히, 평면형 홀 요소들은 기판에 직교하는 감도축들을 가지는 경향이 있는 반면, 금속 기반 또는 금속성 자기저항 요소들(예를 들면, GMR, TMR, AMR) 및 수직형 홀 요소들은 기판에 평행한 감도축들을 가지는 경향이 있다.

[0027]

여기서 사용된 바와 같이, "자기장 센서(magnetic field sensor)"라는 용어는, 일반적으로 다른 회로들과 함께, 자기장 센싱 요소를 이용하는 회로를 기술하도록 사용된다. 자기장 센서들은 다양한 응용들에서 이용되고, 예를 들어, 이에 한정되지 않으나, 자기장의 방향의 각도를 감지하는 각도 센서, 전류-운반 전도체(current-carrying conductor)에 의해 전송되는 전류에 의해 생성되는 자기장을 감지하는 전류 센서, 강자성 물체의 접근을 감지하는 자기 스위치, 지나가는 강자성 아티클(article)들, 예를 들어 고리 자석(ring magnet)의 자기 도메인들을 감지하는 회전 검출기, 및 자기장의 자기장 밀도를 감지하는 자기장 센서로 이용될 수 있다.

[0028]

본 발명의 예시적인 실시예들은 다양한 센싱 요소들을 가지는 다양한 센싱 응용들에 적용될 수 있다. 예시적인 센서들은 자기장 센서, 가속도계, 온도 센서, 자이로스코프, 압력 센서, 화학적 센서, 생물학적 센서, 스트레인 센서, 압전 센서 등을 포함한다. 본 발명의 예시적인 실시예들은 이동하는 자석들 또는 흐르는 전류에 의해 생성되는 자기장들을 감지하는 것을 요구하는 광범위한 응용들에 적용 가능하다. 예를 들면, 본 발명의 예시적인 실시예들은, 하이브리드 전기차(hybrid electric vehicle(HEV)) 인버터가, 인버터 상 전류(phase current)를 감지하도록 센서가 코어의 갭(gap)에서 이용되게 하는 120kHz의 동작 대역폭을 가지므로, HEV 인버터 응용들에 유용하다.

- [0029] 본 발명의 예시적인 실시예들은 종래의 자기장 센서들과 비교하여 향상된 안전 무결성 기준(Safety Integrity Level(SIL))을 제공한다. 다음에 보다 상세하게 설명하는 바와 같이, 진단 루틴(diagnostics)은 상기 센싱 요소를 가로질러 전류를 구동함으로써 상기 신호 경로의 결함을 식별할 수 있다. 상술한 바와 같이, 홀 요소를 참조하였으나, 임의의 실제적인 유형의 센싱 요소가 이용될 수 있음을 이해할 수 있을 것이다. 예시적인 실시예들이 차량 안전 무결성 기준(Automotive Safety Integrity Level(ASIL)) 테스트와 함께 도시 및 설명되나, 본 발명의 범주가 어떤 식으로든 ASIL에 한정되지 않음을 이해할 수 있을 것이다.
- [0030] 도 2는 홀 요소로 도시된 차동 센싱 요소(202)에 인가되는 전압을 가지는 예시적인 자기장 센서(200)의 일부를 나타낸다. 전류원(204)은 상기 센싱 요소(202)에 연결되어 상기 요소에 전류를 인가, 예를 들면, 상기 홀 요소를 바이어싱(biasing)한다. 제1 전압원(206)은 상기 홀 요소(202)의 차동 출력들(208a, 208b) 사이에 연결된다. 일 실시예에 있어서, 제1 및 제2 스위치들(210a, 210b)은 상기 제1 전압원(206)이 상기 홀 요소의 차동 출력들(208a, 208b) 중 하나 또는 모두에 연결되는지 여부를 선택적으로 제어한다. 선택적인 제2 전압원(212)은 제3 및 제4 스위치들(214a, 214b)을 통하여 상기 차동 홀 출력들 사이에 연결될 수 있다. 일 실시예에 있어서, 상기 제1 및 제2 전압원들(206, 212)은 반대되는 극성을 가질 수 있다.
- [0031] 상기 제1 및 제2 스위치들(210a, 210b)이 닫힐 때, DC1로 도시된 양의 전압이 상기 신호 경로에 인가되고, 증폭기(216)의 출력에는 음의 전압이 유발된다. 상기 제1 및 제2 스위치들(210a, 210b)이 열리고, 상기 제3 및 제4 스위치들(214a, 214b)이 닫힐 때, DC2로 도시된 음의 전압이 홀 요소 출력들(208)에 인가되고, 상기 증폭기(216) 출력에 양의 전압이 유발된다. 제1 및 제2 전압원들(206, 212)의 전압들의 크기가 잘 제어되는 경우, 상기 출력 전압이 입력 자극 전압들(DC1, DC2)에 비례할 것이므로, 상기 신호 경로의 이득(gain)이 겸증될 수 있다.
- [0032] 선택적으로는, DC1 및/또는 DC2의 상기 입력 자극 전압들이 어떠한 임계 전압(threshold voltage)보다 큰 경우, 상기 증폭기(216) 출력은 포화될 것이다. 포화된 출력에 의해 사용자가 상기 신호 경로 이득에 관한 정보를 제공함이 없이 상기 신호 경로의 연결(connectivity) 및 기본 기능을 검출할 수 있음을 이해할 수 있을 것이다.
- [0033] 도 2a는, 예를 들어 상기 인가되는 자극 전압과 상기 홀 요소에 걸쳐 발생되는 임의의 전압 사이의 임의의 간섭을 최소화하기 위하여, ASIL 테스트 동안 홀 플레이트(Hall Plate)를 상기 신호 경로로부터 분리시키도록 도 2의 센서에 제5 및 제6 스위치들(218a, 218b)을 추가한 것을 나타낸다. 일 실시예에 있어서, DC1은 공급 전압에 상응하고, DC2는 GND에 상응한다.
- [0034] 본 발명의 다른 측면에 있어서, 자기 센싱 요소를 가지는 센서는 상기 센싱 요소로의 신호 주입을 포함한다. 자기 센싱 요소를 시험하도록 여기 코일(excitation coil)이 존재하는 데에 고려할 사항은 상기 코일을 여기(exciting)할 때 전류 인출(draw)이다. 상기 코일은, 예를 들어 실리콘 홀 집적 회로의 금속층들 상에 생성될 수 있고, 정해진 전류로부터 생성된 자기장의 크기를 결정한다. 일 실시예에 있어서, 상기 생성된 자기장은 약 20가우스(Gauss)로 제한되고, 이는 출력 변형(deflection)을 제한한다.
- [0035] 도 3은 도 1의 센서(100)와 공통성을 가지는 센서(300)를 나타낸다. 상기 센서(300)는 인가되는 자기장에 비례하는 아날로그 출력 전압을 가진다. 일 실시예에 있어서, 선형 출력(VOUT)은 Vcc/2에서 시작하여 상기 인가되는 자기장의 극성에 따라 양 및 음의 방향으로 스윙한다. 셀프-테스트 제어 모듈(303)은 상기 센싱 요소(104)에 연결되어 셀프-테스트 기능을 제공한다. 예를 들어, 안전 필수 응용들에서, 최종 사용자는 센서의 안전 무결성 기준(Safety Integrity Level(SIL))을 향상시키는 데에 관심이 있다. 셀프-테스트 진단 루틴(self-test diagnostics)은 증가된 무결성을 달성한다. 후술하는 바와 같이, 본 발명의 예시적인 실시예들은 셀프-테스트 진단을 제공하도록 상기 아날로그 신호 경로의 자극(stimulation)을 제공한다. 진단 결과들은 상기 최종 사용자에 보고될 수 있다.
- [0036] 상기 셀프-테스트 진단 기능의 일련의 이벤트들에 대하여, 결함을 인지하는 시간 또는 상기 셀프 진단의 결과를 최종 사용자에게 제시하는 시간 등이 프로그램 가능한 것에 주목해야 한다. 프로그래밍에 의해 셀프-테스트 이벤트들의 개시, 인지 및 보고에 서로 다른 자연 시간들이 요구되는 다수의 동작 플랫폼들이 가능하게 된다.
- [0037] 전술한 바와 같이, 테스트는 다양한 방법들로 상기 아날로그 신호 경로를 자극(stimulate)한다. 일 실시예에 있어서, 코일(105)은, 도 3에 도시된 바와 같이, 예를 들어 상기 실리콘 기판 상의 홀 소자(또는 자기장 센싱 요소) 둘레 또는 주변에 배치되고, 상기 코일을 지나는 전류를 제어한다. 홀 트랜스듀서(Hall transducer)(104)는 상기 아날로그 신호 경로를 테스트하도록 자기장을 생성함으로써 코일(105)에 전류가 흐를 때 전단에서 자극된다. 일 실시예에 있어서, 코일은, 예를 들어 도 3a에 도시된 스위치와 같은 진단 스위치의 기능을 테스트하는

데에 이용된다. 상기 코일 내에서 전류가 스위칭 온 및 오프되고, 셀프-테스트 동안 상기 장치 출력이 상기 출력 상에 50% PWM 신호를 가지도록 상기 비교기의 스위치 포인트들이 조절된다. 상기 장치가 진단 테스트에 실패하면, 상기 출력이 상기 테스트 기간 동안 하이 또는 로우 상태로 고착(stuck)된다.

[0038] 도 3을 다시 참조하면, 예시적인 실시예에서, 셀프-진단 테스트는 상기 코일(105)의 양단에 전류원을 연결하는 것을 포함함으로써, 상기 센싱 요소(104)에서 양 및 음 양쪽의 테스트 자기장을 생성하도록 전류가 양쪽 방향으로 흐르게 할 수 있다. 셀프-테스트 동안, 상기 코일(105)은, 도 3b에 도시된 바와 같이, 코일(105) 내에 흐르는 전류에 비례하여 상기 아날로그 신호의 상기 출력을 변형할 수 있는 자기장을 생성한다. 상기 자극(simulation)은 출력(VOUT)으로의 상기 전체의 아날로그 신호 경로를 직접 통과한다.

[0039] 이러한 구성은 다수의 장점들을 제공한다. 상기 아날로그 신호 경로의 프로그램된 감도는 상기 최종 사용자에 의해 검사될 수 있다. 상기 코일에 일정한(constant) 전류를 인가함으로써, 상기 코일에 의해 생성되는 상기 자기장이 고정(fixed)될 것이다. 이러한 고정된 자기장은 상기 아날로그 신호 경로의 이득(gain)에 비례하여 상기 아날로그 출력의 상기 출력 상의 변형을 유발한다. 상기 장치의 상기 이득이 프로그램 가능하고 상기 코일의 디자인이 잘 이해될 것이므로, 이들은 모두 잘 알려진 수량들(quantities)이고, 상기 최종 사용자에 의한 상기 아날로그 신호 경로의 정확한 측정에 대한 기초를 제공할 수 있다.

[0040] 또한, 테스트 동안 상기 아날로그 신호 경로의 무엇도 수정되지 않는다. 도 3a의 진단 스위치에서, 진단을 위한 또한 정상 동작을 위한 스위치포인트들(switchpoints)은 서로 다르다. 만약 정상 동작 동안 상기 센서의 상기 이득 또는 비교기 임계치들이 실패할 것이면, 어떠한 조건들 하에서 상기 장치 셀프-진단이 제대로 작동할 것이나, 정상 동작 모드는 사양을 벗어나는 자기 스위치포인트들을 가질 수 있다. 상기 센서의 설계에서 주의함으로써 잘못된 양성의 테스트를 유발할 수 있는 원도우를 최소화할 수 있으나, 이를 제거하지는 못할 것이다.

[0041] 더욱이, 상기 장치의 오프셋이 또한 테스트될 수 있다. 영의(zero) 가우스 자기장 아날로그 출력 전압이 또한 프로그램되므로, 상기 신호 경로 이득뿐만 아니라, 영 자기장 출력 신호가 상대적으로 높은 수정의 정확도로 셀프-테스트될 수 있다. 만약 어떠한 이유로 변환(drift)될 것이면, 이는 상기 셀프-테스트 동안 확인될 수 있다.

[0042] 상기 테스트 결과의 보고는 다양한 방식으로 달성될 수 있다. 일 실시예에 있어서, 상기 아날로그 신호의 변형이 사용자에 의해 모니터링된다. 다른 실시예에 있어서, PWM 출력 신호를 생성하도록 PWM이 이용된다. 테스트 결과들은 각각의 편 상에 보고되거나, 다른 편 상의 어떠한 전압 변조를 통하여 보고되거나, 또는 전류 변조를 통하여 보고될 수 있다. 2선식 센서에서, 전류 변조가 데이터를 통신하도록 이용될 수 있다.

[0043] 도 4는 전기 신호가 인가되는, 훌 요소로 도시된, 자기 센싱 요소(402)를 가지는 센서(400)의 일부를 나타낸다. 상기 훌 플레이트의 응답은 검증되지 않을 수 있으나, 상기 센서 출력으로의 상기 신호 경로의 나머지는 테스트 될 수 있다.

[0044] 전류원(404)은 훌 요소(402)에 연결되어 바이어스 전류를 제공하고, 제1 및 제2 전류 레플리케이터들(406a, 406b)에 연결된다. 제1 전류 레플리케이터(406a)는 훌 요소(402)의 제1 차동 출력(408a)에 전류를 제공하고, 제2 전류 레플리케이터(406b)는 상기 훌 요소의 제2 차동 출력(408b)으로부터 전류를 수신한다. 상기 훌 요소의 차동 출력들(408a, 408b)은 증폭기(410)에 연결된다. 예시적인 실시예에 있어서, 제1 및 제2 전류 레플리케이터들(406)은, 상수 K에 의해 결정되는 바와 같이, 전류원(404)에 의해 생성되는 전류에 비례하는 전류를 제공한다.

[0045] 훌 요소(402)에 전류를 인가함에 있어서, 상기 훌 플레이트가 저항 요소이므로 상기 훌 플레이트에 걸쳐 전압이 생성된다. 상기 전류는 차동 훌 요소 출력들(408a, 408b)에 걸쳐 차동 출력 신호를 생성한다.

[0046] 선택적인 실시예에 있어서, 독립적인 전류원들이 상기 훌 플레이트 출력 단자들에 연결된다. 다른 실시예들에 있어서, 전압 신호들이 상기 훌 요소에 인가된다.

[0047] 도 4a는 상기 훌 플레이트 출력 포트들(도 4의 408a, 408b)에 인가될 수 있는 차동 기준 신호(Out+, Out-)를 생성하는 테스트 회로(450)의 예시적인 실시예를 나타낸다. 예시한 실시예에 있어서, 전압 분배기(R1, R2)는 상기 분배기에 연결된 전압에 비례하는 전류를 제공한다. 상기 전류는 상기 분배기에 연결된 공급 전압에 비례한다. 선택적인 실시예에 있어서, 차동 전류 기준 회로가 값이 절대적(absolute)인 전류를 생성할 수 있다. 상기 센서가 상기 전력 공급 전압에 비율 척도로(ratio-metric) 설계된 경우, 상기 전력 공급 전압은 외부 신호로 이용될 수 있다. 상기 회로 출력이 절대적(absolute)인 경우, 비율 척도이기 보다, 절대적 차동 전류 회로가 이용되어야 한다. 상기 저항 분배기(R1/R2)를 밴드갭 기준(bandgap reference)으로 변경함으로써 이러한 회로를 비례하

는 출력에서 절대적인 출력으로 변환할 수 있는 것을 이해할 수 있을 것이다.

[0048] 일 실시예에 있어서, 테스트 회로(450)는 전류 레플리케이터 회로들(도 4의 406a, 406b)을 대체할 수 있다. 상기 훌 구동 전류원의 기능을 검증하도록 추가적인 메커니즘이 추가될 수 있다. 예를 들면, 상기 훌 플레이트의 상기 입력 단자들에 걸친 전압이 측정되어 기대 레벨과 비교될 수 있다. 상기 정확한 입력 전류가 상기 훌 플레이트에 인가되는지를 검증하는 회로로부터의 표시(indication) 신호가 상기 테스트 전류 생성 회로, 예를 들면, 테스트 회로(450)를 인에이블하도록 이용된다. 이러한 방식으로, 상기 훌 플레이트가 부적절하게 구동되면, 상기 테스트 회로는 상기 훌 플레이트에 테스트 자극(simulation) 신호를 제공하지 않을 것이고, 그러면 상기 출력은 테스트 동안 상기 정상 레벨로부터 부적절한 출력 변형을 통하여 회로 고장을 반영할 것이다. 상기 출력 신호들(Out+, Out-)이, (도 1의) 상기 동적 제거 블록에서 확인할 수 있는 바와 같이, 스위치들에 연결될 수 있음을 이해할 수 있을 것이다.

[0049] 도 4b는 제1, 제2 및 제3 저항들(R_{DIV1} , R_{HALL} , R_{DIV2})을 직렬로 포함하는 전압 분배기에 걸쳐서 기준 전압을 인가하는 예시적인 회로(480)를 나타내고, 이러한 세 개의 저항들 중 중간(제2) 저항은 상기 훌 플레이트 그 자체이다. 제1 및 제2 신호들($V + \Delta V$, $V - \Delta V$) 중 하나는 제1 저항(R_{DIV1})의 자유단(free end)에 인가되고 다른 하나는 상기 제3 저항의 자유단에 인가되며, 상기 제2 저항(상기 훌 플레이트)은 상기 제1 및 제3 저항들(R_{DIV1} , R_{DIV2})의 나머지 단들 사이에 연결된다.

[0050] 상기 두 개의 저항들 사이의 상기 훌 플레이트는 저항 스트링들로의 다양한(대칭적인(symmetric)) 텁 포인트들을 가지는 두 개의 시리즈들의 저항 스트링들 사이에 상기 훌 플레이트를 위치시킴으로써 개략적(coarse) 신호 레벨 조정이 가능하도록 확장될 수 있다. 상기 훌 요소에 보다 가까운 텁 포인트들에 $V + \Delta V$ 및 $V - \Delta V$ 를 인가시키는 것은 상기 훌 요소에 걸친 보다 큰 신호를 제공한다.

[0051] 예시한 실시예에 있어서, Hall Out+ 및 Hall Out- 사이의 상기 훌 플레이트에 걸쳐 발생하는 상기 전압은 다음 수학식 1과 같이 주어진다.

수학식 1

$$(V_{HALL\ OUT+} - V_{HALL\ OUT-}) = \Delta V \cdot \frac{R_{HALL}}{R_{HALL} + 2 \cdot R_{DIV}}$$

[0052] [0053] 상기 훌 드라이버 회로가 제대로 기능하는지를 보장하도록 보충적 회로가 이용될 수 있다. 이 경우, 상기 보충적 회로의 출력은 상기 두 개의 테스트 저항들을 상기 신호들($V + \Delta V$, $V - \Delta V$)에 연결하도록 이용되는 스위치들을 제어하도록 이용될 수 있다. 이러한 방식으로, 상기 훌 드라이버 회로가 제대로 동작하지 않는 것으로 판단되면, 상기 테스트 신호가 상기 훌 플레이트에 인가되지 않음으로써, 상기 신호 경로의 출력에서 아무런 변형도 관찰되지 않을 것이다.

[0054] 도 5는 상기 훌 검출 장치의 상기 신호 경로로의 상기 입력에서 테스트 모드 신호를 생성하는 예시적인 회로(500)를 나타낸다. 상기 회로(500)는 고정된 값의 출력 신호(OUT)를 생성한다. 일 실시예에 있어서, 이 값은 양방향(bi-directional)이어서 양쪽 극성에서 생성된 입력 자기장들에 대한 회로들을 테스트할 수 있다. 제1 회로 블록(501)은 테스트 모드 동안 제1 및 제2 스위치들(S1, S2)을 통하여 노드들(A, B) 사이에 상기 훌 장치 유효 저항(effective resistance)에 걸쳐 쇼트된(shorted) 저항(R1)을 포함한다. 회로 블록들(502-505)에서 생성된 전류는 상기 테스트 모드 동안 노드들(VASILP, VASILN)에서 상기 제1 저항(R1)에 인가된다. 그러면, 노드들(A, B)에 걸쳐 생성된 전압은 신호 처리 블록(506)으로의 입력으로서 제공된다. 출력(OUT)은 상기 극성 스위치의 선택을 통한 신호(TM_POS)에 의해 정의된 극성을 가지는 일정한(constant) 크기를 가진다.

[0055] 회로 블록(502)에서, 증폭기(A1)는 두 개의 별별 저항들(R2, R3)에 걸쳐 전압(VR)을 강제한다. 이러한 저항들은 R1 및 노드들(A, B) 사이의 상기 유효 저항 훌 장치 저항의 스케일된 버전들(scaled versions)이다. 이에 의해 글로벌 공정 편차(global process variation) 및 동작 온도에 대한 1차 오더 교정(first order correction)이 달성된다. 증폭기(A1)로의 입력(VR)은 회로 블록(502) 내의 상기 신호 경로에서의 Fine 이득 설정의 편차들(variations)이 보상된 Fine의 값들, 보다 국부적인 처리 에러들의 일부 트리밍(trimming), 예를 들어 전류 생성 회로들(블록(502-505)) 및 별별 쇼트 저항(R1)에서의 장치 정합(device matching)을 가능하게 하는 Trim의 값에 의해 결정된다.

- [0056] 회로 블록(501)에서의 스위치들(S1, S2)의 저항에 기인한 에러들은 회로 블록(503)에서 보상된다. 회로 블록(502)에서 생성된 전류(I1)는 Q1 및 저항(R4)에 흐른다. 소자 Q1의 베이스(노드 C)에서의 전압은 $VC=I1*R4 + Vbe$ 1이다. 그러면, Q2에 의해 제공되는 R5 및 스위치(S3)를 통하는 전류는 $IR5=(I1*R4+Vbe1)/R5$ 이다. Q3의 베이스 노드(노드 D)에서의 전압은 $VD=IR5*(R5 + Rs3)$ 이고, 여기서 $Rs3$ 은 스위치(S3)의 온 저항이다. R6에 걸친 전압(노드 E에서의 전압)은 $VE=Vd-Vbe3$ 이고, 그러므로 $I2 = VE/R6$ 이다. 소자들의 적당한 스케일링을 통하여, 비 $I2/I1$ 이 회로 블록(501)에서의 스위치들(S1, S2)에 걸쳐 강하되는 전압을 보상하도록 결정될 수 있다.
- [0057] 전류 미러로 도시된 회로 블록(504)은 개략적 이득 설정으로 프로그램 가능하게 됨으로써, 전류비 $I3/I2$ 가 R1에 걸친 전압을 조절하여 개략적 이득 설정과 무관하게 일정한 전압(OUT)을 유지할 수 있다.
- [0058] 회로 블록(505)에서 차동 출력이 생성되고, 회로 블록(505)은 출력 신호(OUT)의 극성 변경에 요구되는 초핑 스위치(chopping switch)를 제공하고, 이는 또한 테스트 모드가 아닐 때 상기 전류가 비연결되도록 할 수 있다.
- [0059] 본 발명의 다른 측면에 있어서, 셀프-테스트 진단은, 예를 들어 파워 업 시 또는 사용자 제어에 의해, 셀프-테스트 개시를 이용하는 안전 필수 응용들에서의 기능적 안전 수준을 향상시킨다. 예시적인 실시예들에 있어서, 셀프-테스트 신호들의 타이밍은 기대 신호 타이밍에 정렬되도록 조절된다. 셀프-테스트 기능을 개시하는 것은 상기 센서 시스템의 전체적 시스템 제어에 연관된다. 신호 생성에 있어서 유연성(flexibility)은 서로 다른 사용자들이 다양한 방식으로 안전 수준들을 향상시킬 수 있게 해준다. 예를 들면, 주어진 시스템에서 요구되는 안전 수준이 셀프-진단이 얼마나 자주 이의 동작 또는 에러 조건을 사용자에게 보고해야 할지를 좌우할 수 있다.
- [0060] 도 6은 상기 아날로그 출력을 모니터링하고, 결함 출력(FAULT)을 생성하도록 비교기들을 가지는 프로그램 가능 원도우 비교기 모듈(602)을 포함하는 결함 검출 모듈(600)의 예시적인 실시예를 보다 자세히 나타낸다. 일 실시 예에 있어서, 결함 검출 모듈(600)은 결함을 검출하여 결함 출력(FAULT)을 활성화한다. 상기 결함 출력(FAULT)이 양(논리 1) 또는 음(논리 0) 중 어느 한쪽에 대하여 활성화 상태로 용이하게 설정될 수 있음을 이해할 수 있을 것이다. 예시한 실시예에 있어서, 상기 결함 출력은 액티브 로우로 도시되어 있다.
- [0061] 상기 결함 출력(FAULT)이 시스템 내의, 예를 들어 모터 드라이버 또는 마이크로-컨트롤러로부터의, 다른 결함 신호들과 함께 리던던시(redundancy)를 제공할 수 있는 것을 이해할 수 있을 것이다. 이러한 리던던시는 전체적인 제어 시스템 기능, 예를 들어 차량에서의 안전 필수 응용들에서의 안전 레벨들에 적용 가능한 차량 안전 무결성 기준(Automotive Safety Integrity Level(ASIL))을 향상시킬 수 있다. 예를 들면, 파워 스티어링(power steering) 및 가속 페달(accelerator pedal) 위치는 ASIL에서 정의된 보다 높은 수준의 안전을 요구한다.
- [0062] 예시적인 실시예에 있어서, 상기 결함 검출 모듈은, 상기 센서 결함 기능이 제대로 동작하는지를 확인하도록 사용자에 의해 개시될 수 있는 셀프-테스트 루틴을 포함한다. 일 실시예에 있어서, 셀프-테스트는 결함(FAULT) 편상에 정해진 전압 레벨을 제공함으로써 개시된다.
- [0063] 도 6a는 도 6의 상기 결함 검출 모듈의 일부를 형성할 수 있는 예시적인 원도우 비교기(650)를 나타낸다. 저항들(R1, R2, R3)은 제1 및 제2 비교기들(652, 654)의 트립 포인트들(trip points)을 결정한다. 예시적인 실시예에 있어서, 기준 전압 저항은 상기 결함을 검출하기 위한 원하는 원도우 임계치들을 설정하도록, 해당 기술분야에서 잘 알려진 R/2R 래더 DAC들을 채용함으로써 프로그램 가능할 수 있다. 상기 회로는 쇼트 조건 하에서 트립(trip)하도록 프로그램될 수 있고, 예를 들어 상기 비교기들에 의해 쇼트 회로 전류가 검출되었을 때 결함 출력(FAULT)이 활성화될 수 있다.
- [0064] 일 실시예에 있어서, 상기 결함은 각각의 비교기들(652, 654)을 이용하여 양 또는 음의 값으로 검출될 수 있다. 예시한 실시예에 있어서, 상기 비교기 출력은 액티브 로우 동작으로 구성된다. 상기 제1 또는 제2 비교기들(652, 654)이 액티브 로우 출력을 가진 경우, 스위치(656)는 결함 출력(FAULT)을 접지에 있게 하도록 활성화된다.
- [0065] 일 실시예에 있어서, 결함 편(FAULT)은, 도 7에 도시된 바와 같이, 상기 셀프-테스트 기능의 초기화를 가능하게 하는 입출력 편을 포함한다. 상기 자기장이 거의 영(zero)인 시간 동안, 이는 상기 응용에서 전류가 흐르지 않음, 그러므로 자기장이 없음을 의미하고, 상기 FAULT 출력 편은 상기 결함 검출 기능의 셀프-테스트를 개시하도록 $Vcc/2$ 로 풀링될(pulled) 수 있다. 예시한 실시예에 있어서, 시간(t_{ASIL1}) 동안 상기 FAULT 편의 전압이, V_{ASIL1} 로 도시된, $Vcc/2$ 로 풀링된다. 시간(t_{ASILH}) 동안, 셀프-테스트가 수행된다. 상기 장치는 이 시간 동안 상기 FAULT 편 출력을 로우(low)로 풀링하여 상기 장치가 시간(t_{ASIL1}) 동안 셀프-테스트를 개시하는 커맨드를 수신하였음을 알릴 수 있다. 시간(t_{ASILR}) 동안, 상기 셀프-테스트의 상기 결과들은 상기 FAULT 편 상에 출력되고, 셀

프-테스트 통과에 대하여 Vcc로 또한 셀프-테스트 실패에 대하여 V_{ASIL0}로 도시되어 있다.

[0066] 상기 언급되고, 또한 도 7에 도시된 바와 같이, 출력 전압(Vout)은 자기장인 존재하지 않을 때 V_{OUT0}일 것이다. 정상 동작 동안, 출력 전압(Vout)은 최대 V_{OUTG(max)}로부터 최소 V_{OUTG(min)}까지 변화할 수 있다. VFSPSP 및 VFNSP는 양의 풀-스케일(full scale) 출력 전압 및 음의 풀-스케일 출력 전압을 나타낸다.

[0067] 도 8에 도시된 바와 같이, 상기 장치는 도 7에서의 시간 간격(t_{asili})의 시작에서 상기 결합 핀이, V_{ASIL1}로 도시된, 약 Vcc/2로 풀링되었는지, 및 상기 홀 요소에 의해 자기장이 검출되지 않았는지를 센싱할 수 있다. 상기 예시된 실시예(800)에서, 상기 홀 요소로부터의 신호가 제1 및 제2 비교기들(802, 804)에 제공되고, 이들은 무엇이 '영(zero)' 자기장인지를 판단하는 R1, R2 및 R3의 값들에 의해 정의되는 각각의 기준 전압들을 가진다. 즉, 상기 자기장은 어떠한 값보다 낮아야 한다. 일 실시예에 있어서, 저항(R2)은 상기 비교기 기준 전압들, 예를 들면, 프로그램 가능한 윈도우 비교기를 설정하도록 조절 가능하다. 비교기들(802, 804)의 출력들은 AND 게이트(806)의 입력에 제공되고, 이의 출력은 클록 카운터(clocked counter)(808)에 제공된다. 상기 Fault 핀 전압은 제3 및 제4 비교기들(810, 812)에 입력되고, 이들은 R4, R5 및 R6에 의해 결정되는 각각의 기준 전압들을 가진다. 비교기(810, 812) 출력들은 상기 AND 게이트(806) 입력에 제공된다. 이러한 구성으로, 상기 홀 요소로부터의 전압이 거의 영(zero)이고, 상기 Fault 핀이 약 Vcc/2로 풀링되었을 때, 상기 셀프-테스트 기능이 카운터(808)에 의해 정의된 시간 후에 인에이블된다.

[0068] 도 9는 결합 검출 모듈 및 셀프-테스트 기능의 예시적인 회로 구현(900)을 나타낸다. 도 7에 tASIL1로 도시된, (도 8의) 카운터(808)의 타임아웃 시간 후, 상기 장치는 상기 셀프-진단 모드로 진입한다. 카운터(808)는 노이즈 또는 글리치가 상기 부분(part)을 상기 테스트 모드로 진입하게 하는 것을 방지한다. 상기 타임아웃(tASIL1)은, 예를 들어 수 마이크로초와 같이, 원하는 시간으로 설정될 수 있다. 상기 타임아웃(tASIL1)이 특정한 응용에서의 요구를 만족하기에 바람직한 임의의 실제적인 시간량으로 설정될 수 있음을 이해할 수 있을 것이다.

[0069] 상기 센서는 상기 결합 핀의 상기 출력이 도 7에서의 시간(tASILH) 동안 GND로 풀링된 것에 의해 상기 셀프-테스트 커맨드가 수신되었음을 '본다(sees)'. 상기 칩은, 자기장 또는 전류가 없는 시간 동안 상기 FAULT 출력이 카운터(808)로부터의 시간(tASILI) 동안 Vcc/2로 유지되었으므로, 이를 '본다(sees)'. 상기 IC에 의해 액티브 풀-다운된 것에 의해 상기 커맨드가 수신되었음을 알릴 수 있다. 상기 출력이 로우가 되지 않으면, 상기 셀프-테스트의 수행을 위한 커맨드가 '보이지(seen)' 않는다. 상기 결합 핀의 제어가 해제될 때, 상기 장치는 상기 출력 핀의 제어를 가져오고, 시간(tASILH) 동안 이를 GND로 액티브하게 유지하고, 이는 상기 셀프-테스트 커맨드가 수신되었음을 전달한다. 상기 시간(tASILH)은, 도 7에 도시된 바와 같이 시간(tASILR) 동안 상기 결과들을 보고하기 위하여, 상기 장치가 상기 진단 테스트를 완료하도록 충분히 길어야 한다.

[0070] 일 실시예에 있어서, 상기 셀프-테스트 기능은 도 9에 도시된 바와 같이 구현된다. ASIL 입력 커맨드 검출 모듈(901)은 도 7 및 도 8과 함께 도시 및 기재된 바와 같이 구성될 수 있다. 상기 ASIL 커맨드가 검출되면, 테스트 제어 모듈(902)은 OR 게이트(906)의 제어 신호 입력(904)으로 상기 FAULT 출력을 GND로 풀링한다. 테스트 제어 모듈(902)은 상기 OR 게이트로의 상기 입력을 제어함으로써 상기 출력을 로우로 유지하면서(도 7 참조) 후술되는 테스트 시퀀스를 구현한다.

[0071] 셀프-테스트 동안, 테스트 제어 모듈(902)은 제1 스위치(SW1)의 스위치 위치(5)를 닫고, 또한 3-위치 제2 스위치(SW2)의 출력을 닫는다. 정상 동작 하에서, 상기 제2 스위치(SW1)는 상기 홀 신호를 수신하도록 위치(6)가 닫힌다.

[0072] 테스트 제어 모듈(902)은 제2 스위치(SW2)를 위치 1(V+), 위치 2 (V+/2), 또는 위치 3(GND) 중 하나로 제어한다. 테스트 제어 모듈(902)은 이러한 연결들을 순환하여, SW2 위치들 1 및 3에서 상기 결합 비교기의 출력이 로우(결합 조건 존재)인 것, 및 위치 2에서 상기 결합 비교기의 출력이 하이(결합 없음)인 것을 검증한다. 실시예에 있어서, 스위치들(SW1, SW2)은 상기 IC 상에 제공된다.

[0073] 이러한 시퀀스가 완료되면, 상기 비교기 회로가 테스트된 것이고, 상기 결과들이 tASILH의 타임아웃 후 전달될 수 있다(도 7 참조). 보다 구체적으로, 셀프-테스트가 실패하면, 상기 장치는 시간(tASILR) 동안 상기 출력(FAULT)을 로우로 풀링하는 것을 지속할 수 있다. 선택적인 실시예에 있어서, 상기 셀프-테스트가 실패하면, 상기 센서는 상기 출력 상에 상기 실패를 래치할 수 있다. 예시한 실시예에 있어서, 상기 장치는 선택된 시간 동안 상기 결합 출력을 로우로 유지하고, 정상 동작 및 추가적인 셀프-테스트의 재개를 가능하게 하도록 상기 출력을 해제한다. 예를 들면, 글리치 또는 노이즈 펄스에 기인한 고장(failure)이 잘못된 양의 테스트를 도출한

경우, 셀프-테스트를 다시 수행(re-run)하는 것이 바람직할 수 있다.

[0074] 셀프-테스트가 성공적인 경우, 상기 장치는 도 7에서 셀프-테스트 통과로 지시된 시간(tASILR) 동안 상기 출력을 하이(HI)로 구동한다. 시간(tASILR) 동안 상기 셀프-테스트 결과가 종료되면, 테스트 제어 모듈(902)은 제1 스위치(SW1)를 위치 6에 연결하고, 정상 동작을 맡도록 상기 OR 게이트로의 입력을 로직 로우로 해제하여 상기 훌 입력 전압을 상기 결합 비교기에 재연결함으로써 상기 FAULT 핀을 해제한다.

[0075] 이러한 구성으로, 상기 장치는 상기 비교기의 상기 세 개의 상태들 각각이 테스트되는 것을 가능하게 하는 셀프-테스트 진단을 제공한다. 상기 셀프-테스트는 전체 시스템의 기능적 안전 수준을 향상시킬 수 있고, 예를 들어 ISO26262에 따른 향상된 수준의 안전을 가능하게 한다.

[0076] 일 실시예에 있어서, 상기 훌 회로에 의해 정해진 임계치 이상으로 증가하는 감지된 자기장이 검출되는 경우, 상기 장치는 테스트 모드를 종료한다.

[0077] 다른 실시예에 있어서, 상기 장치는, 스위치 위치들 1 및 3 전압들을 상기 프로그램된 결합 임계치들에 가깝게 제어하고 상기 임계치들 양쪽으로부터 약간 떨어지게 테스트함으로써 상기 프로그램된 결합 임계치들의 정확도를 테스트하는 회로를 포함한다. 예를 들면, 상기 결합 임계치가 V+보다 200mV 낮은 값으로 프로그램된 경우, V+ -200mV +/- x mV의 기준들이, 상기 비교기들이 + x mV보다 낮은 값에서 스위치하고, - x mV에서 스위치하지 않는 것을 테스트하도록 이용될 수 있다. 상기 mV 단위의 값 'x'는 특정한 응용의 요구를 만족하도록 선택될 수 있다. 'x'의 값이 보다 작을수록, 스위치포인트들이 보다 정밀하게 테스트되는 것을 이해할 수 있을 것이다.

[0078] 상기 원도우 비교기들을 테스트하는 선택적인 실시예(1000)가 도 10에 도시되어 있고, 이는 순차적이 아닌 병렬적으로 테스트한다. 로직 게이트들(G1-G3) 및 비교기들(CP1, CP2)은 상기 ASIL 테스트를 통과하도록 정확하게 기능해야만 한다. 정상 동작 동안, 상기 비교기들(CP1, CP2)에 후속된 NAND 게이트(G3)만이 상기 결합 신호 경로에서 이용된다. 정상 결합 검출 동작 동안, 상기 원도우 기준들(RefH 및 RefL)이 결합 조건을 검출하는 임계치들로서 이용된다. 상술한 ASIL 테스트가 요청 된 것을 검증하는 요구되는 시간(tASILI) 후의 ASIL 테스트 모드에서, 상기 기준들은 TestRefH 및 TestRefL로 스위칭된다. 또한, 그 때에, 상기 교번하는(alternate) 로직 경로를 검출하도록 MUX가 스위칭된다. TestRefH 및 TestRefL은 상기 비교기들이 상술한 바와 같이 트립(trip)해야 하는 값이기만 하면 된다. 일 실시예에 있어서, TestRefH=RefL이고 TestRefL=RefH이 되도록 두 개의 정상 동작 기준들의 교차 연결이 가능하다. 이는 비교기들(CP1, CP2)이 결합 조건을 나타내는 출력들을 가지는 것을 보장한다.

[0079] 정상 결합 검출 동작에서, 스위치들(SW1, SW2)은 도시된 바와 같이 연결되고, ASIL_Valid 신호는 LOW이다. 기준들(RefH 및 RefL)은, 상기 장치가 원하는 출력 범위에서 동작하면 비교기(CP1, CP2) 출력들이 하이가 되도록 설정된다. Mux0 경로로 표시된 불 연산(Boolean equation)이 유효하고, 포인트(C)는, 포인트(A) 또는 포인트(B)(상기 비교기들의 출력들)가 결합이 발생했음을 나타내는 로우가 되는 경우, 하이가 된다.

[0080] 상기 ASIL 테스트 요청이 기간(tASIL) 동안 유효한 후의 상기 ASIL 테스트 모드 동안, 스위치들(SW1, SW2)은 비교기(CP1, CP2) 입력들은 새로운 기준 레벨들(TestRefH 및 TestRefL)에 연결한다. 상기 MUX 1 입력은 포인트(C)에 또한 연결되어, 상기 MUX 1 불 연산이 이러한 ASIL 테스트 모드에서 유효하다. 이제 비교기(CP1, CP2) 출력들은 포인트(C)가 하이가 되도록 로우이여야 한다. 조건 TestRefH < Out < TestRefL 이 만족되면, 비교기들(CP1, CP2)의 출력들은 로우가 되고, 상기 로직 게이트들이 또한 정확하게 기능하는 경우, 불 함수(C)는 하이(HI)가 되어 상기 비교기들 및 상기 로직이 정확하게 기능함을 나타낼 수 있다.

[0081] 도 11은 출력 신호(V_{OUT}) 및 프로그램 가능한 셀프-테스트 신호들을 가지는 FAULT 핀에 대한 시퀀스도이다. 상술한 바와 같이, 상기 FAULT 핀은 상기 셀프-테스트 진단을 개시하는 입력 핀으로서 이용된다. 정상 동작 동안, 상기 FAULT 출력은 과도한 북극 및 남극 자기장들을 검출하고, 예를 들어 상기 FAULT 핀을 로우로 풀링함으로써 상기 과도한 자기장을 사용자에게 경고하도록 이용될 수 있다. 전류 센싱에 이용될 수 있으므로, 상기 장치는, 예를 들어, 스위칭 트랜지스터들을 보호하도록 인버터들에서의 과전류 결합 고장에 적합할 수 있다.

[0082] 도 11에 도시된 바와 같이, 상기 FAULT 핀은 액티브 로우이고, 일반적으로 결함이 없을 때 Vcc일 수 있다. 결함 조건이 없을 때 사용자가 상기 FAULT 핀을 GND로 풀링하면, 상기 장치는 이러한 입력을 검출하여 셀프-테스트를 개시할 수 있다. 상술한 바와 같이, 회로는 상기 FAULT 핀 상의 전압을 상기 결합 상태에 비교할 수 있다. 상기 FAULT 핀 상의 전압이 로우이고, 상기 IC가 이러한 핀을 로우로 풀링한 것이 아니면, 상기 IC는 상기 사용자가 진단 모드로 진입하는 것을 시도하는 것으로 판단한다.

- [0083] 예시적인 실시예에 있어서, 셀프-테스트는 다양한 방식들로 발생한다. 예를 들면, 사용자는 상기 자기장이 거의 영(zero)인 시점에서 셀프-테스트를 개시할 수 있다. 상기 커맨드가 수신되면, 상기 IC는, 예시한 실시예에서 도시된 바와 같이, 입력 자기장들을 무시하고 셀프-테스트를 위하여 내부적으로 생성된 자극(stimulus)에만 반응하는 것을 선택할 수 있다. 상기 외부 자기장들은 무시되고, 상기 출력은 상기 셀프-테스트 내부 생성 신호들에만 반응한다.
- [0084] 또한, 상기 사용자는 임의의 시점에서 셀프-테스트를 개시할 수 있고, 상기 IC는 외부 자기장들에 응답할 수 있다. 이는 상기 내부에서 생성된 신호를 상기 외부에 의해 영향 받는 자기장 신호 상에 중첩한다. 상기 입력 신호가 충분히 작은 한, 상기 응답 신호는 상기 외부 자기장 신호의 '위에 올라탈(ride on top)' 수 있고, 상기 출력을 포화시키지 않을 수 있다.
- [0085] 본 발명의 예시적인 실시예들에 있어서, 상기 셀프-테스트 타이밍 시퀀스는 프로그램 가능하다. 사용자가 셀프 테스트를 시작하는 커맨드를 줄 때, 상기 FAULT 핀은 시간(tASILREQUEST) 동안 로우로 유지된다. 이러한 시간이 경과되면, 상기 칩은 셀프-테스트를 시작하는 상기 성공적으로 주어진 커맨드를 가지고, 상기 커맨드가 수신되었음을 표시한다. 이를 표시하도록, 상기 센서는 시간(tASILACK) 동안 상기 출력(V_{OUT})을 로우로 유지한다. 사용자는 상기 FAULT 핀의 제어를 해제하고 상기 핀이 여전히 로우로 유지되는 것을 관찰함으로써 상기 인지(acknowledge) 신호를 관찰할 수 있다.
- [0086] 예시한 실시예에 있어서, 외부 자기장들을 무시하므로, 출력(V_{OUT}) 또한 거의 상기 영 자기장 레벨일 수 있다. 이 시간 동안 외부 자기장들을 무시하는 것이 필수적이지는 않음을 이해할 수 있을 것이다. 시간(tASILACK) 동안의 셀프-테스트를 개시하는 커맨드의 인지 후에, 상기 장치는 셀프-테스트를 시작하여 시간(tASILSENS) 동안 상기 아날로그 신호 경로를 테스트하고, 시간(tASILFAULT) 동안 상기 결함 출력을 테스트한다. 이러한 시간 동안, 일련의 펄스들이 아날로그 출력(V_{OUT}) 및 상기 FAULT 핀 출력 상에 나타난다. 사용자는 적절한 행동들에 대한 이러한 출력들을 관찰함으로써 상기 테스트가 성공적이었는지를 판단할 수 있다. 상기 장치는 또한, 상기 IC가 또한 자체적으로 상기 테스트의 결과들을 모니터하고 상기 결함 출력 상에 이를 보고함으로써, 시간(tASILRESULT) 동안 상기 테스트의 결과들을 보고할 수 있다.
- [0087] 예시적인 실시예에 있어서, 시간(tASILRESULT) 동안, 상기 FAULT 핀 상에 펄스가 나타나는 시간이 상기 셀프-테스트의 결과를 표시할 수 있다. 도 11a에 예시된 실시예에 있어서, 시간(tP)에서의 상기 결함 핀의 천이(transition)는 셀프-테스트 성공을 나타낸다. 시간(tSF)에서의 천이는 센서 테스트 실패를 나타낸다. 시간(tFF)에서의 천이는 결함 실패를 나타낸다. 시간(tSFF)에서의 천이는 센서 및 결함 실패를 나타낸다. 상기 센서에 연결된 상기 시스템은, 예를 들어 상기 테스트 결과를 판단하도록, tASILRESULT의 시작과 비교하여 상기 FAULT 핀 상의 천이를 탐색한다.
- [0088] 예시적인 실시예들에 있어서, 상기 천이들은 임의의 순서일 수 있고, 또한 프로그램 가능한 위치 및 지속시간을 가질 수 있다. 일반적으로, 상기 센서 신호들은 상기 센서와 통신하는 ECU들 또는 다른 시스템들의 요구를 만족시키도록 개조될 수 있다.
- [0089] 시간(tASILRESULT)이 만료되면, 상기 칩은 정상 동작을 재개한다. 상기 테스트 시퀀스와 무관하게, 각 시퀀스의 타이밍, 예를 들어 tASILREQUEST, tASILACK, tASILSENS, tASILFAULT, 및/또는 tASILRESULT를 프로그램할 수 있다. 상기 시퀀스 항목들을, 예를 들어 50ms에서 500ms 또는 1s의 범위 내에서 프로그램 가능하게 함으로써, 예를 들어 서로 다른 ECU(전자 제어 유닛(Engine Control Unit)) 제어 플랫폼들을 이용한 타이밍 준수가 가능하다. 펄스들의 타이밍을 프로그램하는 것은 최대한의 유연성을 가능하게 한다.
- [0090] 테스트 펄스들의 폭을 프로그램하는 것은 추가적인 유연성을 제공한다. 이러한 폭들은 예를 들어 50 μ s에서 50ms 사이에서 프로그램될 수 있다.
- [0091] 선택적인 실시예들에 있어서, 가능할 때 셀프-테스트를 개시하기 위하여, (도 12b의) TSSOP package에서와 같이 전용 핀이 이용될 수 있다. 다른 실시예에 있어서, 출력 레벨들이 하이, 로우 및 다른 진단 상태들로 측정되는 3-핀 패키지가 이용될 수 있다.
- [0092] 셀프-테스트를 개시하는 한 가지 방법은 상기 센서의 파워 업 시에 개시하는 것이다. ECU에 연결된 실시예들에서, 상기 제어 ECU가 우선 파워 업되고, 이어서 상기 ECU가 파워 업되면, 그 다음 서브시스템들이 파워 업되는 것이다. 많은 시스템들에서 상기 장치가 파워-업 시에 셀프-테스트를 개시하는 것이 편리할 수 있다. 테스트를 개시하는 데에 입력이 필요하지 않은 경우, 테스트의 각각의 개별적인 타이밍 요소를 프로그래밍하는 것은 최대

한의 유연성 및 ECU 제어 플랫폼들에 대한 호환성을 제공할 수 있다.

[0093] 일 실시예에 있어서, 특정한 시간 동안, 예를 들어 1ms 또는 10ms보다 큰 시간 동안, 상기 장치의 상기 출력이 거의 영 자기장일 때마다 상기 장치가 셀프-테스트를 개시한다. 이 경우, 상기 센서는 자기장이 존재하지 않을 때 항상 진단 모드일 수 있고, 상기 출력을 관찰하기에 가장 편리한 시간 동안 관찰될 수 있다. 상기 장치는 자기장이 인가되는 것을 관찰할 때, 예를 들어 최대 스케일의 5% 이상일 때, 셀프-테스트를 종료할 수 있다. 상기 타이밍 시퀀스를 프로그래밍하는 것은 최대한의 유연성을 제공할 수 있다.

[0094] 다른 실시예에 있어서, 상기 장치는 온도가 특정한 크기 이상으로, 예를 들어 섭씨 25도 이상으로 변경되었을 때마다 셀프-테스트를 개시하여 장치가 온도에서 정상적으로 동작하는지의 피드백을 제공할 수 있다.

[0095] 또 다른 실시예에 있어서, 상기 장치는, 지속적으로 동작하는 시스템 클록에 의해 결정되어, 정기적으로(on a regular basis) 셀프-테스트를 개시한다. 이 경우, 상기 IC는 카운터가 어떠한 값을 나타낼 때마다 셀프-테스트를 수행한다. 그러면, 상기 카운터는 리셋될 수 있고 카운팅을 다시 시작할 수 있다. 상기 카운터 값은 프로그램 가능할 수 있다.

[0096] 다른 실시예에 있어서, SPI 또는 I2C와 같은 양방향 통신 프로토콜을 가지는 IC의 경우, 사용자는 상기 통신 버스 상에서 상기 센서로 전송되는 디지털 커맨드에 기초하여 셀프 진단이 발생할 때를 선택할 수 있다.

[0097] 도 12a는 4-리드(lead) KT SIP로 패키징된 예시적인 장치를 나타내고, 도 12b는 예시적인 표면 장착 TSSOP 패키지를 나타낸다. 상기 IC는 임의의 적당한 패키지를 포함할 수 있는 것을 이해할 수 있을 것이다. 일 실시예에 있어서, 상기 패키지는 약 1.1mm 이하의 두께를 가진다. 상기 패키지의 두께를 최소화하는 것이 바람직한 것을 이해할 수 있을 것이다. 도 12c는 상기 KT 및 LE 패키지들에 대한 예시적인 단자 리스트를 나타낸다.

[0098] 특정한 응용의 요구를 만족하도록 다양한 패키지들이 이용될 수 있음을 이해할 수 있을 것이다. 예를 들면, 미국 특허 제6,781,359호에 도시 및 기재된 종류의 패키지가 이용될 수 있고, 미국 특허 제6,781,359호는 여기에 참조로서 포함된다.

[0099] 도 12d는 리드프레임(leadframe)(1202)이 상기 리드프레임의 나머지로부터 오려내진(cutout) 영역(1204)을 가지는 예시적인 분리된 리드프레임(1200)을 나타낸다. 자기 센싱 요소(1206)는 상기 센싱 요소의 부근에 와전류(Eddy currents) 형성을 감소시키도록 상기 영역(1204) 내에 위치한다. 다이(1208)는 상기 리드프레임에 의해 지지될 수 있다.

[0100] 도 12e에 도시된 다른 실시예에 있어서, 상기 리드프레임은 도 12d에 도시된 것과 같은 다이 부착 패들을 가지지 않고, 예를 들어 2013년 4월 26에 출원된 미국 공개 특허 제2014/0320124호에 도시된 바와 같이, 분리된 패들을 생성하도록 단지 상기 리드들의 다이 부착 부분을 가로질러 다이가 배치되는 부분들을 가질 수 있다. 미국 공개 특허 제2014/0320124호는 여기에 참조로서 포함된다. 접적 회로에 사용되는 리드프레임(1210)은 적어도 두 개가(여기서는 세 개 모두가) 각각의 다이 부착 부분(1224, 1226, 1228) 및 접속 부분(1234, 1236, 1238)을 포함하는 복수의 리드들(1214, 1216, 1218)을 포함한다. 리드프레임(1210)은 제1 표면(1210a) 및 이에 반대되는 제2 표면(도시되지 않음)을 가진다. 상기 리드들의 다이 부착 부분(1224, 1226, 1228)(여기서 종종 간단히 다이 부분으로 불림)은 이에 부착되는 반도체 다이(1240)(도시되지 않음)를 가질 수 있다. 리드프레임(1210)이 세 개의 리드들(1214, 1216, 1218)을 포함하도록 도시되어 있으나, 해당 기술분야의 통상의 지식을 가진 자들은 다양한 개수, 예를 들어 두 개에서 여덟 개의 리드들이 가능한 것을 이해할 수 있을 것이다.

[0101] 상기 리드들의 접속 부분(1234, 1236, 1238)은 각각의 다이 부분(1224, 1226, 1228)에 근접한 제1 단(1234a, 1236a, 1238a)으로부터 상기 다이 부분으로부터 면 쪽의 제2의 끝 단(1234a, 1236a, 1238a)으로 연장된다. 일 반적으로, 상기 리드들의 접속 부분(1234, 1236, 1238)은 길게 연장되고, 상기 접적 회로 외부의 전자 시스템들 및 콤포넌트들, 예를 들어 전원 또는 마이크로컨트롤러로의 전기적 연결을 생성하는 데에 적합하다. 하나 이상의 리드들의 상기 다이 부착 부분은, 다이 부착 부분의 영역들을 서로 분리하는 적어도 하나의 분리 지물(separating feature)(1232)을 더 포함할 수 있다.

[0102] 도 13은 여기에 개시된 처리의 적어도 일부를 수행할 수 있는 예시적인 컴퓨터(1300)를 나타낸다. 상기 컴퓨터(1300)는 프로세서(1302), 휘발성 메모리(1304), 비휘발성 메모리(1306)(예를 들면, 하드 디스크), 출력 장치(1307) 및 그래픽 사용자 인터페이스(graphical user interface(GUI))(1308)(예를 들면, 마우스, 키보드, 디스플레이)를 포함한다. 상기 비휘발성 메모리(1306)는 컴퓨터 명령들(1312), 운영 체제(1316) 및 데이터(1318)를 저장한다. 일 예에 있어서, 상기 컴퓨터 명령들(1312)은 휘발성 메모리(1304)로부터 프로세서(1302)에 의해 실행될 수 있다. 일 실시예에 있어서, 아티클(article)(1320)은 비일시적(non-transitory) 컴퓨터로 판독 가능한 명

령들(computer-readable instructions)을 포함한다.

[0103]

처리는 하드웨어, 소프트웨어 또는 이 둘의 조합으로 구현될 수 있다. 각각이 프로세서, 저장 매체 또는 (회발성 및 비휘발성 메모리 및/또는 저장 요소들을 포함하여) 상기 프로세서에 의해 관독 가능한 다른 제조 아티클, 적어도 하나의 입력 장치, 및 하나 이상의 출력 장치들을 포함하는 프로그램 가능한 컴퓨터들/기계들 상에서 실행되는 컴퓨터 프로그램들로 구현될 수 있다. 프로그램 코드는 처리를 수행하고 출력 정보를 생성하도록 입력 장치를 이용하여 입력되는 데이터에 적용될 수 있다.

[0104]

상기 시스템은, 데이터 처리 장치(예를 들면, 프로그램 가능한 프로세서, 컴퓨터 또는 다중 컴퓨터들)에 의해 실행되거나, 또는 이의 동작을 제어하도록(예를 들면, 기계-관독 가능한 저장 장치 내의) 컴퓨터 프로그램 제품을 통하여 처리를, 적어도 일부, 수행할 수 있다. 이러한 프로그램 각각은 컴퓨터 시스템과 통신하도록 하이 레벨 절차의 또는 객체 지향 프로그래밍 언어로 구현될 수 있다. 다만, 상기 프로그램들은 또한 어셈블리 또는 기계어로 구현될 수 있다. 상기 언어는 컴파일된 또는 해석형 언어일 수 있고, 자립형 프로그램으로서 또는 모듈, 콤포넌트, 서브루틴 또는 컴퓨터 환경에 적합한 다른 유닛으로서 임의의 형태로 배포될 수 있다. 컴퓨터 프로그램은 하나의 컴퓨터 상에, 또는 한 장소에서의 다수의 컴퓨터들 상에, 또는 다수의 장소들에 걸쳐 분산되어 통신 네트워크에 의해 상호 연결되어 실행되도록 배포될 수 있다. 컴퓨터 프로그램은 저장 매체 또는 장치가 컴퓨터에 의해 관독될 때 상기 컴퓨터를 구성 및 동작시키도록 범용 또는 특정 목적 프로그램 가능한 컴퓨터에 의해 관독 가능한 저장 매체 또는 장치(예를 들면, CD-ROM, 하드 디스크, 또는 자기 디스크) 상에 저장될 수 있다. 처리는 또한 기계로 관독 가능한 저장 매체로 구현되고, 컴퓨터 프로그램과 함께 구성되어, 실행 시, 상기 컴퓨터 프로그램 내의 명령들이 상기 컴퓨터가 동작하게 할 수 있다.

[0105]

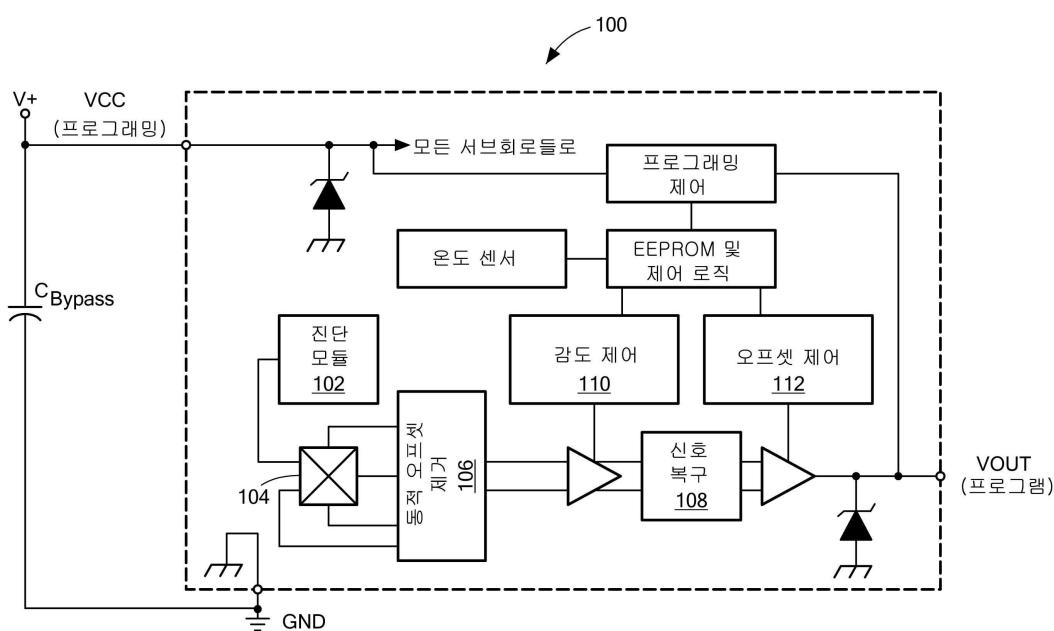
처리는 상기 시스템의 기능들을 수행하도록 하나 이상의 컴퓨터 프로그램들을 실행하는 하나 이상의 프로그램 가능한 프로세서들에 의해 수행될 수 있다. 상기 시스템의 전부 또는 일부는, 특정 목적 로직 회로(예를 들면, FPGA(field programmable gate array) 및/또는 ASIC(application-specific integrated circuit)으로 구현될 수 있다.

[0106]

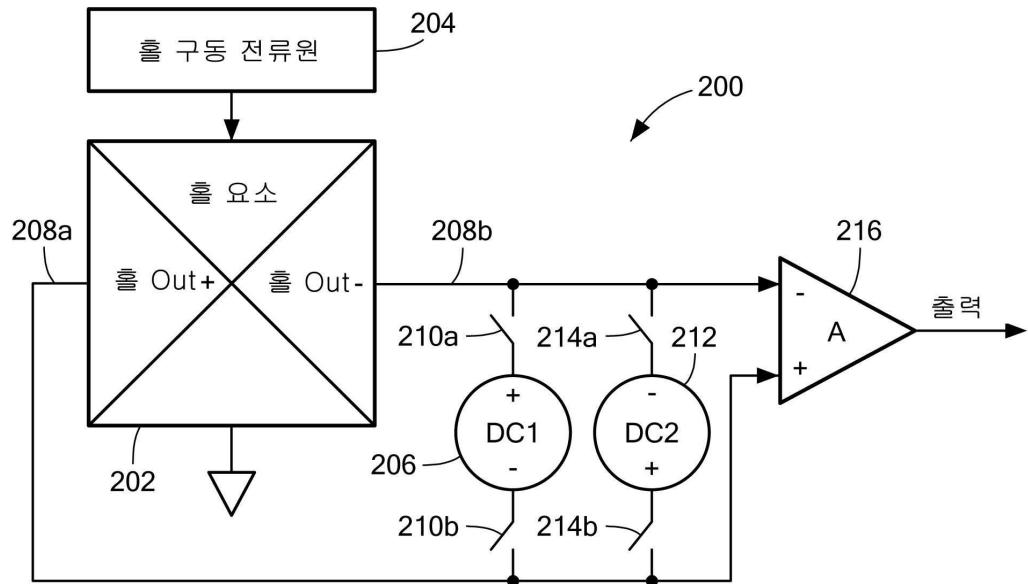
본 발명의 예시적인 실시예들이 기술되었으나, 이러한 개념들을 포함하는 다른 실시예들 또한 이용될 수 있음이 해당 기술분야에서 통상의 지식을 가진 자에게 자명하게 되었을 것이다. 여기에 포함된 실시예들이 개시된 실시 예들로 한정되지 않아야 하고, 다만 첨부된 특허청구범위의 사상 및 범위에 의해서만 한정되어야 할 것이다. 여기에 인용된 모든 공개문헌들 및 참조문헌들은 이들 전체로서 참조로 여기에 명시적으로 포함된다.

도면

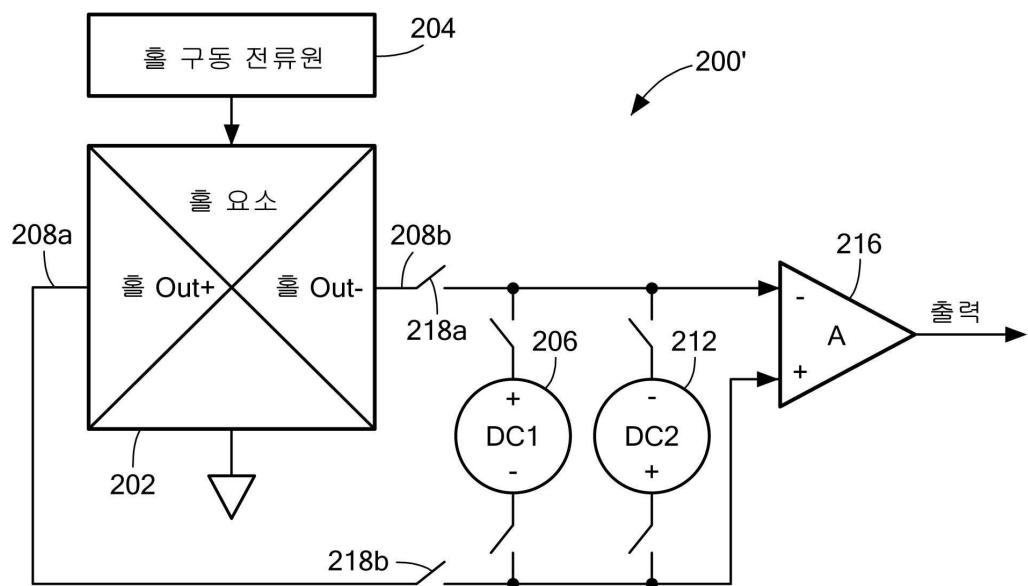
도면1



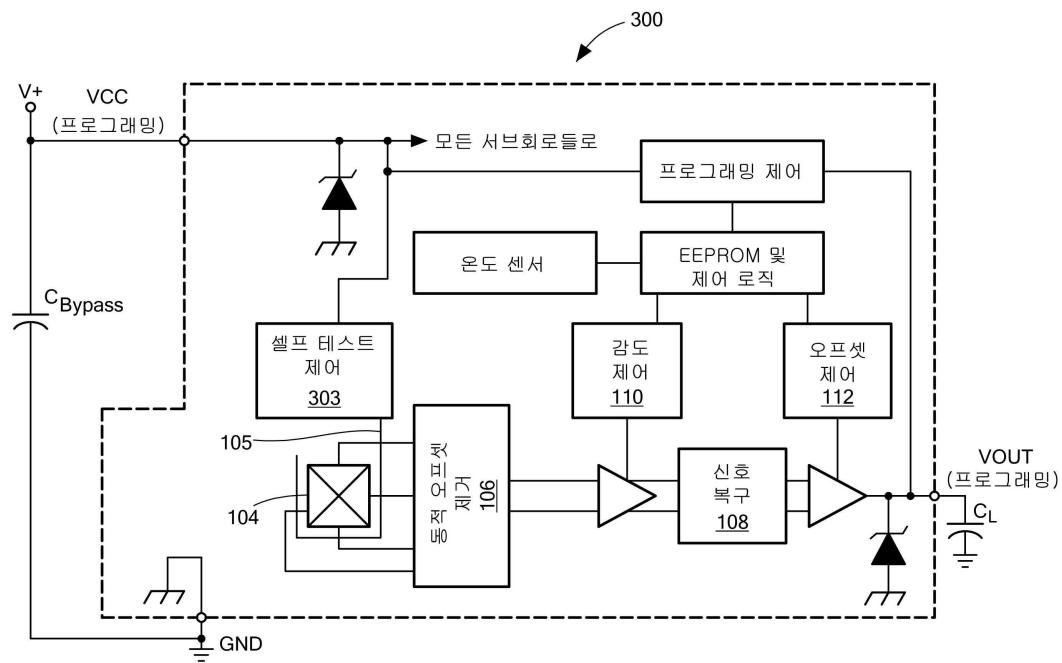
도면2



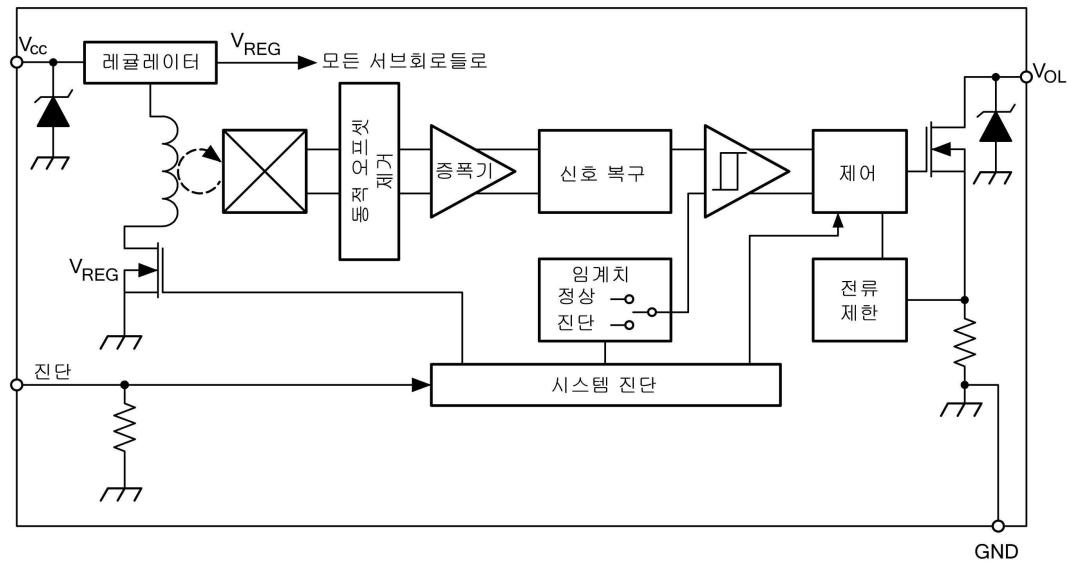
도면2a



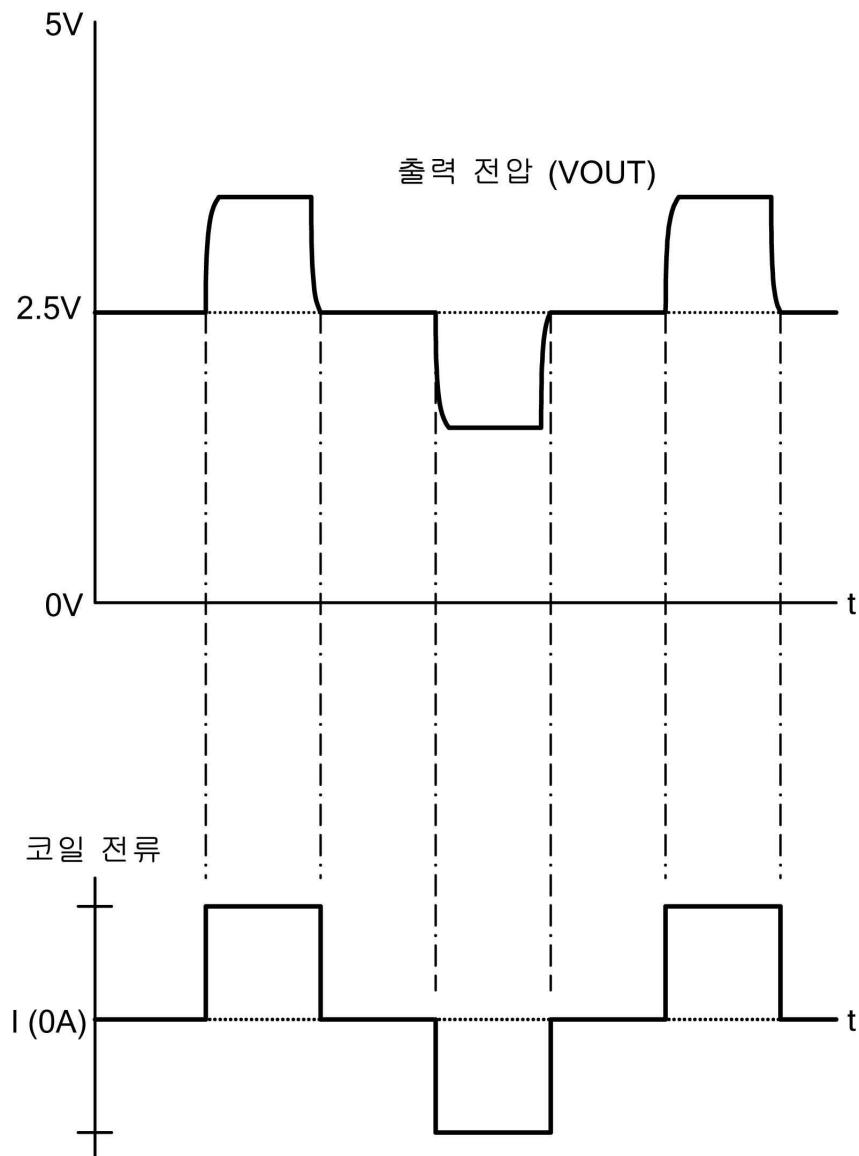
도면3



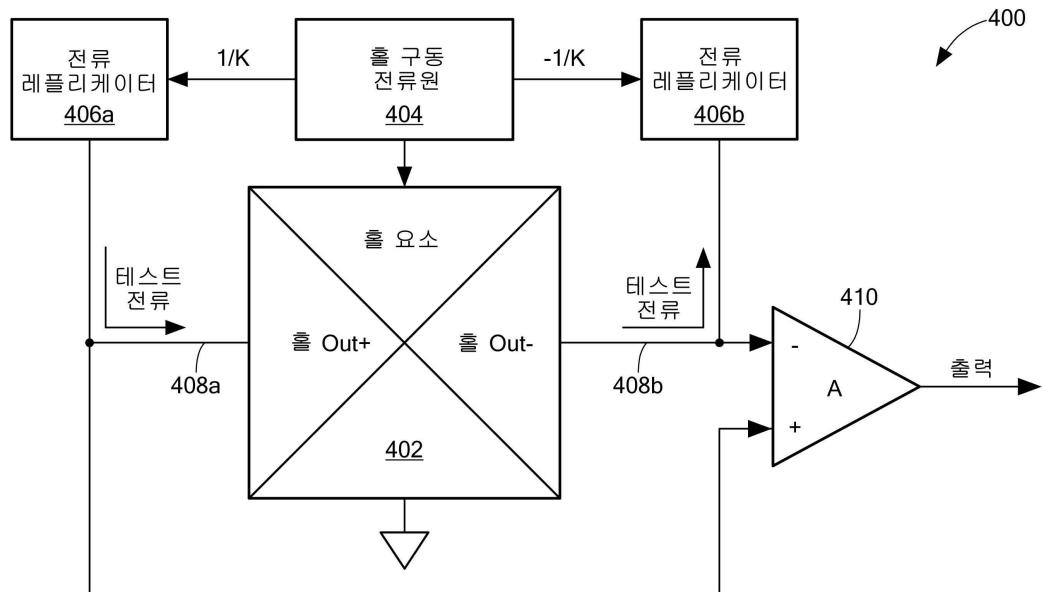
도면3a



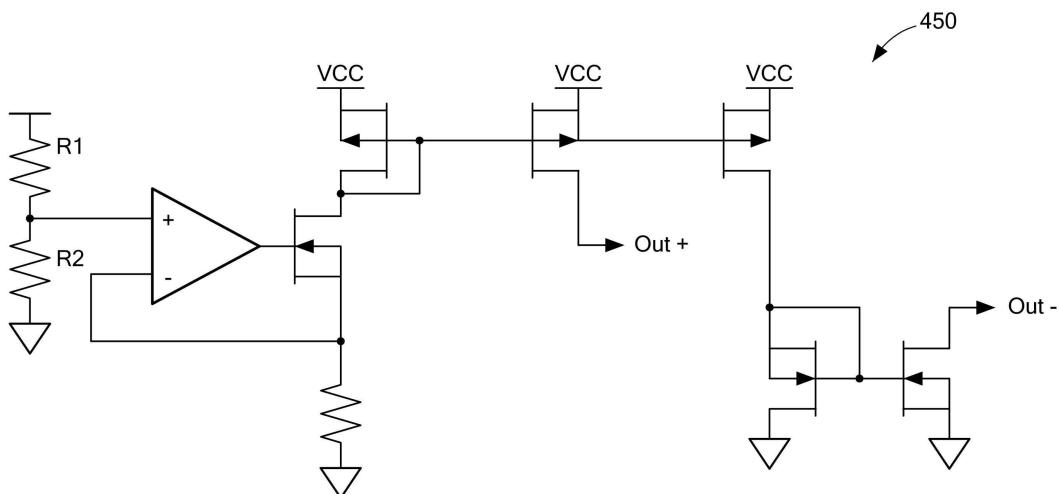
도면3b



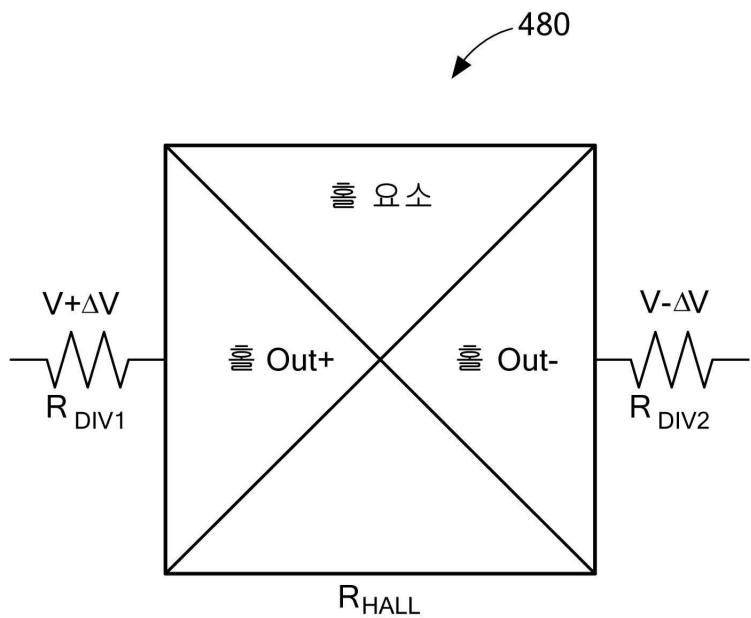
도면4



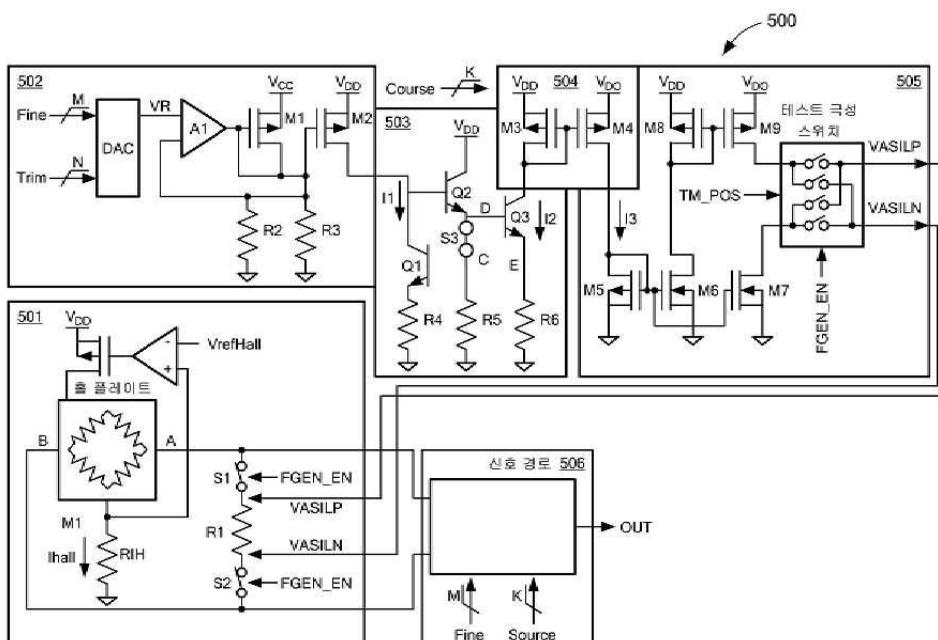
도면4a



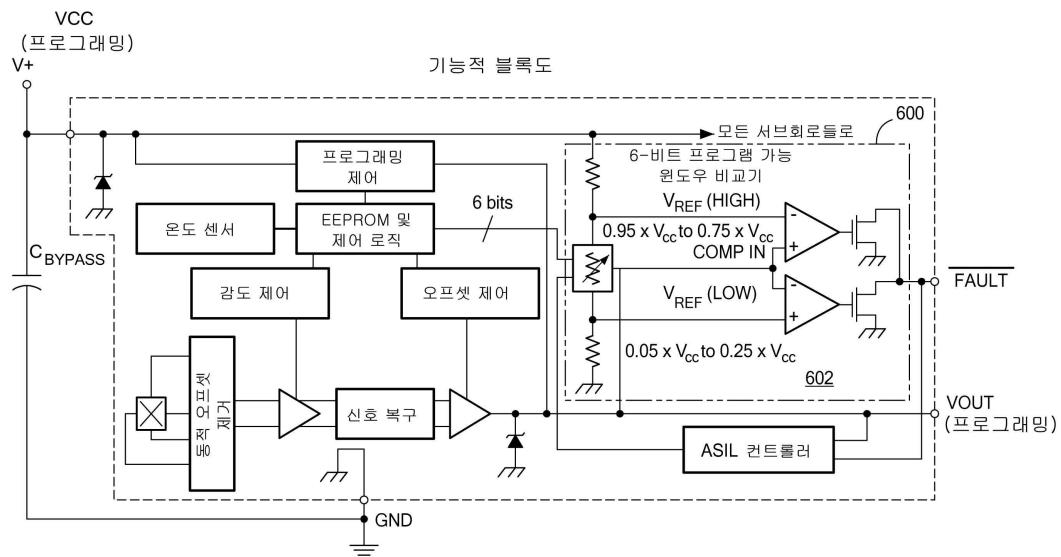
도면4b



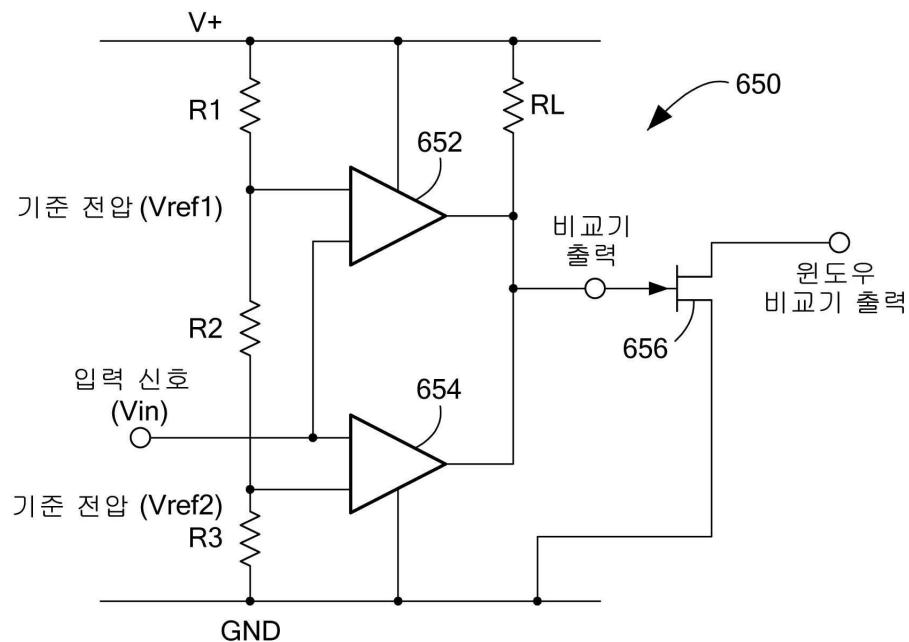
도면5



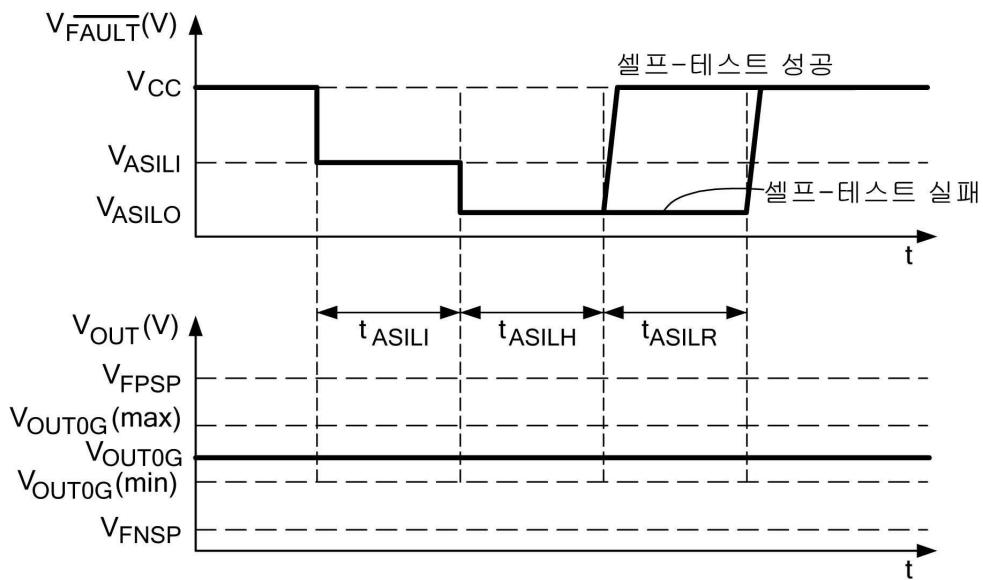
도면6



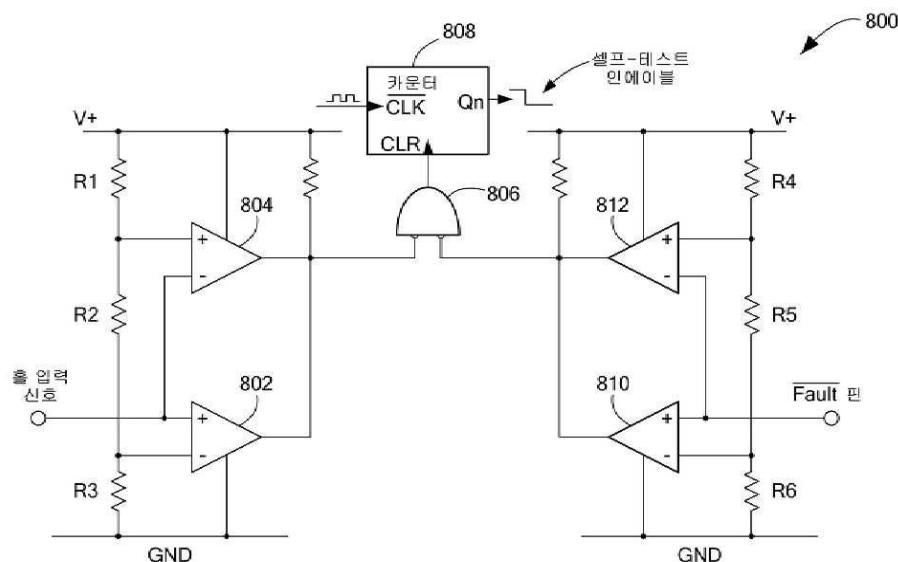
도면6a



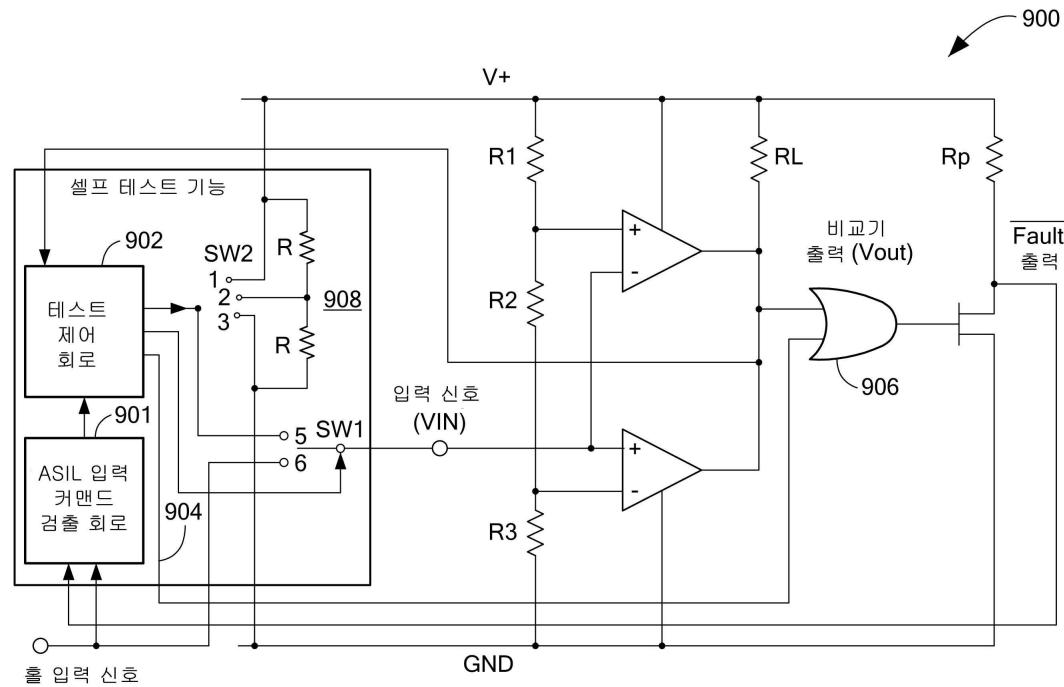
도면7



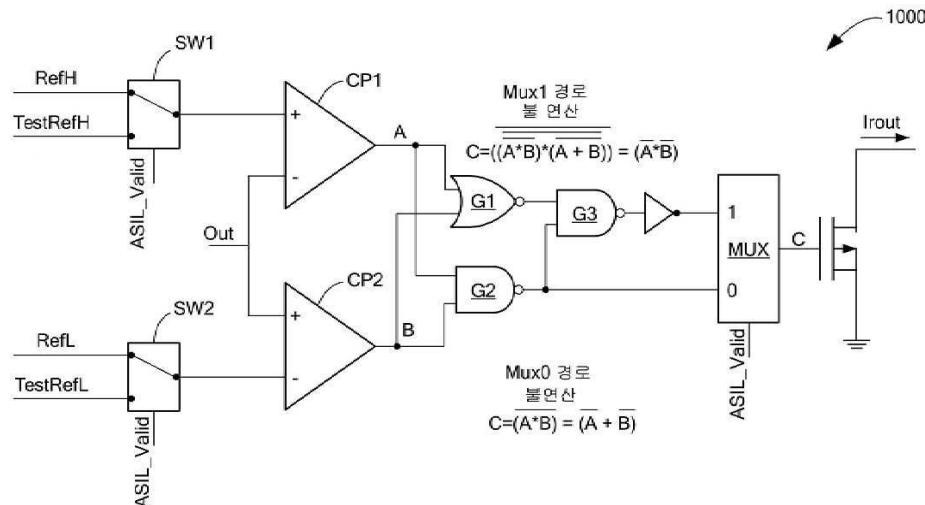
도면8



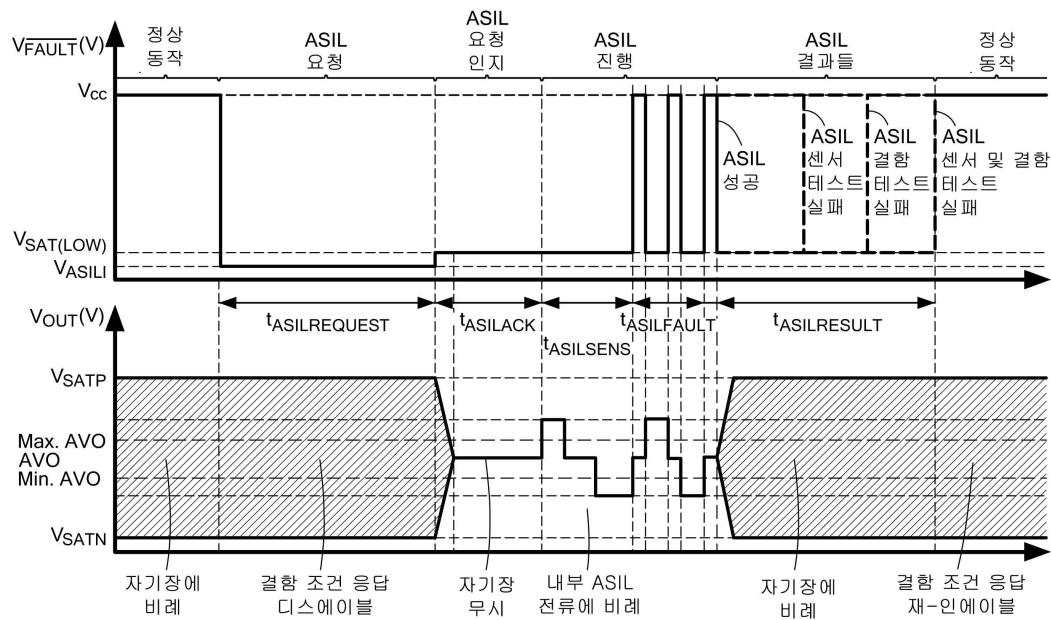
도면9



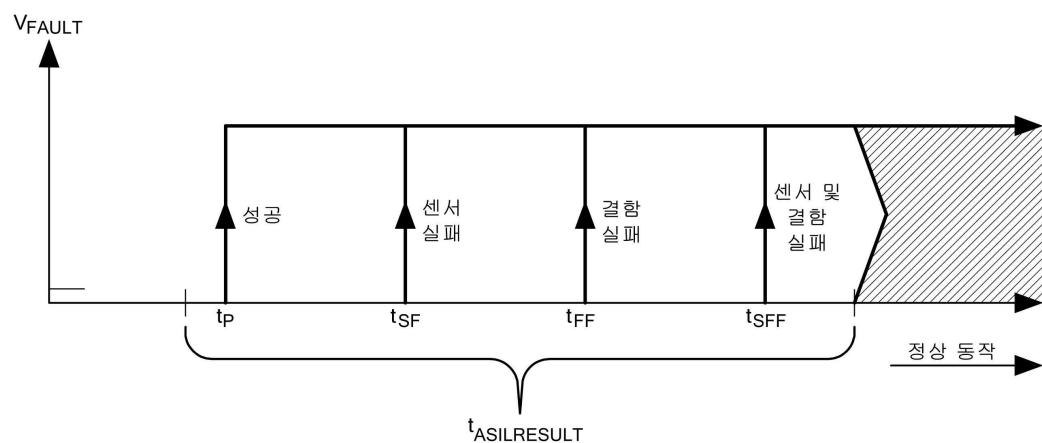
도면10



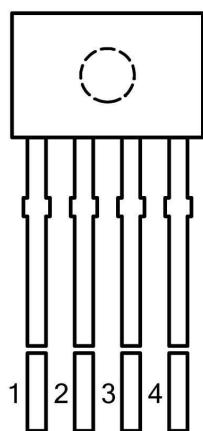
도면11

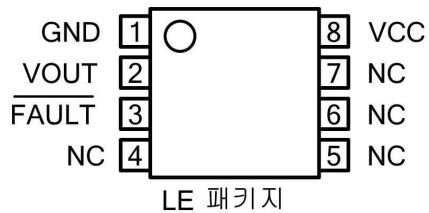


도면11a



도면12a

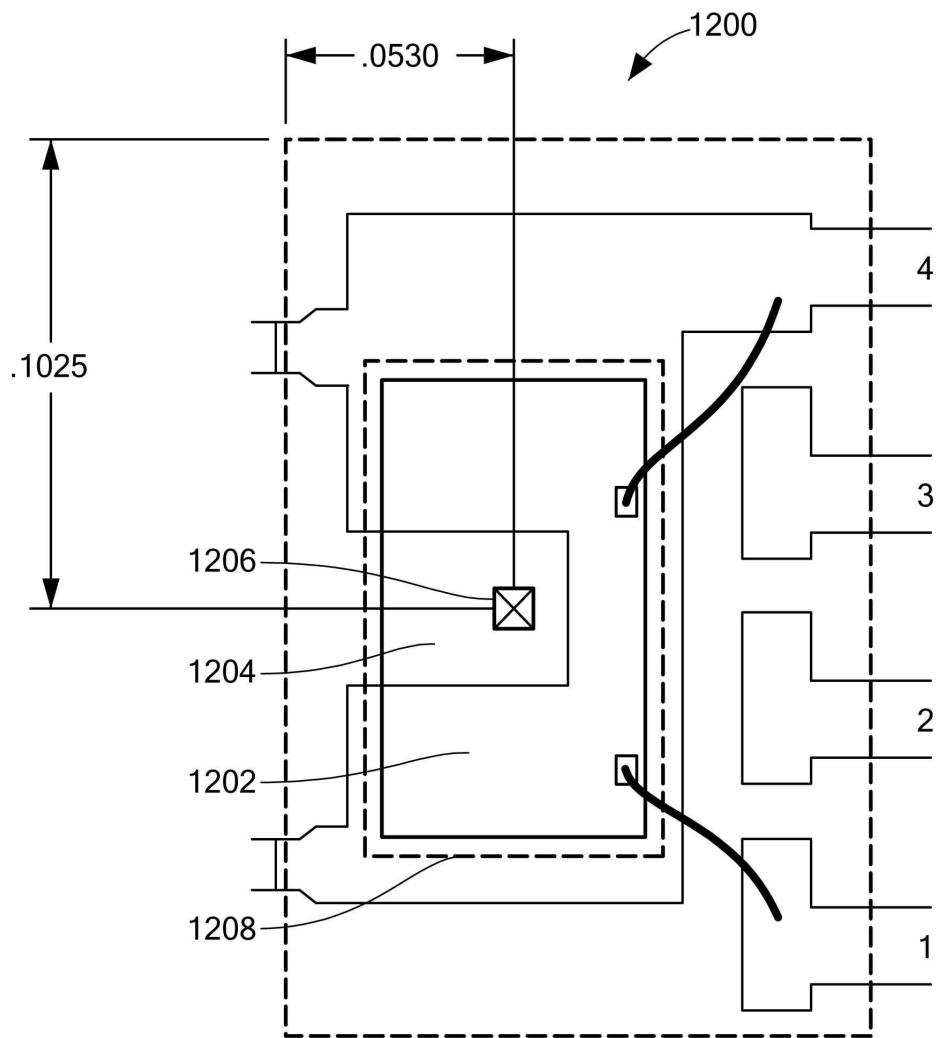


도면12b**도면12c**

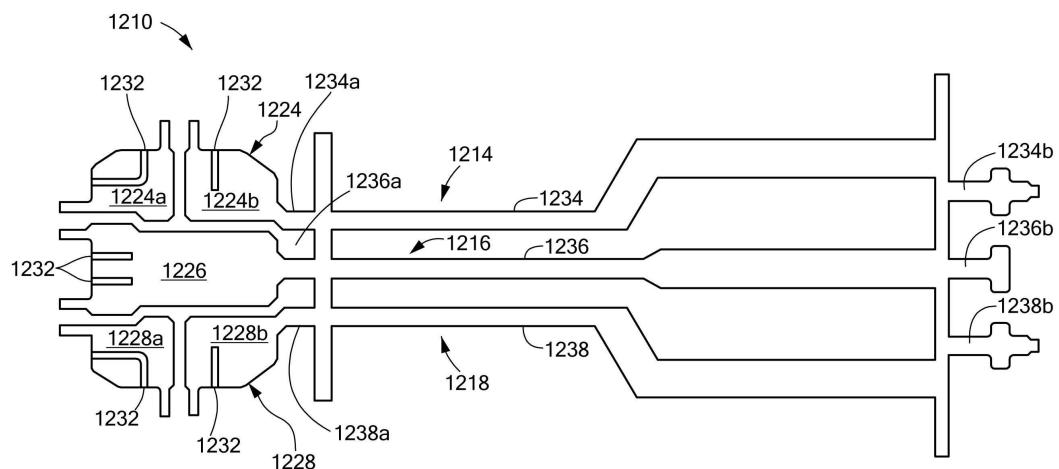
단자 리스트 테이블

숫자		명칭	기능
KT	LE		
1	8	VCC	전원 입력, 접지에 연결하도록 바이пас 커패시터 이용; 또한 프로그래밍에 이용됨
2	2	VOUT	출력 신호, 또한 프로그래밍에 이용됨
3	3	FAULT	결함 검출 플래그
4	1	GND	접지
-	4, 5, 6, 7	NC	내부 연결 없음; 접지에 연결, 플로팅하지 말 것

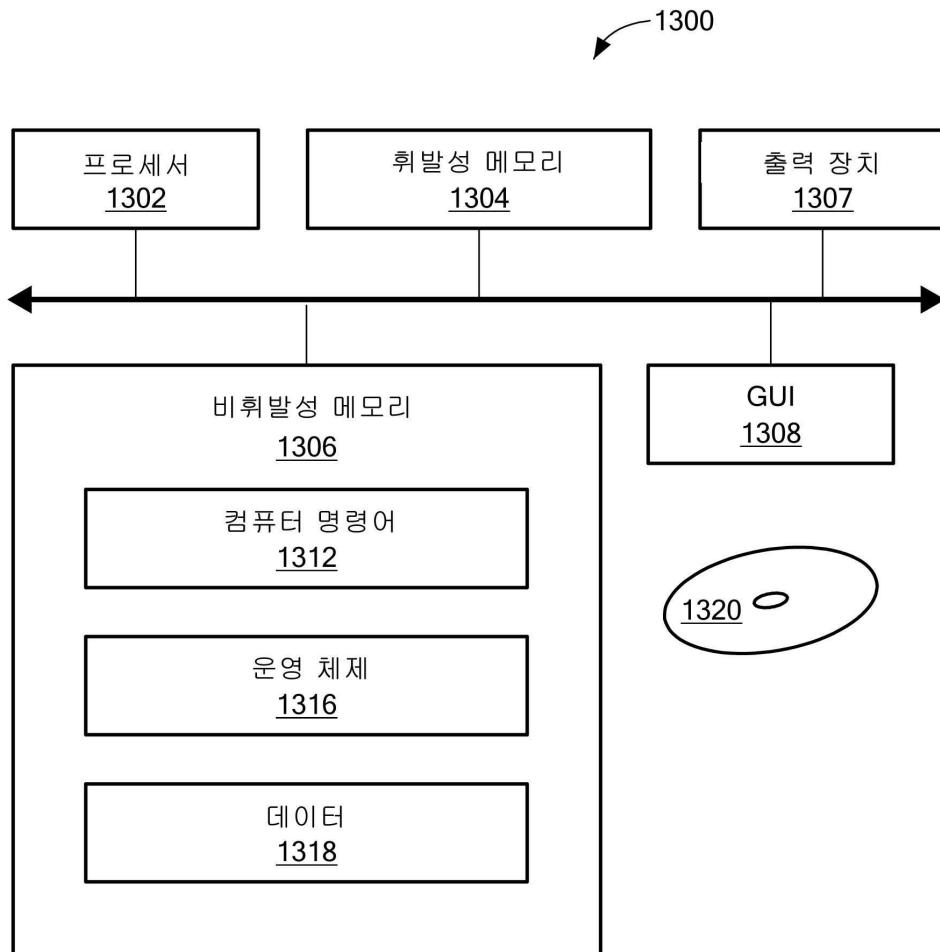
도면12d



도면12e



도면13



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 33

【변경전】

제 1 항에 있어서, 상기 제1 및 제2 전압원들 중 적어도 하나는, 상기 IC 출력에 연결된 증폭기를 포함시키는 문턱 전압보다 큰 전압 레벨을 제공하는 것을 특징으로 하는 집적 회로.

【변경후】

제 1 항에 있어서, 상기 제1 및 제2 전압원들 중 적어도 하나는, 상기 IC 출력에 연결된 증폭기를 포함시키는 임계 전압보다 큰 전압 레벨을 제공하는 것을 특징으로 하는 집적 회로.

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 35

【변경전】

제 16 항에 있어서, 상기 제1 및 제2 전압원들 중 적어도 하나는, 상기 IC 출력에 연결된 증폭기를 포함시키는 문턱 전압보다 큰 전압 레벨을 제공하는 것을 특징으로 하는 방법.

【변경후】

제 16 항에 있어서, 상기 제1 및 제2 전압원들 중 적어도 하나는, 상기 IC 출력에 연결된 증폭기를 포함시키는 임계 전압보다 큰 전압 레벨을 제공하는 것을 특징으로 하는 방법.

【직권보정 3】

【보정항목】 청구범위

【보정세부항목】 청구항 37

【변경전】

제 1 항에 있어서, ASIL 테스팅 동안 상기 IC 출력으로부터 상기 자기 센싱 요소를 분리시키도록 상기 제1, 제2, 제3 및 제4 스위치들 중 임의의 하나가 닫힐 때, 상기 제5 및 제6 스위치들이 열리는 것을 특징으로 하는 집적 회로.

【변경후】

제 1 항에 있어서, ASIL 테스트 동안 상기 IC 출력으로부터 상기 자기 센싱 요소를 분리시키도록 상기 제1, 제2, 제3 및 제4 스위치들 중 임의의 하나가 닫힐 때, 상기 제5 및 제6 스위치들이 열리는 것을 특징으로 하는 집적 회로.