(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2005-287182
(P2005-287182A)
(43)公開日　平成17年10月13日(2005.10.13)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H02M 1/08	H02M 1/08	A	5H740

審査請求 未請求　請求項の数 6　ＯＬ　（全 9 頁）

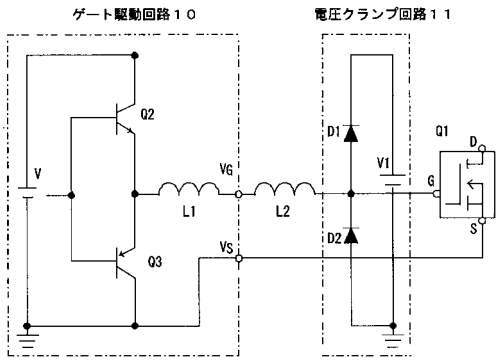
(21)出願番号　特願2004-97444(P2004-97444)
(22)出願日　平成16年3月30日(2004.3.30)

(71)出願人　000006622
株式会社安川電機
福岡県北九州市八幡西区黒崎城石２番１号
(74)代理人　100105647
弁理士　小栗　昌平
(74)代理人　100105474
弁理士　本多　弘徳
(74)代理人　100108589
弁理士　市川　利光
(74)代理人　100115107
弁理士　高松　猛
(74)代理人　100090343
弁理士　濱田　百合子

最終頁に続く

(54)【発明の名称】電圧駆動型半導体素子のゲート駆動回路

(57)【要約】
【課題】高周波で駆動されるＭＯＳＦＥＴやＩＧＢＴ等の電圧駆動型半導体素子のゲート駆動回路において、ゲート線のインダクタと半導体素子の入力容量で発生する共振電圧を防止できるゲート駆動回路を提供する。
【解決手段】ゲート端子部Ｇを有する電圧駆動型半導体素子Ｑ１を駆動するためのゲート駆動回路１０であって、駆動電源Ｖと駆動電源Ｖの両端子間に接続される複数のスイッチング素子Ｑ２、Ｑ３の直列接続回路とから成り複数のスイッチング素子Ｑ２、Ｑ３を交互にオン・オフすることで複数のスイッチング素子の接続点からインダクタＬ１、Ｌ２を介して出力するゲート駆動回路１０において、ゲート駆動回路１０の出力側に、クランプ回路内基準電位Ｖ１にクランプされた電圧クランプ回路１１を有し、電圧クランプ回路１１の所定電位でゲート端子部Ｇをクランプした。
【選択図】　図１



【特許請求の範囲】
【請求項１】
ゲート端子部を有する電圧駆動型半導体素子を駆動するためのゲート駆動回路であって、駆動電源と該駆動電源の両端子間に接続される複数のスイッチング素子の直列接続回路とから成り該複数のスイッチング素子を交互にオン・オフすることで複数のスイッチング素子の接続点からインダクタを介して出力するゲート駆動回路において、
該ゲート駆動回路の出力側に、クランプ回路内基準電位にクランプされた電圧クランプ回路を有し、該電圧クランプ回路の所定電位で前記ゲート端子部をクランプすることにより、配線のインダクタと前記電圧駆動型半導体素子の入力容量による共振を防止することを特徴とするゲート駆動回路。
【請求項２】
前記電圧クランプ回路はゲート基準電源と該ゲート基準電源に並列接続された複数のダイオードの直列接続回路とから構成され、前記複数のスイッチング素子の接続点と前記複数のダイオードの接続点と前記ゲート端子部とを接続したことを特徴とする請求項１記載のゲート駆動回路。
【請求項３】
前記ゲート基準電源の代わりに、前記ゲート駆動装置の駆動電源を兼用することを特徴とする請求項２記載のゲート駆動回路。
【請求項４】
前記電圧クランプ回路が、複数のダイオードの直列接続回路に並列にコンデンサを接続したものであることを特徴とする請求項３記載のゲート駆動回路。
【請求項５】
前記電圧クランプ回路に用いられる前記コンデンサの代わりに複数のコンデンサの直列接続回路を接続し、一方、前記ゲート駆動回路の前記駆動電源間に抵抗とツェナーダイオードから成る直列接続回路を接続し、前記複数のコンデンサの接続点と、前記抵抗とツェナーダイオードの接続点と、前記電圧駆動型半導体素子のソース端子とを接続したことを特徴とする請求項３記載のゲート駆動回路。
【請求項６】
前記電圧駆動型半導体素子は高周波で駆動されるＭＯＳＦＥＴ又はＩＧＢＴであることを特徴とする請求項１～５のいずか１項記載のゲート駆動回路。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、電圧駆動型半導体素子を駆動するためのゲート駆動回路に関するもので、特に、その電圧駆動型半導体素子のゲート端子にかかる過電圧抑制に関する。
【背景技術】
【０００２】
従来の電圧駆動型半相対素子のゲート駆動回路には、ゲート電圧クランプ用のダイオードとコンデンサがなく、また電圧駆動型半導体素子のスイッチング調整用のゲート抵抗が接続されている。
また静電誘導形トランジスタ（以下電流駆動型半導体素子とする）のゲート駆動回路におけるクランプ回路においては、ゲート駆動用回路に＋と－の電源が必要である（例えば、特許文献１参照）。
【０００３】
【特許文献１】特開平３－１６２０１０号公報
【０００４】
従来の一般的電圧駆動型半導体素子の駆動回路を図４に示す。
図において、ゲート駆動用電源電圧Ｖに電界効果トランジスタＱ２、Ｑ３の直列接続回路を接続し、電界効果トランジスタＱ２、Ｑ３の接続点から抵抗Ｒ２を介して電圧駆動型半導体素子Ｑ１のゲート端子に出力している。

このように、従来の方式で高速・高周波で駆動をすると、ゲート抵抗Ｒ２を用いているため、ロスが発生する。そのためゲート抵抗Ｒ２には高電力の抵抗を用いなければならなく、またロスの発生によりゲート駆動回路用の電源容量を必要とした。

図５は特許文献１記載のゲート駆動回路を示す。

図において、静電誘導形トランジスタＱ４のゲートＧ４－ソースＳ４間に、ダイオードＤ１とコンデンサＣ３の直列回路から成るクランプ回路を接続し、スイッチング素子Ｑ２、Ｑ３の接続点と静電誘導形トランジスタＱ４のゲートＧ４との間をインダクタＬ３を介して接続し、かつゲート駆動回路の直流電源－Ｖｇの負側と前記ダイオードＤ１・コンデンサＣ３の接続点との間をインダクタＬ４を介して接続している。

【発明の開示】

【発明が解決しようとする課題】

【０００５】

図４のような従来のゲート駆動回路は、電圧駆動型半導体素子のスイッチング調整用のゲート抵抗が必要であるが、高速・高周波で電圧駆動型半導体素子を動作させる際に、ゲート抵抗を用いるとロスの発生が大きく、それに伴い駆動電源容量も必要となる問題があり、また高速・高周波での駆動では、ゲート駆動回路から半導体素子までの配線のインダクタにより、半導体素子の内部入力容量と共振を起こし、半導体素子のゲート・ソース端子間電圧破壊の問題が発生した。

また、図５の静電誘導形トランジスタのような電流駆動型半導体素子を高速・高周波で駆動する際のゲート駆動回路では、＋電源と－電源の２個の電源が必要となり、単電源での駆動回路には適用できないという問題があった。さらに、このゲート駆動回路のクランプ方式では、電圧駆動型半導体素子を駆動する際にＨＩＧＨ側の電圧がクランプ出来ないという問題があった。

従って、本発明はこれらの問題を解決するためになされたもので、ゲート抵抗の代わりにインダクタを用いロスの低減を可能とし、電圧駆動型半導体素子の入力容量との共振を防いで安定したゲート電圧を供給することが可能なゲート駆動回路を提供することを目的とする。

また、ゲート回路駆動用電源が単電源であっても、ゲート電圧を安定してクランプすることが可能となるゲート駆動回路を提供することを目的とする。

【課題を解決するための手段】

【０００６】

上記問題を解決するため、請求項１記載のゲート駆動回路の発明は、ゲート端子部を有する電圧駆動型半導体素子を駆動するためのゲート駆動回路であって、駆動電源と該駆動電源の両端子間に接続される複数のスイッチング素子の直列接続回路とから成り該複数のスイッチング素子を交互にオン・オフすることで複数のスイッチング素子の接続点からインダクタを介して出力するゲート駆動回路において、該ゲート駆動回路の出力側に、クランプ回路内基準電位にクランプされた電圧クランプ回路を有し、該電圧クランプ回路の所定電位で前記ゲート端子部をクランプすることにより、配線のインダクタと前記電圧駆動型半導体素子の入力容量による共振を防止することを特徴とする。

請求項２記載の発明は、請求項１記載のゲート駆動回路において、前記電圧クランプ回路がゲート基準電源と該ゲート基準電源に並列接続された複数のダイオードの直列接続回路とから構成され、前記複数のスイッチング素子の接続点と前記複数のダイオードの接続点と前記ゲート端子部とを接続したことを特徴とする。

請求項３記載の発明は、請求項２記載のゲート駆動回路において、前記ゲート基準電源の代わりに、前記ゲート駆動装置の駆動電源を兼用することを特徴とする。

請求項４記載の発明は、請求項３記載のゲート駆動回路において、前記電圧クランプ回路が、複数のダイオードの直列接続回路に並列にコンデンサを接続したものであることを特徴とする。

請求項５記載の発明は、請求項３記載のゲート駆動回路において、前記電圧クランプ回路に用いられる前記コンデンサの代わりに複数のコンデンサの直列接続回路を接続し、一

方、前記ゲート駆動回路の前記駆動電源間に抵抗とツェナーダイオードから成る直列接続回路を接続し、前記複数のコンデンサの接続点と、前記抵抗とツェナーダイオードの接続点と、前記電圧駆動型半導体素子のソース端子とを接続したことを特徴とする。

請求項６記載の発明は、請求項１～５のいずか１項記載のゲート駆動回路において、前記電圧駆動型半導体素子は高周波で駆動されるＭＯＳＦＥＴ又はＩＧＢＴであることを特徴とする。

【発明の効果】

【０００７】

以上の構成によると、電圧駆動型半導体素子を高速・高周波で動作する際に、問題となる配線のインダクタ等と電圧駆動型半導体素子の入力容量による共振を、電圧駆動型半導体素子の直近に前記クランプ回路を設けることで防止し、電圧駆動型半導体素子に安定したゲート電圧を供給することができる。

また、ゲート駆動回路用電源が単電源においても、前記クランプ回路を用いることで安定したゲート電圧を半導体素子に供給することができる。

【発明を実施するための最良の形態】

【０００８】

以下、本発明の実施の形態について図を参照して詳細に説明する。

【実施例１】

【０００９】

図１は第１の実施例に係る電圧クランプ回路を備えたゲート駆動回路である。

図１において、１０はゲート駆動回路、１１は電圧クランプ回路、Ｑ１は電界効果トランジスタである。

ゲート駆動回路１０はゲート駆動用電源電圧Ｖに電界効果トランジスタＱ２、Ｑ３の直列接続回路を接続し、電界効果トランジスタＱ２、Ｑ３の接続点からゲートインダクタＬ１を介してゲート出力を出している。電圧クランプ回路１１はゲート基準電圧Ｖ１にダイオードＤ１・Ｄ２の直列接続回路を接続して成り、電圧駆動型半導体素子Ｑ１の直近に配置している。ゲート駆動用回路１０のゲート出力は電圧クランプ回路１１のダイオードＤ１・Ｄ２の中性点と接続している。

ゲート駆動回路１０の電界効果トランジスタＱ２がオンするとゲート駆動回路１０の出力電圧Ｖはゲートインダクタ Ｌ１および配線インダクタＬ２を介し、電圧駆動型半導体素子Ｑ１を駆動する。その際、電圧クランプ回路１１によりゲート回路出力電圧がＬ１・Ｌ２と電圧駆動型半導体素子Ｑ１の入力容量との共振を電圧クランプ回路１１の基準電圧Ｖ１でクランプすることができ、安定したゲート電圧を電界効果トランジスタＱ１に供給することができることとなる。

このように、第１の実施例によれば、ゲート抵抗の代わりにインダクタＬ１を用いたのでロスの低減を可能とし、しかも電圧駆動型半導体素子の入力容量との共振を電圧クランプ回路１１で防いでいるので安定したゲート電圧を供給することが可能となる。

【実施例２】

【００１０】

図２は第２の実施例に係る電圧クランプ回路を備えたゲート駆動回路である。

図２において、２０はゲート駆動回路、２１は電圧クランプ回路、Ｑ１は電界効果トランジスタである。

ゲート駆動回路２０はゲート駆動用電源電圧Ｖに電界効果トランジスタＱ２、Ｑ３の直列接続回路を接続し、電界効果トランジスタＱ２、Ｑ３の接続点からゲートインダクタＬ１を介してゲート出力を出している。

電圧クランプ回路２１はダイオードＤ１・Ｄ２の直列接続回路とこれと並列に接続されたコンデンサＣ１とから成り、これをゲート基準電圧Ｖ１に接続して成り、電圧駆動型半導体素子Ｑ１の直近に配置している。ゲート駆動用回路２０のゲート出力は電圧クランプ回路２１のダイオードＤ１・Ｄ２の中性点と接続している。

図２において、ゲート駆動用電源Ｖの間にダイオードＤ１・Ｄ２を直列に接続し、その

中性点をゲート駆動回路出力と、電圧駆動型半導体素子に接続している。基準電源Ｖ間に接続されているコンデンサＣ１は電圧クランプ回路２１内に基準電圧を安定させるためのものである。

ゲート駆動回路２０のスイッチング素子Ｑ２がオンするとゲート駆動回路２０の出力電圧Ｖはゲートインダクタンス成分Ｌ１および配線インダクタンス成分Ｌ２を介し、電界効果トランジスタＱ１を駆動する。その際、電圧クランプ回路２１によりゲート回路出力電圧がＬ１・Ｌ２と電圧駆動型半導体素子Ｑ１の入力容量との共振を電圧クランプ回路２１の基準電圧Ｖ１でクランプすることができ、安定したゲート電圧を電界効果トランジスタＱ１に供給することができることとなる。

第２実施例によれば、ゲート抵抗の代わりにインダクタンス成分Ｌ１を用いたのでロスの低減を可能とし、しかも電圧駆動型半導体素子の入力容量との共振を電圧クランプ回路２１で防いでいるので安定したゲート電圧を供給することが可能となる。しかも、ゲート駆動回路２０の電源Ｖを用いることによって電圧クランプ回路内に基準電源となる安定化電源を接続する必要がなくなり、ゲート出力電圧の共振をゲート駆動回路用電源Ｖでクランプすることができ、簡単な構成で安定したゲート電圧を電圧駆動型半導体素子Ｑ１に供給することが出来ることとなる。

【実施例３】

【００１１】

図３は第３の実施例に係る電圧クランプ回路を備えたゲート駆動回路である。

図３において、３０はゲート駆動回路、３１は電圧クランプ回路、Ｑ１は電圧駆動型半導体素子である。

ゲート駆動回路３０はゲート駆動用電源電圧Ｖに電界効果トランジスタＱ２、Ｑ３の直列接続回路を接続し、電界効果トランジスタＱ２、Ｑ３の接続点からゲートインダクタンス成分Ｌ１を介してゲート出力を出している。また、ゲート駆動回路用電源間Ｖに抵抗Ｒ１とツェナーダイオードＺＤ１から成る直列接続回路を接続し、ゲート電圧の負側を生成している。

一方、電圧クランプ回路３１はダイオードＤ１・Ｄ２の直列接続回路とこれと並列に接続された同じくコンデンサＣ１・Ｃ２の直列接続回路とから成り、これをゲート基準電圧Ｖ１に接続して成り、電圧駆動型半導体素子Ｑ１の直近に配置している。ゲート駆動用回路３０のゲート出力は電圧クランプ回路３１のダイオードＤ１・Ｄ２の中性点と接続している。

図３において、ゲート駆動用電源Ｖの間にダイオードＤ１・Ｄ２を直列に接続し、その中性点をゲート駆動回路出力と、電圧駆動型半導体素子Ｑ１に接続している。基準電源Ｖ間に接続れているコンデンサＣ１・Ｃ２の接続点と、抵抗Ｒ１とツェナーダイオードＺＤ１の接続点と、電圧駆動型半導体素子Ｑ１のソース端子Ｓとを接続している。

このように、抵抗Ｒ１とツェナーダイオードＺＤ１の接続点を電圧クランプ回路Ｃ１・Ｃ２の中性点と電圧駆動型半導体素子Ｑ１のソース端子Ｓと接続することで電界効果トランジスタＱ３がオンしたときに、ゲート電圧を負側にひっぱることができ、そしてゲート電圧を正側・負側に出力することで、電圧駆動型半導体素子Ｑ１を安定してスイッチングさせることが可能である。よって、ゲート駆動用電源が単電源であっても、第３の実施例に係る電圧クランプ回路を使用することで、ゲート電圧の正・負側ともに基準電圧Ｖにクランプすることができ、安定したゲート電圧を電圧駆動型半導体素子Ｑ１に供給することが出来る。

第３実施例によれば、ゲート抵抗の代わりにインダクタンス成分Ｌ１を用いたのでロスの低減を可能とし、しかも電圧駆動型半導体素子の入力容量との共振を電圧クランプ回路２１で防いでいるので安定したゲート電圧を供給することが可能となる。しかも、電界効果トランジスタＱ３がオンしたときに、ゲート電圧を負側にひっぱることができるので、ゲート駆動用電源が単電源であっても、ゲート電圧の正・負側ともに基準電圧Ｖにクランプすることができ、安定したゲート電圧を電圧駆動型半導体素子Ｑ１に供給することが出来る。

【００１２】

本発明が特許文献１記載の発明と異なる点は、ゲート駆動用電源が単電源であることと、ゲート電圧Ｈｉｇｈ側をクランプする為のダイオードＤ１とＣ１を用いている点である。

この従来の方式では、電流駆動型半導体素子Ｑ１を高速で駆動することは可能であるが、電圧駆動型半導体素子には適用が出来ない。従来方式で電圧駆動型半導体素子に適用すると、ゲート電圧Ｈｉｇｈ側をクランプすることが出来ない問題がある。

従って電圧駆動型半導体素子を高速・高周波で駆動する際は、従来方式ではゲート電圧Ｈｉｇｈ側がクランプ出来ないが、本発明の駆動回路ではゲート電圧Ｈｉｇｈ・Ｌｏｗともにクランプが可能であり、安定したゲート電圧を半導体素子に供給することが可能である。

【００１３】

ここで図３より電圧クランプ回路の効果について説明する。

図１の電界効果トランジスタＱ２とＱ３は交互にスイッチングすることで電圧駆動型半導体素子Ｑ１にゲート電圧を供給する。電圧駆動型半導体素子Ｑ１のゲート・ソース間には入力容量Ｃをもっており、この入力容量Ｃと、ゲートインダクタＬ１、配線のＬ２により共振をおこす。

図６に電圧クランプ回路なしでのゲート・ソース間の電圧（V_{GS}）波形を示す。図６からも分かるように、ゲート駆動用電源１５Ｖに対し、V_{GS}が共振を起こしていることがわかる。この共振したゲート電圧により、Ｑ１がゲート・ソース間電圧破壊されるおそれがある。

【００１４】

図７は、本発明に係る電圧クランプ回路を接続した際のゲート・ソース間の電圧（V_{GS}）波形を示す。

図７からも分かるように、ゲート駆動用電源でＨｉｇｈ側、Ｌｏｗ側ともにクランプされており、電圧駆動型半導体素子に安定したゲート電圧が供給されていることが分かる。

従って、本発明では高速・高周波での半導体駆動回路において、ゲートインダクタと電圧クランプ回路を用いることで、ゲート抵抗によるロスおよびゲート駆動電源容量の低減と安定したゲート電圧を半導体素子に供給することが可能である。

【図面の簡単な説明】

【００１５】

【図１】第１の実施例に係る電圧クランプ回路を備えたゲート駆動回路である。
【図２】第２の実施例に係る電圧クランプ回路を備えたゲート駆動回路である。
【図３】第３の実施例に係る電圧クランプ回路を備えたゲート駆動回路である。
【図４】従来の電圧駆動型半導体素子の駆動用ゲート回路の構成図である。
【図５】従来の電流駆動型半導体素子の駆動用ゲート回路構成図である。
【図６】電圧クランプ回路が無い場合のゲート・ソース間の電圧波形を示す。
【図７】図３による電圧クランプ回路を備えたゲート・ソース間の電圧波形を示す。

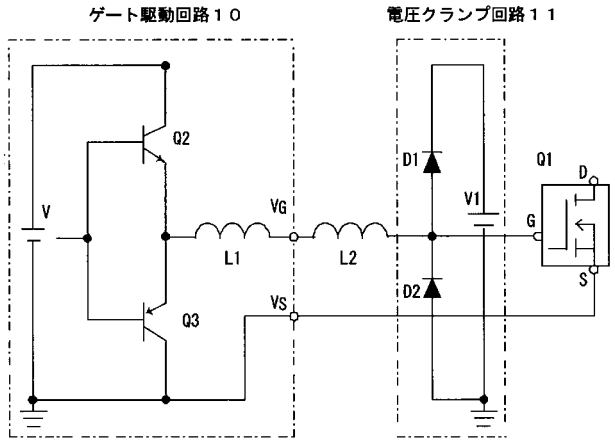
【符号の説明】

【００１６】

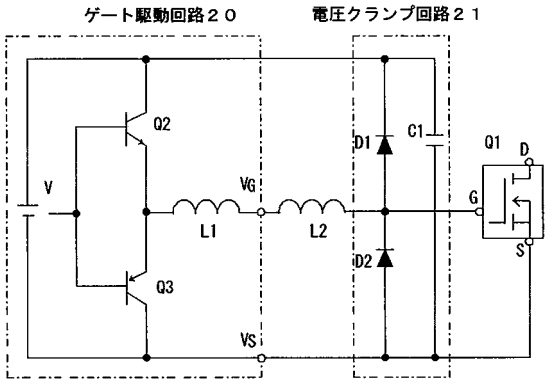
１０、２０、３０：ゲート駆動回路
１１、２１、３１：電圧クランプ回路
Ｖ、Ｖ１、Ｖ２、＋Ｖｇ、－Ｖｇ：ゲート駆動用電源
Ｅ：直流電圧
ＶＧ、ＶＳ：ゲート電圧
Ｑ１：電圧駆動型半導体素子
Ｑ２、Ｑ３：電界効果トランジスタ
Ｑ４：電流駆動型半導体素子
Ｌ１、Ｌ２、Ｌ３、Ｌ４：インダクタ
Ｃ１、Ｃ２、Ｃ３：コンデンサ
Ｒ１、Ｒ２、ＲＬ：抵抗

ＺＤ１：ツェナーダイオード
V_{CE}：コレクタ・エミッタ間電圧
V_{GS}：ゲート・ソース間電圧

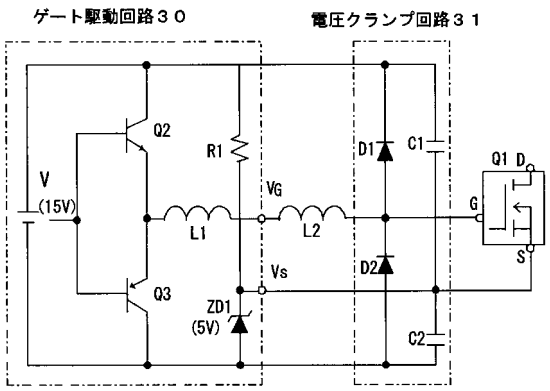
【図１】



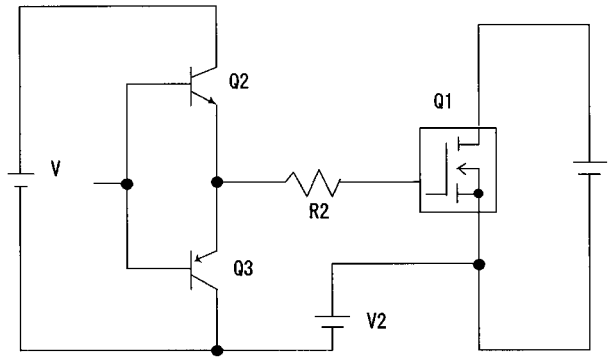
【図２】



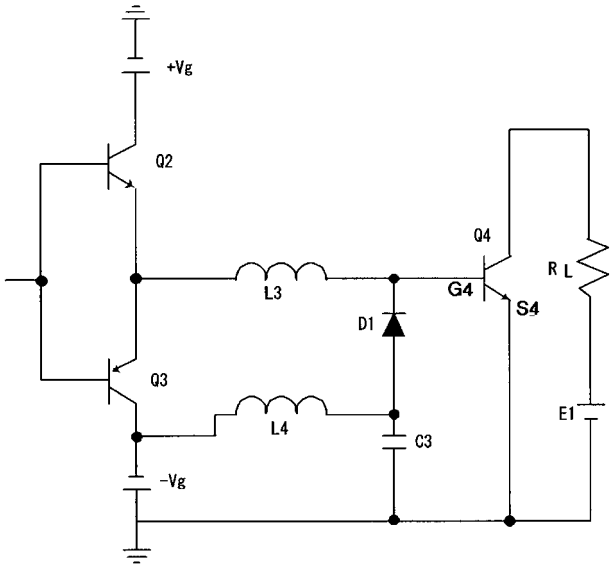
【図３】



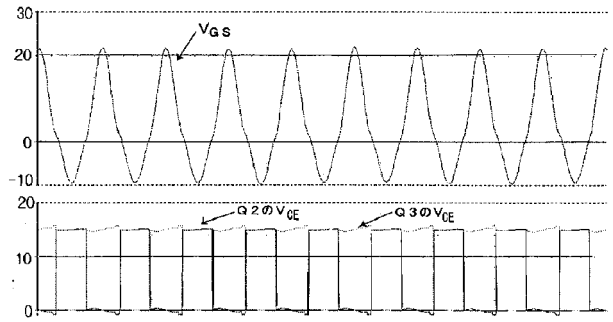
【図４】


Q2
Q1
V
R2
Q3
V2

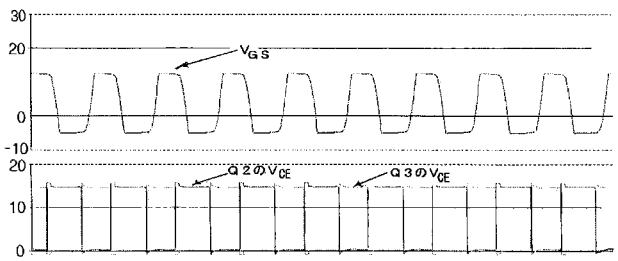
【図５】


+Vg
Q2
Q4
L3
G4
S4
R L
D1
Q3
L4
C3
E1
-Vg

【図６】


30
20
0
-10
VGS
20
10
0
Q2のVCE
Q3のVCE

【図７】


30
20
0
-10
VGS
20
10
0
Q2のVCE
Q3のVCE

フロントページの続き

(72)発明者　小中原　昌治
福岡県北九州市八幡西区黒崎城石２番１号　株式会社安川電機内
(72)発明者　佐土原　正志
福岡県北九州市八幡西区黒崎城石２番１号　株式会社安川電機内
(72)発明者　江口　公一
福岡県北九州市八幡西区黒崎城石２番１号　株式会社安川電機内

Ｆターム(参考) 5H740 AA01　BA12　BC01　BC02　HH05　JA01　JB01　KK01　LL03　MM01