

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2007-164922
(P2007-164922A)

(43) 公開日 平成19年6月28日 (2007.6.28)

(51) Int. Cl.	F I	テーマコード (参考)
G 1 1 C 11/413 (2006.01)	G 1 1 C 11/34 3 O 2 A	5 B O 1 5
H O 3 K 19/0948 (2006.01)	H O 3 K 19/094 B	5 J O 5 5
H O 3 K 17/22 (2006.01)	H O 3 K 17/22 E	5 J O 5 6
H O 3 K 17/687 (2006.01)	H O 3 K 17/687 F	

審査請求 未請求 請求項の数 22 O L (全 41 頁)

(21) 出願番号	特願2005-362322 (P2005-362322)	(71) 出願人	000005821
(22) 出願日	平成17年12月15日 (2005.12.15)		松下電器産業株式会社
			大阪府門真市大字門真1006番地
		(74) 代理人	100077931
			弁理士 前田 弘
		(74) 代理人	100110939
			弁理士 竹内 宏
		(74) 代理人	100110940
			弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実
		(74) 代理人	100115691
			弁理士 藤田 篤史

最終頁に続く

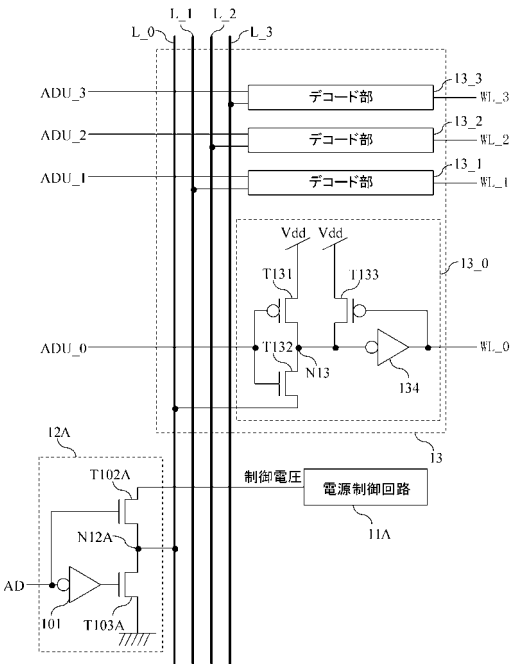
(54) 【発明の名称】 デコーダ回路

(57) 【要約】

【課題】 高速動作と低消費電力化が可能なデコーダ回路を提供する。

【解決手段】 アドレス信号ADが「Hレベル」である場合、トランジスタT102AがオンになりトランジスタT103Aがオフになる。このとき、接続ノードN12Aの電位は、電源制御回路11Aからの制御電圧の電圧値Vdd1と等しくなる。制御電圧の電圧値Vdd1は電源ノードの電位よりも低い。一方、アドレス信号ADが「Lレベル」である場合、トランジスタT102AがオフになりトランジスタT103Aがオンになる。これにより、接続ノードN12Aに充電された電荷が放電される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の電圧を供給する電源制御回路と、

前記電源制御回路と第 1 の基準ノードとの間に直列に接続される第 1 および第 2 のトランジスタと、

前記第 1 のトランジスタと第 2 のトランジスタとの接続ノードと第 2 の基準ノードとの間に接続される第 3 および第 4 のトランジスタとを備え、

前記第 1 のトランジスタは、前記電源制御回路と前記第 2 のトランジスタとの間に接続され、第 1 の信号をゲートに受け、

前記第 2 のトランジスタは、前記第 1 のトランジスタと前記第 1 の基準ノードとの間に接続され、前記第 1 の信号に対応する第 2 の信号をゲートに受け、 10

前記第 3 のトランジスタは、前記第 2 の基準ノードと前記第 4 のトランジスタとの間に接続され、第 3 の信号をゲートに受け、

前記第 4 のトランジスタは、前記第 3 のトランジスタと前記接続ノードとの間に接続され、前記第 3 の信号に対応する第 4 の信号をゲートに受け、

前記第 1 の電圧と前記第 1 の基準ノードとの電位差は、前記第 1 の基準ノードと前記第 2 の基準ノードとの電位差よりも小さいことを特徴とするデコード回路。

【請求項 2】

第 1 の基準ノードと第 2 の基準ノードとの間に直列に接続される第 1 および第 2 のトランジスタと、 20

前記第 1 のトランジスタと第 2 のトランジスタとの接続ノードと前記第 2 の基準ノードとの間に直列に接続される第 3 および第 4 のトランジスタとを備え、

前記第 1 のトランジスタは、前記第 2 の基準ノードと前記第 2 のトランジスタとの間に接続され、第 1 の信号をゲートに受け、

前記第 2 のトランジスタは、前記第 1 のトランジスタと前記第 1 の基準ノードとの間に接続され、前記第 1 の信号に対応する第 2 の信号をゲートに受け、

前記第 3 のトランジスタは、前記第 2 の基準ノードと前記第 4 のトランジスタとの間に接続され、第 3 の信号をゲートに受け、

前記第 4 のトランジスタは、前記第 3 のトランジスタと前記接続ノードとの間に接続され、前記第 3 の信号に対応する第 4 の信号をゲートに受け、 30

前記第 1 , 第 2 , および第 4 のトランジスタの各々は、互いに同極性であることを特徴とするデコード回路。

【請求項 3】

請求項 2 において、

前記第 1 のトランジスタは、前記第 2 の基準ノードと前記第 2 のトランジスタとの間に直列に接続された複数のトランジスタによって構成され、

前記複数のトランジスタの各々は、前記第 1 の信号をゲートに受けることを特徴とするデコード回路。

【請求項 4】

40

請求項 2 において、

逆バイアス電圧を出力する基板制御回路をさらに備え、

前記第 1 のトランジスタは、前記基板制御回路からの逆バイアス電圧を基板に受けることを特徴とするデコード回路。

【請求項 5】

請求項 4 において、

前記基板制御回路は、前記第 1 の信号の信号レベルに応じて、順バイアス電圧および逆バイアス電圧のうちいずれか一方を出力し、

前記第 1 および第 4 のトランジスタの各々は、前記基板制御回路からの出力を基板に受ける

50

ことを特徴とするデコーダ回路。

【請求項 6】

第 1 の基準ノードと第 2 の基準ノードとの間に直列に接続される第 1 および第 2 のトランジスタと、

前記第 1 のトランジスタと前記第 2 のトランジスタとの接続ノードと前記第 2 の基準ノードとの間に直列に接続される第 3 および第 4 のトランジスタとを備え、

前記第 1 のトランジスタは、前記第 2 の基準ノードと前記第 2 のトランジスタとの間に接続され、第 1 の信号をゲートに受け、

前記第 2 のトランジスタは、前記第 1 のトランジスタと前記第 1 の基準ノードとの間に接続され、前記第 1 の信号に対応する第 2 の信号をゲートに受け、

前記第 3 のトランジスタは、前記第 2 の基準ノードと前記第 4 のトランジスタとの間に接続され、第 3 の信号をゲートに受け、

前記第 4 のトランジスタは、前記第 3 のトランジスタと前記接続ノードとの間に接続され、前記第 3 の信号に対応する第 4 の信号をゲートに受け、

前記第 1 のトランジスタは、

オンになった後、前記接続ノードの電位が前記第 2 の基準ノードの電位に達する前にオフになる

ことを特徴とするデコーダ回路。

【請求項 7】

請求項 6 において、

前記第 1 のトランジスタがオンであり前記第 2 のトランジスタがオフである期間は、前記第 1 のトランジスタがオフであり前記第 2 のトランジスタがオンである期間よりも短いことを特徴とするデコーダ回路。

【請求項 8】

請求項 6 において、

前記第 1 のトランジスタのゲート幅 / ゲート長比 (W / L 比) は、前記第 2 のトランジスタのゲート幅 / ゲート長比 (W / L 比) の 2 倍以下である

ことを特徴とするデコーダ回路。

【請求項 9】

第 1 の基準ノードと第 2 の基準ノードとの間に直列に接続される第 1 , 第 2 , および第 3 のトランジスタを備え、

前記第 1 のトランジスタは、前記第 1 の基準ノードと前記第 2 のトランジスタとの間に接続され、第 1 の信号をゲートに受け、

前記第 2 のトランジスタは、前記第 1 のトランジスタと前記第 3 のトランジスタとの間に接続され、第 2 の信号をゲートに受け、

前記第 3 のトランジスタは、前記第 2 のトランジスタと前記第 2 の基準ノードとの間に接続され、前記第 2 の信号に対応する第 3 の信号をゲートに受け、

前記第 1 のトランジスタは、前記第 2 のトランジスタと同極性である

ことを特徴とするデコーダ回路。

【請求項 10】

第 1 および第 2 のモードと、当該第 1 のモードから当該第 2 のモードへ移行するときまたは当該第 2 のモードから第 1 のモードへ移行するときに実行される第 3 のモードとを有するデコーダ回路であって、

第 1 の電位を受ける第 1 の基準ノードと接続ノードとの間に接続され、第 1 の信号をゲートに受ける第 1 のトランジスタと、

第 2 の電位を受ける第 2 の基準ノードと前記接続ノードとの間に接続され、前記第 1 の信号に対応する第 2 の信号をゲートに受ける第 2 のトランジスタと、

前記接続ノードと前記第 2 の基準ノードとの間に直列に接続される第 3 および第 4 のトランジスタと、

前記接続ノードにおける電位が前記第 2 の電位と所定電位の間であると前記第 1 およ

10

20

30

40

50

び第 2 のトランジスタの各々と前記接続ノードとを接続し、前記接続ノードにおける電位が前記第 1 の電位と前記所定電位との間であると前記第 1 および第 2 のトランジスタの各々と前記接続ノードとを非接続するスイッチ回路と、

前記第 1 または第 2 の電位に応じた電荷が蓄積される蓄積ノードと、

前記接続ノードと前記蓄積ノードとを接続または非接続するイコライズ回路とを備え、

前記所定電位は、前記第 1 の電位と前記第 2 の電位との間の電位であり、

前記第 3 のトランジスタは、前記第 2 の基準ノードと前記第 4 のトランジスタとの間に接続され、第 3 の信号をゲートに受け、

前記第 4 のトランジスタは、前記第 3 のトランジスタと前記接続ノードとの間に接続され、前記第 3 の信号に対応する第 4 の信号をゲートに受け、

10

前記第 1 のモードになると、

前記イコライズ回路は非接続状態になり、前記第 1 のトランジスタはオンになり、前記第 2 のトランジスタはオフになり、前記蓄積ノードは前記第 1 の電位に応じた電荷が蓄積され、

前記第 2 のモードになると、

前記イコライズ回路は非接続状態になり、前記第 1 のトランジスタはオフになり、前記第 2 のトランジスタはオンになり、前記蓄積ノードは前記第 2 の電位に応じた電荷が蓄積され、

前記第 3 のモードになると、前記イコライズ回路は接続状態になることを特徴とするデコード回路。

20

【請求項 1 1】

請求項 1 , 請求項 2 , 請求項 6 , 請求項 1 0 のうちいずれか 1 つにおいて、

前記第 1 および第 2 のトランジスタは、

第 1 および第 2 のモードと、

前記第 1 のモードから前記第 2 のモードへ移行するとき、または、前記第 2 のモードから前記第 1 のモードへ移行するときに実行される第 3 のモードとを有し、

前記第 1 のモードになると、前記第 1 のトランジスタはオンになり、前記第 2 のトランジスタはオフになり、

前記第 2 のモードになると、前記第 1 のトランジスタはオフになり、前記第 2 のトランジスタはオンになり、

30

前記第 3 のモードになると、前記第 1 および第 2 のトランジスタはオフになることを特徴とするデコード回路。

【請求項 1 2】

請求項 1 , 請求項 2 , 請求項 6 , 請求項 1 0 のうちいずれか 1 つにおいて、

前記接続ノードにおける電位の変動に応じて、センスアンプを駆動するためのタイミング信号を出力するセンスアンプタイミング生成回路をさらに備える

ことを特徴とするデコード回路。

【請求項 1 3】

請求項 9 において、

前記第 1 のトランジスタと前記第 2 のトランジスタとの接続ノードにおける電位の変動に応じて、センスアンプを駆動するためのタイミング信号を出力するセンスアンプタイミング生成回路をさらに備える

40

ことを特徴とするデコード回路。

【請求項 1 4】

請求項 1 において、

前記電源制御回路と前記第 1 の基準ノードとの間に直列に接続される第 1 および第 2 のレプリカ用トランジスタと、

前記第 1 のレプリカ用トランジスタと前記第 2 のレプリカ用トランジスタとのレプリカ用接続ノードと前記第 1 の基準ノードとの間に直列に接続される第 3 および第 4 のレプリカ用トランジスタと、

50

前記レプリカ用接続ノードにおける電位の変動に応じて、センスアンプを駆動するためのタイミング信号を出力するセンスアンプタイミング生成回路とをさらに備え、

前記第 1 のレプリカ用トランジスタは、前記第 1 のトランジスタと同様の特性を有し、且つ、前記電源制御回路と前記第 2 のレプリカ用トランジスタとの間に接続され、前記第 1 の信号をゲートに受け、

前記第 2 のレプリカ用トランジスタは、前記第 2 のトランジスタと同様の特性を有し、且つ、前記第 1 のレプリカ用トランジスタと前記第 1 の基準ノードとの間に接続され、前記第 2 の信号をゲートに受け、

前記第 3 のレプリカ用トランジスタは、前記第 3 のトランジスタと同様の特性を有し、且つ、前記第 2 の基準ノードと前記第 4 のレプリカ用トランジスタとの間に接続され、前記第 3 の信号をゲートに受け、

前記第 4 のレプリカ用トランジスタは、前記第 4 のトランジスタと同様の特性を有し、且つ、前記第 3 のレプリカ用トランジスタと前記レプリカ接続ノードとの間に接続され、前記第 4 の信号をゲートに受けることを特徴とするデコーダ回路。

【請求項 15】

請求項 2，請求項 6，請求項 10 のうちいずれか 1 つにおいて、

前記第 1 の基準ノードと前記第 2 の基準ノードとの間に直列に接続される第 1 および第 2 のレプリカ用トランジスタと、

前記第 1 のレプリカ用トランジスタと前記第 2 のレプリカ用トランジスタとのレプリカ用接続ノードと前記第 2 の基準ノードの間に直列に接続される第 3 および第 4 のレプリカ用トランジスタと、

前記レプリカ用接続ノードにおける電位の変動に応じて、センスアンプを駆動するためのタイミング信号を出力するセンスアンプタイミング生成回路とを含み、

前記第 1 のレプリカ用トランジスタは、前記第 1 のトランジスタと同様の特性を有し、且つ、前記第 2 の基準ノードと前記第 2 のレプリカ用トランジスタとの間に接続され、前記第 1 の信号をゲートに受け、

前記第 2 のレプリカ用トランジスタは、前記第 2 のトランジスタと同様の特性を有し、且つ、前記第 1 のレプリカ用トランジスタと前記第 1 の基準ノードとの間に接続され、前記第 2 の信号をゲートに受け、

前記第 3 のレプリカ用トランジスタは、前記第 3 のトランジスタと同様の特性を有し、且つ、前記第 2 の基準ノードと前記第 4 のレプリカ用トランジスタとの間に接続され、前記第 3 の信号をゲートに受け、

前記第 4 のレプリカ用トランジスタは、前記第 4 のトランジスタと同様の特性を有し、且つ、前記第 3 のレプリカ用トランジスタと前記レプリカ用接続ノードとの間に接続され、前記第 4 の信号をゲートに受けることを特徴とするデコーダ回路。

【請求項 16】

請求項 9 において、

前記第 1 の基準ノードと前記第 2 の基準ノードとの間に直列に接続される第 1，第 2，および第 3 のレプリカ用トランジスタと、

前記第 1 のレプリカ用トランジスタと第 2 のレプリカ用トランジスタとのレプリカ用接続ノードにおける電位の変動に応じて、センスアンプを駆動するためのタイミング信号を出力するセンスアンプタイミング生成回路とをさらに備え、

前記第 1 のレプリカ用トランジスタは、前記第 1 のトランジスタと同様の特性を有し、前記第 1 の基準ノードと前記第 2 のレプリカ用トランジスタとの間に接続され、前記第 1 の信号をゲートに受け、

前記第 2 のレプリカ用トランジスタは、前記第 1 のレプリカ用トランジスタと前記第 3 のレプリカ用トランジスタとの間に接続され、前記第 2 の信号をゲートに受け、

前記第 3 のレプリカ用トランジスタは、前記第 2 のレプリカ用トランジスタと前記第 2

の基準ノードとの間に接続され、前記第 3 の信号をゲートに受けることを特徴とするデコーダ回路。

【請求項 17】

請求項 14 または請求項 15 において、

前記第 1 および第 3 のレプリカ用トランジスタの各々の閾値電圧に応じた制御電圧を出力する基板制御回路をさらに備え、

前記第 1 および第 3 のレプリカ用トランジスタの各々は、前記基板制御回路からの制御電圧を基板に受けることを特徴とするデコーダ回路。

【請求項 18】

請求項 1 , 請求項 2 , 請求項 6 , 請求項 10 のうちいずれか 1 つにおいて、

前記第 3 のトランジスタは、

半導体基板に形成され、且つ、所定の間隔で互いに平行に延びる第 1 , 第 2 , 第 3 の拡散層と、

前記半導体基板の上に形成され、当該第 1 および第 2 の拡散層に沿って延びる第 1 のゲート電極と、

前記半導体基板の上に形成され、当該第 2 および第 3 の拡散層に沿って延びる第 2 のゲート電極と、

前記第 2 の拡散層の上に形成され、且つ、前記第 1 のゲート電極と前記第 2 のゲート電極との間に位置し、当該第 2 の拡散層に沿って延びる第 1 層配線と、

前記第 1 および第 2 のゲート電極と前記第 1 層配線との上に形成され、かつ、当該第 1 層配線と電氣的に接続され、前記第 1 および第 2 のゲート電極には電氣的に接続されない第 2 層配線とを含む

ことを特徴とするデコーダ回路。

【請求項 19】

請求項 9 において、

前記第 2 のトランジスタは、

半導体基板に形成され、且つ、所定の間隔で互いに平行に延びる第 1 , 第 2 , 第 3 の拡散層と、

前記半導体基板の上に形成され、当該第 1 および第 2 の拡散層に沿って延びる第 1 のゲート電極と、

前記半導体基板の上に形成され、当該第 2 および第 3 の拡散層に沿って延びる第 2 のゲート電極と、

前記第 2 の拡散層と電氣的に接続され、且つ、前記第 1 のゲート電極と前記第 2 のゲート電極との間に位置し、当該第 2 の拡散層に沿って延びる第 1 層配線と、

前記第 1 および第 2 のゲート電極と前記第 1 層配線との上に形成され、かつ、当該第 1 層配線と電氣的に接続され、前記第 1 および第 2 のゲート電極には電氣的に接続されない第 2 層配線とを含む

ことを特徴とするデコーダ回路。

【請求項 20】

請求項 18 または請求項 19 において、

前記第 1 層配線の長さは、

$(\text{ゲート幅} \times 0.1) / \text{ゲート電極の分割数}$ 以上であり、

$(\text{ゲート幅} \times 1.0) / \text{ゲート電極の分割数}$ 以下である

ことを特徴とするデコーダ回路。

【請求項 21】

請求項 1 , 請求項 2 , 請求項 6 , 請求項 10 において、

前記第 4 のトランジスタが有する閾値電圧の電圧値は、前記第 1 のトランジスタが有する閾値電圧の電圧値以上である

ことを特徴とするデコーダ回路。

10

20

30

40

50

【請求項 22】

請求項 9 において、

前記第 2 のトランジスタが有する閾値電圧の電圧値は、前記第 1 のトランジスタが有する閾値電圧の電圧値以上であることを特徴とするデコーダ回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、デコーダ回路に関し、さらに詳しくは、半導体記憶装置のワード線を駆動するためのデコーダ回路に関する。

【背景技術】

【0002】

従来、半導体記憶装置は、ワード線を駆動するためのデコーダ回路（ロウデコーダ）を備えている。特開平 8 - 236718 号公報（特許文献 1）に開示されたように、デコーダ回路（ロウデコーダ）は、第 1 デコーダ（デコーダ回路）と、第 2 デコーダ（ワード線ドライバ）とを含む。第 1 デコーダは、第 1 アドレス信号に応じて動作する。第 2 デコーダは、第 1 デコーダからの出力、および第 2 アドレス信号に応じて動作する。第 2 デコーダは、第 1 デコーダの出力を受けるノードと接地電圧を受ける接地ノードとの間に直列に接続された PMOS トランジスタ、NMOS トランジスタを有する。PMOS トランジスタおよび NMOS トランジスタの各々のゲートは、第 1 デコーダに入力される第 1 アドレス信号とは異なる第 2 アドレス信号を受ける。また、これらのトランジスタの接続ノードに発生する電圧は、ワード線駆動電圧として出力される。

【特許文献 1】特開平 8 - 236718 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

従来では、デコーダ回路を駆動させるために、第 2 デコーダの出力だけでなく、第 1 デコーダの出力も電源電位 V_{dd} から接地電位 V_{SS} まで振幅する。ここで、デコーダ回路の駆動速度を速くしたり、デコーダ回路によって消費される電荷量を削減したりするためには、第 1 デコーダの出力の振幅を電源電位 V_{dd} から接地電位 V_{SS} までの振幅よりも小さくすることが求められる。

【0004】

本発明は、処理速度を高速化し、かつ、電荷消費量の少なくすることを目的とする。

【課題を解決するための手段】

【0005】

この発明の 1 つの局面に従うと、デコーダ回路は、電源制御回路と、第 1 ～ 第 4 のトランジスタとを備える。電源制御回路は、第 1 の電圧を供給する。第 1 および第 2 のトランジスタは、電源制御回路と第 1 の基準ノードとの間に直列に接続される。第 3 および第 4 のトランジスタは、第 1 のトランジスタと第 2 のトランジスタとの接続ノードと第 2 の基準ノードとの間に接続される。第 1 のトランジスタは、電源制御回路と第 2 のトランジスタとの間に接続され、第 1 の信号をゲートに受ける。第 2 のトランジスタは、第 1 のトランジスタと第 1 の基準ノードとの間に接続され、第 1 の信号に対応する第 2 の信号をゲートに受ける。第 3 のトランジスタは、第 2 の基準ノードと第 4 のトランジスタとの間に接続され、第 3 の信号をゲートに受ける。第 4 のトランジスタは、第 3 のトランジスタと接続ノードとの間に接続され、第 3 の信号に対応する第 4 の信号をゲートに受ける。第 1 の電圧と第 1 の基準ノードとの電位差は、第 1 の基準ノードと第 2 の基準ノードとの電位差よりも小さい。

【0006】

上記デコーダ回路では、第 1 のトランジスタと第 2 のトランジスタとの接続ノード（第 1 の接続ノード）における電位の振幅を小さくすることができる。したがって、第 1 の接

10

20

30

40

50

続ノードへ充電される電荷量または第１の接続ノードから放電される電荷量を削減することができる。また、第１の接続ノードを充放電するために要する時間を短縮することができる。これにより、高速動作と低消費電力化が可能となる。

【０００７】

この発明のもう１つの局面に従うと、デコーダ回路は、第１～第４のトランジスタを備える。第１および第２のトランジスタは、第１の基準ノードと第２の基準ノードとの間に直列に接続される。第３および第４のトランジスタは、第１のトランジスタと第２のトランジスタとの接続ノードと第２の基準ノードとの間に直列に接続される。第１のトランジスタは、第２の基準ノードと第２のトランジスタとの間に接続され、第１の信号をゲートに受ける。第２のトランジスタは、第１のトランジスタと第１の基準ノードとの間に接続され、第１の信号に対応する第２の信号をゲートに受ける。第３のトランジスタは、第２の基準ノードと第４のトランジスタとの間に接続され、第３の信号をゲートに受ける。第４のトランジスタは、第３のトランジスタと接続ノードとの間に接続され、第３の信号に対応する第４の信号をゲートに受ける。第１，第２，および第４のトランジスタの各々は、互いに同電極である。

10

【０００８】

上記デコーダ回路では、第１および第２のトランジスタを第４のトランジスタと同極性にすることによって、第１のトランジスタと第２のトランジスタとの接続ノードにおける電位の振幅を小さくすることができる。したがって、接続ノードに充電される電荷量または接続ノードから放電される電荷量を削減することができる。また、接続ノードを充放電するのに要する時間を短縮することができる。これにより、高速動作と低消費電力化が可能となる。

20

【０００９】

この発明のさらにもう１つの局面に従うと、デコーダ回路は、第１～第４のトランジスタを備える。第１および第２のトランジスタは、第１の基準ノードと第２の基準ノードとの間に直列に接続される。第３および第４のトランジスタは、第１のトランジスタと第２のトランジスタとの接続ノードと第２の基準ノードとの間に直列に接続される。第１のトランジスタは、第２の基準ノードと第２のトランジスタとの間に接続され、第１の信号をゲートに受ける。第２のトランジスタは、第１のトランジスタと第１の基準ノードとの間に接続され、第１の信号に対応する第２の信号をゲートに受ける。第３のトランジスタは、第２の基準ノードと第４のトランジスタとの間に接続され、第３の信号をゲートに受ける。第４のトランジスタは、第３のトランジスタと接続ノードとの間に接続され、第３の信号に対応する第４の信号をゲートに受ける。第１のトランジスタは、オンになった後、接続ノードの電位が第２の基準ノードの電位に達する前にオフになる。

30

【００１０】

上記デコーダ回路では、第１のトランジスタと第２のトランジスタとの接続ノードの電位が第２の基準ノードの電位に達する前に第１のトランジスタをオフにすることによって、接続ノードに充電される電荷量または接続ノードから放電される電荷量を削減することができる。また、接続ノードを充放電するのに要する時間を短縮することができる。これにより、高速動作と低消費電力化が可能となる。

40

【００１１】

この発明のさらにもう１つの局面に従うと、デコーダ回路は、第１の基準ノードと第２の基準ノードとの間に直列に接続される第１，第２，および第３のトランジスタを備える。第１のトランジスタは、第１の基準ノードと第２のトランジスタとの間に接続され、第１の信号をゲートに受ける。第２のトランジスタは、第１のトランジスタと第３のトランジスタとの間に接続され、第２の信号をゲートに受ける。第３のトランジスタは、第２のトランジスタと第２の基準ノードとの間に接続され、第２の信号に対応する第３の信号をゲートに受ける。

【００１２】

上記デコーダ回路では、第１のトランジスタと第２のトランジスタとの接続ノード（第

50

１の接続ノード）と第２のトランジスタと第３のトランジスタの接続ノード（第２の接続ノード）との間で電荷を分配することによって、各々の接続ノードの電位が調整される。また、第１の接続ノードにおける電位の振幅を小さくすることができる。したがって、第１の接続ノードに充電される電荷量または第１の接続ノードから放電される電荷量を削減することができる。また、第１の接続ノードを充放電するのに要する時間を短縮することができる。これにより、高速動作と低消費電力化が可能となる。

【００１３】

この発明のさらにもう１つの局面に従うと、デコーダ回路は、第１～第３のモードを有する。第３のモードは、第１のモードから第２のモードへ移行するとき、または、第２のモードから第１のモードへ移行するとき実行される。デコーダ回路は、第１～第４のトランジスタと、スイッチ回路と、蓄積ノードと、イコライズ回路とを備える。第１のトランジスタは、第１の電位を受ける第１の基準ノードと接続ノードとの間に接続され、第１の信号をゲートに受ける。第２のトランジスタは、第２の電位を受ける第２の基準ノードと接続ノードとの間に接続され、第１の信号に対応する第２の信号をゲートに受ける。第３および第４のトランジスタは、接続ノードと第２の基準ノードとの間に直列に接続される。スイッチ回路は、接続ノードの電位が第２の電位と所定電位との間であると、第１および第２のトランジスタの各々と接続ノードとを接続する。所定電位は、第１の電位と第２の電位との間の電位である。また、スイッチ回路は、接続ノードの電位が第１の電位と所定電位との間であると、第１および第２のトランジスタの各々と接続ノードとを非接続する。蓄積ノードは、第１または第２の電位に応じた電荷が蓄積される。イコライズ回路は、接続ノードと蓄積ノードとを接続または非接続する。第３のトランジスタは、第２の基準ノードと第４のトランジスタとの間に接続され、第３の信号をゲートに受ける。第４のトランジスタは、第３のトランジスタと接続ノードとの間に接続され、第３の信号に対応する第４の信号をゲートに受ける。第１のモードになると、イコライズ回路は、非接続状態になる。第１のトランジスタはオンになり、第２のトランジスタはオフになる。蓄積ノードは、第１の電位に応じた電荷が蓄積される。第２のモードになると、イコライズ回路は、非接続状態になる。第１のトランジスタはオフになり、第２のトランジスタはオンになる。蓄積ノードは、第２の電位に応じた電荷が蓄積される。第３のモードになると、イコライズ回路は接続状態になる。

【００１４】

上記デコーダ回路では、第１のモードにおいて、接続ノードには第２の電位に応じた電荷が蓄積される。第２のモードにおいて、接続ノードには第１の電位に応じた電荷が蓄積される。第３のモードにおいて、接続ノードと蓄積ノードとが接続されるので、接続ノードの電位を第１の電位と第２の電位との間の値にすることができる。よって、接続ノードにおける電位の振幅を小さくすることができる。したがって、接続ノードに充電される電荷量または接続ノードから放電される電荷量を削減することができる。また、接続ノードを充放電するのに要する時間を短縮することができる。これにより、高速動作と低消費電力化が可能となる。

【発明の効果】

【００１５】

以上のように、第１のトランジスタと第２のトランジスタとの接続ノードにおける電位の振幅を小さくすることができる。したがって、接続ノードへ充電される電荷量または接続ノードから放電される電荷量を削減することができる。また、接続ノードを充放電するために要する時間を短縮することができる。これにより、高速動作と低消費電力化が可能となる。

【発明を実施するための最良の形態】

【００１６】

以下、この発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一または相当部分には同一の符号を付しその説明は繰り返さない。

【００１７】

(第1の実施形態)

<構成>

図1は、この発明の第1の実施形態によるデコーダ回路の構成を示す。デコーダ回路は、電源制御回路11Aと、プリデコーダ12Aと、ロウデコーダ13とを備える。この回路は、外部からのアドレス信号ADU__0, ADU__1, ADU__2, ADU__3と外部からのアドレス信号ADとに応じて、駆動信号WL__0, WL__1, WL__2, WL__3を出力する。例えば、アドレス信号ADU__0~ADU__3は上位ビットアドレスを示し、アドレス信号ADは下位ビットアドレスを示す。また、駆動信号WL__0~WL__3は、例えば、メモリアレイのワード線を駆動するための信号として利用される。

【0018】

10

電源制御回路11Aは、制御電圧を出力する。制御電圧の電圧値「Vdd1」は、電源ノードの電位「Vdd」よりも低い。

【0019】

プリデコーダ12Aは、配線L__0に接続され、外部からのアドレス信号ADに応じて動作する。プリデコーダ12Aは、インバータ101と、トランジスタT102Aと、トランジスタT103Aとを含む。インバータ101は、アドレス信号ADを反転して出力する。トランジスタT102A, T103Aは、電源制御回路11Aと接地ノードとの間に直列に接続される。トランジスタT102Aは、電源制御回路11AとトランジスタT103Aとの間に接続され、アドレス信号ADをゲートに受ける。トランジスタT103Aは、トランジスタT102Aと接地ノードとの間に接続され、インバータ101の出力をゲートに受ける。また、トランジスタT102AとトランジスタT103Aとの接続ノードN12Aは、配線L__0に接続される。

20

【0020】

ロウデコーダ13は、配線の本数に応じた個数(ここでは4つ)のデコード部13__0, 13__1, 13__2, 13__3を含む。デコード部13__0~13__3は、配線L__0~L__3に接続され、外部からのアドレス信号ADU__0~ADU__3に応じて駆動信号WL__0~WL__3を出力する。デコード部13__0~13__3は同様の内部構成を有するので、ここでは、代表してデコード部13__0について説明する。

【0021】

デコード部13__0は、トランジスタT131, T132, T133と、インバータ134とを含む。トランジスタT131, T132は、電源ノードとデコード部13__0に対応する配線L__0との間に直列に接続される。トランジスタT131は、電源ノードとトランジスタT132との間に接続され、外部からのアドレス信号ADU__0をゲートに受ける。トランジスタT132は、トランジスタT131と配線L__0との間に接続され、外部からのアドレス信号ADU__0をゲートに受ける。トランジスタT133およびインバータ134は、トランジスタT131とトランジスタT132との接続ノードN13に発生する電圧を増幅させて、駆動信号WL__0として出力するために設けられている。

30

【0022】

<動作>

次に、図1に示したデコーダ回路による動作について説明する。なお、ここでは、トランジスタの各々の閾値電圧は考慮しないものとして説明する。

40

〔デコード部〕

アドレス信号ADU__0が「Lレベル」である場合、トランジスタT131はオンになり、トランジスタT132はオフになる。したがって、接続ノードN13の電位は、電源ノードの電位「Vdd」と等しくなる。一方、アドレス信号ADU__0が「Hレベル」である場合、トランジスタT131はオフになり、トランジスタT132はオンになる。したがって、接続ノードN13の電位は、接続ノードN12Aの電位と等しくなる。

〔プリデコーダ〕

図2のように、アドレス信号ADが「Hレベル」である場合、インバータ101からの出力S101は「Lレベル」になる。したがって、トランジスタT102Aがオンになり

50

トランジスタ T 1 0 3 A がオフになる。これにより、接続ノード N 1 2 A の電位は、電源制御回路 1 1 からの制御電圧の電圧値「V d d 1」と等しくなる。このとき、アドレス信号 A D U _ 0 が「H レベル」であっても、接続ノード N 1 3 の電位は「V d d 1」になり、接地ノードの電位「V S S」よりも高くなる。

【 0 0 2 3 】

一方、アドレス信号 A D が「L レベル」である場合、インバータ 1 0 1 からの出力 S 1 0 1 は「H レベル」になる。したがって、トランジスタ T 1 0 2 A がオフになりトランジスタ T 1 0 3 A がオンになる。これにより、接続ノード N 1 2 A の電位は、接地ノードの電位「V S S」と等しくなる。このとき、アドレス信号 A D U _ 0 が「H レベル」であれば、接続ノード N 1 3 の電位は、接地ノードの電位「V S S」になる。

10

【 0 0 2 4 】

ここで、トランジスタ T 1 0 2 A が電源ノードとトランジスタ T 1 0 3 A との間に接続されている場合（ケース 1）と比較すると、本実施形態では、接続ノード N 1 2 A に蓄積される電荷量が少ないので、放電時間および充電時間が短くなる。

【 0 0 2 5 】

< 効果 >

以上のように、トランジスタ T 1 0 2 A の一端に供給される電圧を電源ノードの電位「V d d」よりも低くすることによって、接続ノード N 1 2 A における電位の振幅を小さくすることができる。したがって、接続ノード N 1 2 A へ充電される電荷量を削減することができる。また、接続ノード N 1 2 A を充放電するために要する時間を短縮することができる。このように、高速動作と低消費電力化が可能となる。

20

【 0 0 2 6 】

また、本実施形態では、プリデコーダが配線 L _ 0 に接続されている例について説明したが、他の配線 L _ 1 , L _ 2 , L _ 3 の各々にプリデコーダが 1 つずつ接続されている場合も、各々の配線において同様の効果を得ることができる。

【 0 0 2 7 】

また、図 1 では、デコーダ回路は 1 つのデコーダ回路を備えているが、2 つ以上のデコーダ回路を備えていても良い。つまり、本実施形態では、1 つの配線に対して 1 つのデコード部が接続されているが、1 つの配線に対して 2 つ以上のデコード部が接続されていても良い。

30

【 0 0 2 8 】

また、図 1 では、トランジスタ T 1 0 2 A , T 1 3 2 は「N 型」のトランジスタであるが、「P 型」のトランジスタであっても構わない。

【 0 0 2 9 】

（第 2 の実施形態）

< 構成 >

図 3 は、この発明の第 2 の実施形態によるデコーダ回路の構成を示す。この回路は、図 1 に示した電源制御回路 1 1 A , プリデコーダ 1 2 A に代えて、プリデコーダ 2 2 A を備える。その他の構成は図 1 と同様である。プリデコーダ 2 2 A は、図 1 に示したトランジスタ T 1 0 2 A , T 1 0 3 A に代えて、トランジスタ T 2 0 2 A , T 2 0 3 A を含む。その他の構成は、図 1 と同様である。トランジスタ T 2 0 2 A , T 2 0 3 A の各々は、トランジスタ T 1 3 2 と同極性である。例えば、トランジスタ T 1 3 2 が「N 型」であれば、トランジスタ T 2 0 2 A , T 2 0 3 A も「N 型」である。

40

【 0 0 3 0 】

< 動作 >

次に、図 3 に示したプリデコーダ 2 2 A による動作について説明する。なお、ここでは、トランジスタ T 2 0 2 A の閾値電圧を「V t 2 1」とし、トランジスタ T 2 0 3 A , T 1 3 2 の閾値電圧は考慮しないものとする。

【 0 0 3 1 】

図 4 のように、アドレス信号 A D が「H レベル」である場合、インバータ 1 0 1 からの

50

出力 S 1 0 1 は「L レベル」になる。したがって、トランジスタ T 2 0 2 A がオンになりトランジスタ T 2 0 3 A がオフになる。ここで、接続ノード N 1 2 A の電位は、電源ノードの電位からトランジスタ T 2 0 2 A の閾値電圧を引いた値「 $V_{dd} - V_{t21}$ 」になる。このとき、アドレス信号 A D U $_0$ が「H レベル」であっても、接続ノード N 1 3 の電位は「 $V_{dd} - V_{t21}$ 」になり、接地ノードの電位「 V_{SS} 」よりも高くなる。

【0032】

一方、アドレス信号 A D が「L レベル」である場合、インバータ 1 0 1 からの出力 S 1 0 1 は「H レベル」になる。したがって、トランジスタ T 2 0 2 A がオフになりトランジスタ T 2 0 3 A がオンになる。ここで、接続ノード N 1 2 A の電位は、接地ノードの電位「 V_{SS} 」と等しくなる。このとき、アドレス信号 A D U $_0$ が「H レベル」であれば、接続ノード N 1 3 の電位は、接地ノードの電位「 V_{SS} 」になる。

10

【0033】

ここで、トランジスタ T 1 3 2 とトランジスタ T 2 0 3 A とが同極性でありトランジスタ T 1 3 2 とトランジスタ T 2 0 2 A とが異極性である場合（ケース 2）と比較すると、本実施形態では、接続ノード N 1 2 A に蓄積される電荷量が少ないので、放電時間および充電時間が短くなる。

【0034】

< 効果 >

以上のように、プリデコーダに含まれるトランジスタ T 2 0 2 A , T 2 0 3 A の極性をデコード部に含まれるトランジスタ T 1 3 2 の極性と等しくすることによって、接続ノード N 1 2 A における電位の振幅を小さくすることができる。したがって、接続ノード N 1 2 A に充電される電荷量を削減することができる。また、接続ノード N 1 2 A を充放電するのに要する時間を短縮することができる。このように、高速動作と低消費電力化が可能となる。

20

【0035】

〔変形例 1〕

また、図 5 のように、プリデコーダ 2 2 A が、図 3 に示したトランジスタ T 2 0 2 A に代えて、トランジスタ T 2 0 2 A $_1$, T 2 0 2 A $_2$ を含む場合でも、同様の効果を得ることができる。トランジスタ T 2 0 2 A $_1$, T 2 0 2 A $_2$ は、電源ノードと接続ノード N 1 2 A との間に直列に接続され、各々のゲートにはアドレス信号 A D が入力される。また、トランジスタ T 2 0 2 A $_1$, T 2 0 2 A $_2$ の各々の極性は、トランジスタ T 1 3 2 と同極性である。

30

【0036】

ここで、アドレス信号 A D が「H レベル」になると、接続ノード N 1 2 A の電位は、電源ノードの電位からトランジスタ T 2 0 2 A $_1$, T 2 0 2 A $_2$ の各々の閾値電圧（ V_{t211} , V_{t212} ）を引き、さらにバックバイアス効果による電圧降下（ \quad ）が考慮された値（ $V_{dd} - (V_{t211} + V_{t212} + \quad)$ ）になる。つまり、充電電位（接続ノード N 1 2 A を充電した場合の電位）を電源ノードの電位「 V_{dd} 」よりも低くすることができる。

【0037】

40

〔変形例 2〕

また、図 6 のように、デコーダ回路が、基板制御回路 2 1 A をさらに備えていても良い。基板制御回路 2 1 A は、制御電圧を出力する。また、プリデコーダ 2 2 A は、図 3 に示したトランジスタ T 2 0 2 A に代えて、トランジスタ T 2 0 4 A を含む。トランジスタ T 2 0 4 A は、基板制御回路 2 1 A からの制御電圧を基板に受ける。また、トランジスタ T 2 0 4 A は、トランジスタ T 1 3 2 と同極性である。制御電圧が接地ノードの電位「 V_{SS} 」と等しいとき、トランジスタ T 2 0 4 A の閾値電圧は「 V_{t22} 」になる。制御電圧が逆バイアス（ $-V_{bb}$ ）であるとき、トランジスタ T 2 0 4 A の閾値電圧は「 V_{t22} 」よりも高い「 V_{t22} 」になる。

【0038】

50

図 7 のように、トランジスタ T 2 0 4 A は、基板制御回路 2 1 A からの逆バイアス (- V b b) を基板に受ける。ここで、アドレス信号 A D が「H レベル」になると、接続ノード N 1 2 A の電位は、電源ノードの電位からトランジスタ T 2 0 4 A の閾値電圧を引いた値 (V d d - V t 2 2) になる。つまり、充電電位を電源ノードの電位「V d d」よりも低くすることができる。

【 0 0 3 9 】

〔 変形例 3 〕

さらに、図 8 のように、基板制御回路 2 1 A がアドレス信号 A D に応じて、制御電圧を出力しても良い。プリデコーダ 2 2 A のトランジスタ T 2 0 4 A , デコード部 1 3 _ 0 のトランジスタ T 1 3 2 の各々は、基板制御回路 2 1 A からの制御電圧を基板に受ける。トランジスタ T 2 0 4 A , T 1 3 2 の各々において、制御電圧が順バイアス (V b b) であるときの閾値電圧は、制御電圧が接地ノードの電位「V S S」と等しいときの閾値電圧よりも低い。

10

【 0 0 4 0 】

図 9 のように、アドレス信号 A D が「H レベル」である場合には、基板制御回路 2 1 A は、逆バイアス (- V b b) である制御電圧を出力する。これにより、トランジスタ T 2 0 4 A の閾値電圧は「V t 2 2」よりも高い「V t 2 2」になるので、接続ノード N 1 2 A の電位は「V d d - V t 2 2」よりも高くなる。また、閾値電圧が高くなることによって、充電速度が遅くなる。これにより、接続ノード N 1 2 A に充電される電荷量を削減することができる。一方、アドレス信号 A D が「L レベル」である場合には、基板制御回路 2 1 A は、順バイアス (V b b) である制御電圧を出力する。これにより、トランジスタ T 1 3 2 の閾値電圧は低くなるので、接続ノード N 1 2 A の放電に要する時間を短縮することができる。

20

【 0 0 4 1 】

(第 3 の実施形態)

< 構成 >

図 1 0 は、この発明の第 3 の実施形態によるデコーダ回路の構成を示す。デコーダ回路は、図 3 に示したプリデコーダ 2 2 A に代えて、プリデコーダ 3 2 A を備える。その他の構成は図 1 と同様である。なお、ここでは、プリデコーダ 3 2 A , 配線 L _ 0 , およびロウデコーダ 1 3 のデコード部 1 3 _ 0 のみを図示する。この回路は、外部からのアドレス信号 A D U _ 0 とクロック C L K とに応じて、駆動信号 W L _ 0 を出力する。例えば、クロック C L K は源信である。プリデコーダ 3 2 A は、タイミング制御回路 3 0 1 A と、トランジスタ T 3 0 2 A , T 3 0 3 A とを含む。タイミング制御回路 3 0 1 A は、複数の論理素子 (ここでは、インバータ 1 A , 2 A , N A N D 回路 3 A , 遅延回路 4 A) によって構成される。タイミング制御回路 3 0 1 A は、外部からのクロック C L K に応じて制御信号 S 3 0 2 A , S 3 0 3 A を出力する。トランジスタ T 3 0 2 A , T 3 0 3 A は、電源ノードと接地ノードとの間に直列に接続される。トランジスタ T 3 0 2 A は、電源ノードとトランジスタ T 3 0 3 A との間に接続され、インバータ 1 A からの出力 (制御信号 S 3 0 2 A) をゲートに受ける。トランジスタ T 3 0 3 A は、トランジスタ T 3 0 2 A と接地ノードとの間に接続され、インバータ 2 A からの出力 (制御信号 S 3 0 3 A) をゲートに受ける。トランジスタ T 3 0 2 A とトランジスタ T 3 0 3 A との接続ノード N 3 2 A は、配線 L _ 0 に接続される。また、プリデコーダ 3 2 A の出力は、例えば、イネーブル信号として利用される。

30

40

【 0 0 4 2 】

< 動作 >

次に、図 1 0 に示したデコーダ回路による動作について図 1 1 を参照しつつ説明する。なお、ここでは、各々のトランジスタの閾値電圧は考慮しないものとする。

【 0 0 4 3 】

時刻 t 1 になると、クロック C L K が「L レベル」から「H レベル」になる。これにより、制御信号 S 3 0 2 A は「L レベル」から「H レベル」になるので、トランジスタ T 3

50

02Aはオフからオンになる。一方、制御信号S303Aは「Hレベル」から「Lレベル」になるので、トランジスタT303Aはオンからオフになる。したがって、接続ノードN32Aの電位は、接地ノードの電位「VSS」から上昇していく。

【0044】

時刻t2になると、遅延回路4Aからの出力CLKPLSが「Hレベル」から「Lレベル」になる。これにより、制御信号S302Aは「Hレベル」から「Lレベル」になるので、トランジスタT302Aはオンからオフになる。一方、制御信号S303Aは「Lレベル」のままであるので、トランジスタT303Aはオフの状態を維持する。したがって、接続ノードN32Aが充電されなくなり、接続ノードN32Aの電位は、電源ノードの電位「Vdd」よりも低い「Vdd-」になる。

10

【0045】

時刻t3になると、クロックCLKは「Hレベル」から「Lレベル」になる。これにより、制御信号S303Aは「Lレベル」から「Hレベル」になるので、トランジスタT303Aはオフからオンになる。一方、制御信号S302Aは「Lレベル」のままであるので、トランジスタT302Aはオフの状態を維持する。したがって、接続ノードN32Aの電位は、接地ノードの電位「VSS」へ下降していく。

【0046】

< 効果 >

以上のように、接続ノードN32Aの電位が電源ノードの電位「Vdd」に達する前にトランジスタT302Aをオフにすることによって、接続ノードN32Aにおける電位の振幅を小さくすることができる。したがって、接続ノードN32Aに充電される電荷量を削減することができる。また、接続ノードN32Aを充放電するのに要する時間を短縮することができる。このように、高速動作と低消費電力化が可能となる。

20

【0047】

なお、図10では、トランジスタT302A、T132は「N型」のトランジスタであるが、「P型」のトランジスタであっても構わない。

【0048】

(第4の実施形態)

< 構成 >

図12は、この発明の第4の実施形態によるデコーダ回路の構成を示す。この回路は、図10に示したプリデコーダ32Aに代えて、プリデコーダ42Aを備える。その他の構成は図10と同様である。プリデコーダ42Aは、トランジスタT402A、T403Aを含む。トランジスタT402A、T403Aは、電源ノードと接地ノードとの間に直列に接続される。トランジスタT402Aは、電源ノードとトランジスタT403Aとの間に接続され、外部からのクロックCLKをゲートに受ける。トランジスタT403Aは、トランジスタT402Aと接地ノードとの間に接続され、外部からのクロックCLKをゲートに受ける。トランジスタT402AとトランジスタT403Aとの接続ノードN42Aは、配線L₀に接続される。

30

【0049】

トランジスタT402AのW/L比は、トランジスタT403AのW/L比の2倍以下である。例えば、トランジスタT402A、T403Aの各々のゲート長が互いに等しいとすると、トランジスタT402Aのゲート幅は、トランジスタT403Aのゲート幅の2倍以下である。また、トランジスタT402A、T403Aの各々のゲート幅が互いに等しいとすると、トランジスタT402Aのゲート長は、トランジスタT403Aのゲート長を(1/2)倍以上である。このような構成により、トランジスタT402Aを単位時間あたりに流れる電流量を、トランジスタT403Aを単位時間あたりに流れる電流量よりも少なくすることができる。つまり、トランジスタT402Aの電流能力は、トランジスタT403Aの電流能力よりも弱い。また、トランジスタT403Aの電流能力は、従来と同様であっても良い。

40

【0050】

50

< 動作 >

次に、図 1 2 に示したデコーダ回路による動作について図 1 3 を参照しつつ説明する。

【 0 0 5 1 】

時刻 t_1 になると、クロック CLK は「Hレベル」から「Lレベル」になる。これにより、トランジスタ T_{402A} はオフからオンになり、トランジスタ T_{403A} はオンからオフになる。したがって、接続ノード N_{42A} の電位は、接地ノードの電位「 V_{SS} 」から上昇していく。

【 0 0 5 2 】

時刻 t_2 になると、クロック CLK は「Lレベル」から「Hレベル」になる。これにより、トランジスタ T_{402A} はオンからオフになる。このとき、トランジスタ T_{402A} の電流能力は比較的弱いので、接続ノード N_{42A} の電位は、電源ノードの電位 V_{dd} に達していない（「 $V_{dd} -$ 」になる）。また、トランジスタ T_{403A} はオフからオンになる。したがって、接続ノード N_{42A} の電位は、「 $V_{dd} -$ 」から下降していく。

10

【 0 0 5 3 】

時刻 t_3 になると、クロック CLK は「Hレベル」から「Lレベル」になる。これにより、トランジスタ T_{402A} はオフからオンになり、トランジスタ T_{403A} はオンからオフになる。このとき、トランジスタ T_{403A} の電流能力は比較的強いので、接続ノード N_{42A} の電位は、接地ノードの電位「 V_{SS} 」に達している。

【 0 0 5 4 】

< 効果 >

以上のように、接続ノード N_{42A} の電位が電源ノードの電位「 V_{dd} 」に達する前にトランジスタ T_{402A} をオフにすることによって、接続ノード N_{42A} における電位の振幅を小さくすることができる。したがって、接続ノード N_{42A} に充電される電荷量を削減することができる。また、接続ノード N_{42A} を充放電するのに要する時間を短縮することができる。これにより、高速動作と低消費電力化が可能となる。

20

【 0 0 5 5 】

（第 5 の実施形態）

< 構成 >

図 1 4 は、この発明の第 5 の実施形態によるデコーダ回路の構成を示す。この回路は、図 1 0 に示したプリデコーダ $32A$ に代えて、プリデコーダ $52A$ を備える。その他の構成は図 1 0 と同様である。プリデコーダ $52A$ は、インバータ 501 と、トランジスタ T_{502A} とを備える。トランジスタ T_{502A} は、配線 L_{00} と接地ノードとの間に接続され、インバータ 501 からの出力をゲートに受ける。トランジスタ T_{502A} は、トランジスタ T_{132} と同極性である。

30

【 0 0 5 6 】

< 動作 >

次に、図 1 4 に示したデコーダ回路による動作について図 1 5 を参照しつつ説明する。なお、ここでは、トランジスタ T_{502A} の閾値電圧を「 V_{t51} 」とする。

【 0 0 5 7 】

時刻 t_1 になると、トランジスタ T_{131} はオンからオフになり、トランジスタ T_{132} はオフからオンになる。したがって、接続ノード N_{13} は、電源ノードから切り離され、配線 L_{00} （接続ノード N_{52A} ）に接続される。このとき、接続ノード N_{52A} の電位が「 $V_{dd} - V_{t51}$ 」であるので、接続ノード N_{13} の電位は、電源ノードの電位「 V_{dd} 」のままである。

40

【 0 0 5 8 】

時刻 t_2 になると、トランジスタ T_{502A} はオフからオンになる。したがって、接続ノード N_{52A} は、接地ノードに接続される。これにより、接続ノード N_{52A} の電位は、「 $V_{dd} - V_{t51}$ 」から接地ノードの電位「 V_{SS} 」に下降していく。また、接続ノード N_{13} の電位も、「 V_{dd} 」から接地ノードの電位「 V_{SS} 」に下降していく。

【 0 0 5 9 】

50

時刻 t_3 になると、トランジスタ T_{131} はオフからオンになり、トランジスタ T_{132} はオンからオフになる。したがって、接続ノード N_{13} は、接続ノード N_{52A} から切り離され、電源ノードに接続される。これにより、接続ノード N_{13} の電位は、接地ノードの電位「 V_{SS} 」から電源ノードの電位「 V_{dd} 」に上昇していく。

【0060】

時刻 t_4 になると、トランジスタ T_{502A} はオンからオフになる。したがって、接続ノード N_{52A} は、接地ノードから切り離される。

【0061】

時刻 t_5 になると、トランジスタ T_{131} はオンからオフになり、トランジスタ T_{132} はオフからオンになる。したがって、接続ノード N_{13} は、電源ノードから切り離され、接続ノード N_{52A} に接続される。ここで、接続ノード N_{13} の電位は「 V_{dd} 」であり、接続ノード N_{52A} の電位は「 V_{SS} 」であるので、接続ノード N_{13} に充電された電荷が接続ノード N_{52A} に分配される。これにより、接続ノード N_{13} , N_{52A} の各々電位は、「 $V_{dd} - V_{t51}$ 」になる。

【0062】

時刻 t_6 になると、トランジスタ T_{502A} はオフからオンになる。したがって、接続ノード N_{52A} は、接地ノードに接続される。これにより、接続ノード N_{52A} の電位は、「 $V_{dd} - V_{t51}$ 」から接地ノードの電位「 V_{SS} 」に下降する。また、接続ノード N_{13} の電位も、「 $V_{dd} - V_{t51}$ 」から接地ノードの電位「 V_{SS} 」に下降する。

【0063】

なお、分配された電荷による電位は「 $V_{dd} - V_{t51}$ 」に限定されない。

【0064】

< 効果 >

以上のように、接続ノード N_{13} に充電された電荷を接続ノード N_{52A} に分配することによって、接続ノード N_{13} の電位が調整される。また、接続ノード N_{52A} の電位を「 $V_{dd} - V_{t51}$ 」を超えないようにすることができる。したがって、接続ノード N_{52A} における電位の振幅を小さくすることができる。よって、接続ノード N_{52A} に充電される電荷量を削減することができる。また、接続ノード N_{52A} を充放電するのに要する時間を短縮することができる。これにより、高速動作と低消費電力化が可能となる。

【0065】

(第6の実施形態)

< 構成 >

図16は、この発明の第6の実施形態によるデコーダ回路の構成を示す。この回路は、図1に示したプリデコーダ12Aに代えて、イコライズ回路61と、プリデコーダ62__0, 62__1, 62__2, 62__3と、遅延回路63とを備える。その他の構成は図1と同様である。なお、ここでは、ロウデコーダ13のデコード部のうち配線 $L_{__0}$ に接続されるデコード部13__0のみを図示している。

【0066】

イコライズ回路61は、遅延回路63からの出力を受ける。イコライズ回路61は、クロック CLK が「 L レベル」のときには配線 $L_{__0} \sim L_{__3}$ を互いに接続し、クロック CLK が「 H レベル」のときには配線 $L_{__0} \sim L_{__3}$ の各々を互いに切り離す。イコライズ回路61は、トランジスタ T_{611} , T_{612} , T_{613} を含む。トランジスタ T_{611} , T_{612} , T_{613} の各々は、クロック CLK が「 L レベル」のときにはオンになり、クロック CLK が「 H レベル」のときにはオフになる。

【0067】

プリデコーダ62__0 ~ 62__3は同様の構成であるので、代表して、プリデコーダ62__0について説明する。プリデコーダ62__0は、自己に対応するアドレス信号 $AD_{__0}$ が「 H レベル」でありクロック CLK が「 H レベル」であり自己に対応する配線が「 H レベル」であるときには、自己に対応する配線 $L_{__0}$ に対して放電処理を実行する。また、プリデコーダ62__0は、自己に対応するアドレス信号 $AD_{__0}$ が「 L レベル」であり

自己に対応する配線 L_0 が「Hレベル」であるときには、自己に対応する配線 L_0 に対して充電処理を実行する。

【0068】

< プリデコーダの内部構成 >

図16に示したプリデコーダ62_0の内部構成を図17に示す。プリデコーダ62_0は、トランジスタT601, T602, T603, T604と、遅延回路605と、インバータ606と、NAND回路607と、インバータ608とを含む。トランジスタT601~T604は、電源ノードと接地ノードとの間に直列に接続される。遅延回路605は、配線 L_0 の電位を受ける。インバータ606は、遅延回路605からの出力を反転して出力する。トランジスタT601は、インバータ606からの出力をゲートに受ける。トランジスタT602, T603の各々は、インバータ608からの出力をゲートに受ける。トランジスタT604は遅延回路605からの出力をゲートに受ける。

10

【0069】

ここで、配線 L_0 の電位が「Hレベル」である場合（配線の電位が「 $(3/4) \times V_{dd}$ 」以上である場合）、トランジスタT601, T604は、オンになる。このとき、アドレス信号 AD_0 が「Hレベル」でありクロック CLK が「Hレベル」であると、トランジスタT602がオフになりトランジスタT603がオンになる。これにより、配線 L_0 と接地ノードとが接続されて、配線 L_0 に対して放電処理が実行される。

【0070】

また、配線 L_0 の電位が「Hレベル」である場合、アドレス信号 AD_0 およびクロック CLK のうち少なくとも一方が「Lレベル」であると、トランジスタT602がオンになりトランジスタT603がオフになる。これにより、配線 L_0 と電源ノードとが接続されて、配線 L_0 に対して充電処理が実行される。

20

【0071】

一方、配線 L_0 の電位が「Lレベル」である場合（配線の電位が「 V_{SS} 」である場合）、トランジスタT601, T604は、オフになる。したがって、アドレス信号 AD_0 が「Hレベル」でありクロック CLK が「Hレベル」であっても、放電処理および充電処理は、実行されない。

【0072】

< 動作 >

30

次に、図16に示したデコーダ回路による動作について図18を参照しつつ説明する。

【0073】

まず、クロック CLK が「Hレベル」であるとする。このとき、イコライズ回路61では、トランジスタT611~T613の各々はオフになっている。また、アドレス信号 $AD_0 \sim AD_2$ の各々が「Lレベル」であり、アドレス信号 AD_3 が「Hレベル」であるとする。このとき、プリデコーダ62_0~62_2の各々では、そのデコーダに対応する配線と電源ノードとが接続されている。したがって、配線 $L_0 \sim L_2$ の各々の電位は「 V_{dd} 」になっている。一方、配線 L_3 の電位は「 V_{SS} 」になっており、プリデコーダ62_3では、トランジスタT601, T604がオフになっている。

【0074】

40

次に、アドレス信号 AD_3 が「Lレベル」になる。プリデコーダ62_3では、トランジスタT602がオンになり、トランジスタT603がオフになる。また、クロック CLK が「Lレベル」になる。イコライズ回路61では、トランジスタT611~T613の各々はオンになる。これにより、配線 $L_0 \sim L_2$ の各々の電位は「 V_{dd} 」から降下していき、配線 L_3 の電位は「 V_{SS} 」から上昇していく。

【0075】

次に、クロック CLK が「Hレベル」になる。イコライズ回路61では、トランジスタT611~T613の各々がオフになる。このとき、配線 $L_0 \sim L_3$ の各々の電位は、「 $(3/4) \times V_{dd}$ 」になる。また、アドレス信号 $AD_1 \sim AD_3$ の各々は「Lレベル」であるので、プリデコーダ62_1~62_3の各々では、トランジスタT60

50

2 がオンでありトランジスタ T 6 0 3 がオフである。したがって、配線 L _ 1 ~ L _ 3 の各々の電位は、「 $(3/4) \times V_{dd}$ 」から「 V_{dd} 」になる。一方、アドレス信号 A D _ 0 は「Hレベル」になる。プリデコーダ 6 2 _ 0 では、トランジスタ T 6 0 2 がオフになり、トランジスタ T 6 0 3 がオンになる。したがって、配線 L _ 0 の電位は「 $(3/4) \times V_{dd}$ 」から「 V_{SS} 」になる。

【0076】

次に、アドレス信号 A D _ 0 が「Lレベル」になる。プリデコーダ 6 2 _ 0 では、トランジスタ T 6 0 2 がオンになり、トランジスタ T 6 0 3 がオフになる。また、クロック C L K が「Lレベル」になる。イコライズ回路 6 1 では、トランジスタ T 6 1 1 ~ T 6 1 3 の各々はオンになる。これにより、配線 L _ 1 ~ L _ 3 の各々の電位は「 V_{dd} 」から降下していき、配線 L _ 0 の電位は「 V_{SS} 」から上昇していく。 10

【0077】

このように、クロック C L K が「Hレベル」である期間では、配線 L _ 0 ~ L _ 3 のうちいずれか 1 つに対して放電処理が実行される。一方、クロック C L K が「Lレベル」である期間では、配線 L _ 0 ~ L _ 3 の各々はイコライズされる。つまり、充電処理または放電処理が実行される前に、配線 L _ 0 ~ L _ 3 がイコライズされる。

【0078】

< 効果 >

以上のように、充電時において、電荷が引き抜かれた配線 (L _ 0) に対して電源ノードの電位「 V_{dd} 」まで電荷が充電された配線 (L _ 1 , L _ 2 , L _ 3) がイコライズされることによって、配線 (L _ 0) の電位を「 $(3/4) \times V_{dd}$ 」に設定することができる。つまり、充電電位を電源ノードの電位「 V_{dd} 」よりも低い「 $(3/4) \times V_{dd}$ 」に抑えることができ、配線に充電される電荷量を削減することができる。また、配線を充放電するのに要する時間を短縮することができる。このように、高速動作と低消費電力化が可能となる。 20

【0079】

(第 7 の実施形態)

< 構成 >

図 1 9 は、この発明の第 7 の実施形態によるデコーダ回路の構成を示す。この回路は、電源制御回路 1 1 B と、プリデコーダ 1 2 B と、ロウデコーダ 1 3 とを備える。 30

【0080】

電源制御回路 1 1 B は、プリデコーダ 1 2 B へ制御電圧を出力する。制御電圧の電圧値「 V_{SS1} 」は、接地ノードの電位「 V_{SS} 」よりも高い。

【0081】

プリデコーダ 1 2 B は、配線 L _ 0 に接続され、アドレス信号 A D に応じて動作する。プリデコーダ 1 2 B は、インバータ 1 0 1 と、トランジスタ T 1 0 2 B と、トランジスタ T 1 0 3 B とを含む。トランジスタ T 1 0 2 B , T 1 0 3 B は、電源制御回路 1 1 B と電源ノードとの間に直列に接続される。トランジスタ T 1 0 2 B は、電源制御回路 1 1 B とトランジスタ T 1 0 3 B との間に接続され、アドレス信号 A D をゲートに受ける。トランジスタ T 1 0 3 B は、トランジスタ T 1 0 2 B と電源ノードとの間に接続され、インバータ 1 0 1 の出力をゲートに受ける。また、トランジスタ T 1 0 2 B とトランジスタ T 1 0 3 B との接続ノード N 1 2 B は、配線 L _ 0 に接続される。 40

【0082】

ロウデコーダ 1 3 は、図 1 に示した構成と同様であるが、デコード部 1 3 _ 0 ~ 1 3 _ 3 の構成が異なる。ここでは、代表してデコード部 1 3 _ 0 について説明する。

【0083】

デコード部 1 3 _ 0 は、トランジスタ T 1 3 1 , T 1 3 2 を含む。トランジスタ T 1 3 1 , T 1 3 2 は、接地ノードと配線 L _ 0 との間に直列に接続される。トランジスタ T 1 3 1 は、配線 L _ 0 とトランジスタ T 1 3 2 との間に接続され、外部からのアドレス信号 A D U _ 0 をゲートに受ける。トランジスタ T 1 3 2 は、トランジスタ T 1 3 1 と接地ノ 50

ードとの間に接続され、外部からのアドレス信号 ADU_0 をゲートに受ける。トランジスタ $T131$ とトランジスタ $T132$ との接続ノード $N13$ に生じる電圧は、駆動信号 WL_0 として出力される。

【0084】

< 動作 >

次に、図19に示したデコード回路による動作について説明する。なお、ここでは、各々のトランジスタの閾値電圧は考慮しないものとして説明する。

〔デコード部〕

アドレス信号 ADU_0 が「Lレベル」である場合、トランジスタ $T131$ はオンになり、トランジスタ $T132$ はオフになる。したがって、接続ノード $N13$ の電位は、接続ノード $N12B$ の電位と等しくなる。一方、アドレス信号 ADU_0 が「Hレベル」である場合、トランジスタ $T131$ はオフになり、トランジスタ $T132$ はオンになる。したがって、接続ノード $N13$ の電位は、接地ノード $N12B$ の電位と等しくなる。

10

〔プリデコーダ〕

図20のように、アドレス信号 AD が「Lレベル」である場合、インバータ101からの出力 $S101$ は「Hレベル」になる。したがって、トランジスタ $T102B$ がオンになりトランジスタ $T103B$ がオフになる。これにより、接続ノード $N12B$ の電位は、電源制御回路11Bからの制御電圧の電圧値「 $VSS1$ 」と等しくなる。このとき、アドレス信号 ADU_0 が「Lレベル」であっても、接続ノード $N13$ の電位は「 $VSS1$ 」になり、接地ノードの電位「 Vdd 」によりも低くなる。

20

【0085】

一方、アドレス信号 AD が「Hレベル」である場合、インバータ101からの出力 $s101$ は「Lレベル」になる。したがって、トランジスタ $T102B$ がオフになりトランジスタ $T103B$ がオンになる。これにより、接続ノード $N12B$ の電位は、電源ノードの電位「 Vdd 」と等しくなる。このとき、アドレス信号 ADU_0 が「Lレベル」であれば、接続ノード $N13$ の電位は、電源ノードの電位「 Vdd 」になる。

【0086】

< 効果 >

以上のように、トランジスタ $T102B$ の一端に供給される電圧を接地ノードの電位「 VSS 」よりも高くすることによって、接続ノード $N12B$ における電位の振幅を小さくすることができる。したがって、接続ノード $N12B$ から放電される電荷量を削減することができる。また、接続ノード $N12B$ を充放電するために要する時間を短縮することができる。このように、高速動作と低消費電力化が可能となる。

30

【0087】

また、図19では、トランジスタ $T103B$ 、 $T131$ は「P型」のトランジスタであるが、「N型」のトランジスタであっても構わない。

【0088】

(第8の実施形態)

< 構成 >

図21は、この発明の第2の実施形態によるデコード回路の構成を示す。この回路は、図19に示した電源制御回路11B、プリデコーダ12Bに代えて、プリデコーダ22Bを備える。その他の構成は図19と同様である。プリデコーダ22Bは、図19に示したトランジスタ $T102B$ 、 $T103B$ に代えて、トランジスタ $T202B$ 、 $T203B$ を含む。その他の構成は、図19と同様である。トランジスタ $T202B$ 、 $T203B$ の各々は、トランジスタ $T131$ と同極性である。例えば、トランジスタ $T131$ が「P型」であれば、トランジスタ $T202B$ 、 $T203B$ も「P型」である。

40

【0089】

< 動作 >

次に、図21に示したデコード回路による動作について説明する。なお、ここでは、トランジスタ $T202B$ の閾値電圧の絶対値を「 $|Vt81|$ 」とし、トランジスタ $T20$

50

3 B, T 1 3 1 の閾値電圧は考慮しないものとする。

【 0 0 9 0 】

図 2 2 のように、アドレス信号 A D が「 L レベル」である場合、インバータ 1 0 1 からの出力は「 H レベル」になる。したがって、トランジスタ T 2 0 2 B がオンになりトランジスタ T 2 0 3 B がオフになる。ここで、接続ノード N 1 2 B の電位は、接地ノードの電位にトランジスタ T 2 0 2 B の閾値電圧を足した値 ($V_{SS} + |V_{t81}|$) になる。このとき、アドレス信号 A D U _ 0 が「 L レベル」であっても、接続ノード N 1 3 の電位は「 V d d 」にならず、「 $V_{SS} + |V_{t81}|$ 」になる。

【 0 0 9 1 】

一方、アドレス信号 A D が「 H レベル」である場合、インバータ 1 0 1 からの出力 S 1 0 1 は「 L レベル」になる。したがって、トランジスタ T 2 0 2 B がオフになりトランジスタ T 2 0 3 B がオンになる。ここで、接続ノード N 1 2 B の電位は、電源ノードの電位「 V d d 」と等しくなる。このとき、アドレス信号 A D U _ 0 が「 L レベル」であれば、接続ノード N 1 3 の電位は、電源ノードの電位「 V d d 」になる。

【 0 0 9 2 】

< 効果 >

以上のように、プリデコードに含まれるトランジスタ T 2 0 2 B, T 2 0 3 B の極性をデコード部に含まれるトランジスタ T 1 3 1 の極性と等しくすることによって、接続ノード N 1 2 B における電位の振幅を小さくすることができる。したがって、接続ノード N 1 2 B から放電される電荷量を削減することができる。また、接続ノード N 1 2 B を充放電するのに要する時間を短縮することができる。このように、高速動作と低消費電力化が可能となる。

【 0 0 9 3 】

〔 変形例 1 〕

また、図 2 3 のように、プリデコード 2 2 B が、図 2 1 に示したトランジスタ T 2 0 2 B に代えて、トランジスタ T 2 0 2 B _ 1, T 2 0 2 B _ 2 を含む場合でも、同様の効果を得ることができる。トランジスタ T 2 0 2 B _ 1, T 2 0 2 B _ 2 は、トランジスタ T 2 0 3 B と接地ノードとの間に直列に接続され、各々のゲートにはアドレス信号 A D が入力される。また、トランジスタ T 2 0 2 B _ 1, T 2 0 2 B _ 2 の各々の極性は、トランジスタ T 1 3 1 と同極性である。

【 0 0 9 4 】

ここで、アドレス信号 A D が「 L レベル」になると、接続ノード N 1 2 B の電位は、接地ノードの電位にトランジスタ T 2 0 2 B _ 1, T 2 0 2 B _ 2 の各々の閾値電圧 ($|V_{t811}|$, $|V_{t812}|$) を足し、さらにバックバイアス効果による電圧降下 () が考慮された値 ($V_{SS} + |V_{t811}| + |V_{t812}| + \text{ })$ になる。つまり、放電電位 (接続ノード N 1 2 B を放電した場合の電位) を接地ノードの電位「 V S S 」よりも高くすることができる。

【 0 0 9 5 】

〔 変形例 2 〕

また、図 2 4 のように、デコード回路が、基板制御回路 2 1 B をさらに備えていても良い。基板制御回路 2 1 B は、制御電圧を出力する。また、プリデコード 2 2 B は、図 2 1 に示したトランジスタ T 2 0 2 B に代えて、トランジスタ T 2 0 4 B を含む。トランジスタ T 2 0 4 B は、基板制御回路 2 1 B からの制御電圧を基板に受ける。制御電圧が接地ノードの電位「 V S S 」であるとき、トランジスタ T 2 0 4 A の閾値電圧の絶対値は「 $|V_{t82}|$ 」になる。制御電圧が「逆バイアス (V b b) 」であるとき、トランジスタ T 2 0 4 A の閾値電圧の絶対値は「 $|V_{t82}|$ 」よりも大きい「 $|V_{t82}|$ 」になる。

【 0 0 9 6 】

図 2 5 のように、アドレス信号 A D が「 L レベル」になると、接続ノード N 1 2 B の電位は、接地ノードの電位にトランジスタ T 2 0 4 A の閾値電圧を足した値 ($V_{SS} + |V_{t82}|$) になる。つまり、放電電位を接地ノードの電位「 V S S 」よりも高くするこ

とができる。

【0097】

〔変形例3〕

さらに、図26のように、基板制御回路21Bがアドレス信号ADに応じて、制御電圧を出力しても良い。プリデコーダ22BのトランジスタT204B、デコード部13__0のトランジスタT131の各々は、基板制御回路21Bからの制御電圧を基板に受ける。トランジスタT204B、T131の各々において、制御電圧が順バイアス(Vbb)であるときの閾値電圧の絶対値は、制御電圧が接地ノードの電位「VSS」と等しいときの閾値電圧の絶対値よりも小さい。

【0098】

図27のように、基板制御回路21Bは、アドレス信号ADが「Lレベル」である場合には、基板制御回路21Bは、逆バイアス(Vbb)である制御電圧を出力する。これにより、トランジスタT204Bの閾値電圧の絶対値は「|Vt82|」よりも大きい「|Vt82|」になるので、接続ノードN12Bの電位は「VSS + |Vt82|」以下にならない。また、閾値電圧の絶対値が大きくなることによって放電速度が遅くなる。これにより、接続ノードN12Bから放電される電荷量を削減することができる。一方、アドレス信号ADが「Hレベル」である場合には、基板制御回路21Bは、順バイアス(-Vbb)である制御電圧を出力する。これにより、トランジスタT131の閾値電圧の絶対値が小さくなるので、接続ノードN12Bの充電に要する時間を短縮することができる。

【0099】

(第9の実施形態)

<構成>

図28は、この発明の第9の実施形態によるデコーダ回路の構成を示す。この回路は、図21に示したプリデコーダ22Bに代えて、プリデコーダ32Bを備える。その他の構成は図21と同様である。なお、ここでは、プリデコーダ32Bと、配線L__0と、ロウデコーダ13のデコード部13__0のみを図示する。プリデコーダ32Bは、タイミング制御回路301Bと、トランジスタT302B、T303Bを含む。タイミング制御回路301Bは、複数の論理素子(ここでは、インバータ1B、NAND回路3B、遅延回路4B)によって構成される。タイミング制御回路301Bは、外部からのクロックCLKに応じて制御信号S302B、S303Bを出力する。トランジスタT302B、T303Bは、電源ノードと接地ノードとの間に直列に接続される。トランジスタT302Bは、接地ノードとトランジスタT303Bとの間に接続され、NAND回路3Bからの出力(制御信号S302B)をゲートに受ける。トランジスタT303Bは、トランジスタT302Bと電源ノードとの間に接続され、インバータ1Bからの出力(制御信号S303B)をゲートに受ける。トランジスタT302BとトランジスタT303Bとの接続ノードN32Bは、配線L__0に接続される。

【0100】

<動作>

次に、図28に示したデコーダ回路による動作について図29を参照しつつ説明する。なお、ここでは、各々のトランジスタの閾値電圧を考慮しないものとする。

【0101】

時刻t1になると、クロックCLKが「Hレベル」から「Lレベル」になる。これにより、制御信号S302Bは「Hレベル」から「Lレベル」になるので、トランジスタT302Bはオフからオンになる。一方、制御信号S303Bは「Lレベル」から「Hレベル」になるので、トランジスタT303Bはオンからオフになる。したがって、接続ノードN32Bの電位は、電源ノードの電位「Vdd」から下降していく。

【0102】

時刻t2になると、遅延回路4Bからの出力CLKPLSが「Lレベル」から「Hレベル」になる。これにより、制御信号S302Bは「Lレベル」から「Hレベル」になるの

10

20

30

40

50

で、トランジスタT302Bはオンからオフになる。一方、制御信号S303Bは「Hレベル」のままであるので、トランジスタT303Bはオフの状態を維持する。したがって、接続ノードN32Bの電位は、接地ノードの電位「VSS」よりも高い電位「VSS+」になる。

【0103】

時刻t3になると、クロックCLKは「Lレベル」から「Hレベル」になる。これにより、制御信号S303Bは「Hレベル」から「Lレベル」になるので、トランジスタT303Bはオフからオンになる。一方、制御信号S302Bは「Hレベル」のままであるので、トランジスタT302Bはオフの状態を維持する。したがって、接続ノードN32Bの電位は、電源ノードの電位「Vdd」へ上昇していく。

10

【0104】

< 効果 >

以上のように、接続ノードN32Bの電位が接地ノードの電位「VSS」に達する前にトランジスタT302Bをオフにすることによって、接続ノードN32Bにおける電位の振幅を小さくすることができる。したがって、接続ノードN32Bから放電される電荷量を削減することができる。また、接続ノードN32Bを充放電するのに要する時間を短縮することができる。このように、高速動作と低消費電力化が可能となる。

【0105】

なお、図28では、トランジスタT303B、T131は「P型」のトランジスタであるが、「N型」のトランジスタであっても構わない。

20

【0106】

(第10の実施形態)

< 構成 >

図30は、この発明の第10の実施形態によるデコーダ回路の構成を示す。この回路は、図28に示したプリデコーダ32Bに代えて、プリデコーダ42Bを備える。その他の構成は図28と同様である。プリデコーダ42Bは、トランジスタT402B、T403Bを含む。トランジスタT402B、T403Bは、電源ノードと接地ノードとの間に直列に接続される。トランジスタT402Bは、接地ノードとトランジスタT403Bとの間に接続され、外部からのクロックCLKをゲートに受ける。トランジスタT403Bは、トランジスタT402Bと電源ノードとの間に接続され、外部からのクロックCLKをゲートに受ける。トランジスタT402BとトランジスタT403Bとの接続ノードN42Bは、配線L₀に接続される。

30

【0107】

トランジスタT402BのW/L比は、トランジスタT403BのW/L比の2倍以下である。例えば、トランジスタT402B、T403Bの各々のゲート長が互いに等しいとすると、トランジスタT402Bのゲート幅は、トランジスタT403Bのゲート幅を2倍以下である。また、トランジスタT402B、T403Bの各々のゲート幅が互いに等しいとすると、トランジスタT402Bのゲート長は、トランジスタT403Bのゲート長を(1/2)倍以上である。このような構成により、トランジスタT402Bを単位時間あたりに流れる電流量を、トランジスタT403Bを単位時間あたりに流れる電流量よりも少なくすることができる。つまり、トランジスタT402Bの電流能力は、トランジスタT403Bの電流能力よりも弱い。また、トランジスタT403Bの電流能力は従来と同様であっても良い。

40

【0108】

< 動作 >

次に、図30に示したデコーダ回路による動作について図31を参照しつつ説明する。

【0109】

時刻t1になると、クロックCLKは「Lレベル」から「Hレベル」になる。これにより、トランジスタT402Bはオフからオンになり、トランジスタT403Bはオンからオフになる。したがって、接続ノードN42Bの電位は、電源ノードの電位「Vdd」か

50

ら下降していく。

【0110】

時刻 t_2 になると、クロックCLKは「Hレベル」から「Lレベル」になる。これにより、トランジスタT402Bはオンからオフになる。このとき、トランジスタT402Bの電流能力は比較的弱いので、接続ノードN42Bの電位は、接地ノードの電位「VSS」に達していない（「VSS+」になる）。また、トランジスタT403Bはオフからオンになる。したがって、接続ノードN42Bの電位は、「VSS+」から上昇していく。

【0111】

時刻 t_3 になると、クロックCLKは「Lレベル」から「Hレベル」になる。これにより、トランジスタT402Bはオフからオンになり、トランジスタT403Bはオンからオフになる。このとき、トランジスタT403Bの電流能力は比較的強いので、接続ノードN42Bの電位は、電源ノードの電位「Vdd」に達している。

10

【0112】

<効果>

以上のように、接続ノードN42Bの電位が接地ノードの電位「VSS」に達する前にトランジスタT402Bをオフにすることによって、接続ノードN42Bにおける電位の振幅を小さくすることができる。したがって、接続ノードN42Bから放電される電荷量を削減することができる。また、接続ノードN42Bを充放電するのに要する時間を短縮することができる。このように、高速動作と低消費電力化が可能となる。

20

【0113】

（第11の実施形態）

<構成>

図32は、この発明の第11の実施形態によるデコーダ回路の構成を示す。この回路は、図28に示したプリデコーダ32Bに代えて、プリデコーダ52Bを備える。その他の構成は図28と同様である。プリデコーダ52Bは、インバータ501と、トランジスタT502Bとを備える。トランジスタT502Bは、配線L₀と電源ノードとの間に接続され、インバータ501からの出力をゲートに受ける。トランジスタT502Bは、トランジスタT131と同極性である。

【0114】

30

<動作>

次に、図32に示したデコーダ回路による動作について図33を参照しつつ説明する。なお、ここでは、トランジスタT502Bの閾値電圧の絶対値を「 $|V_{t111}|$ 」とする。

【0115】

時刻 t_1 になると、トランジスタT131はオフからオンになり、トランジスタT132はオンからオフになる。したがって、接続ノードN13は、接地ノードから切り離され、接続ノードN52Bに接続される。このとき、接続ノードN52Bの電位が「VSS+ $|V_{t111}|$ 」であるので、接続ノードN13の電位は、接地ノードの電位「VSS」のままである。

40

【0116】

時刻 t_2 になると、トランジスタT502Bはオフからオンになる。したがって、接続ノードN52Bは、電源ノードに接続される。これにより、接続ノードN52Bの電位は、「VSS+ $|V_{t111}|$ 」から電源ノードの電位「Vdd」に上昇していく。また、接続ノードN13の電位も、「VSS」から電源ノードの電位「Vdd」に上昇していく。

【0117】

時刻 t_3 になると、トランジスタT131はオンからオフになり、トランジスタT132はオフからオンになる。したがって、接続ノードN13は、接続ノードN52Bから切り離され、接地ノードに接続される。これにより、接続ノードN13の電位は、電源ノード

50

ドの電位「V_{dd}」から接地ノードの電位「V_{SS}」に下降していく。

【0118】

時刻 t_4 になると、トランジスタT502Bはオンからオフになる。したがって、接続ノードN52Bは、電源ノードから切り離される。

【0119】

時刻 t_5 になると、トランジスタT131はオフからオンになり、トランジスタT132はオンからオフになる。したがって、接続ノードN13は、接地ノードから切り離され、接続ノードN52Bに接続される。ここで、接続ノードN13の電位は「V_{SS}」であり、接続ノードN52Bの電位は「V_{dd}」であるので、接続ノードN52Bに充電された電荷が接続ノードN13に分配される。これにより、接続ノードN13、N52Bの各々電位は、「 $V_{SS} + |V_{t111}|$ 」になる。

10

【0120】

時刻 t_6 になると、トランジスタT502Bはオフからオンになる。したがって、接続ノードN52Bは、電源ノードに接続される。これにより、接続ノードN52Bの電位は、「 $V_{SS} + |V_{t111}|$ 」から電源ノードの電位「V_{dd}」に上昇する。また、接続ノードN13の電位も、「 $V_{SS} + |V_{t111}|$ 」から電源ノードの電位「V_{dd}」に上昇する。

【0121】

< 効果 >

以上のように、接続ノードN13と接続ノードN52Bとの間で電荷を分配することによって、接続ノードN13の電位が調整される。また、接続ノードN52Aの電位を「 $V_{SS} + |V_{t111}|$ 」を下回らないようにすることができる。したがって、接続ノードN52Bにおける電位の振幅を小さくすることができる。よって、接続ノードN52Bから放電される電荷量を削減することができる。また、接続ノードN52Bを充放電するために要する時間を短縮することができる。このように、高速動作と低消費電力化が可能となる。

20

【0122】

(第12の実施形態)

< 構成 >

図34は、この発明の第12の実施形態によるデコード回路の構成を示す。この回路は、図1と同様であるが、プリデコーダ12Aの内部構成が異なる。なお、ここでは、配線L₀に接続されるデコード部13₀のみを図示している。

30

【0123】

プリデコーダ12Aは、図1に示したインバータ101に代えて、タイミング制御回路701を含む。タイミング制御回路701は、複数の演算素子(ここでは、インバータ7₁、7₂と、NAND回路7₃と、遅延回路7₄)から構成される。トランジスタT102Aは、インバータ7₁からの出力(制御信号S702)をゲートに受ける。トランジスタT103Aは、インバータ7₂からの出力(制御信号S703)をゲートに受ける。

【0124】

40

< 動作 >

次に、図34に示したデコード回路による動作について図35を参照しつつ説明する。

【0125】

タイミング制御回路701は、制御信号S703を「Hレベル」から「Lレベル」にした後に制御信号S702を「Lレベル」から「Hレベル」にし、制御信号S702を「Hレベル」から「Lレベル」にした後に制御信号S703を「Lレベル」から「Hレベル」にする。また、タイミング制御回路701は、制御信号S702を「Hレベル」から「Lレベル」にした後に制御信号S703を「Lレベル」から「Hレベル」にし、制御信号S703を「Hレベル」から「Lレベル」にした後に制御信号S702を「Lレベル」から「Hレベル」にする。つまり、制御信号S702、S703の両方が「Lレベル」になる

50

期間が設けられている。

【0126】

このようなタイミングを実現するためには、例えば、NAND回路7__3やインバータ7__4における遅延量と調整すれば良い。

【0127】

< 効果 >

以上のように、トランジスタT102A, T103Aの両方がオフになる期間を設けることによって、電源ノードからトランジスタT102A, T103Aを介して接地ノードへ流れる貫通電流を防止することができる。

【0128】

なお、他の実施形態においても、図34に示したタイミング制御回路701を用いて、プリデコーダに含まれるトランジスタのオンオフを調整すれば、同様の効果を得ることができる。

【0129】

(第13の実施形態)

< 構成 >

図36は、この発明の第13の実施形態によるデコーダ回路の構成を示す。この回路は、図1に示したデコーダ回路に加えて、センスアンプタイミング生成回路81を備える。センスアンプタイミング生成回路81は、NAND回路811, 812と、NOR回路813とを含む。センスアンプタイミング生成回路81は、配線L__0, L__1, L__2, L__3の各々における電位に応じて、タイミング信号SAEを「Hレベル」にする。タイミング信号SAEは、センスアンプ(図示せず)を駆動させるために利用される。

【0130】

< 動作 >

次に、図36に示したデコーダ回路による動作について図37を参照しつつ説明する。

【0131】

クロックCLKが高周波である場合、接続ノードN12Aに充電される電荷量は、低周波数時と比較して少ない。この場合、クロックCLKが「Hレベル」になってから駆動電圧WL__0が「Hレベル」になるまでの時間が短い。一方、クロックCLKが低周波数である場合、接続ノードN12Aに充電される電荷量が高周波時と比較して多い。このため、クロックCLKが「Hレベル」になってから駆動電圧WL__0が「Hレベル」になるまでの時間が長い。

【0132】

ここで、低周波時においてクロックCLKが「Hレベル」になってから駆動電圧WL__0が「Hレベル」になるまでの時間を「X」とし、高周波時においてクロックCLKが「Hレベル」になってから駆動電圧WL__0が「Hレベル」になるまでの時間を「Y」とすると、時間Yは時間Xよりも長くなる。センスアンプによって駆動電圧WL__0を正常に検知するためには、駆動電圧WL__0の立ち上がり時にセンスアンプが駆動している必要がある。しかし、一般的なセンスアンプは、源信であるクロックCLKに応じて動作するので、クロックCLKが「Hレベル」になってから駆動電圧WL__0が「Hレベル」になるまでの時間がばらつくと、センスアンプは安定して動作しないおそれがある。

【0133】

センスアンプタイミング生成回路81は、配線L__0~L__3の全てが「Hレベル」になると、タイミング信号SAEを「Hレベル」にする。センスアンプ(図示せず)は、センスアンプタイミング生成回路81からのタイミング信号SAEが「Hレベル」になると、駆動する。図37のように、センスアンプタイミング生成回路81からのタイミング信号が一定のタイミング(時間Z)で「Hレベル」になるので、センスアンプ(図示せず)は、ロウデコーダ13から出力される駆動電圧WL__0を正常に感知することができる。

【0134】

< 効果 >

以上のように、タイミング信号を生成することによって、周波数に依存することなく、センスアンプを駆動させることができる。これにより、安定した動作を保証することができる。

【0135】

なお、本実施形態では、図1に示したデコーダ回路にセンスアンプタイミング生成回路81を加えた例について説明したが、他の実施形態にも適用可能である。

【0136】

(第14の実施形態)

<構成>

図38は、この発明の第14の実施形態によるデコーダ回路の構成を示す。この回路は、図1に示したデコーダ回路に加えて、配線L₉₁と、レプリカプリデコーダ92と、レプリカロウデコーダ93と、センスアンプタイミング生成回路94とを備える。 10

【0137】

レプリカプリデコーダ92は、プリデコーダ12Aと同様の構成である。レプリカロウデコーダ93は、ロウデコーダ13に含まれる1つのデコード部(ここでは、デコード部13₀)と同様の構成である。レプリカプリデコーダ92, レプリカロウデコーダ93, およびセンスアンプタイミング生成回路94の各々は、配線L₉₁に接続される。

【0138】

図39は、図38に示したレプリカプリデコーダ92, レプリカロウデコーダ93, およびセンスアンプタイミング生成回路94の内部構成を示す。 20

【0139】

レプリカプリデコーダ92は、インバータ901と、トランジスタT902, T903を含む。インバータ901は、図1のインバータ101に対応する。トランジスタT902は、図1のトランジスタT102Aに対応し、トランジスタT102と同様の特性(例えば、閾値電圧, W/L比, 電流能力など)を有する。トランジスタT903は、トランジスタT103Aに対応し、トランジスタT103Aと同様の特性を有する。

【0140】

レプリカロウデコーダ93は、トランジスタT931, T932, T933と、インバータ934を含む。トランジスタT931は、図1のトランジスタT131に対応し、トランジスタT131と同様の特性を有する。トランジスタT932は、図1のトランジスタT132に対応し、トランジスタT132と同様の特性を有する。トランジスタT933, インバータ934は、図1のトランジスタT133, インバータ134に対応し、トランジスタT133, インバータ134と同様の特性を有する。 30

【0141】

センスアンプタイミング生成回路94は、遅延回路908, 909を含む。センスアンプタイミング生成回路94は、接続ノードN92における電位の変動に応じて、タイミング信号SAEを出力する。

【0142】

<効果>

以上のように、センスアンプを駆動させるタイミングを生成するための構成を別に設けることによって、論理素子によって信号が遅延することを防止することができる。これにより、センスアンプを素早く動作させることができる。 40

【0143】

なお、他の実施形態(例えば、第2の実施形態(図3))にレプリカプリデコーダを適用するためには、レプリカプリデコーダ92の内部構成は、その実施形態におけるプリデコーダの内部構成(例えば、図3のプリデコーダ22A)と同様にすれば良い。さらに、第7~第11の実施形態にレプリカロウデコーダ93を適用するためには、レプリカロウデコーダ93の内部構成は、図19に示したロウデコーダ13と同様にすれば良い。

【0144】

また、図40のように、デコーダ回路が、基板制御回路95を備えていても良い。基板 50

制御回路 95 は、基板電圧を出力する。レプリカプリデコーダ 92 のトランジスタ T 902 およびレプリカロウデコーダ 93 のトランジスタ T 932 の各々は、基板制御回路 95 からの制御電圧を基板に受ける。ここで、基板制御回路 95 は、トランジスタ T 902、T 932 における閾値電圧のばらつきの下限と等しい値を有する制御電圧を出力すると、トランジスタ T 902、T 932 の各々の閾値電圧を低くすることができる。これにより、プリデコーダによる高速な電荷の充電や、ロウデコーダから配線 L₀ へ充電される電荷量の増加を再現することができる。したがって、閾値ばらつきに対して安定した動作を保証することができる。

【0145】

(トランジスタの構造)

以上の各実施形態におけるトランジスタ T 132 の構造例について図 41、図 42 を参照しつつ説明する。図 41 はトランジスタ T 132 の上面図を示し、図 42 はトランジスタ T 132 の断面図を示す。トランジスタ T 132 は、半導体基板 1000 と、拡散層 1001₁、1001₂、1001₃ と、ゲート電極 1002₁、1002₂ と、1 層配線 1003 と、2 層配線 1004 と、1 - 2 層間ビア 1005 と、CA 1006 とを含む。拡散層 1001₁、1001₂、1001₃ の各々は、半導体基板 1000 に形成される。ゲート電極 1002₁ は、幅方向の両端部が拡散層 1001₁、1001₂ にオーバーラップするように、半導体基板 1000 の上に形成される。ゲート電極 1002₂ は、幅方向の両端部が拡散層 1001₂、1001₃ にオーバーラップするように、半導体基板 1000 の上に形成される。1 層配線 1003 は、拡散層 1001₂ の上に形成される。2 層配線 1004 は、1 層配線 1003、ゲート電極 1002₁、1002₂ の上に形成される。1 - 2 層間ビア 1005 は、1 層配線 1003 と 2 層配線 1004 とを電氣的に接続する。CA 1006 は、拡散層 1001₂ と 1 層配線 1003 とを電氣的に接続する。また、ゲート電極 1002₁、1002₂ は、ゲート電極接続部 1002₃ を介して電氣的に接続される。図 41 では、ゲート電極 1002₁、1002₂ とゲート電極接続部 1002₃ とは一体になっており、1 つのコの字状のゲート電極が形成されている。

【0146】

拡散層 1001₁、1001₂、1001₃ の各々は、互いに平行に延びるように、半導体基板 1000 に形成される。ゲート電極 1002₁ は、拡散層 1001₁、1001₂ に沿って延びる。ゲート電極 1002₂ は、拡散層 1001₂、1001₃ に沿って延びる。1 層配線 1003 は、ゲート電極 1002₁ とゲート電極 1002₂ との間に位置する。

【0147】

なお、1 層配線 1003 の長さは、

((ゲート幅 × 0.1) / ゲート電極の分割数) 以上であり、

((ゲート幅 × 1.0) / ゲート電極の分割数) 以下である。

【0148】

このような構造にすることによって、拡散容量を半減することができる。また、配線容量を減少させることができる。これにより、高速動作が可能となる。

【0149】

なお、トランジスタ T 132 だけでなく、他のトランジスタも上述のような構造であっても良い。

【0150】

<トランジスタ T 132 の閾値電圧>

以上の各実施形態におけるトランジスタ T 132 の閾値電圧について説明する。例えば、図 1 (第 1 の実施形態) において、トランジスタ T 132 の閾値電圧がトランジスタ T 102A の閾値電圧よりも極端に小さい場合、トランジスタ T 102A を介して接続ノード N 12A へ電荷を充電しやすくなるが、トランジスタ T 132 においてグリッチが生じやすくなる。したがって、駆動電圧 WL₀ を受ける回路において多重選択などの誤動作

10

20

30

40

50

が生じてしまう可能性がある。そこで、トランジスタ T 1 3 2 の閾値電圧をトランジスタ T 1 0 2 A の閾値電圧よりも高くすることによって、トランジスタ T 1 3 2 におけるグリッチを抑制することができる。また、その他の実施形態においても、トランジスタ T 1 3 2 の閾値電圧を高くすれば、同様の効果を得ることができる。

【 0 1 5 1 】

以上の各実施形態では、プリデコードが配線 L __ 0 に接続されている例について説明したが、他の配線 L __ 1 , L __ 2 , L __ 3 の各々にプリデコードが 1 つずつ接続されている場合も、各々において同様の効果を得ることができる。また、ロウデコードは 2 つ以上設けられていても良い。この場合、各々のロウデコードにおいて、各々のデコード部が対応する配線に接続されていれば、同様の効果を得ることができる。

10

【産業上の利用可能性】

【 0 1 5 2 】

以上のように、本発明のデコード回路は、高速動作や低消費電力化を行いつつ、安定な動作を保証することができるので、ワード線を駆動するデコード回路やイネーブル機能付きデコード回路等として有用である。

【図面の簡単な説明】

【 0 1 5 3 】

【図 1】この発明の第 1 の実施形態によるデコード回路の構成を示す回路図である。

【図 2】図 1 に示したデコード回路による動作を説明するためのタイミングチャートである。

20

【図 3】この発明の第 2 の実施形態によるデコード回路の構成を示す回路図である。

【図 4】図 3 に示したデコード回路による動作について説明するためのタイミングチャートである。

【図 5】図 3 に示したデコード回路の変形例の構成を示す回路図である。

【図 6】図 3 に示したデコード回路の変形例の構成を示す回路図である。

【図 7】図 6 に示したデコード回路による動作について説明するためのタイミングチャートである。

【図 8】図 3 に示したデコード回路の変形例の構成を示す回路図である。

【図 9】図 8 に示したデコード回路による動作について説明するためのタイミングチャートである。

30

【図 1 0】この発明の第 3 の実施形態によるデコード回路の構成を示す回路図である。

【図 1 1】図 1 0 に示したデコード回路による動作を説明するためのタイミングチャートである。

【図 1 2】この発明の第 4 の実施形態によるデコード回路の構成を示す回路図である。

【図 1 3】図 1 2 に示したデコード回路による動作について説明するためのタイミングチャートである。

【図 1 4】この発明の第 5 の実施形態によるデコード回路の構成を示す回路図である。

【図 1 5】図 1 4 に示したデコード回路による動作について説明するためのタイミングチャートである。

【図 1 6】この発明の第 6 の実施形態によるデコード回路の構成を示す回路図である。

40

【図 1 7】図 1 6 に示したプリデコードの内部構成を示す回路図である。

【図 1 8】図 1 6 に示したデコード回路による動作について説明するためのタイミングチャートである。

【図 1 9】この発明の第 7 の実施形態によるデコード回路の構成を示す回路図である。

【図 2 0】図 1 9 に示したデコード回路による動作について説明するためのタイミングチャートである。

【図 2 1】この発明の第 8 の実施形態によるデコード回路の構成を示す回路図である。

【図 2 2】図 2 1 に示したデコード回路による動作について説明するためのタイミングチャートである。

【図 2 3】図 2 1 に示したデコード回路の変形例の構成を示す回路図である。

50

【図 2 4】図 2 1 に示したデコーダ回路の変形例の構成を示す回路図である。

【図 2 5】図 2 1 に示したデコーダ回路による動作について説明するためのタイミングチャートである。

【図 2 6】図 2 0 に示したデコーダ回路の変形例の構成を示す回路図である。

【図 2 7】図 2 6 に示したデコーダ回路による動作について説明するためのタイミングチャートである。

【図 2 8】この発明の第 9 の実施形態によるデコーダ回路の構成を示す回路図である。

【図 2 9】図 2 8 に示したデコーダ回路による動作について説明するためのタイミングチャートである。

【図 3 0】この発明の第 1 0 の実施形態によるデコーダ回路の構成を示す回路図である。

10

【図 3 1】図 3 0 に示したデコーダ回路による動作について説明するためのタイミングチャートである。

【図 3 2】この発明の第 1 1 の実施形態によるデコーダ回路の構成を示す回路図である。

【図 3 3】図 3 2 に示したデコーダ回路による動作について説明するためのタイミングチャートである。

【図 3 4】この発明の第 1 2 の実施形態によるデコーダ回路の構成を示す回路図である。

【図 3 5】図 3 4 に示したデコーダ回路による動作について説明するためのタイミングチャートである。

【図 3 6】この発明の第 1 3 の実施形態によるデコーダ回路の構成を示す回路図である。

【図 3 7】図 3 6 に示したデコーダ回路による動作について説明するためのタイミングチャートである。

20

【図 3 8】この発明の第 1 4 の実施形態によるデコーダ回路の構成を示す回路図である。

【図 3 9】図 3 8 に示したレプリカロウデコーダ、レプリカプリデコーダ、センスアンプタイミング制御回路の構成を示す回路図である。

【図 4 0】図 3 8 に示したデコーダ回路の変形例について説明するための回路図である。

【図 4 1】本実施形態におけるトランジスタの上面図である。

【図 4 2】本実施形態におけるトランジスタの断面図である。

【符号の説明】

【0 1 5 4】

1 1 A , 1 1 B 電源制御回路

30

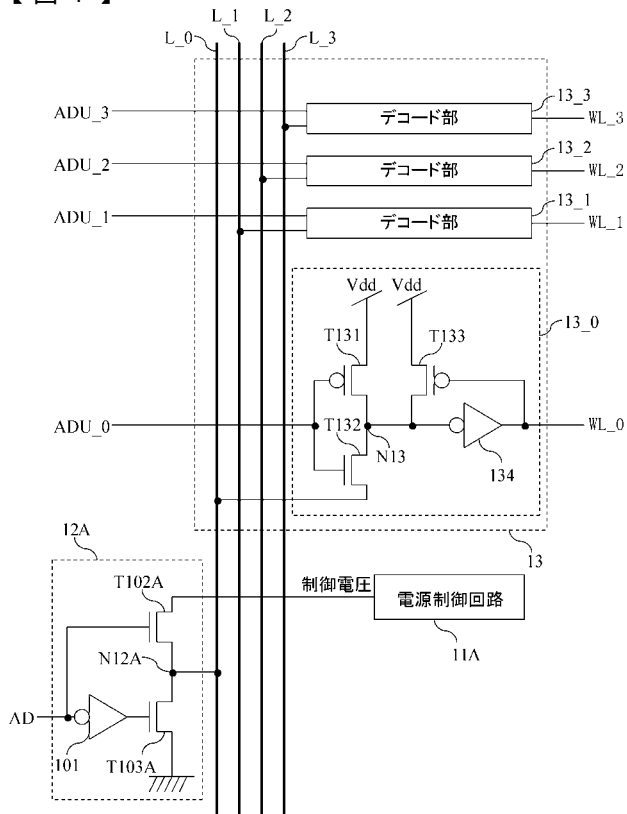
1 2 A , 2 2 A , 3 2 A , 4 2 A , 5 2 A , 6 2 A , 1 2 B , 2 2 B , 3 2 B , 4 2 B ,
5 2 B プリデコーダ

1 3 ロウデコーダ

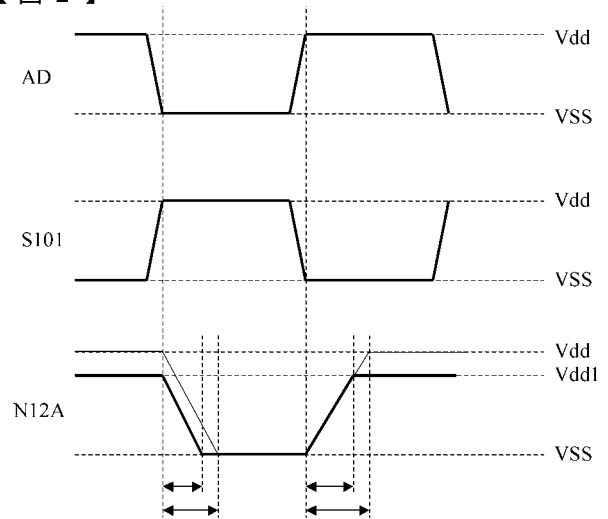
1 3 __ 0 ~ 1 3 __ 3 デコード部

2 1 A , 2 1 B 基板制御回路

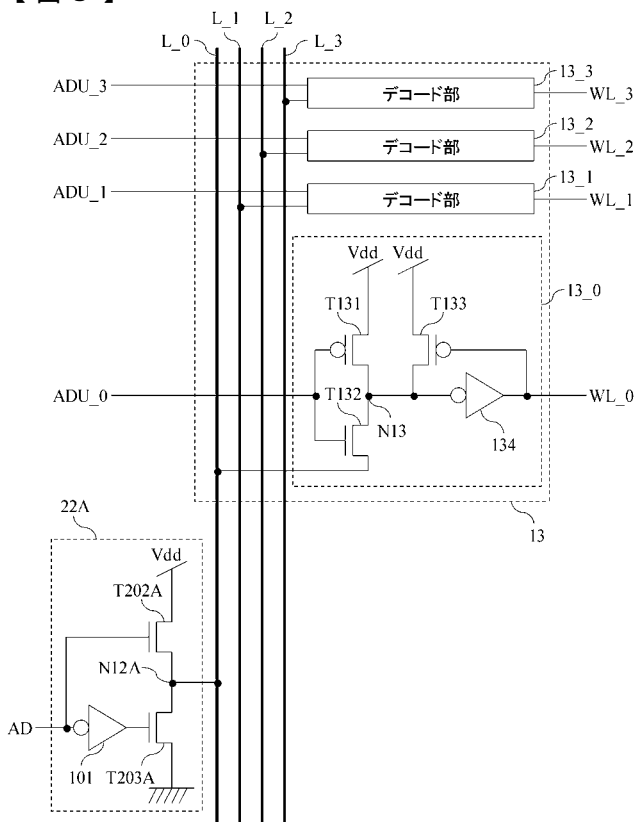
【図 1】



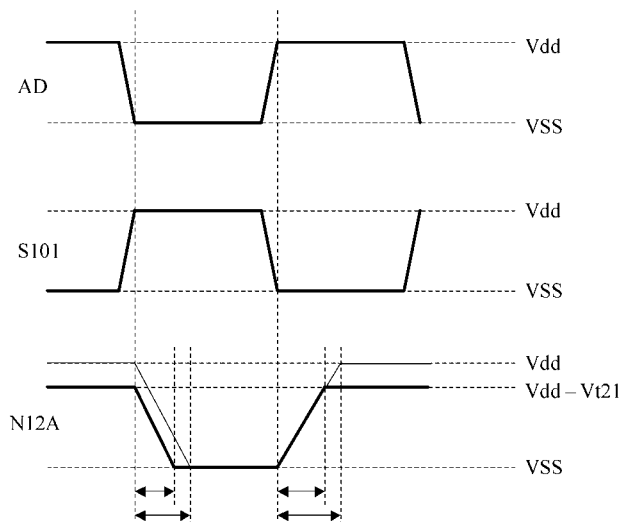
【図 2】



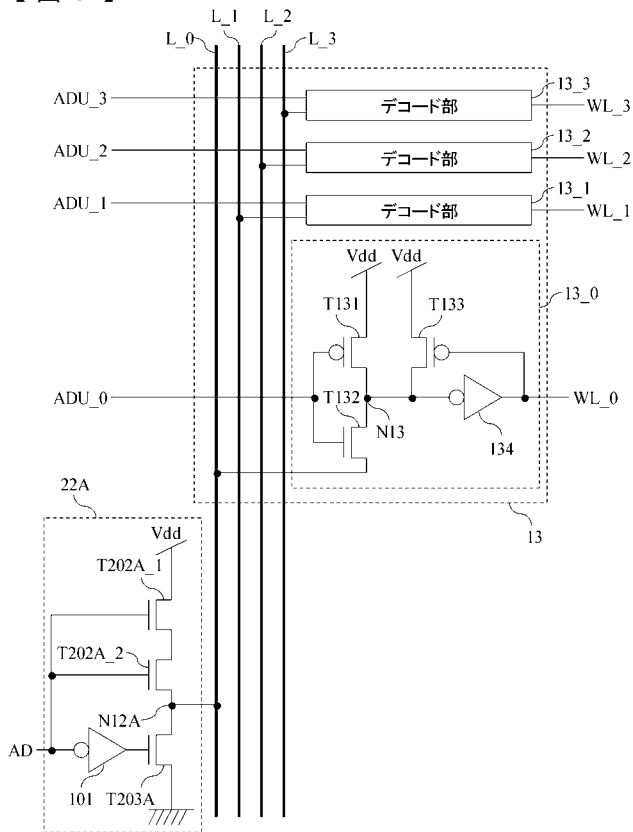
【図 3】



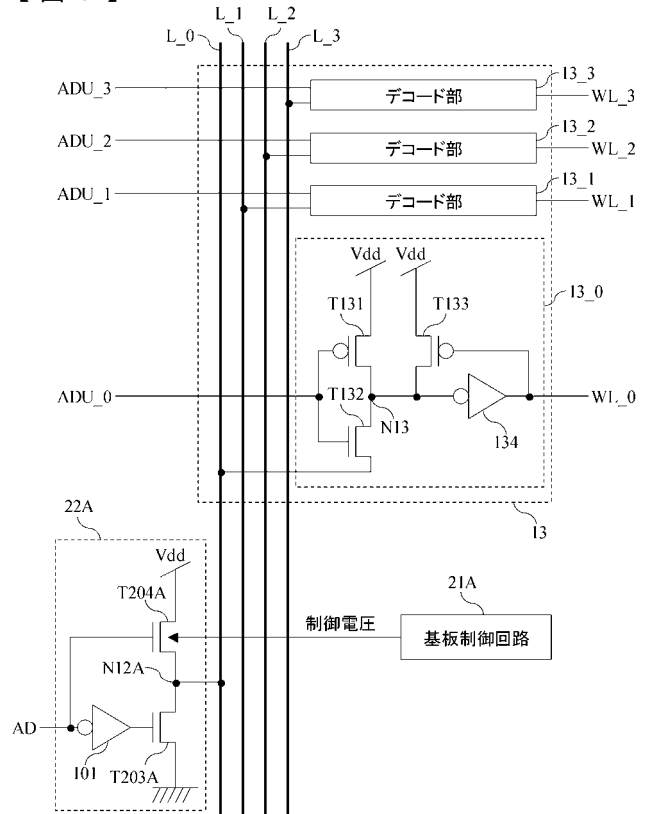
【図 4】



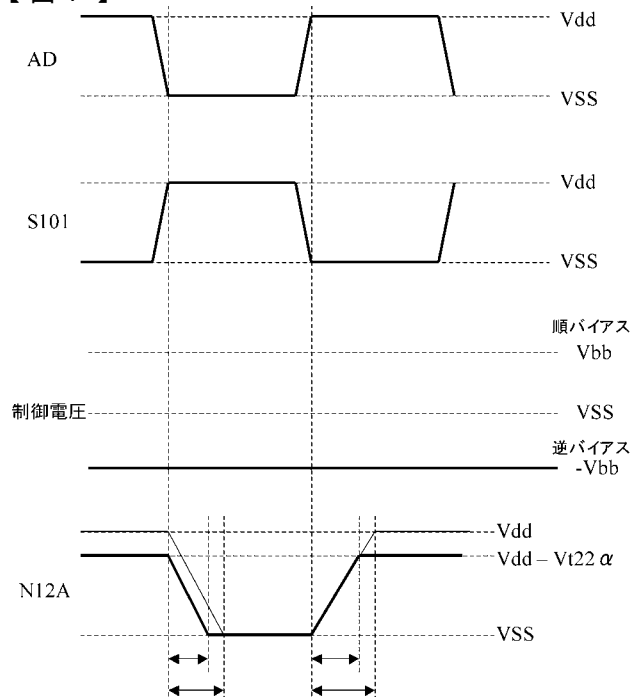
【図 5】



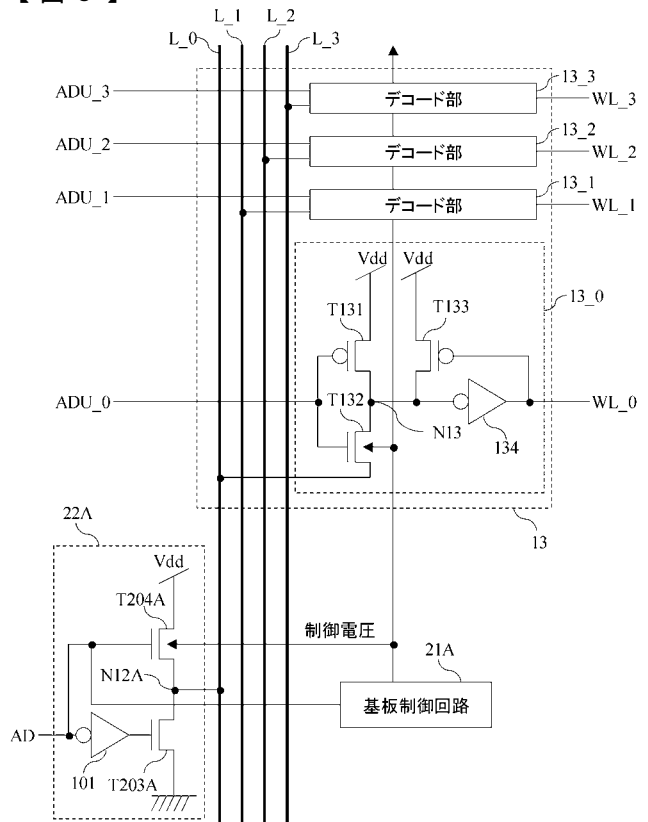
【図 6】



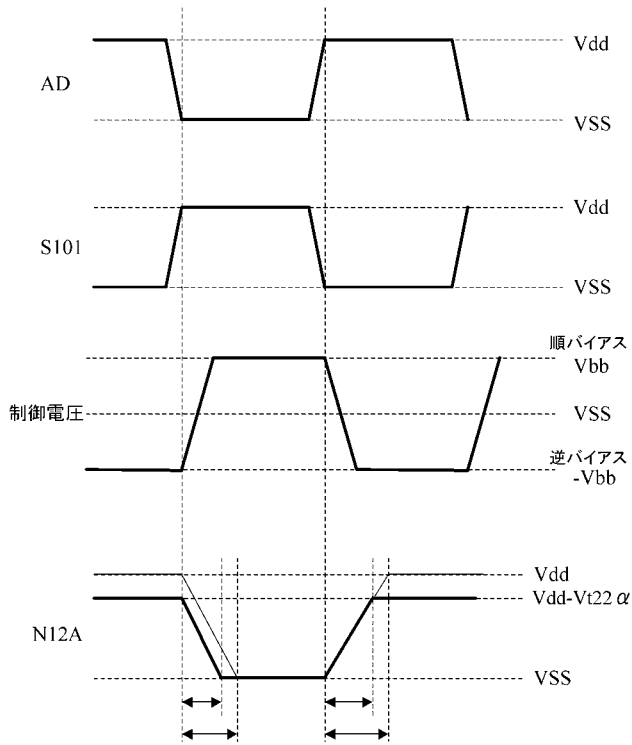
【図 7】



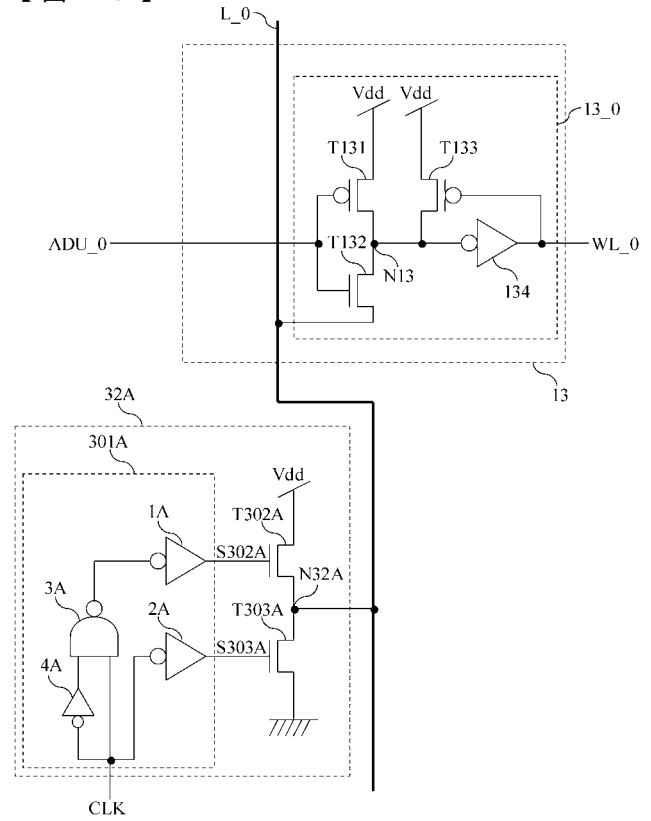
【図 8】



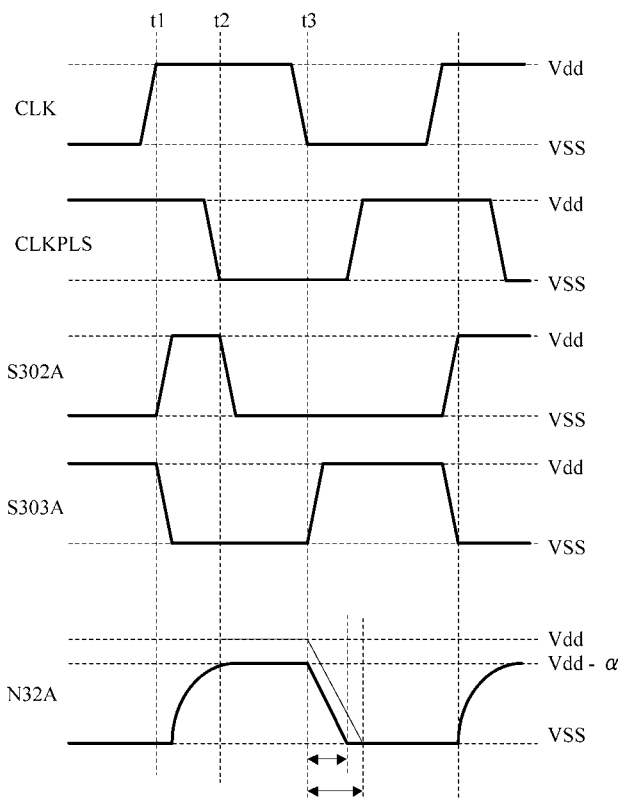
【図 9】



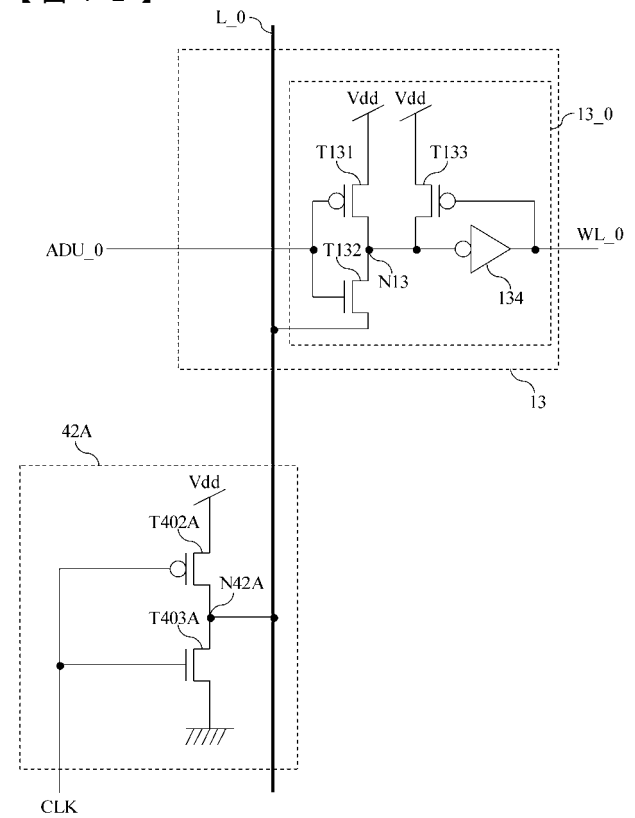
【図 10】



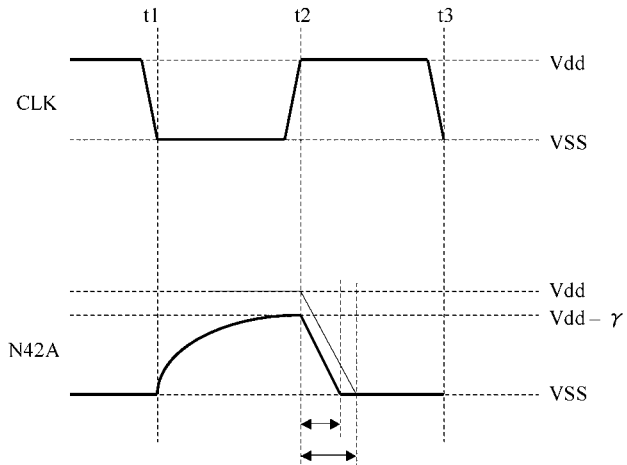
【図 11】



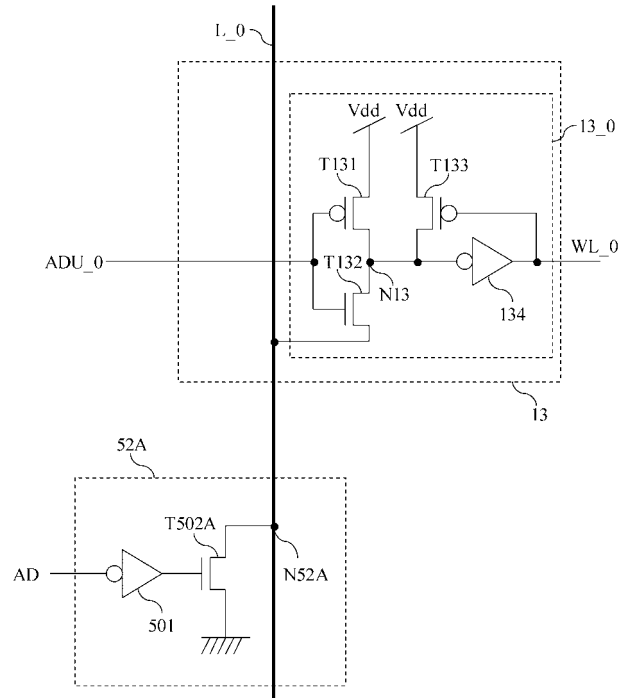
【図 12】



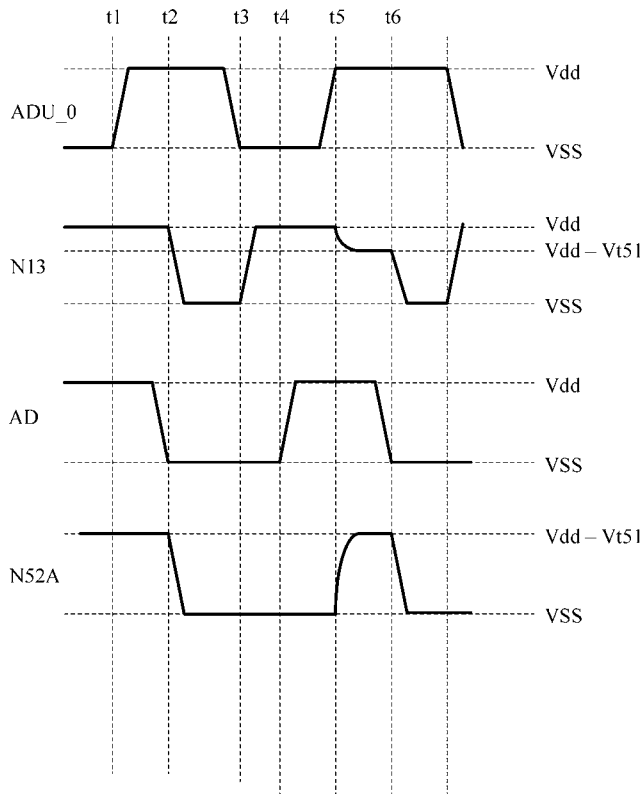
【図 13】



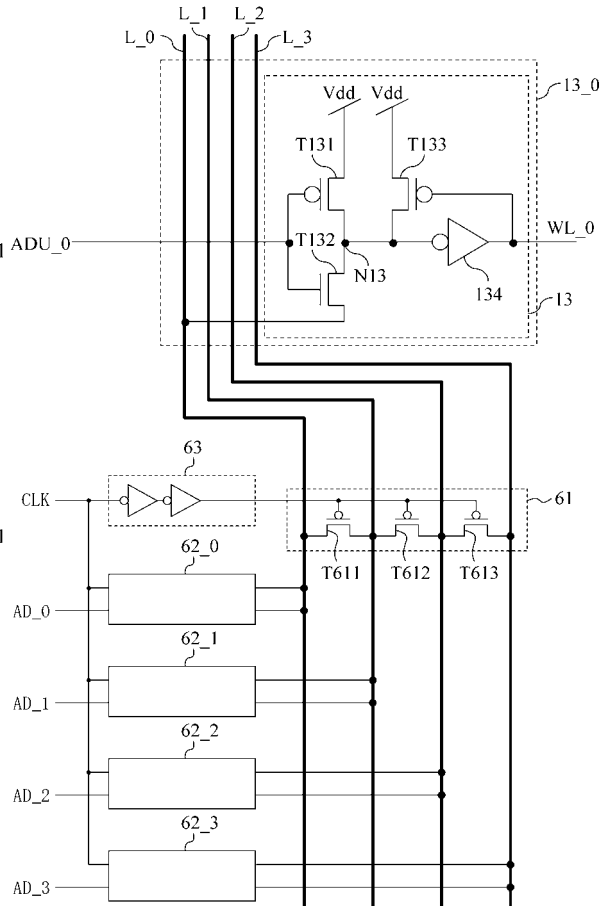
【図 14】



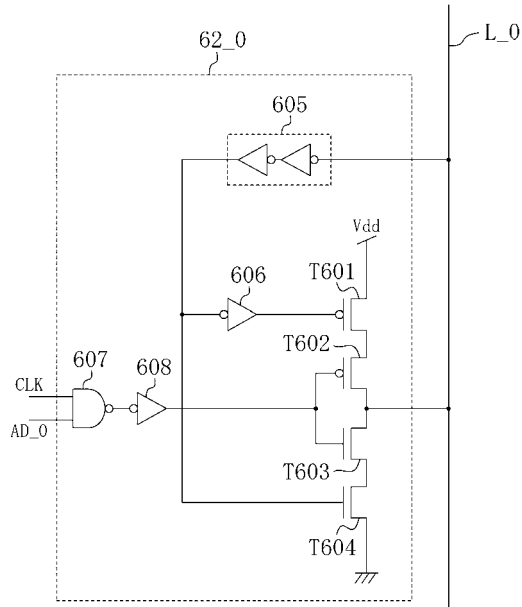
【図 15】



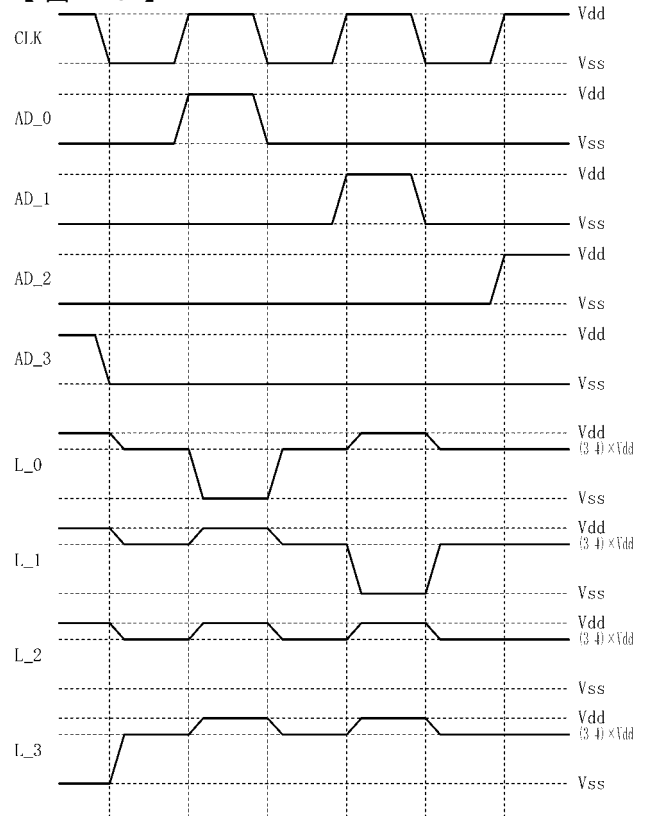
【図 16】



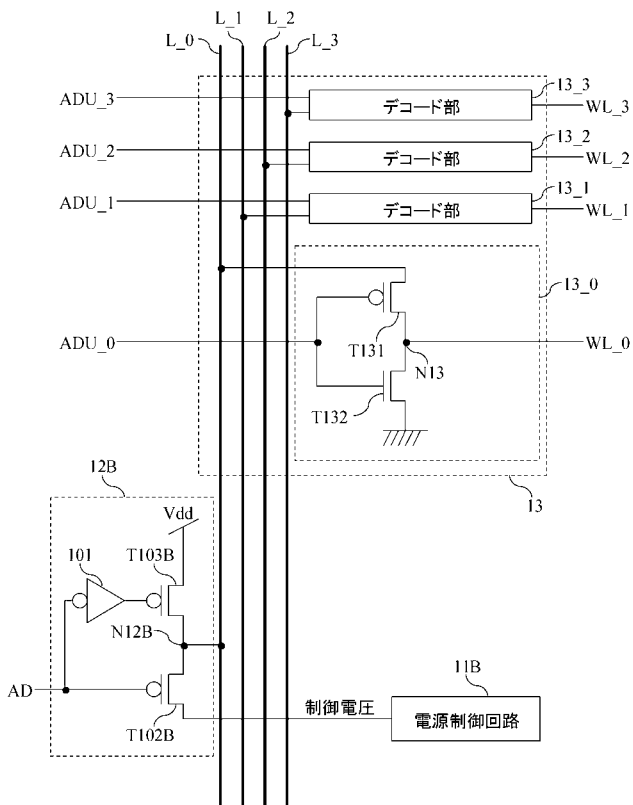
【図 17】



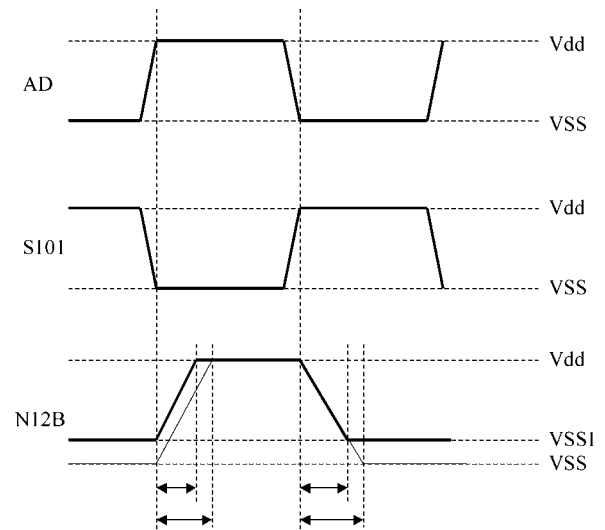
【図 18】



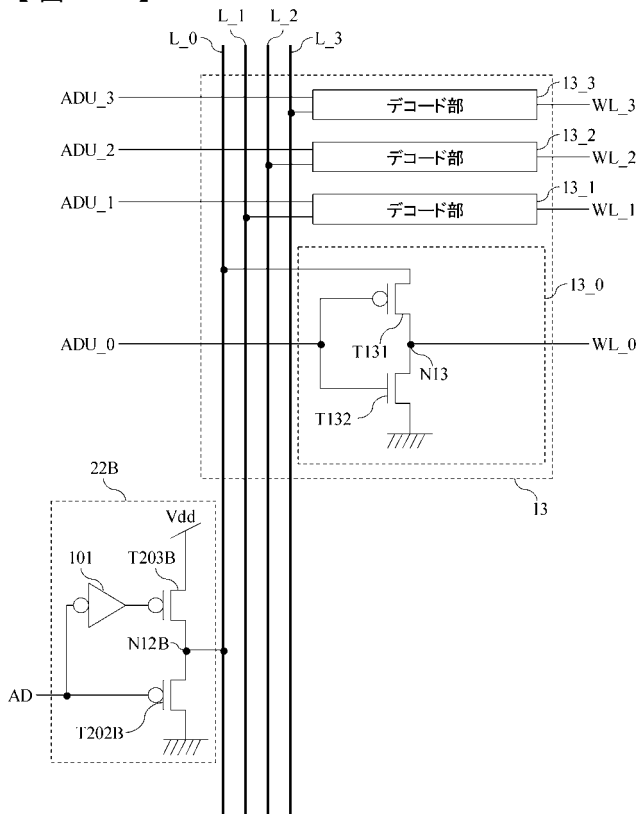
【図 19】



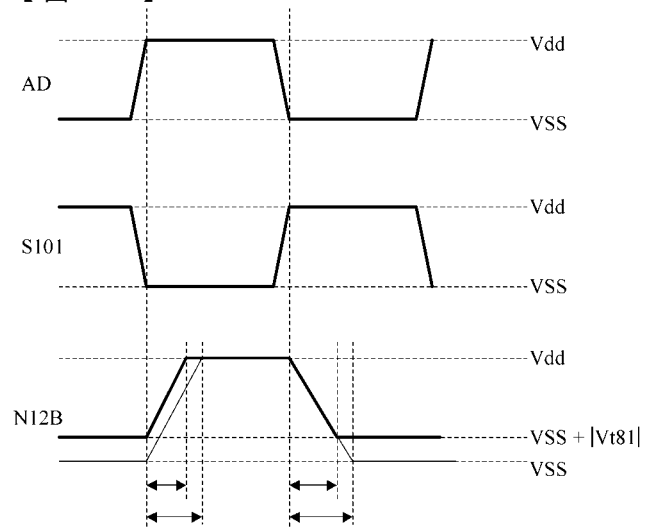
【図 20】



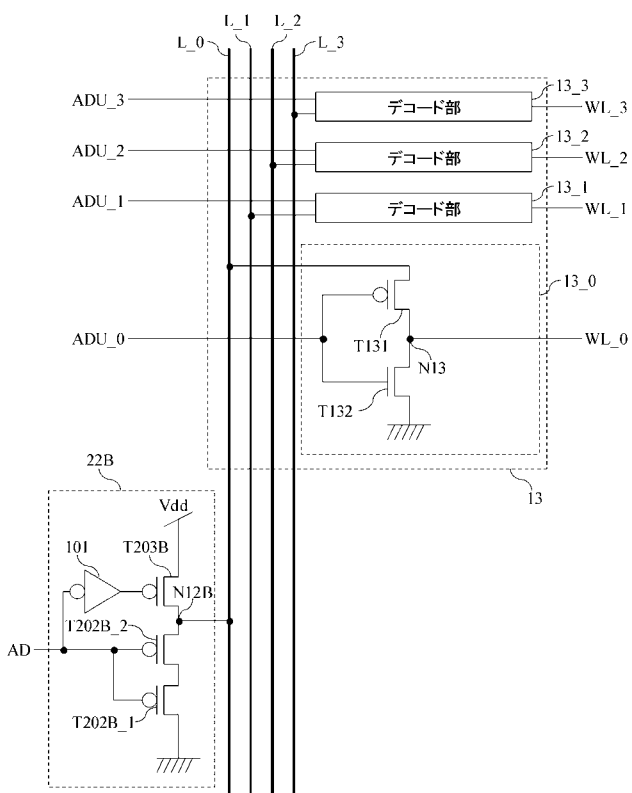
【図 2 1】



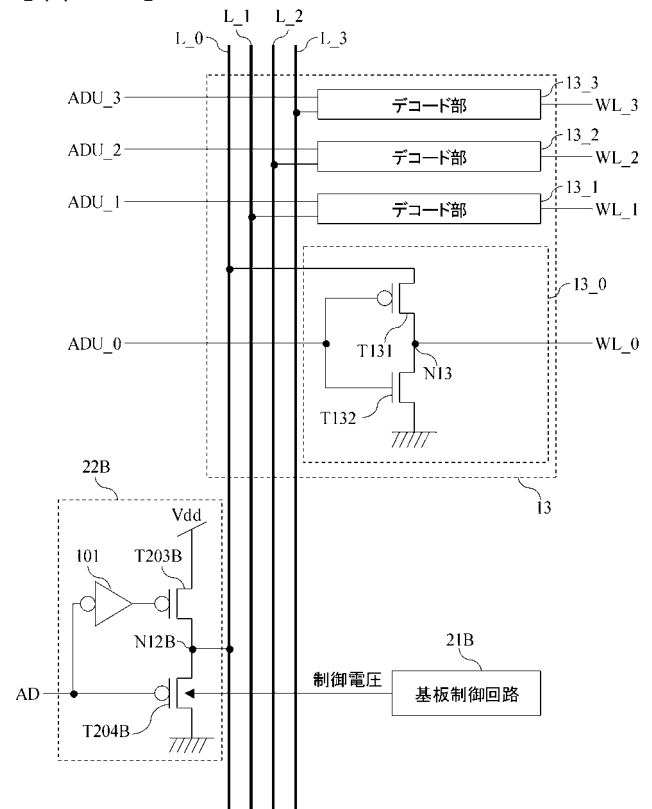
【図 2 2】



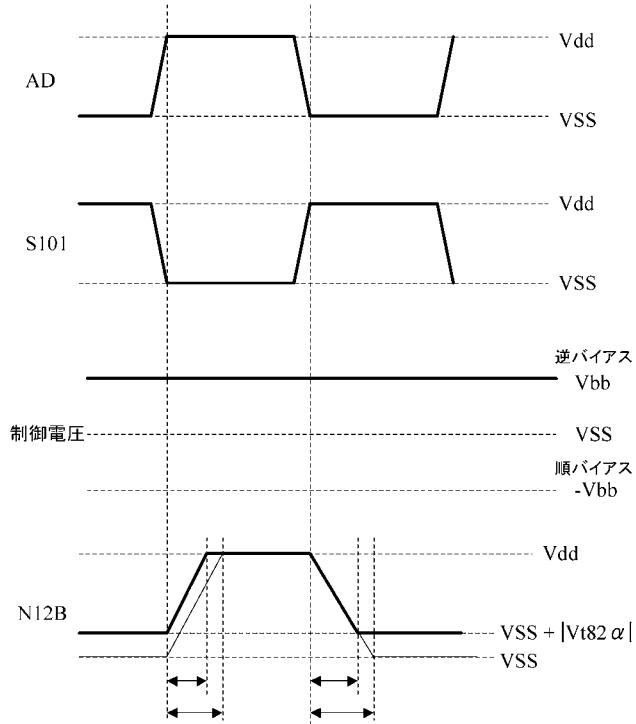
【図 2 3】



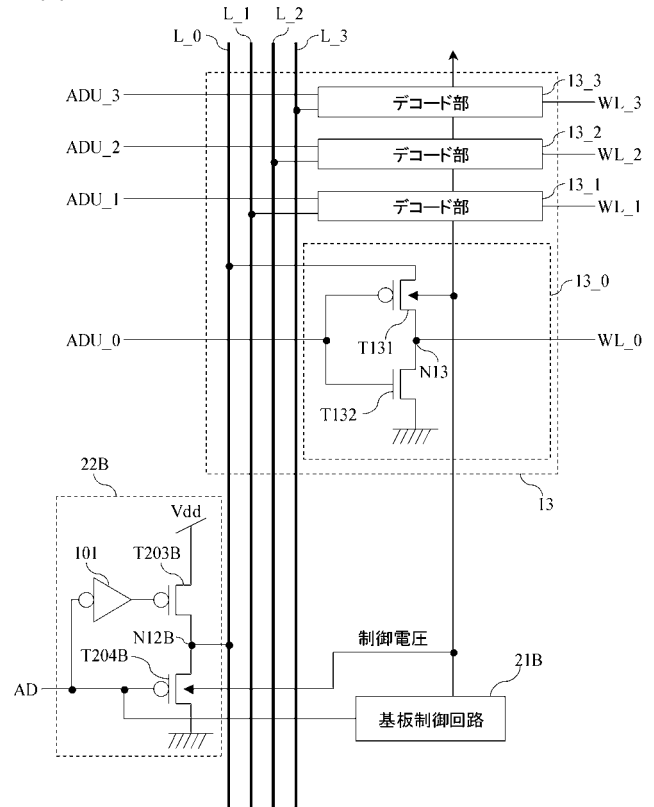
【図 2 4】



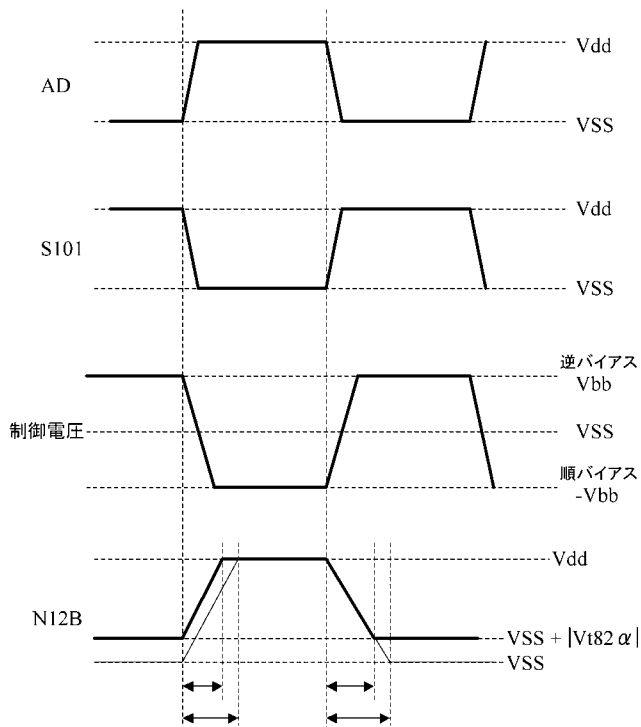
【図 25】



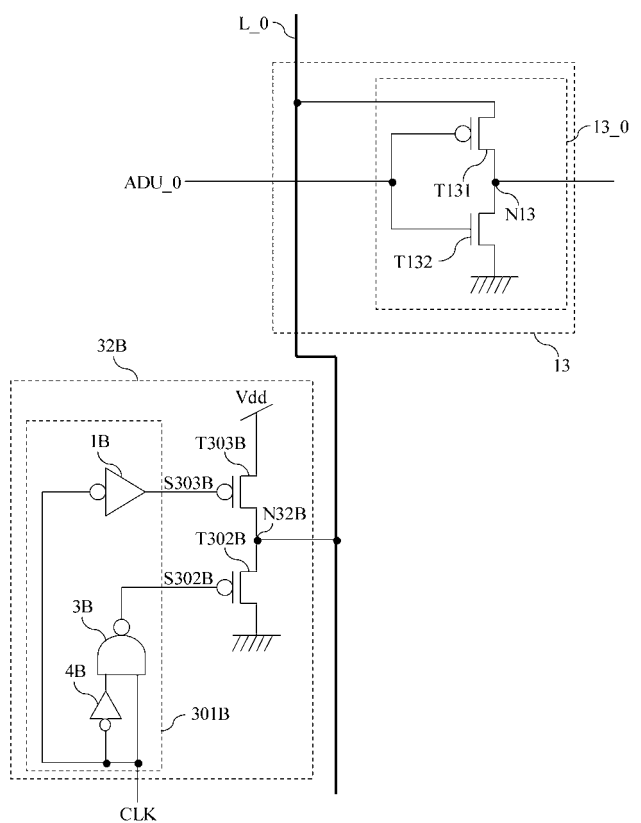
【図 26】



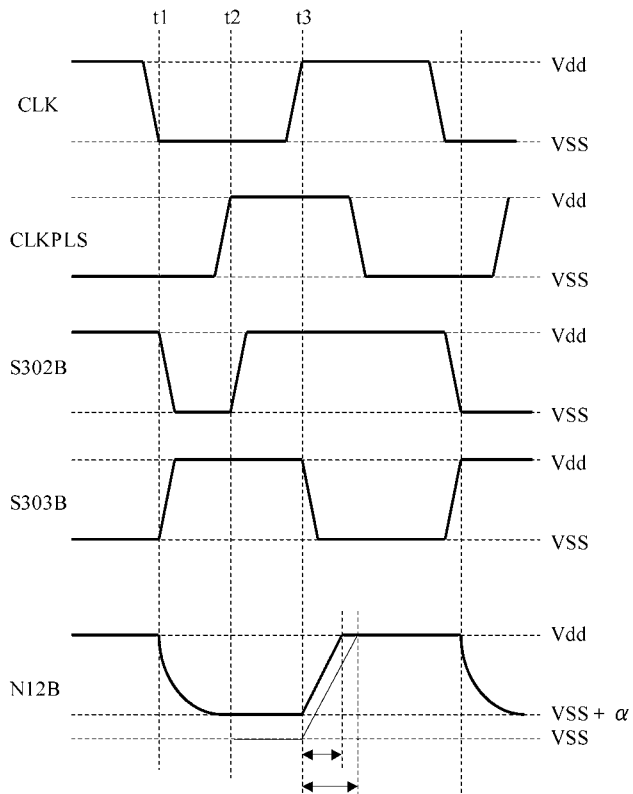
【図 27】



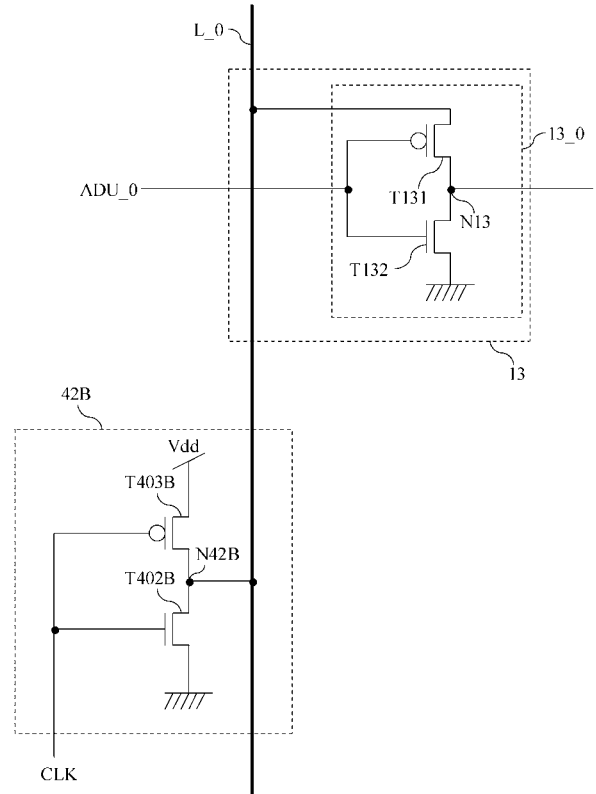
【図 28】



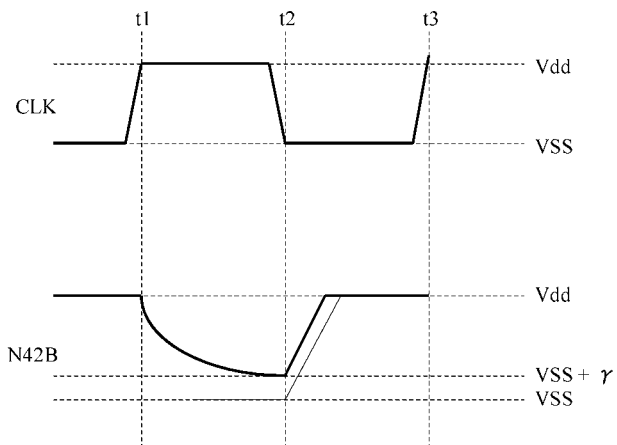
【図 29】



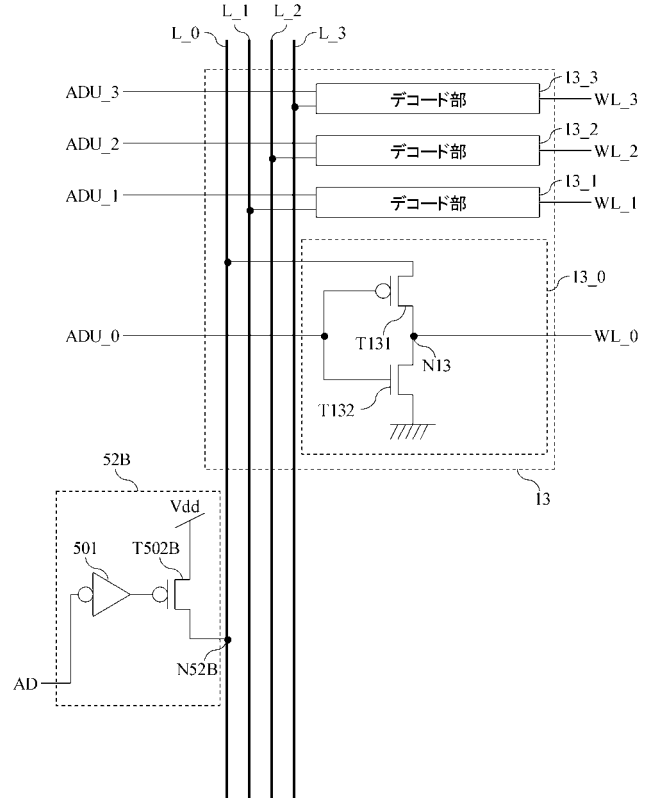
【図 30】



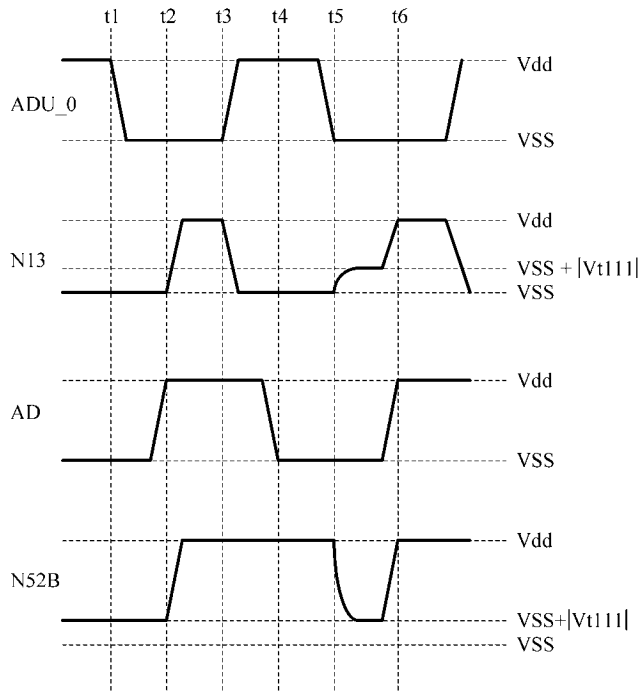
【図 31】



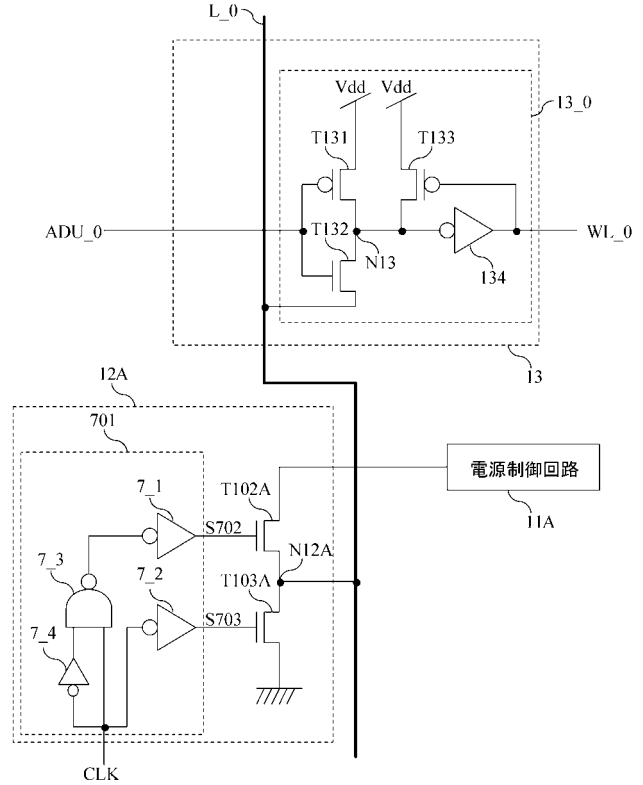
【図 32】



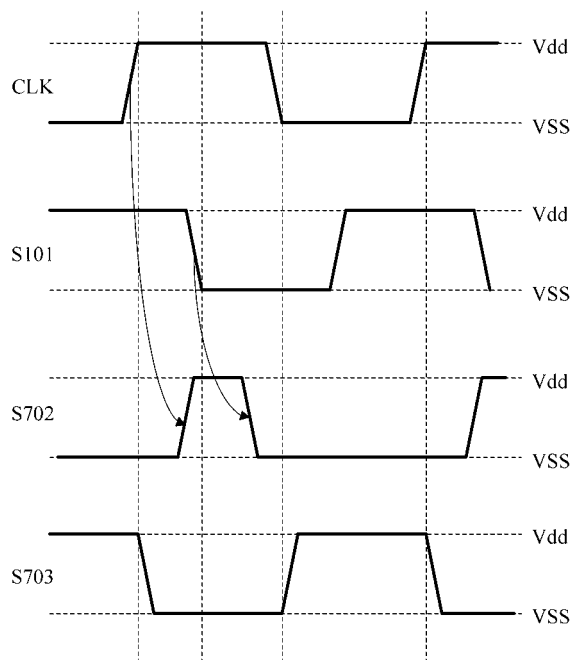
【図 3 3】



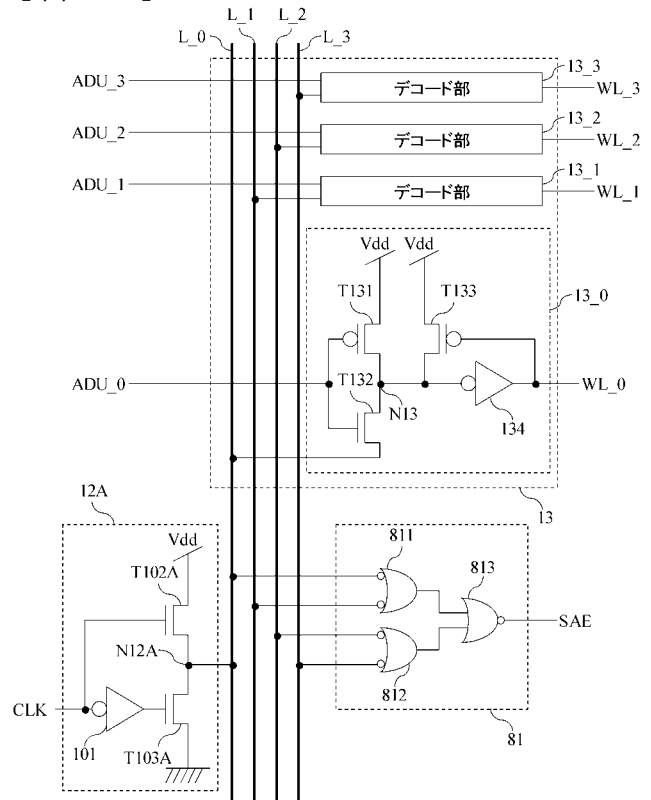
【図 3 4】



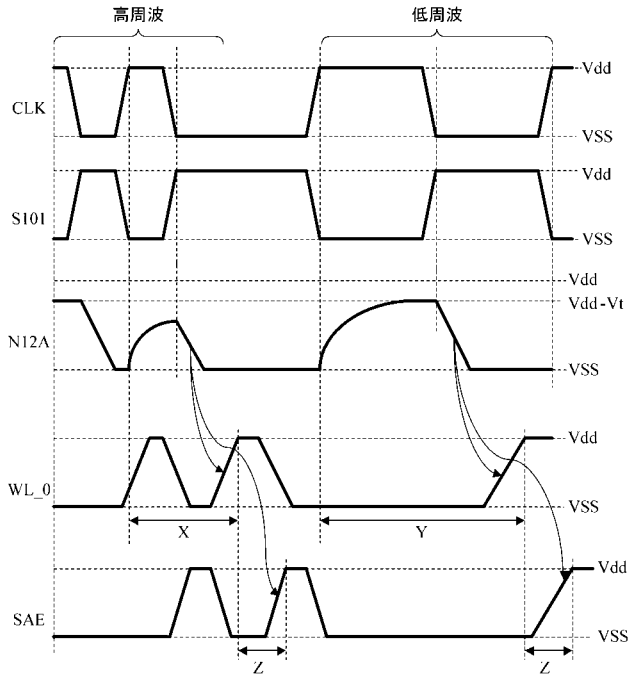
【図 3 5】



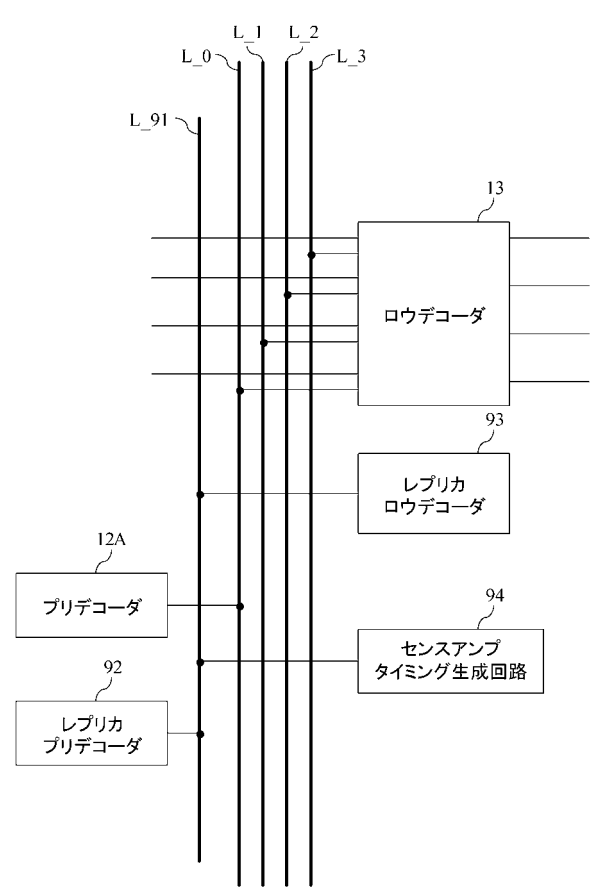
【図 3 6】



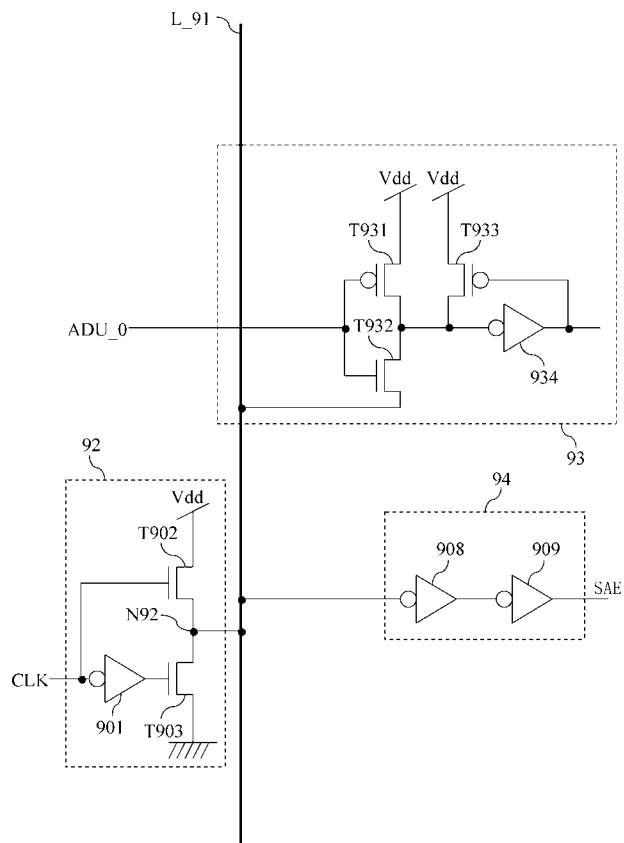
【図 37】



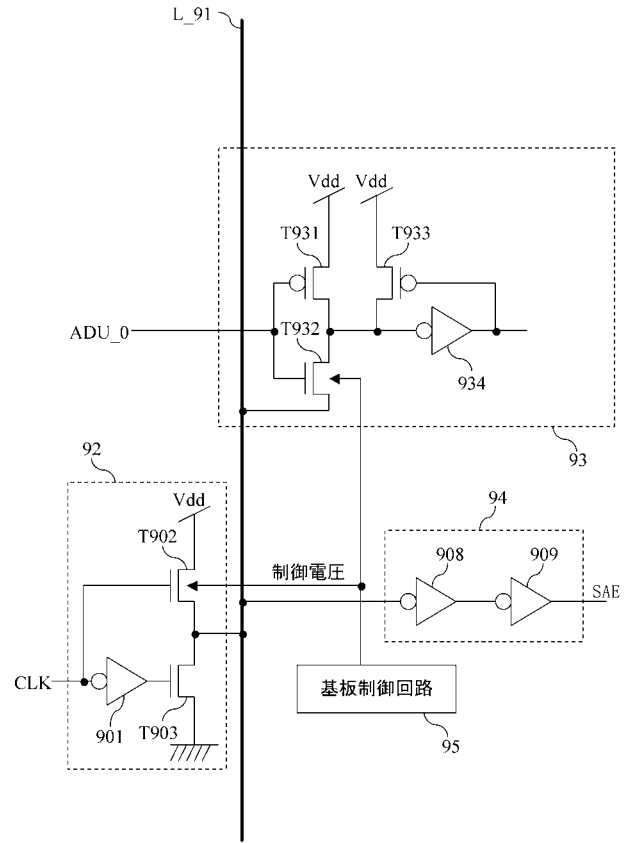
【図 38】



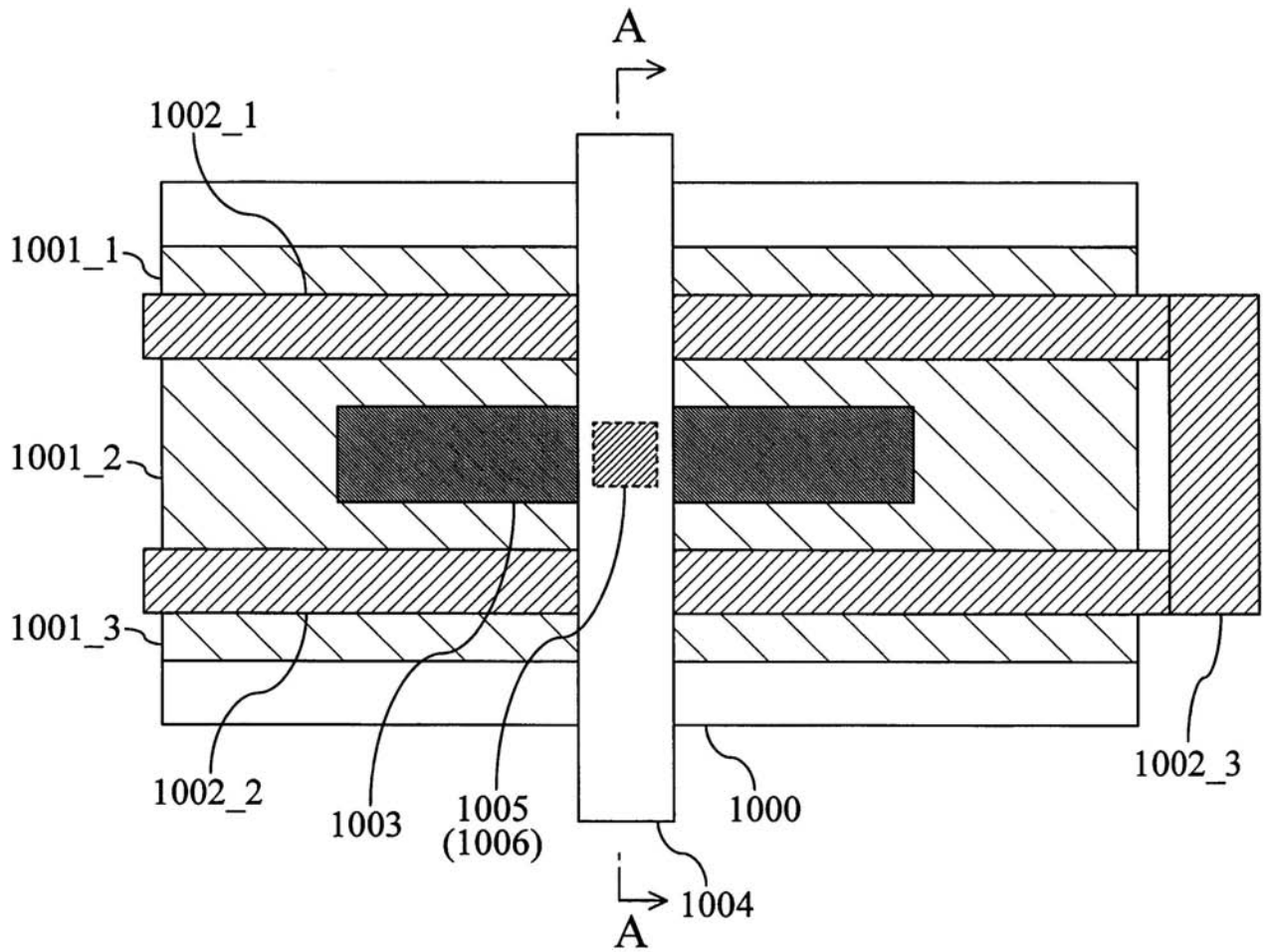
【図 39】



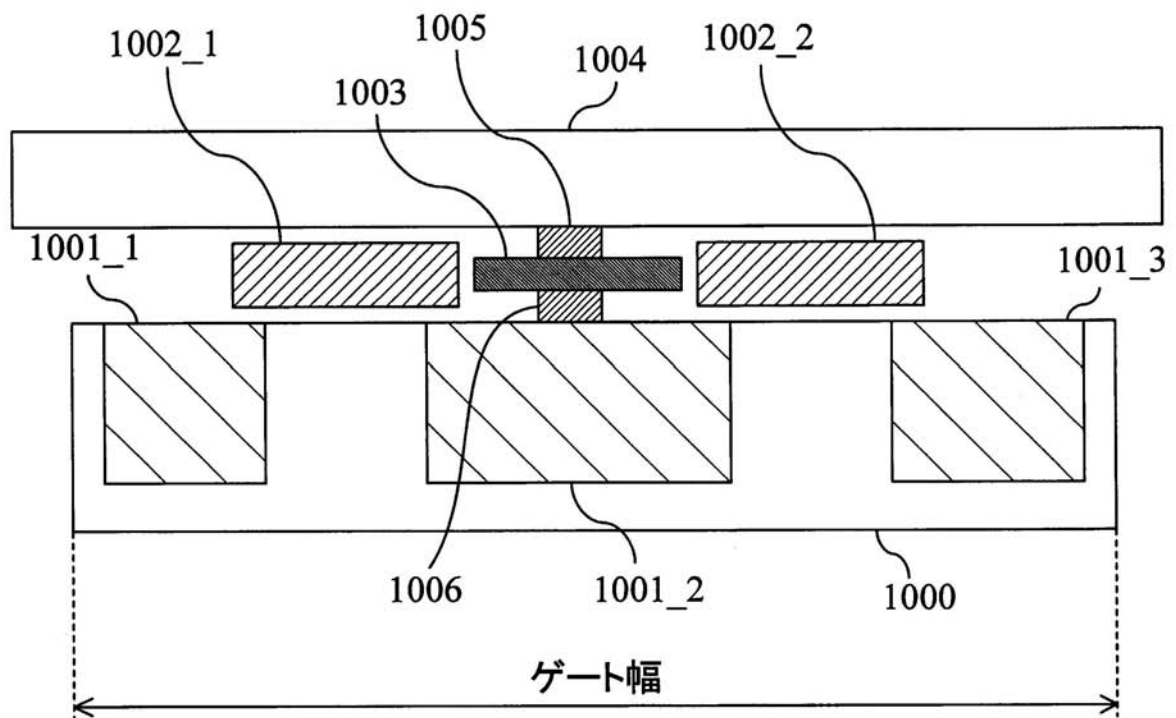
【図 40】



【図 4 1】



【図 4 2】



フロントページの続き

(74)代理人 100117581
弁理士 二宮 克也

(74)代理人 100117710
弁理士 原田 智雄

(74)代理人 100121728
弁理士 井関 勝守

(74)代理人 100124671
弁理士 関 啓

(74)代理人 100131060
弁理士 杉浦 靖也

(72)発明者 増尾 昭
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 法邑 茂夫
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 角谷 範彦
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

F ターム(参考) 5B015 HH01 HH03 JJ03 JJ23 KB44
5J055 AX02 AX12 BX42 CX27 DX12 DX56 DX72 DX73 DX83 EX02
EY21 EZ07 EZ12 EZ22 EZ38 EZ50 FX05 FX18 FX20 FX37
GX01 GX02 GX04 GX05
5J056 AA04 BB02 BB17 CC00 CC05 DD12 DD29 EE06 EE07 EE13
FF01 FF07 FF10 GG09 KK01