(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月23日(23.01.2025)

WIPO | PCT

(10) 国際公開番号
WO 2025/017441 A1

(51) 国際特許分類:
H01L 21/31 (2006.01) *H01L 27/04* (2006.01)
H01L 21/316 (2006.01) *H01L 27/088* (2006.01)
H01L 21/318 (2006.01) *H01L 29/786* (2006.01)
H01L 21/336 (2006.01) *H10B 12/00* (2023.01)
H01L 21/365 (2006.01) *H10B 41/70* (2023.01)
H01L 21/822 (2006.01) *H10B 53/30* (2023.01)
H01L 21/8234 (2006.01)

(21) 国際出願番号： PCT/IB2024/056786

(22) 国際出願日： 2024年7月12日(12.07.2024)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2023-118531 2023年7月20日(20.07.2023) JP

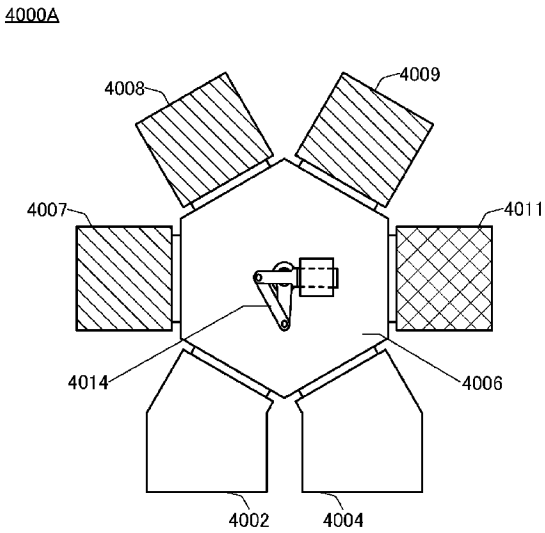
(71) 出願人: 株式会社半導体エネルギー研究所 **(SEMICONDUCTOR ENERGY LABORATORY CO., LTD.)** [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

(72) 発明者: 山崎 舜平 **(YAMAZAKI, Shunpei)**; 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 井坂 史人 **(ISAKA, Fumito)**; 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 村川 努 **(MURAKAWA, Tsutomu)**; 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 倉田 求 **(KURATA, Motomu)**; 〒2430036

(54) **Title:** MANUFACTURING DEVICE AND METHOD FOR PRODUCING SEMICONDUCTOR DEVICE

(54) 発明の名称： 製造装置、及び、半導体装置の作製方法

図1



(57) **Abstract:** Provided is a highly reliable semiconductor device. Also provided is a manufacturing device that is used for producing said semiconductor device. A manufacturing device in which a forming chamber having a function of forming a film by thermal ALD and a film forming chamber having a function of forming a film by plasma ALD are connected through a transfer chamber is used, whereby film formation by thermal ALD and film formation by plasma ALD are continuously performed without exposure to the atmosphere. Thus, for example, a plurality of layers constituting a gate

WO 2025/017441 A1

［続葉有］

神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 澤井寛美(**SAWAI, Hiromi**); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 恵木勇司(**EGI, Yuji**); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 佐藤優一(**SATO, Yuichi**); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

— 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

insulating layer to be provided on an oxide semiconductor layer are continuously formed without being exposed to the atmosphere.

(57) 要約:信頼性の高い半導体装置を提供する。当該半導体装置の作製に用いる製造装置を提供する。熱ＡＬＤ法による成膜を行う機能を有する成膜室と、プラズマＡＬＤ法による成膜を行う機能を有する成膜室と、が搬送室を介して接続された製造装置を用いることで、熱ＡＬＤ法による成膜と、プラズマＡＬＤ法による成膜と、を、大気に曝さずに連続して行う。これにより、例えば、酸化物半導体層上に設けるゲート絶縁層を構成する複数の層を、大気に曝さずに連続して成膜する。

明細書

発明の名称

製造装置、及び、半導体装置の作製方法

技術分野

［０００１］

本発明の一態様は、半導体装置、記憶装置、表示装置、及び電子機器に関する。また、本発明の一態様は、製造装置、及び、半導体装置の作製方法に関する。

［０００２］

なお、本発明の一態様は、上記の技術分野に限定されない。本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置（例えば、タッチセンサ）、入出力装置（例えば、タッチパネル）、それらの駆動方法、またはそれらの製造方法を一例として挙げることができる。

［０００３］

なお、本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップ、パッケージにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置、及び電子機器は、それ自体が半導体装置であり、かつ、それぞれが半導体装置を有している場合がある。

背景技術

［０００４］

近年、半導体装置の開発が進められ、ＬＳＩ、ＣＰＵ、メモリなどが主に半導体装置に用いられている。ＣＰＵは、半導体ウェハを加工し、チップ化された半導体集積回路（少なくともトランジスタ及びメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

［０００５］

ＬＳＩ、ＣＰＵ、メモリなどの半導体回路（ＩＣチップ）は、回路基板、例えばプリント配線基板に実装され、様々な電子機器の部品の一つとして用いられる。

［０００６］

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（ＩＣ）、表示装置のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体材料としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

［０００７］

また、酸化物半導体を用いたトランジスタは、オフ状態において極めてリーク電流が小さいことが知られている。例えば、特許文献１には、酸化物半導体を用いたトランジスタのリーク電流が小さいという特性を応用した低消費電力のＣＰＵなどが開示されている。また、例えば、特許文献２には、酸化物半導体を用いたトランジスタのリーク電流が小さいという特性を応用して、長期にわたり記憶内容を保持することができる記憶装置などが、開示されている。

［０００８］

また、近年では電子機器の小型化、軽量化に伴い、集積回路のさらなる高密度化への要求が高まって

いる。また、集積回路を含む半導体装置の生産性の向上が求められている。例えば、特許文献３及び非特許文献１では、酸化物半導体膜を用いる第１のトランジスタと、酸化物半導体膜を用いる第２のトランジスタとを積層させることで、メモリセルを複数重畳して設けることにより、集積回路の高密度化を図る技術が開示されている。また、特許文献４では、酸化物半導体膜を用いるトランジスタのチャネルを縦方向に配置し、集積回路の高密度化を図る技術が開示されている。

［先行技術文献］

［特許文献］

［０００９］

［特許文献１］特開２０１２－２５７１８７号公報

［特許文献２］特開２０１１－１５１３８３号公報

［特許文献３］国際公開第２０２１／０５３４７３号

［特許文献４］特開２０１３－２１１５３７号公報

［非特許文献］

［００１０］

［非特許文献１］Ｍ．Ｏｏｔａ　ｅｔ．ａｌ，“３Ｄ－Ｓｔａｃｋｅｄ　ＣＡＡＣ－Ｉｎ－Ｇａ－Ｚｎ　Ｏｘｉｄｅ　ＦＥＴｓ　ｗｉｔｈ　Ｇａｔｅ　Ｌｅｎｇｔｈ　ｏｆ　７２ｎｍ”，ＩＥＤＭ　Ｔｅｃｈ．　Ｄｉｇ．，２０１９，ｐｐ．５０－５３

発明の概要

発明が解決しようとする課題

［００１１］

本発明の一態様は、電気特性が良好なトランジスタを提供することを課題の一つとする。または、本発明の一態様は、オン電流が大きいトランジスタを提供することを課題の一つとする。本発明の一態様は、寄生容量が小さいトランジスタを提供することを課題の一つとする。または、本発明の一態様は、微細化または高集積化が可能なトランジスタ、半導体装置、または記憶装置を提供することを課題の一つとする。または、本発明の一態様は、高精細または高開口率の表示装置を提供することを課題の一つとする。または、本発明の一態様は、信頼性の高いトランジスタ、半導体装置、表示装置、または記憶装置を提供することを課題の一つとする。または、本発明の一態様は、消費電力の低い半導体装置、表示装置、または記憶装置を提供することを課題の一つとする。または、本発明の一態様は、動作速度が速い記憶装置を提供することを課題の一つとする。

［００１２］

本発明の一態様は、大気に曝さずに複数の膜を連続で成膜できる新規の製造装置を提供することを課題の一つとする。または、本発明の一態様は、複数の膜を、大気に曝さずに連続で成膜する工程を有する、トランジスタ、半導体装置、表示装置、または記憶装置の作製方法を提供することを課題の一つとする。

［００１３］

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はないものとする。明細書、図面、請求項の記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

［００１４］

本発明の一態様は、第１の成膜室、第２の成膜室、第３の成膜室、第１の処理室、及び、搬送室を有し、第１の成膜室は、第１のプリカーサと、第１の酸化剤と、を用いた、熱ＡＬＤ法による成膜を行う機能を有し、第２の成膜室は、第２のプリカーサと、第２の酸化剤と、を用いた、プラズマＡＬＤ法による成膜を行う機能を有し、第３の成膜室は、第３のプリカーサと、第３の酸化剤と、を用いた、熱ＡＬＤ法による成膜を行う機能を有し、第１の処理室は、加熱処理またはマイクロ波処理を行う機能を有し、第１の成膜室は、搬送室を介して、第２の成膜室、第３の成膜室、及び、第１の処理室とそれぞれ接続されている、製造装置である。

［００１５］

上記製造装置は、さらに、第４の成膜室を有することが好ましい。第４の成膜室は、ＣＶＤ法により導電層の成膜を行う機能を有することが好ましい。第４の成膜室は、搬送室を介して、第１の成膜室、第２の成膜室、及び、第１の処理室とそれぞれ接続されていることが好ましい。

［００１６］

本発明の一態様は、第１の成膜室、第２の成膜室、第１の処理室、及び、搬送室を有し、第１の成膜室は、第１のプリカーサと、窒素を含む第１のガスと、を用いた、プラズマＡＬＤ法による成膜を行う機能を有し、第２の成膜室は、第２のプリカーサと、酸化剤と、を用いた、熱ＡＬＤ法による成膜を行う機能を有し、第１の処理室は、加熱処理またはマイクロ波処理を行う機能を有し、第１の成膜室は、搬送室を介して、第２の成膜室、及び、第１の処理室とそれぞれ接続されている、製造装置である。

［００１７］

上記製造装置は、さらに、第３の成膜室を有することが好ましい。第３の成膜室は、第３のプリカーサと、窒素を含む第２のガスと、を用いた、プラズマＡＬＤ法による成膜を行う機能を有することが好ましい。第３の成膜室は、搬送室を介して、第１の成膜室、第２の成膜室、及び、第１の処理室とそれぞれ接続されていることが好ましい。

［００１８］

上記製造装置は、さらに、第２の処理室を有することが好ましい。このとき、第１の処理室は、加熱処理を行う機能を有し、第２の処理室は、マイクロ波処理を行う機能を有することが好ましい。第２の処理室は、搬送室を介して、第１の成膜室、第２の成膜室、及び、第１の処理室とそれぞれ接続されていることが好ましい。

［００１９］

本発明の一態様は、第１の成膜室、第２の成膜室、第３の成膜室、及び搬送室を有する製造装置を用いた、酸化物半導体層、ゲート絶縁層、及びゲート電極をこの順で積層して有する半導体装置の作製方法であって、ゲート絶縁層は、第１の絶縁層、第２の絶縁層、及び第３の絶縁層を有し、第１の成膜室にて、第１のプリカーサと、第１の酸化剤と、を用いた、熱ＡＬＤ法によって、酸化物半導体層上に第１の絶縁層を成膜し、第２の成膜室にて、第２のプリカーサと、第２の酸化剤と、を用いた、プラズマＡＬＤ法によって、第１の絶縁層上に第２の絶縁層を成膜し、第３の成膜室にて、第３のプリカーサと、第３の酸化剤と、を用いた、熱ＡＬＤ法によって、第２の絶縁層上に第３の絶縁層を成膜し、第１の成膜室は、搬送室を介して、第２の成膜室、及び、第３の成膜室とそれぞれ接続されている、半導体装置の作製方法である。製造装置は第４の成膜室を有していることが好ましい。このとき、第４の成膜室にて、ＣＶＤ法によって、第３の絶縁層上にゲート電極となる導電層を成膜することが好ましい。

発明の効果

［００２０］

本発明の一態様により、電気特性が良好なトランジスタを提供できる。または、本発明の一態様により、オン電流が大きいトランジスタを提供できる。または、本発明の一態様により、寄生容量が小さいトランジスタを提供できる。または、本発明の一態様により、微細化または高集積化が可能なトランジスタ、半導体装置、または記憶装置を提供できる。または、本発明の一態様により、高精細または高開口率の表示装置を提供できる。または、本発明の一態様により、信頼性の高いトランジスタ、半導体装置、表示装置、または記憶装置を提供できる。または、本発明の一態様により、消費電力の低い半導体装置、表示装置、または記憶装置を提供できる。または、本発明の一態様により、動作速度が速い記憶装置を提供できる。

［００２１］

本発明の一態様により、大気に曝さずに複数の膜を連続で成膜できる新規の製造装置を提供できる。または、本発明の一態様により、複数の膜を、大気に曝さずに連続で成膜する工程を有する、トランジスタ、半導体装置、表示装置、または記憶装置の作製方法を提供できる。

［００２２］

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。明細書、図面、請求項の記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

［００２３］

図１は、製造装置の一例を示す平面図である。

図２Ａ及び図２Ｂは、製造装置の一例を示す平面図である。

図３は、製造装置の一例を示す平面図である。

図４Ａ及び図４Ｂは、製造装置の一例を示す断面図である。

図５Ａ乃至図５Ｃは、製造装置の一例を示す断面図である。

図６は、製造装置の一例を示す断面図である。

図７Ａ乃至図７Ｄは、本発明の一態様に係る金属酸化物の成膜方法を説明する断面図である。

図８Ａ乃至図８Ｄは、本発明の一態様に係る金属酸化物の成膜方法を説明する断面図である。

図９Ａ１及び図９Ａ２は、半導体装置の一例を示す平面図である。図９Ｂ乃至図９Ｅは、半導体装置の一例を示す断面図である。

図１０Ａ乃至図１０Ｃは、半導体装置の一例を示す断面図である。

図１１Ａ及び図１１Ｂは、半導体装置の一例を示す断面図である。

図１２Ａ及び図１２Ｂは、半導体装置の一例を示す断面図である。

図１３Ａ乃至図１３Ｄは、半導体装置の一例を示す断面図である。

図１４Ａ乃至図１４Ｄは、半導体装置の一例を示す断面図である。

図１５Ａは、半導体装置の一例を示す平面図である。図１５Ｂ乃至図１５Ｅは、半導体装置の一例を示す断面図である。

図１６Ａ及び図１６Ｂは、半導体装置の一例を示す断面図である。

図１７Ａ乃至図１７Ｃ２は、半導体装置の一例を示す断面図である。

図１８Ａは、記憶装置の一例を示す平面図である。図１８Ｂ及び図１８Ｃは、記憶装置の一例を示す

断面図である。
図１９Ａ及び図１９Ｂは、記憶装置の一例を示す断面図である。
図２０Ａ及び図２０Ｂは、記憶装置の一例を示す断面図である。
図２１は、記憶装置の一例を示す断面図である。
図２２は、記憶装置の一例を示す断面図である。
図２３は、記憶装置の一例を示す断面図である。
図２４は、記憶装置の一例を示す断面図である。
図２５は、記憶装置の一例を示す断面図である。
図２６は、記憶装置の一例を示す断面図である。
図２７Ａ乃至図２７Ｄは、半導体装置の作製方法の一例を示す断面図である。
図２８Ａ及び図２８Ｂは、半導体装置の作製方法の一例を示す断面図である。
図２９Ａ及び図２９Ｂは、半導体装置の作製方法の一例を示す断面図である。
図３０Ａ及び図３０Ｂは、半導体装置の作製方法の一例を示す断面図である。
図３１Ａ及び図３１Ｂは、半導体装置の作製方法の一例を示す断面図である。
図３２Ａ及び図３２Ｂは、半導体装置の作製方法の一例を示す断面図である。
図３３Ａは、記憶装置の一例を示す平面図である。図３３Ｂは、記憶装置の一例を示す断面図である。
図３４は、記憶装置の一例を示す断面図である。
図３５は、記憶装置の一例を示す断面図である。
図３６は、半導体装置の構成例を説明するブロック図である。
図３７Ａ乃至図３７Ｈは、メモリセルの回路構成例を説明する図である。
図３８Ａ及び図３８Ｂは、半導体装置の構成例を説明する斜視図である。
図３９は、ＣＰＵを説明するブロック図である。
図４０Ａ及び図４０Ｂは、半導体装置の斜視図である。
図４１Ａ及び図４１Ｂは、半導体装置の斜視図である。
図４２Ａ及び図４２Ｂは、各種の記憶装置を階層ごとに示す図である。
図４３Ａ及び図４３Ｂは、表示装置の一例を示す斜視図である。
図４４は、表示装置の一例を示す断面図である。
図４５は、表示装置の一例を示す断面図である。
図４６Ａ乃至図４６Ｃは、表示装置の構成例を示す図である。
図４７Ａ及び図４７Ｂは、電子部品の一例を示す図である。
図４８Ａ乃至図４８Ｃは、大型計算機の一例を示す図である。図４８Ｄは、宇宙用機器の一例を示す図である。図４８Ｅは、データセンターに適用可能なストレージシステムの一例を示す図である。
図４９Ａ乃至図４９Ｆは、電子機器の一例を示す図である。
図５０Ａ乃至図５０Ｇは、電子機器の一例を示す図である。
図５１Ａ乃至図５１Ｆは、電子機器の一例を示す図である。

発明を実施するための形態

［００２４］
実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈される

ものではない。

［００２５］

なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチングパターンを同じくし、特に符号を付さない場合がある。

［００２６］

また、図面において示す各構成の、位置、大きさ、及び、範囲などは、理解の簡単のため、実際の位置、大きさ、及び、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面に開示された位置、大きさ、及び、範囲などに限定されない。

［００２７］

なお、本明細書等において、「第１」、「第２」という序数詞は、便宜上用いるものであり、構成要素の数、または、構成要素の順序（例えば、工程順、または積層順）を限定するものではない。また、本明細書のある箇所において構成要素に付す序数詞と、本明細書の他の箇所、または特許請求の範囲において、当該構成要素に付す序数詞と、が一致しない場合がある。

［００２８］

また、トランジスタは半導体素子の一種であり、電流または電圧を増幅する機能、及び、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書におけるトランジスタは、ＩＧＦＥＴ（Ｉｎｓｕｌａｔｅｄ Ｇａｔｅ Ｆｉｅｌｄ Ｅｆｆｅｃｔ Ｔｒａｎｓｉｓｔｏｒ）及び薄膜トランジスタ（ＴＦＴ：Ｔｈｉｎ Ｆｉｌｍ Ｔｒａｎｓｉｓｔｏｒ）を含む。

［００２９］

本明細書等において、半導体層に酸化物半導体または金属酸化物を用いたトランジスタ、及び、チャネル形成領域に酸化物半導体または金属酸化物を有するトランジスタをＯＳトランジスタと記すことがある。また、チャネル形成領域にシリコンを有するトランジスタをＳｉトランジスタと記すことがある。

［００３０］

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャネルが形成される領域（チャネル形成領域ともいう）を有しており、チャネル形成領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャネル形成領域とは、電流が主として流れる領域をいう。

［００３１］

また、「ソース」と「ドレイン」の機能は、異なる極性のトランジスタを採用する場合、または回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」と「ドレイン」の用語は、入れ替えて用いることができるものとする。

［００３２］

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が０．１ａｔｏｍｉｃ％未満の元素は不純物といえる。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなること、または結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第１族元素、第２族元素、第１

３族元素、第１４族元素、第１５族元素、酸化物半導体の主成分以外の遷移金属などがある。具体的には、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。なお、水も不純物として機能する場合がある。また、例えば不純物の混入によって、酸化物半導体に酸素欠損（V_Oとも記す）が形成される場合がある。

［００３３］

なお、本明細書等において、酸化窒化物とは、その組成として窒素よりも酸素の含有量が多い材料を指す。窒化酸化物とは、その組成として酸素よりも窒素の含有量が多い材料を指す。

［００３４］

膜に含まれる水素、酸素、炭素、窒素などの元素の含有量の分析には、例えば、二次イオン質量分析法（ＳＩＭＳ：Ｓｅｃｏｎｄａｒｙ　Ｉｏｎ　Ｍａｓｓ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）、またはX線光電子分光法（ＸＰＳ：Ｘ－ｒａｙ　Ｐｈｏｔｏｅｌｅｃｔｒｏｎ　Ｓｐｅｃｔｒｏｓｃｏｐｙ）を用いることができる。目的の元素の含有率が高い（例えば、０．５ａｔｏｍｉｃ％以上、または１ａｔｏｍｉｃ％以上）場合は、ＸＰＳが適している。一方、目的の元素の含有率が低い（例えば０．５ａｔｏｍｉｃ％以下、または１ａｔｏｍｉｃ％以下）場合には、ＳＩＭＳが適している。元素の含有量を比較する際には、ＳＩＭＳとＸＰＳの両方の分析手法を用いた複合解析を行うことがより好ましい。

［００３５］

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能である。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能である。

［００３６］

また、本明細書等において、「平行」とは、二つの直線が－１０度以上１０度以下の角度で配置されている状態をいう。したがって、－５度以上５度以下の場合も含まれる。また、「概略平行」とは、二つの直線が－２０度以上２０度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が８０度以上１００度以下の角度で配置されている状態をいう。したがって、８５度以上９５度以下の場合も含まれる。また、「概略垂直」とは、二つの直線が７０度以上１１０度以下の角度で配置されている状態をいう。

［００３７］

本明細書等において、「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電気的作用を有するもの」には、電極または配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、コイル、その他の各種機能を有する素子などが含まれる。

［００３８］

本明細書等において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのソースードレイン間のリーク電流をいう。オフ状態とは、特に断りがない場合、ｎチャネル型トランジスタでは、ゲートとソースの間の電圧V_{gs}がしきい値電圧V_{th}よりも低い（ｐチャネル型トランジスタでは、V_{th}よりも高い）状態をいう。

［００３９］

本明細書等において、ノーマリーオンとは、ゲートに電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる状態のことをいう。また、ノーマリーオフとは、ゲートに電位を印加しない、またはゲートに接地電位を与えたときに、トランジスタに電流が流れない状態のことをいう。

［００４０］

なお、本明細書等において、テーパ形状とは、構造の側面の少なくとも一部が、基板面または被形成面に対して傾斜して設けられている形状のことを指す。例えば、傾斜した側面と基板面または被形成面とがなす角（テーパ角ともいう）が０度より大きく９０度未満である領域を有すると好ましい。なお、構造の側面、基板面、及び被形成面は、必ずしも完全に平坦である必要はなく、微小な曲率を有する略平面状、または微細な凹凸を有する略平面状であってもよい。

［００４１］

本明細書等において、ＡはＢ上に位置する、と記載されている場合、Ａの少なくとも一部がＢ上に位置する。そのため、例えば、ＡはＢ上に位置する領域を有する、と言い換えることができる。同様に、ＡはＢと接する、または、ＡはＢと重なる、と記載されている場合、Ａの少なくとも一部が、Ｂと接する、またはＢと重なる。そのため、それぞれ、ＡはＢと接する領域を有する、または、ＡはＢと重なる領域を有する、と言い換えることができる。同様に、本明細書等において、ＡはＢを覆う、と記載されている場合、Ａの少なくとも一部がＢを覆う。そのため、例えば、ＡはＢを覆う領域を有する、と言い換えることができる。

［００４２］

本明細書等において、メタルマスク、またはＦＭＭ（ファインメタルマスク、高精細なメタルマスク）を用いて作製されるデバイスをMM（メタルマスク）構造のデバイスと呼称する場合がある。また、本明細書等において、メタルマスク、またはＦＭＭを用いずに作製されるデバイスをＭＭＬ（メタルマスクレス）構造のデバイスと呼称する場合がある。

［００４３］

本明細書等では、発光波長が異なる発光素子（発光デバイスともいう）で発光層を作り分ける構造をＳＢＳ（Ｓｉｄｅ　Ｂｙ　Ｓｉｄｅ）構造と呼ぶ場合がある。ＳＢＳ構造は、発光素子ごとに材料及び構成を最適化することができるため、材料及び構成の選択の自由度が高まり、輝度の向上及び信頼性の向上を図ることが容易となる。

［００４４］

本明細書等において、正孔または電子を、「キャリア」といって示す場合がある。具体的には、正孔注入層または電子注入層を「キャリア注入層」といい、正孔輸送層または電子輸送層を「キャリア輸送層」といい、正孔ブロック層または電子ブロック層を「キャリアブロック層」という場合がある。なお、前述のキャリア注入層、キャリア輸送層、及びキャリアブロック層は、明確に区別できない場合がある。また、１つの層が、キャリア注入層、キャリア輸送層、及びキャリアブロック層のうち２つまたは３つの機能を兼ねる場合がある。

［００４５］

本明細書等において、発光素子は、一対の電極間にＥＬ層を有する。ＥＬ層は、少なくとも発光層を有する。ここで、ＥＬ層が有する層（機能層ともいう）としては、発光層、キャリア注入層（正孔注入層及び電子注入層）、キャリア輸送層（正孔輸送層及び電子輸送層）、及び、キャリアブロック層（正孔ブロック層及び電子ブロック層）などが挙げられる。本明細書等では、一対の電極の一方を画素電極と記し、他方を共通電極と記すことがある。

［００４６］
本明細書等において、犠牲層（マスク層と呼称してもよい）とは、少なくとも発光層（より具体的には、ＥＬ層を構成する層のうち、島状に加工される層）の上方に位置し、製造工程中において、当該発光層を保護する機能を有する。

［００４７］
本明細書等において、段切れとは、層、膜、または電極が、被形成面の形状（例えば段差など）に起因して分断される現象を示す。

［００４８］
なお、本明細書に係る図面等において、Ｘ方向、Ｙ方向、及びＺ方向を示す矢印を付す場合がある。なお、本明細書等において、「Ｘ方向」とはＸ軸に沿う方向であり、明示する場合を除き順方向と逆方向を区別しない場合がある。「Ｙ方向」及び「Ｚ方向」についても同様である。また、Ｘ方向、Ｙ方向、及びＺ方向は、それぞれが互いに交差する方向である。例えば、Ｘ方向、Ｙ方向、及びＺ方向は、それぞれが互いに直交する方向である。

［００４９］
（実施の形態１）
本実施の形態では、本発明の一態様の製造装置について図１乃至図６を用いて説明する。

［００５０］
本発明の一態様の製造装置は、基板を大気に曝さずに、２種以上の成膜方法による成膜を行うことができる。これにより、例えば、トランジスタ、半導体装置、表示装置、または記憶装置の作製工程において、基板を大気に曝さずに、それぞれ異なる成膜方法で成膜される複数の膜を成膜することができる。したがって、作製工程中に不純物が混入することを極めて低減し、トランジスタ、半導体装置、表示装置、または記憶装置の信頼性を高めることができる。具体的には、酸化物半導体層を用いたトランジスタの作製工程において、トランジスタを構成する層に、水素、及び水などの不純物が混入することを抑制できる。

［００５１］
まず、本発明の一態様の製造装置が有する成膜室に適用できる成膜方法の一例について説明する。

［００５２］
例えば、本発明の一態様の製造装置は、スパッタリング法を用いた成膜、原子層堆積（ＡＬＤ：Ａｔｏｍｉｃ　Ｌａｙｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法を用いた成膜、及び、化学気相堆積（ＣＶＤ：Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）法を用いた成膜のうち、少なくとも一つを行う機能を有することが好ましい。

［００５３］
スパッタリング法にはスパッタリング用電源に高周波電源を用いるＲＦスパッタリング法、直流電源を用いるＤＣスパッタリング法、さらにパルス的に電極に印加する電圧を変化させるパルスＤＣスパッタリング法がある。ＲＦスパッタリング法は主に絶縁膜を成膜する場合に用いられ、ＤＣスパッタリング法は主に金属導電膜を成膜する場合に用いられる。また、パルスＤＣスパッタリング法は、主に、酸化物、窒化物、炭化物などの化合物をリアクティブスパッタリング法で成膜する際に用いられる。

［００５４］
ＡＬＤ法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ＡＬＤ（Ｔｈｅ

ｒｍａｌ　ＡＬＤ）法、及び、プラズマ励起されたリアクタントを用いるプラズマＡＬＤ（ＰＥＡＬＤ：Ｐｌａｓｍａ　Ｅｎｈａｎｃｅｄ　ＡＬＤ）法などが挙げられる。

［００５５］

ＡＬＤ法は、一層ずつ原子を堆積することができるため、極薄の成膜が可能、アスペクト比の高い構造、又は段差の大きい表面への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、及び低温での成膜が可能、などの効果がある。また、ＰＥＡＬＤ法は、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。なお、ＡＬＤ法で用いるプリカーサには炭素または塩素などの元素を含むものがある。このため、ＡＬＤ法により設けられた膜は、他の成膜方法により設けられた膜と比較して、炭素または塩素などの元素を多く含む場合がある。なお、これらの元素の定量は、ＸＰＳまたはＳＩＭＳを用いて行うことができる。なお、成膜時の基板温度が高い条件の採用、及び、不純物除去処理の実施の一方または双方を適用することで、これらを適用せずにＡＬＤ法を用いる場合に比べて、膜中に含まれる炭素及び塩素の量を少なくできることがある。

［００５６］

ＡＬＤ法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ＡＬＤ法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。

［００５７］

また、ＣＶＤ法は、プラズマを利用するプラズマＣＶＤ（ＰＥＣＶＤ）法、熱を利用する熱ＣＶＤ（ＴＣＶＤ：Ｔｈｅｒｍａｌ　ＣＶＤ）法、光を利用する光ＣＶＤ（Ｐｈｏｔｏ　ＣＶＤ）法などに分類できる。さらに用いる原料ガスによって金属ＣＶＤ（ＭＣＶＤ：Ｍｅｔａｌ　ＣＶＤ）法、有機金属ＣＶＤ（ＭＯＣＶＤ：Ｍｅｔａｌ　Ｏｒｇａｎｉｃ　ＣＶＤ）法に分けることができる。

［００５８］

プラズマＣＶＤ法は、比較的低温で高品質の膜が得られる。また、熱ＣＶＤ法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。また、熱ＣＶＤ法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

［００５９］

本発明の一態様の製造装置は、第１の成膜室、第２の成膜室、第３の成膜室、第１の処理室、及び、搬送室を有する。

［００６０］

第１の成膜室は、第１のプリカーサと、第１の酸化剤と、を用いた、熱ＡＬＤ法による成膜を行う機能を有し、第２の成膜室は、第２のプリカーサと、第２の酸化剤と、を用いた、ＰＥＡＬＤ法による成膜を行う機能を有し、第３の成膜室は、第３のプリカーサと、第３の酸化剤と、を用いた、熱ＡＬＤ法による成膜を行う機能を有し、第１の処理室は、加熱処理またはマイクロ波処理を行う機能を有し、第１の成膜室は、搬送室を介して、第２の成膜室、第３の成膜室、及び、第１の処理室とそれぞれ接続される。

［００６１］

このような構成とすることで、基板を大気に曝さずに、熱ＡＬＤ法による成膜工程と、ＰＥＡＬＤ法による成膜工程と、を連続して行うことができる。また、２つの成膜工程の間に、加熱処理またはマ

イクロ波処理を行う場合においても、第１の処理室内で行うことができるため、製造装置の外部に基板を取り出す必要がなく、好ましい。

［００６２］

具体的には、例えば、熱ＡＬＤ法を用いて酸化アルミニウム膜を形成し、ＰＥＡＬＤ法を用いて酸化シリコン膜を形成し、熱ＡＬＤ法を用いて酸化ハフニウム膜を形成することができる。これら３層の積層構造は、例えば、トランジスタのゲート絶縁層に好適である。

［００６３］

さらに、ＣＶＤ法により導電層の成膜を行う機能を有する第４の成膜室を有することが好ましい。第４の成膜室は、搬送室を介して、第１の成膜室、第２の成膜室、及び、第１の処理室とそれぞれ接続される。

［００６４］

このような構成とすることで、基板を大気に曝さずに、熱ＡＬＤ法による成膜工程と、ＰＥＡＬＤ法による成膜工程と、ＣＶＤ法による成膜工程と、を、連続して行うことができる。

［００６５］

例えば、第１の成膜室乃至第３の成膜室にて、ゲート絶縁層を形成した後、連続して、第４の成膜室にて、ゲート電極となる導電層を形成することが好ましい。

［００６６］

または、本発明の別の一態様の製造装置は、３つの成膜室を有し、そのうち２つの成膜室がＡＬＤ法による成膜を行う機能を有し、残りの１つの成膜室がスパッタリング法による成膜を行う機能を有し、さらに、当該製造装置は、加熱処理を行う処理室を有し、処理室は、搬送室を介して、３つの成膜室とそれぞれ接続される。

［００６７］

このような構成とすることで、基板を大気に曝さずに、ＡＬＤ法による成膜工程と、スパッタリング法による成膜工程と、を、連続して行うことができる。また、２つの成膜工程の間に、加熱処理を行う場合においても、処理室内で行うことができるため、製造装置の外部に基板を取り出す必要がなく、好ましい。このような構成の製造装置は、例えば、実施の形態２で例示する酸化物半導体層の成膜に好適である。

［００６８］

または、本発明の別の一態様の製造装置は、第１の成膜室、第２の成膜室、第１の処理室、及び、搬送室を有する。

［００６９］

第１の成膜室は、第１のプリカーサと、窒素を含む第１のガスと、を用いた、ＰＥＡＬＤ法による成膜を行う機能を有し、第２の成膜室は、第２のプリカーサと、酸化剤と、を用いた、熱ＡＬＤ法による成膜を行う機能を有し、第１の処理室は、加熱処理またはマイクロ波処理を行う機能を有し、第１の成膜室は、搬送室を介して、第２の成膜室、及び、第１の処理室とそれぞれ接続される。

［００７０］

上記の製造装置は、さらに、第３のプリカーサと、窒素を含む第２のガスと、を用いた、ＰＥＡＬＤ法による成膜を行う機能を有する第３の成膜室を有することが好ましい。第３の成膜室は、搬送室を介して、第１の成膜室、第２の成膜室、及び、第１の処理室とそれぞれ接続されている。

［００７１］

このような構成とすることで、基板を大気に曝さずに、ＰＥＡＬＤ法による窒化膜の成膜工程と、熱ＡＬＤ法による酸化膜の成膜工程と、を連続して行うことができる。また、２つの成膜工程の間に、加熱処理またはマイクロ波処理を行う場合においても、第１の処理室内で行うことができるため、製造装置の外部に基板を取り出す必要がなく、好ましい。

［００７２］

具体的には、例えば、ＰＥＡＬＤ法を用いて窒化シリコン膜を形成し、熱ＡＬＤ法を用いて酸化シリコン膜を形成することができる。酸化膜と窒化膜の連続成膜は、例えば、トランジスタのゲート絶縁層の連続成膜、及び、半導体装置等を構成する層間膜の連続成膜に好適である。

［００７３］

また、上記の各製造装置は、さらに、第２の処理室を有することが好ましい。第１の処理室は、加熱処理を行う機能を有し、第２の処理室は、マイクロ波処理を行う機能を有し、第２の処理室は、搬送室を介して、第１の成膜室、第２の成膜室、及び、第１の処理室とそれぞれ接続されている。

［００７４］

これにより、２つの成膜工程の間に、加熱処理及びマイクロ波処理の双方を行う場合においても、第１の処理室内及び第２の処理室内で行うことができるため、製造装置の外部に基板を取り出す必要がなく、好ましい。また、加熱処理またはマイクロ波処理を成膜工程の前または後に行う場合にも、第１の処理室または第２の処理室を利用でき、好ましい。

［００７５］

＜製造装置の構成例＞

図１は、マルチチャンバー型の製造装置４０００Ａの模式図である。図２Ａは、マルチチャンバー型の製造装置４０００Ｂの模式図である。図２Ｂは、マルチチャンバー型の製造装置４０００Ｃの模式図である。図３は、マルチチャンバー型の製造装置４０００Ｄの模式図である。図４Ａ、図４Ｂ、及び図５Ａ乃至図５Ｃは、上記製造装置に用いることができるＡＬＤ装置の断面図である。図６は、上記製造装置に用いることができるスパッタリング装置の断面図である。なお、図１乃至図６においては、代表的な構成を示しており、一部の構成は省略している。

［００７６］

図１に示すように、製造装置４０００Ａは、搬入搬出室４００２と、搬入搬出室４００４と、搬送室４００６と、成膜室４００７と、成膜室４００８と、成膜室４００９と、処理室４０１１と、を有する。搬入搬出室４００２及び搬入搬出室４００４は、室内の圧力を大気圧から減圧、または減圧から大気圧へ切り替える機能を有し、基板の搬入または搬出を行うことができる。搬送室４００６には、搬送アーム４０１４が設けられており、真空中で、各室に基板を搬送することができる。

［００７７］

ここで、搬入搬出室４００２、搬入搬出室４００４、成膜室４００７、成膜室４００８、成膜室４００９、及び処理室４０１１は、搬送室４００６とそれぞれゲートバルブを介して接続されている。よって、製造装置４０００Ａは、各室の真空状態を独立して保持することができる。これにより、成膜室４００７、成膜室４００８、成膜室４００９、及び処理室４０１１において大気に曝すことなく、連続処理を行うことができ、膜中に不純物が混入するのを防ぐことができる。また、基板と膜の界面、及び各膜の界面の汚染は低減され、清浄な界面が得られる。

［００７８］

成膜室と搬送室との圧力を同程度に調整した状態で、基板を搬送することが好ましい。例えば、成膜

室と搬送室の圧力の差が大きいと、差圧による気流が発生し、室内で異物が巻き上がることがある。成膜室と搬送室との圧力を同程度にすることで、基板にパーティクルが付着すること、及び、基板が不純物等で汚染されることを抑制でき、好ましい。具体的には、搬送室の圧力と成膜室の圧力の差は、２００Ｐａ以下が好ましく、１００Ｐａ以下がより好ましく、５０Ｐａ以下がさらに好ましい。また、成膜室内のガス、不純物等が搬送室に流れ、搬送室が汚染されることを抑制するため、搬送室の圧力よりも成膜室の圧力が低いことが好ましい。

［００７９］

成膜室４００７乃至成膜室４００９は、それぞれ独立に、成膜装置を有する。成膜装置としては、例えば、ＡＬＤ装置、ＣＶＤ装置、及びスパッタリング装置が挙げられる。ＡＬＤ装置としては、例えば、熱ＡＬＤ装置及びＰＥＡＬＤ装置が挙げられる。ＣＶＤ装置としては、例えば、ＰＥＣＶＤ装置、熱ＣＶＤ装置、光ＣＶＤ装置、金属ＣＶＤ装置、及びＭＯＣＶＤ装置が挙げられる。

［００８０］

例えば、成膜室４００７及び成膜室４００９が熱ＡＬＤ装置を有し、成膜室４００８がＰＥＡＬＤ装置を有することが好ましい。

［００８１］

このような構成にすることで、実施の形態３で説明する絶縁層２５０ｄ、絶縁層２５０ａ、及び絶縁層２５０ｂの形成（図１０Ｃ）を、製造装置４０００Ａで行うことができる。具体的には、絶縁層２５０ｄの形成を、成膜室４００７で熱ＡＬＤ法を用いて行うことができる。同様に、絶縁層２５０ａの形成を、成膜室４００８でＰＥＡＬＤ法を用いて行うことができる。さらに、絶縁層２５０ｂの形成を、成膜室４００９で熱ＡＬＤ法を用いて行うことができる。例えば、絶縁層２５０ｄに酸化アルミニウム膜を用い、絶縁層２５０ａに酸化シリコン膜を用い、絶縁層２５０ｂに酸化ハフニウム膜を用いることが好ましい。

［００８２］

絶縁層２５０ｄ、絶縁層２５０ａ、及び絶縁層２５０ｂは、ゲート絶縁層として機能する層であるため、不純物濃度が低いことが好ましい。これにより、酸化物半導体層のチャネル形成領域に不純物が混入することを抑制できる。

［００８３］

または、例えば、成膜室４００７及び成膜室４００９がＡＬＤ装置を有し、成膜室４００８がスパッタリング装置を有することが好ましい。

［００８４］

処理室４０１１には、加熱装置（代表的には、真空加熱装置）を用いることができる。なお、処理室４０１１には、プラズマ発生装置（代表的には、マイクロ波処理装置）などの成膜装置以外の処理装置を設ける構成にすることもできる。

［００８５］

このような構成にすることで、実施の形態２で説明する酸化物半導体２３０ａの形成（図７Ａ）を、成膜室４００７でＡＬＤ法を用いて行うことができる。同様に、酸化物半導体２３０ｂの形成（図７Ｂ）を、成膜室４００８でスパッタリング法を用いて行うことができる。さらに、酸化物半導体２３０ｃの形成（図７Ｃ）を、成膜室４００９でＡＬＤ法を用いて行うことができる。さらに、加熱処理（図７Ｄ）を、処理室４０１１で行うことが好ましい。

［００８６］

このように、図７Ａ乃至図７Ｄに係る工程において、酸化物半導体２３０ａ乃至酸化物半導体２３０ｃは、大気に曝さずに連続して成膜及び処理することができる。よって、形成された酸化物半導体層２３０中に不純物が混入することを防ぐことができる。また、不純物による、結晶成長の阻害が抑制されるため、結晶性の向上を図ることができる。

［００８７］

酸化物半導体層の結晶性を高めることにより、酸化物半導体層の電気抵抗の増加抑制、またはトランジスタの初期特性（特にオン電流）が向上し、高速駆動に適したトランジスタとすることが期待できる。また、トランジスタの信頼性を高めることができる。

［００８８］

または、例えば、成膜室４００７及び成膜室４００９がＰＥＡＬＤ装置を有し、成膜室４００８がスパッタリング装置を有することが好ましい。

［００８９］

このような構成にすることで、実施の形態４で説明する絶縁層１６１ｃ、絶縁層１６１ａ、及び絶縁層１６１ｄの形成（図２７Ａ）を、製造装置４０００Ａで行うことができる。具体的には、絶縁層１６１ｃの形成を、成膜室４００７でＰＥＡＬＤ法を用いて行うことができる。同様に、絶縁層１６１ａの形成を、成膜室４００８でスパッタリング法を用いて行うことができる。さらに、絶縁層１６１ｄの形成を、成膜室４００９でＰＥＡＬＤ法を用いて行うことができる。例えば、絶縁層１６１ｃ及び絶縁層１６１ｄに窒化シリコン膜を用い、絶縁層１６１ａに酸化シリコン膜を用いることが好ましい。

［００９０］

このように、製造装置４０００Ａを用いることで、絶縁層１６１ｃ、絶縁層１６１ａ、及び絶縁層１６１ｄを、大気に曝さずに連続して成膜することができる。したがって、絶縁層１６１ｃ、絶縁層１６１ａ、及び絶縁層１６１ｄに不純物が混入することを防ぐことができる。絶縁層１６１ｃ、絶縁層１６１ａ、及び絶縁層１６１ｄは、酸化物半導体層と接する層、または酸化物半導体層の近傍に位置する層であるため、不純物濃度が低いことが好ましい。これにより、酸化物半導体層のチャネル形成領域に不純物が混入することを抑制できる。

［００９１］

同様の構成及び方法で、実施の形態４で説明する絶縁層２８０ｃ、絶縁層２８０ａ、及び絶縁層２８０ｅ（図２８Ｂ）も、大気に曝さずに連続して成膜することができる。また、同様の構成及び方法で、実施の形態４で説明する絶縁層２８０ｆ、絶縁層２８０ｂ、及び絶縁層２８０ｄ（図２９Ａ）も、大気に曝さずに連続して成膜することができる。これにより、絶縁層２８０ａ乃至絶縁層２８０ｆに不純物が混入することを防ぐことができる。絶縁層２８０ａ乃至絶縁層２８０ｆは、酸化物半導体層と接する層、または酸化物半導体層の近傍に位置する層であるため、不純物濃度が低いことが好ましい。これにより、酸化物半導体層のチャネル形成領域に不純物が混入することを抑制できる。

［００９２］

搬入搬出室４００２、搬入搬出室４００４、搬送室４００６、成膜室４００７、成膜室４００８、成膜室４００９、及び処理室４０１１は、それぞれ排気手段に接続されている。排気手段としては、ドライポンプ、メカニカルブースターポンプ、クライオポンプ、ターボ分子ポンプ等の真空ポンプが挙げられる。例えば、成膜室４００７、成膜室４００８、成膜室４００９、及び処理室４０１１では、ターボ分子ポンプとドライポンプを接続することができる。また例えば、成膜室４００７、成膜室４

００８、成膜室４００９、及び処理室４０１１に、さらにクライオトラップを設ける構成にしてもよい。また例えば、成膜室４００７及び成膜室４００９にＡＬＤ装置を用いる場合、ドライポンプと粉体吸着トラップを設ける構成にしてもよい。また例えば、搬入搬出室４００２、搬入搬出室４００４、及び搬送室４００６では、クライオポンプとドライポンプを接続することができる。

［００９３］

成膜室４００７、成膜室４００８、成膜室４００９、及び処理室４０１１は、それぞれガス供給装置を介して、ガス精製装置と接続してもよい。また、各室は、ガス加熱機構を介してガス供給装置と接続してもよい。ガス加熱機構はガス供給装置を介してガス精製装置と接続される。処理室に導入されるガスは、露点が－８０℃以下、好ましくは－１００℃以下、さらに好ましくは－１２０℃以下であるガスを用いることができ、例えば、酸素ガス、窒素ガス、および貴ガス（アルゴンガスなど）を用いることができる。また、ガス加熱機構により、処理室に導入されるガスを４０℃以上４００℃以下に加熱することができる。なお、ガス加熱機構、ガス供給装置、およびガス精製装置は、ガス種の数だけ設けるとよい。

［００９４］

また、搬入搬出室４００２、搬入搬出室４００４、搬送室４００６、成膜室４００７、成膜室４００８、成膜室４００９、及び処理室４０１１は、水分の付着などを防ぐため、露点が管理された不活性ガス（窒素ガス等）を充填させておくことが好ましく、減圧を維持させることが望ましい。

［００９５］

また、搬入搬出室４００２及び搬入搬出室４００４の外に基板供給室を設ける構成にすることもできる。基板供給室は、基板を収容するカセットポートと、基板のアライメントを行うアライメントポートを有する。基板供給室と搬入搬出室４００２及び搬入搬出室４００４とは、搬送アームを有する搬送室で接続される構成にすることができる。このような構成にすることで、基板供給室と、搬入搬出室４００２及び搬入搬出室４００４との間で、基板の受け渡しを行うことができる。

［００９６］

また、製造装置４０００Ａは、搬入搬出室４００２、搬入搬出室４００４、成膜室４００７、成膜室４００８、成膜室４００９、及び処理室４０１１を有する構成としているが、本発明はこれに限られるものではない。製造装置の成膜室を２個、または４個以上有する構成としてもよい。また、製造装置の処理室を２個以上有する構成としてもよい。また、搬入搬出室を１個、または３個以上有する構成としてもよい。また、搬送室を２個以上有する構成としてもよい。また、図１において、搬送アーム４０１４を１本示しているが、本発明はこれに限られるものではない。例えば、搬送室４００６に２本以上の搬送アームを設ける構成にしてもよい。

［００９７］

例えば、図２Ａに示す製造装置４０００Ｂは、成膜室４００９を有していない点で、製造装置４０００Ａと異なる。

［００９８］

なお、同じ材料及び同じ成膜方法を用いて成膜する複数の層の成膜工程は、１つの成膜室で行ってもよい。例えば、前述の絶縁層１６１ｃと絶縁層１６１ｄに同じ材料（ここでは、窒化シリコン）を用いる場合、１つの成膜室で、絶縁層１６１ｃの工程と絶縁層１６１ｄの工程の双方を行ってもよい。

［００９９］

また、図２Ｂに示す製造装置４０００Ｃは、成膜室４０１０及び処理室４０１２を有する点で、製造

装置４０００Ａと異なる。

［０１００］

製造装置４０００Ｃは、例えば、成膜室４００７及び成膜室４００９が熱ＡＬＤ装置を有し、成膜室４００８及び成膜室４０１０がＰＥＡＬＤ装置を有することが好ましい。

［０１０１］

このような構成にすることで、実施の形態３で説明する絶縁層２５０ｄ、絶縁層２５０ａ、絶縁層２５０ｂ、絶縁層２５０ｃの形成（図１０Ｂ）を、製造装置４０００Ｃで行うことができる。具体的には、絶縁層２５０ｄの形成を、成膜室４００７で熱ＡＬＤ法を用いて行うことができる。同様に、絶縁層２５０ａの形成を、成膜室４００８でＰＥＡＬＤ法を用いて行うことができる。さらに、絶縁層２５０ｂの形成を、成膜室４００９で熱ＡＬＤ法を用いて行うことができる。さらに、絶縁層２５０ｃの形成を、成膜室４０１０でＰＥＡＬＤ法を用いて行うことができる。例えば、絶縁層２５０ｄに酸化アルミニウム膜を用い、絶縁層２５０ａに酸化シリコン膜を用い、絶縁層２５０ｂに酸化ハフニウム膜を用い、絶縁層２５０ｃに窒化シリコン膜を用いることが好ましい。

［０１０２］

絶縁層２５０ｄ、絶縁層２５０ａ、絶縁層２５０ｂ、及び絶縁層２５０ｃは、ゲート絶縁層として機能する層であるため、不純物濃度が低いことが好ましい。これにより、酸化物半導体層のチャネル形成領域に不純物が混入することを抑制できる。

［０１０３］

処理室４０１１及び処理室４０１２は、一方が、加熱装置（代表的には、真空加熱装置）を有し、他方がプラズマ発生装置（代表的には、マイクロ波処理装置）を有することが好ましい。これにより、膜に対して、加熱処理とマイクロ波処理の両方を行うことができるため、膜中の不純物濃度のさらなる低減を図ることができる。

［０１０４］

または、処理室４０１１及び処理室４０１２の双方が、加熱装置を有していてもよい。加熱処理に利用可能な処理室を複数有することで、比較的処理時間が長い加熱処理工程について、単位時間当たりの処理量を増やすことができる。よって、半導体装置等の生産性の向上を図ることができる。または、処理室４０１１及び処理室４０１２の双方が、プラズマ発生装置を有していてもよい。

［０１０５］

また、処理室４０１１及び処理室４０１２の一方または双方で行う処理は、加熱処理及びマイクロ波処理に限定されない。例えば、基板のクリーニング処理、プラズマ処理、逆スパッタリング処理、エッチング処理、アッシング処理などを行ってもよい。この場合、処理室４０１１及び処理室４０１２の一方または双方に、ドライエッチング装置を設ける構成にしてもよい。

［０１０６］

また、図３に示す製造装置４０００Ｄは、搬入搬出室４０５２と、搬入搬出室４０５４と、搬送室４０５６ａと、搬送室４０５６ｂと、移送室４０６５と、成膜室４０６０ａと、成膜室４０６０ｂと、成膜室４０６０ｃと、成膜室４０６０ｄと、成膜室４０６０ｅと、処理室４０６１ａと、処理室４０６１ｂと、を有する。搬送室４０５６ａには搬送アーム４０６４ａが、搬送室４０５６ｂには搬送アーム４０６４ｂが設けられている。ここで、搬入搬出室４０５２、搬入搬出室４０５４、成膜室４０６０ａ、成膜室４０６０ｂ、処理室４０６１ａ、及び処理室４０６１ｂは、搬送室４０５６ａとそれぞれゲートバルブを介して独立に接続されている。また、成膜室４０６０ｃ、成膜室４０６０ｄ、及

び成膜室４０６０ｅは、搬送室４０５６ｂとそれぞれゲートバルブを介して独立に接続されている。

［０１０７］

搬入搬出室４０５２は搬入搬出室４００２に対応し、搬入搬出室４０５４は搬入搬出室４００４に対応し、搬送室４０５６ａ及び搬送室４０５６ｂは搬送室４００６に対応し、成膜室４０６０ａ乃至成膜室４０６０ｅは成膜室４００７乃至成膜室４００９に対応し、処理室４０６１ａ及び処理室４０６１ｂは処理室４０１１に対応し、搬送アーム４０６４ａ及び搬送アーム４０６４ｂは搬送アーム４０１４に対応する。よって、詳細については前述の記載を参照することができる。

［０１０８］

移送室４０６５は、搬送室４０５６ａと搬送室４０５６ｂを接続している。移送室４０６５を介することで、搬送アーム４０６４ａと搬送アーム４０６４ｂとの間で基板を受け渡すことができる。なお、搬送室４０５６ａと搬送室４０５６ｂの間に複数の移送室を設ける構成にしてもよい。また、搬送室をさらに増やす場合、搬送室の個数に応じて移送室を適宜設けることができる。

［０１０９］

図３に示すように成膜室の個数を増やすことで、例えば、成膜室４０６０ａ、成膜室４０６０ｂ、成膜室４０６０ｄ、及び成膜室４０６０ｅにＡＬＤ装置を用い、成膜室４０６０ｃに、スパッタリング装置を用いることができる。これにより、比較的処理時間が長いＡＬＤ成膜工程について、単位時間当たりの成膜量を増やすことができる。よって、酸化物半導体層、及び酸化物半導体層を用いた半導体装置の生産性の向上を図ることができる。

［０１１０］

また、例えば、成膜室４０６０ａ及び成膜室４０６０ｃが熱ＡＬＤ装置を有し、成膜室４０６０ｂがＰＥＡＬＤ装置を有し、成膜室４０６０ｄ及び成膜室４０６０ｅがメタルＣＶＤ装置またはＭＯＣＶＤ装置を有することが好ましい。

［０１１１］

このような構成にすることで、実施の形態３で説明する絶縁層２５０ｄ、絶縁層２５０ａ、及び絶縁層２５０ｂの形成（図１０Ｃ）と連続して、導電層２６５ａ及び導電層２６５ｂの形成も、製造装置４０００Ｄで行うことができる。具体的には、絶縁層２５０ｄの形成を、成膜室４０６０ａで熱ＡＬＤ法を用いて行うことができる。同様に、絶縁層２５０ａの形成を、成膜室４０６０ｂでＰＥＡＬＤ法を用いて行うことができる。さらに、絶縁層２５０ｂの形成を、成膜室４０６０ｃで熱ＡＬＤ法を用いて行うことができる。さらに、導電層２６５ａの形成を、成膜室４０６０ｄで行い、導電層２６５ｂの形成を成膜室４０６０ｅで行うことができる。

［０１１２］

このようにゲート絶縁層とゲート電極とを大気に晒さずに連続して成膜することができる。これにより、ゲート絶縁層とゲート電極の界面における不純物を低減できる。そして、トランジスタの電気特性及び信頼性を高めることができる。

［０１１３］

また、本発明の一態様の製造装置は枚葉式としてもよいし、複数の基板に対して一括で成膜するバッチ式にしてもよい。

［０１１４］

［ＡＬＤ装置］

次に、上記成膜室に用いることができる熱ＡＬＤ装置の構成の一例について、図４Ａを用いて説明す

る。熱ＡＬＤ装置は、成膜室（チャンバー４５２０）と、原料供給部４５２１（原料供給部４５２１ａ乃至原料供給部４５２１ｃ）と、原料供給部４５３１と、導入量制御器である高速バルブ４５２２ａ乃至高速バルブ４５２２ｄと、ガス供給部４５３２と、原料導入口４５２３と、原料排出口４５２４と、排気装置４５２５を有する。チャンバー４５２０内に設置される原料導入口４５２３は供給管及びバルブを介して原料供給部４５２１ａ、原料供給部４５２１ｂ、原料供給部４５２１ｃ、原料供給部４５３１及びガス供給部４５３２とそれぞれ接続されており、原料排出口４５２４は、排出管、バルブ、圧力調整器、粉体吸着トラップを介して排気装置４５２５と接続されている。

［０１１５］

チャンバー４５２０内部には基板ホルダ４５２６があり、基板ホルダ４５２６上に基板４５３０を配置する。基板ホルダ４５２６は回転機構を有していてもよい。また、チャンバー４５２０外壁には、ヒータ４５２７が設けられており、チャンバー４５２０内部、基板ホルダ４５２６、及び基板４５３０表面などの温度を制御することができる。ヒータ４５２７は、基板４５３０表面の温度を１００℃以上６００℃以下、好ましくは１００℃以上３５０℃以下、より好ましくは２００℃以上プリカーサの分解温度以下に制御できることが好ましく、ヒータ４５２７自体の温度は１００℃以上６００℃以下に設定できることが好ましい。このような温度範囲で基板を加熱しながら成膜を行うことで、プリカーサまたはリアクタントなどに含まれる、水素、または炭素などの不純物が、膜中に残存することを抑制できる。例えば、金属酸化物層を形成する場合、上記の不純物の除去と同時に、金属原子及び酸素原子の再配列が行われ、各酸化物の層を秩序性高く配列させることができる。よって、結晶性の高い、層状の結晶構造の金属酸化物を形成することができる。また、ヒータ４５２７を用いて、金属酸化物成膜後の熱処理を行ってもよい。

［０１１６］

原料供給部４５２１ａ、原料供給部４５２１ｂ、原料供給部４５２１ｃ、及び原料供給部４５３１では、気化器または加熱手段などによって固体の原料または液体の原料から原料ガスを形成する。または、原料供給部４５２１ａ、原料供給部４５２１ｂ、原料供給部４５２１ｃ、及び原料供給部４５３１は、気体の原料ガスを供給する構成としてもよい。

［０１１７］

図４Ａに示す成膜装置では、原料供給部４５２１、及び原料供給部４５３１で用いる原料（揮発性有機金属化合物など）を適宜選択してチャンバー４５２０に導入することにより、金属酸化物を形成することができる。前述のように、金属酸化物として、インジウム、ガリウム、亜鉛を含むＩｎ－Ｇａ－Ｚｎ酸化物を形成する場合、図４Ａに示すように、少なくとも３つの原料供給部４５２１ａ乃至原料供給部４５２１ｃと、少なくとも１つの原料供給部４５３１が設けられた成膜装置を用いることが好ましい。

［０１１８］

例えば、原料供給部４５２１ａからインジウムを有するプリカーサが供給され、原料供給部４５２１ｂからガリウムを有するプリカーサが供給され、原料供給部４５２１ｃから亜鉛を有するプリカーサが供給される。

［０１１９］

インジウムを含むプリカーサとしては、例えば、トリエチルインジウム、トリス（２，２，６，６－テトラメチル－３，５－ヘプタンジオン酸）インジウム、シクロペンタジエニルインジウム、塩化インジウム（ＩＩＩ）、及び、（３－（ジメチルアミノ）プロピル）ジメチルインジウムが挙げられる。

［０１２０］
ガリウムを含むプリカーサとしては、例えば、トリメチルガリウム、トリエチルガリウム、トリス（ジメチルアミド）ガリウム（ＩＩＩ）、ガリウム（ＩＩＩ）アセチルアセトナート、トリス（２，２，６，６－テトラメチル－３，５－ヘプタンジオン酸）ガリウム、ジメチルクロロガリウム、ジエチルクロロガリウム、及び、塩化ガリウム（ＩＩＩ）が挙げられる。
［０１２１］
亜鉛を含むプリカーサとしては、例えば、ジメチル亜鉛、ジエチル亜鉛、ビス（２，２，６，６－テトラメチル－３，５－ヘプタンジオン酸）亜鉛、及び、塩化亜鉛が挙げられる。
［０１２２］
酸化剤としては、例えば、オゾン、酸素、及び、水が挙げられる。
［０１２３］
また、原料供給部４５２１内の圧力は、高速バルブを開いた際に、内部のガスが配管に十分流れる程度にすることが好ましい。このため、原料供給部４５２１の温度を適切に調整することが好ましい。例えば、原料供給部４５２１ａにトリエチルインジウムを保存し、原料供給部４５２１ｂにトリエチルガリウムを保存する場合、トリエチルインジウム及びトリエチルガリウムは蒸気圧が低いため、原料供給部４５２１ａ及び原料供給部４５２１ｂをヒータで加熱して保温することが好ましい。また例えば、原料供給部４５２１ｃにジエチル亜鉛を保存する場合、ジエチル亜鉛は蒸気圧が高いため、原料供給部４５２１ｃをペルチェ素子で冷却して保管することが好ましい。
［０１２４］
また、インジウムを有するプリカーサ、ガリウムを有するプリカーサ、及び亜鉛を有するプリカーサは、分解温度が高いことが好ましい。このため、上記プリカーサとして、無機プリカーサを用いる構成にしてもよい。なお、ハロゲン系化合物などを無機プリカーサとして用いる場合、当該無機プリカーサを原料としたガスは、腐食性が強い場合がある。よって、チャンバー、配管、各種ガスの供給部などのガスが接触する部材に、チタンなどの耐腐食性が高い材料を用いることが好ましい。
［０１２５］
また、原料供給部４５３１からは、リアクタントが供給される。リアクタントとして、オゾン、酸素、水の少なくとも１つを含む酸化剤を用いることができる。
［０１２６］
また、ガス供給部４５３２からは、キャリアガスが供給される。キャリアガスとして、アルゴン（Ａｒ）、ヘリウム（Ｈｅ）、または窒素（N_2）などの不活性ガスを用いることができる。原料供給部４５２１のプリカーサ、及び原料供給部４５３１のリアクタントは、当該キャリアガスと混合されて、チャンバー４５２０に導入される。
［０１２７］
また、原料供給部４５２１ａ、原料供給部４５２１ｂ、原料供給部４５２１ｃ、原料供給部４５３１、及びガス供給部４５３２と、チャンバー４５２０との間の、配管またはバルブなどを覆って、配管ヒータ４５３４ａが設けられる。また、排気装置４５２５とチャンバー４５２０との間の、配管またはバルブなどを覆って、配管ヒータ４５３４ｂが設けられる。配管ヒータ４５３４ａ及び配管ヒータ４５３４ｂの温度は、例えば室温以上３００℃以下の範囲で適宜設定することができる。このような配管ヒータを設けることで、原料供給部４５２１から供給されたプリカーサなどが、ガス導入系及びガス排気系の配管などの内壁に凝固するのを防ぐことができる。特に、無機プリカーサなどの分解温度

が高いプリカーサは、凝固しやすい傾向があるため、このようなプリカーサを用いる場合、ガス導入系及びガス排気系の配管を覆って、配管ヒータを設ける構成にすることが好ましい。また、配管ヒータ４５３４ａ、配管ヒータ４５３４ｂ、及びヒータ４５２７の温度制御は、それぞれ独立に制御できると好ましい。配管ヒータ４５３４ａ、配管ヒータ４５３４ｂ、及びヒータ４５２７をそれぞれ独立に制御することで、各ヒータの温度を個別に制御できる。ただし、これに限定されず、配管ヒータ４５３４ａ、配管ヒータ４５３４ｂ、及びヒータ４５２７の温度制御は、互いに連動する構成としてもよい。この場合、温度制御を一括して調整することが可能となるため、装置部材などを安くできる。

［０１２８］

高速バルブ４５２２ａ乃至高速バルブ４５２２ｄは時間で精密に制御することができる。これにより、原料供給部４５２１ａ、原料供給部４５２１ｂ、原料供給部４５２１ｃ、及び原料供給部４５３１から供給される原料ガスを制御してチャンバー４５２０に導入することができる構成となっている。

［０１２９］

例えば、原料供給部４５２１ａ、原料供給部４５２１ｂ、及び原料供給部４５２１ｃに含まれるプリカーサを供給する場合は、高速バルブ４５２２ａ乃至高速バルブ４５２２ｃのうち対応する高速バルブを開く。また、原料供給部４５３１に含まれるリアクタントを供給する場合は、高速バルブ４５２２ｄを開く。また、チャンバー４５２０をパージする場合は、高速バルブ４５２２ａ乃至高速バルブ４５２２ｄを閉じて、ガス供給部４５３２に含まれるキャリアガスだけをチャンバー４５２０に導入する。

［０１３０］

なお、図４Ａに示す高速バルブ４５２２ａ乃至高速バルブ４５２２ｃでは、それぞれ１個の高速バルブを介して、原料供給部４５２１とガス供給部４５３２を接続しているように示しているが、本発明はこれに限られるものではない。例えば、高速バルブ４５２２ａ乃至高速バルブ４５２２ｃにおいて、それぞれ２個の高速バルブを介して、原料供給部４５２１とガス供給部４５３２を接続してもよい。この場合、一方の高速バルブは、ガス供給部４５３２のキャリアガスを原料供給部４５２１に引き込む機能を有する。他方の高速バルブは、原料供給部４５２１内でプリカーサとキャリアガスが混合したガスを、チャンバー側に押し出す機能を有する。

［０１３１］

また、図４Ａでは、原料供給部４５２１を３個、原料供給部４５３１を１個設けている例を示しているが本実施の形態はこれに限定されない。原料供給部４５２１を１個、２個、または４個以上設けてもよい。また原料供給部４５３１を２個以上設けてもよい。

［０１３２］

また、図４Ａにおいて、ヒータ４５２７、原料導入口４５２３、及び原料排出口４５２４が、チャンバー４５２０下部に配置されているが、これに限られることなく、これらの配置を適宜設定することができる。また、図４Ａにおいて、原料供給部４５２１ａ、原料供給部４５２１ｂ、原料供給部４５２１ｃ、原料供給部４５３１及びガス供給部４５３２の導入口は、原料導入口４５２３にまとめられているが、これに限られることはなく、それぞれ異なる導入口を設ける構成にしてもよい。

［０１３３］

また、本発明の一態様の製造装置はＰＥＡＬＤ装置を用いる構成にすることもできる。図４Ｂに示すように、ＰＥＡＬＤ装置は、成膜室（チャンバー４０２０）と、原料供給部４０２１（原料供給部４０２１ａ乃至原料供給部４０２１ｃ）と、原料供給部４０３１と、導入量制御器である高速バルブ４

０２２ａ乃至高速バルブ４０２２ｄと、ガス供給部４０３２と、原料導入口４０２３と、原料導入口４０３３と、原料排出口４０２４と、排気装置４０２５を有する。チャンバー４０２０内に設置される原料導入口４０２３、及び原料導入口４０３３は、供給管及びバルブを介して原料供給部４０２１ａ、原料供給部４０２１ｂ、原料供給部４０２１ｃ、原料供給部４０３１及びガス供給部４０３２とそれぞれ接続されており、原料排出口４０２４は、排出管、バルブ、及び圧力調整器を介して排気装置４０２５と接続されている。また、チャンバー４０２０内部には基板ホルダ４０２６があり、その基板ホルダ４０２６上に基板４０３０を配置する。また、チャンバー外壁には、ヒータ４０２７が設けられており、チャンバーに接続される配管などを覆って、配管ヒータ４０３４ａ及び配管ヒータ４０３４ｂが設けられている。

［０１３４］

ここで、チャンバー４０２０はチャンバー４５２０と、原料供給部４０２１は原料供給部４５２１と、原料供給部４０３１は原料供給部４５３１と、高速バルブ４０２２ａ乃至高速バルブ４０２２ｄは高速バルブ４５２２ａ乃至高速バルブ４５２２ｄと、ガス供給部４０３２はガス供給部４５３２と、原料導入口４０２３は原料導入口４５２３と、原料排出口４０２４は原料排出口４５２４と、排気装置４０２５は排気装置４５２５と、基板ホルダ４０２６は基板ホルダ４５２６と、基板４０３０は基板４５３０と、ヒータ４０２７はヒータ４５２７と、配管ヒータ４０３４ａは配管ヒータ４５３４ａと、配管ヒータ４０３４ｂは配管ヒータ４５３４ｂと、対応しており、詳細な構成は前述の記載を参照できる。

［０１３５］

ＰＥＡＬＤ装置は、図４Ｂに示すようにチャンバー４０２０にプラズマ発生装置４０２８を接続することにより、熱ＡＬＤ法に加えて、ＰＥＡＬＤ法で成膜を行うことができる。プラズマ発生装置４０２８は、高周波電源に接続されたコイル４０２９を用いるＩＣＰ型のプラズマ発生装置とするのが好ましい。高周波電源は、１０ｋＨｚ以上１００ＭＨｚ以下、好ましくは１ＭＨｚ以上６０ＭＨｚ以下、より好ましくは２ＭＨｚ以上６０ＭＨｚ以下の周波数を持った電力を出力することができる。例えば、１３．５６ＭＨｚの周波数を持った電力を出力することができる。ＰＥＡＬＤ法では、低温でも成膜レートを落とさず成膜ができるため、成膜効率の低い枚葉式の成膜装置で用いるとよい。

［０１３６］

原料供給部４０３１から排出されたリアクタントは、プラズマ発生装置４０２８を通過して、プラズマ状態となる。プラズマ状態となったリアクタントは、原料導入口４０３３からチャンバー４０２０に導入される。なお、図４Ｂでは図示していないが、原料供給部４０３１から排出されたリアクタントがキャリアガスと混合される構成にしてもよい。

［０１３７］

また、基板ホルダ４５２６には、一定の電位、または高周波が印加される機構が設けられていてもよい。または、基板ホルダ４５２６は、フローティングでもよいし、接地されていてもよい。

［０１３８］

なお、図４Ｂにおいて、原料導入口４０３３がチャンバー４５２０上部に配置され、ヒータ４０２７及び原料導入口４０２３がチャンバー４５２０側面に配置され、原料排出口４５２４が、チャンバー４５２０下部に配置されているが、これに限られることなく、これらの配置を適宜設定することができる。

［０１３９］

図５Ａ乃至図５Ｃを用いて、本発明の一態様の製造装置に用いることができるＡＬＤ装置の異なる構成について説明する。なお、図４Ｂに示したＡＬＤ装置と同様の構成、及びその機能については詳細な説明を省略する場合がある。

［０１４０］

図５ＡはＰＥＡＬＤ装置の一態様を示す模式図である。ＰＥＡＬＤ装置４１００は、反応室４１２０と、反応室４１２０上部に、プラズマ生成室４１１１とが設けられている。反応室４１２０は、チャンバーと呼ぶことができる。または、反応室４１２０とプラズマ生成室４１１１を合わせてチャンバーと呼ぶことができる。反応室４１２０は、原料導入口４１２３と、原料排出口４１２４を有し、プラズマ生成室４１１１は、原料導入口４１３３を有する。また、プラズマ生成装置４１２８によりＲＦ等の高周波または、マイクロ波を、プラズマ生成室４１１１に導入されたガスに印加し、プラズマ生成室４１１１内にプラズマ４１３１を生成することができる。マイクロ波を用いてプラズマ４１３１を生成する場合、代表的には周波数２．４５ＧＨｚのマイクロ波が用いられる。また、このようなマイクロ波と、磁場を印加して生成されたプラズマをＥＣＲ（Ｅｌｅｃｔｒｏｎ　Ｃｙｃｌｏｔｒｏｎ　Ｒｅｓｏｎａｎｃｅ）プラズマと呼ぶ場合がある。

［０１４１］

また、反応室４１２０は、基板ホルダ４１２６を有し、その上に基板４１３０が配置される。原料導入口４１２３から導入された原料ガスは、反応室４１２０に設けられたヒータからの熱により分解され、基板４１３０上に堆積する。また、原料導入口４１３３から導入された原料ガスは、プラズマ生成装置４１２８によりプラズマ状態となる。プラズマ状態となった原料ガスは、基板４１３０表面に到達するまでに電子または他の分子と再結合し、ラジカル状態となり、基板４１３０に到達する。このように、ラジカルを利用して成膜を行うＡＬＤ装置を、ラジカルＡＬＤ（Ｒａｄｉｃａｌ－Ｅｎｈａｎｃｅｄ　ＡＬＤ）装置と呼ぶ場合もある。また、ＰＥＡＬＤ装置４１００では、プラズマ生成室４１１１を反応室４１２０の上部に設ける構成を示しているが、本実施の形態はこれに限定されない。プラズマ生成室４１１１を反応室４１２０の側面に隣接して設けてもよい。

［０１４２］

図５ＢはＰＥＡＬＤ装置の一態様を示す模式図である。ＰＥＡＬＤ装置４２００は、チャンバー４２２０を有する。チャンバー４２２０は、電極４２１３、原料排出口４２２４、及び基板ホルダ４２２６を有し、基板ホルダ４２２６の上に基板４２３０が配置される。電極４２１３は、原料導入口４２２３と、導入された原料ガスをチャンバー４２２０内に供給するシャワーヘッド４２１４とを有する。また、電極４２１３には、コンデンサ４２１７を介して高周波を印加できる電源４２１５が接続されている。基板ホルダ４２２６には、一定の電位、または高周波が印加される機構が設けられていてもよい。または、基板ホルダ４２２６は、フローティングでもよいし、接地されていてもよい。電極４２１３、及び基板ホルダ４２２６は、それぞれプラズマ４２３１を生成するための上部電極、及び下部電極として機能する。原料導入口４２２３から導入された原料ガスは、チャンバー４２２０に設けられたヒータからの熱により分解され、基板４２３０上に堆積する。または、原料導入口４２２３から導入された原料ガスは、電極４２１３、及び基板ホルダ４２２６の間でプラズマ状態となる。プラズマ状態となった原料ガスは、プラズマ４２３１と基板４２３０の間に生じる電位差（イオンシースともいう）により基板４２３０に入射する。

［０１４３］

図５Ｃは、図５Ｂとは異なるＰＥＡＬＤ装置の一態様を示す模式図である。ＰＥＡＬＤ装置４３００

は、チャンバー４３２０を有する。チャンバー４３２０は、電極４３１３、原料排出口４３２４、及び基板ホルダ４３２６を有し、基板ホルダ４３２６の上に基板４３３０が配置される。電極４３１３は、原料導入口４３２３と、導入された原料ガスをチャンバー４３２０内に供給するシャワーヘッド４３１４とを有する。また、電極４３１３には、コンデンサ４３１７を介して高周波を印加できる電源４３１５が接続されている。基板ホルダ４３２６には、一定の電位、または高周波が印加される機構が設けられていてもよい。または、基板ホルダ４３２６は、フローティングでもよいし、接地されていてもよい。電極４３１３、及び基板ホルダ４３２６は、それぞれプラズマ４３３１を生成するための上部電極、及び下部電極として機能する。ＰＥＡＬＤ装置４３００は、電極４３１３と基板ホルダ４３２６の間に、コンデンサ４３２２を介して高周波を印加できる電源４３２１が接続されたメッシュ４３１９を有している点で、ＰＥＡＬＤ装置４２００と異なる。メッシュ４３１９を設けることで、基板４１３０からプラズマ４２３１を離すことができる。原料導入口４３２３から導入された原料ガスは、チャンバー４３２０に設けられたヒータからの熱により分解され、基板４３３０上に堆積する。または、原料導入口４３２３から導入された原料ガスは、電極４３１３、及び基板ホルダ４３２６の間でプラズマ状態となる。プラズマ状態となった原料ガスは、メッシュ４３１９により電荷が除去され、ラジカルなどの電気的に中性な状態で基板４１３０に到達する。このため、イオンの入射及びプラズマによる損傷が抑制された成膜を行うことができる。

［０１４４］

なお、図４Ｂ、図５Ａ乃至図５Ｃに示す、ＰＥＡＬＤ装置を用いて、プラズマ処理またはマイクロ波処理を行ってもよい。この場合、処理室に移動せずにプラズマ処理またはマイクロ波処理を行うことができる。

［０１４５］

［スパッタリング装置］

次に、上記成膜室に用いることができるスパッタリング装置の構成の一例について、図６を用いて説明する。

［０１４６］

スパッタリング装置は、成膜チャンバー４６０２を有し、成膜チャンバー４６０２内に、バッキングプレート４６０８と、基板ホルダ４６１２とを有する。バッキングプレート４６０８は、ターゲット４６１０を取り付けることが可能である。なお、ターゲット４６１０は、例えば、酸化物半導体層に用いることが可能なターゲットを適宜用いることができる。また、基板ホルダ４６１２の上に基板４６２０が配置される。図６に示すように、ターゲット４６１０と基板４６２０は対向して配置されることが好ましい。成膜チャンバー４６０２の外には、マグネットユニット４６０６と、バッキングプレート４６０８と電気的に接続されたＤＣ電源（直流電源）４６１５と、バッキングプレート４６０８と電気的に接続されたＲＦ電源（高周波電源）４６１８と、基板ホルダ４６１２と電気的に接続されたＲＦ電源（高周波電源）４６１６とを有する。なお、本明細書では、複数のマグネット（磁石）を組み合わせたものをマグネットユニットと呼ぶ。また、図示しないが、スパッタリング装置には、成膜チャンバー４６０２内を排気する真空ポンプを有する排気システム、及び成膜チャンバー４６０２内に、ガスを導入するガス供給システムが設けられる。また、成膜チャンバー４６０２の内側に防着板を配置する構成としてもよい。

［０１４７］

ＲＦ電源４６１８またはＤＣ電源４６１５から印加された電力は、バッキングプレート４６０８を介

してターゲット４６１０に印加される。このとき、成膜チャンバー４６０２を減圧状態にしておくことで、プラズマを発生させることができる。また、ターゲット４６１０付近にマグネットユニット４６０６を配置することで、マグネットユニット４６０６の磁界によりプラズマ中の電子が封じ込められ、ガス分子と電子との衝突確率が高くなり、高密度化されたプラズマを得ることができる。

［０１４８］

ここで、ＲＦ電源４６１８は、１０ｋＨｚ以上１００ＭＨｚ以下、好ましくは１ＭＨｚ以上６０ＭＨｚ以下、より好ましくは２ＭＨｚ以上６０ＭＨｚ以下の周波数の電力を出力できることが好ましい。例えば、１３．５６ＭＨｚの周波数を持った電力を出力することができる構成にすることができる。周波数の高い電力を印加することで、プラズマをより高密度にすることができる。このようにＲＦ電源４６１８でターゲット４６１０に電力を印加することで、ＲＦスパッタリング法を行うことができる。ターゲット４６１０の絶縁性が高い場合、ＲＦスパッタリング法を行うことが好ましい。

［０１４９］

ＲＦスパッタリング法を行う場合、ＤＣ電源４６１５は、電力を印加しない構成にしてもよい。この場合、ＤＣ電源４６１５を設けない構成にすることもできる。

［０１５０］

また、ＲＦ電源４６１８の電力に重畳して、ＤＣ電源４６１５の電力を印加する構成にしてもよい。この場合、ＲＦ重畳ＤＣスパッタリング法を行うことができる。ＲＦ重畳ＤＣスパッタリング法では、例えば、ＤＣ電源４６１５の電力を印加することで、ガス分子のイオン化率を向上し、成膜レートを向上させることができる。

［０１５１］

また、ＲＦ電源４６１８から電力を印加せず、ＤＣ電源４６１５から電力を印加し、ＤＣスパッタリング法を行う構成にしてもよい。ターゲット４６１０の導電性が高い場合、ＤＣスパッタリング法を行うことが好ましい。ＤＣスパッタリング法を行う場合、ＲＦ電源４６１８を設けない構成にすることもできる。

［０１５２］

また、ＤＣ電源４６１５からパルス状の電力を出力し、パルスＤＣスパッタリング法を行う構成にしてもよい。パルスＤＣスパッタリング法では、酸素ガスまたは窒素ガスを反応させて成膜を行うことで、酸化物または窒化物を成膜することができる。この際に、ターゲット表面の酸化または窒化によるターゲット表面の絶縁性の向上に伴うターゲット表面の電荷の蓄積を除去しながら成膜することができる。よって、パルスＤＣスパッタリング法で成膜することで、比較的絶縁性の高い酸化物または窒化物も成膜することができる。

［０１５３］

また、上記のスパッタリング法において、さらにＲＦ電源４６１６から基板ホルダ４６１２に電力を印加する構成にしてもよい。つまり、基板４６２０にバイアス電位を印加することができる。なお、ＲＦ電源４６１６から電力を印加しない構成にすることもできる。この場合、ＲＦ電源４６１６を設けない構成にすることもできる。

［０１５４］

また、基板ホルダ４６１２は、基板４６２０を加熱する機能を有することが好ましい。基板ホルダ４６１２は、基板４６２０の温度を、例えば、１００℃以上４００℃以下に加熱できることが好ましく、２００℃以上３００℃以下に加熱できることがより好ましい。

［０１５５］

なお、図６に示すように、成膜チャンバー４６０２は、壁面などにおいて、接地電位と電気的に接続されていることが好ましい。

［０１５６］

また、図６に示すスパッタリング装置では、基板４６２０を成膜チャンバー４６０２の下側に配置し、ターゲット４６１０を成膜チャンバー４６０２の上側に配置する、フェースアップの配置になっているが、本発明はこれに限られるものではない。例えば、ターゲット４６１０を成膜チャンバー４６０２の下側に配置し、基板４６２０を成膜チャンバー４６０２の上側に配置する、フェースダウンの配置にしてもよい。

［０１５７］

［加熱装置］

次に、上記処理室に用いることができる加熱装置について説明する。熱処理に用いる加熱装置に特別な限定はなく、加熱装置に用いられる加熱機構は、例えば、抵抗発熱体などを用いて加熱する機構としてもよい。または、加熱されたガスなどの媒体からの熱伝導または熱輻射によって、加熱する機構としてもよい。例えば、電気炉、またはＬＲＴＡ装置、ＧＲＴＡ装置などのＲＴＡ装置を用いることができる。ＬＲＴＡは、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する。ＧＲＴＡは、高温のガスを用いて熱処理を行う。

［０１５８］

上記加熱機構による加熱処理の温度は例えば、１００℃以上８００℃以下、好ましくは２５０℃以上６５０℃以下、さらに好ましくは３５０℃以上５５０℃以下で行えばよい。代表的には４００℃±２５℃（３７５℃以上４２５℃以下）とすることができる。また処理時間は、１０時間以下、あるいは１分以上５時間以下、あるいは１分以上２時間以下、とすることができる。また、ＲＴＡ装置を用いる場合には処理時間は例えば、１秒以上５分以下とすることができる。

［０１５９］

また、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを１０ｐｐｍ以上、１％以上、もしくは１０％以上含む雰囲気で行う。例えば、窒素ガスと酸素ガスの混合雰囲気で加熱処理をする場合、酸素ガスを２０％程度にすることができる。また、加熱処理は減圧状態で行ってもよい。または、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを１０ｐｐｍ以上、１％以上、または１０％以上含む雰囲気で加熱処理を行ってもよい。

［０１６０］

また、上記加熱処理で用いるガスは、高純度化されていることが好ましい。例えば、上記加熱処理で用いるガスに含まれる水分量は１ｐｐｂ以下、好ましくは０．１ｐｐｂ以下、より好ましくは０．０５ｐｐｂ以下にすることができる。高純度化されたガスを用いて加熱処理を行うことで、形成した膜に水分等が取り込まれることを可能な限り防ぐことができる。

［０１６１］

例えば、上記加熱処理として、酸化物半導体層を成膜した後に、窒素ガスと酸素ガスの流量比を４ｓｌｍ：１ｓｌｍとして、３５０℃以上５５０℃以下の温度で１時間の処理を行う。当該加熱処理によって、酸化物半導体層に含まれる水、水素などの不純物を低減することができる。さらに、酸化物半導体層の結晶性の向上を図ることができる。

［０１６２］

製造装置が有する成膜室で成膜を行う前、または後に、適宜、処理室で加熱処理を行うことができる。これにより、作製するデバイス中に含まれる不純物を低減でき、また、膜中の主成分の純度を高めることができ、好ましい。

［０１６３］

［マイクロ波処理装置］

マイクロ波処理装置とは、マイクロ波を用いて高密度プラズマを発生させる電源を有する装置のことを指し、マイクロ波処理とは、マイクロ波処理装置を用いた処理のことを指す。また、本明細書などにおいて、マイクロ波とは、３００ＭＨｚ以上３００ＧＨｚ以下の周波数を有する電磁波を指すものとする。

［０１６４］

マイクロ波処理装置の周波数は、３００ＭＨｚ以上３００ＧＨｚ以下が好ましく、２．４ＧＨｚ以上２．５ＧＨｚ以下がより好ましく、例えば、２．４５ＧＨｚにすることができる。高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができる。また、マイクロ波処理装置のマイクロ波を印加する電源の電力は、１０００Ｗ以上１００００Ｗ以下が好ましく、２０００Ｗ以上５０００Ｗ以下が好ましい。また、マイクロ波処理装置は基板側にＲＦ等の高周波を印加する電源を有してもよい。また、基板側にＲＦ等の高周波を印加することで、高密度プラズマによって生成された酸素イオンを、効率よく被処理物に導くことができる。

［０１６５］

また、上記マイクロ波処理は、減圧下で行うことが好ましく、圧力は、１０Ｐａ以上１０００Ｐａ以下が好ましく、３００Ｐａ以上７００Ｐａ以下がより好ましい。また、処理温度は、７５０℃以下が好ましく、５００℃以下がより好ましく、例えば２５０℃程度とすることができる。また、マイクロ波処理を行った後に、大気に曝すことなく、連続して加熱処理を行ってもよい。加熱処理の温度は、例えば、１００℃以上７５０℃以下が好ましく、３００℃以上５００℃以下がより好ましい。

［０１６６］

また、例えば、上記マイクロ波処理は、酸素ガスとアルゴンガスを用いて行うことができる。ここで、酸素流量比（O_2／（O_2＋Ａｒ））は、０％より大きく、１００％以下とする。好ましくは、酸素流量比（O_2／（O_2＋Ａｒ））を、０％より大きく、５０％以下とする。より好ましくは、酸素流量比（O_2／（O_2＋Ａｒ））を、１０％以上、４０％以下とする。さらに好ましくは、酸素流量比（O_2／（O_2＋Ａｒ））を、１０％以上、３０％以下とする。このように、酸素を含む雰囲気でマイクロ波処理を行うことで、酸化物半導体層のキャリア濃度を低下させることができる。また、マイクロ波処理において、チャンバーに過剰な量の酸素が導入されないようにすることで、酸化物半導体層でキャリア濃度が過剰に低下することを防ぐことができる。

［０１６７］

酸素を含む雰囲気でマイクロ波処理を行うことで、マイクロ波、またはＲＦ等の高周波を用いて酸素ガスをプラズマ化し、当該酸素プラズマを酸化物半導体層に作用させることができる。プラズマ、マイクロ波などの作用により、酸化物半導体層におけるV_OHを酸素欠損と水素とに分断し、不純物である水素を酸化物半導体層から除去することができる。このようにして、酸化物半導体層に含まれるV_OHを低減できる。また、このとき、酸素、または水素などに結合していた炭素も除去できる場合がある。このように、マイクロ波処理を行うことで、炭素または水素などの不純物を低減することが

できる。また、酸化物半導体層で形成された酸素欠損に、上記酸素プラズマで発生した酸素ラジカルを供給することで、さらに、酸化物半導体層中の酸素欠損を低減させることができる。

［０１６８］

酸化物半導体層中に供給される酸素は、酸素原子、酸素分子、酸素イオン、及び酸素ラジカル（Ｏラジカルともいう、不対電子をもつ原子、分子、またはイオン）など様々な形態がある。なお、酸化物半導体層中に供給される酸素は、前述の形態のいずれか一または複数であり、特に酸素ラジカルであると好適である。

［０１６９］

以上のようにして、酸化物半導体層中の不純物を低減することができる。これにより、酸化物半導体層中の不純物濃度が低減した状態で、結晶成長を行うことができるため、さらに結晶性の向上を図ることができる。

［０１７０］

なお、マイクロ波処理は、酸化物半導体層の成膜後に行ってもよく、酸化物半導体層上に絶縁層（例えばゲート絶縁層の少なくとも一部）を成膜した後に行ってもよい。当該絶縁層が、水素を捕獲または水素を固着する機能を有する絶縁層（例えば酸化アルミニウム膜）を含む場合、当該絶縁層を成膜した後に、マイクロ波処理を行うことが好ましい。これにより、マイクロ波処理により生じた水素を絶縁層に捕獲または固着させることができる。したがって、より効果的にチャネル形成領域に含まれるV_OHを低減できる。

［０１７１］

また、成膜室で成膜を行った後、処理室でマイクロ波処理を行うことで、膜質を改質し、水素、水などの不純物の拡散を抑制できる。例えば、ゲート絶縁層を成膜した後、マイクロ波処理を行い、ゲート絶縁層の膜質を向上させることで、トランジスタの信頼性を向上させることができる。ゲート絶縁層が積層構造である場合、マイクロ波処理を行う回数は１回であっても複数回であってもよい。例えば、１層成膜するごとにマイクロ波処理を行ってもよく、少なくとも１層成膜した後にマイクロ波処理を行ってもよい。また、ゲート絶縁層を形成する前に、マイクロ波処理を行ってもよい。また、処理温度によっては、マイクロ波処理が加熱処理を兼ねることができる場合がある。

［０１７２］

本実施の形態は、他の実施の形態と適宜組み合わせることができる。また、本明細書において、１つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

［０１７３］

（実施の形態２）

本実施の形態では、トランジスタの半導体層として用いることができる酸化物半導体層について説明する。

［０１７４］

［酸化物半導体層］

本発明の一態様の酸化物半導体層は、結晶性を有する金属酸化物を有することが好ましい。結晶性を有する金属酸化物の構造としては、例えば、ＣＡＡＣ（ｃ－ａｘｉｓ　ａｌｉｇｎｅｄ　ｃｒｙｓｔａｌ）構造、多結晶（Ｐｏｌｙ－ｃｒｙｓｔａｌ）構造、及び、微結晶（ｎｃ：ｎａｎｏ－ｃｒｙｓｔａｌ）構造が挙げられる。結晶性を有する金属酸化物を酸化物半導体層に用いることにより、酸化物半導体層中の欠陥準位密度を低減できる。よって、本発明の一態様の酸化物半導体層を用いたトラ

ンジスタの信頼性を高めることができ、トランジスタが搭載された半導体装置の信頼性を高めることができる。

［０１７５］

本発明の一態様の酸化物半導体層は、特に、ＣＡＡＣ構造を有する金属酸化物を有することが好ましい。ＣＡＡＣ構造とは、複数の微結晶（代表的には、複数の、六方晶系の結晶構造を有する微結晶）がｃ軸配向を有し、かつａ－ｂ面においては、上記複数の微結晶が配向せずに連結した結晶構造である。また、高分解能透過型電子顕微鏡（ＴＥＭ：Ｔｒａｎｓｍｉｓｓｉｏｎ　Ｅｌｅｃｔｒｏｎ　Ｍｉｃｒｏｓｃｏｐｅ）像を用いて、ＣＡＡＣ構造を有する酸化物半導体層の断面を観察すると、結晶部において、金属原子が層状に配列していることを確認できる。よって、ＣＡＡＣ構造を有する酸化物半導体層は、層状の結晶部を有する構造ともいえる。

［０１７６］

酸化物半導体層の結晶性は、例えば、Ｘ線回折（ＸＲＤ：Ｘ－Ｒａｙ　Ｄｉｆｆｒａｃｔｉｏｎ）、ＴＥＭ、または電子線回折（ＥＤ：Ｅｌｅｃｔｒｏｎ　Ｄｉｆｆｒａｃｔｉｏｎ）により解析できる。または、これらの手法を複数組み合わせて分析を行ってもよい。

［０１７７］

なお、酸化物半導体層が有する半導体材料の結晶性は特に限定されない。例えば、酸化物半導体層は、非晶質（アモルファス）半導体（非晶質構造を有する半導体）、単結晶半導体（単結晶構造を有する半導体）、または単結晶以外の結晶性を有する半導体（微結晶半導体、多結晶半導体、または一部に結晶領域を有する半導体）の一以上を含む場合がある。酸化物半導体層が結晶性を有することにより、トランジスタ特性の劣化を抑制できる場合がある。

［０１７８］

本発明の一態様の酸化物半導体層が有する金属酸化物として、例えば、インジウム酸化物、ガリウム酸化物、及び亜鉛酸化物が挙げられる。本発明の一態様に係る金属酸化物は、少なくともインジウム（Ｉｎ）または亜鉛（Ｚｎ）を含むことが好ましい。また、金属酸化物は、インジウムと、元素Ｍと、亜鉛と、の中から選ばれる二または三を有することが好ましい。なお、元素Ｍは、酸素との結合エネルギーが高い金属元素又は半金属元素であり、例えば、酸素との結合エネルギーがインジウムよりも高い金属元素又は半金属元素である。元素Ｍとして、具体的には、アルミニウム、ガリウム、錫、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タングステン、ランタン、セリウム、ネオジム、マグネシウム、カルシウム、ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、及びアンチモンなどが挙げられる。金属酸化物が有する元素Ｍは、上記元素のいずれか一種または複数種であることが好ましく、アルミニウム、ガリウム、錫、及びイットリウムから選ばれた一種または複数種であることがより好ましく、ガリウムがさらに好ましい。金属酸化物が有する元素Ｍがガリウムである場合、本発明の一態様に係る金属酸化物は、インジウム、ガリウム、及び亜鉛の中から選ばれるいずれか一または複数を有することが好ましい。なお、本明細書等において、金属元素と半金属元素をまとめて「金属元素」と呼ぶことがあり、本明細書等に記載の「金属元素」には半金属元素が含まれることがある。

［０１７９］

本発明の一態様に係る金属酸化物として、例えば、インジウム亜鉛酸化物（Ｉｎ－Ｚｎ酸化物）、インジウム錫酸化物（Ｉｎ－Ｓｎ酸化物）、インジウムチタン酸化物（Ｉｎ－Ｔｉ酸化物）、インジウムガリウム酸化物（Ｉｎ－Ｇａ酸化物）、インジウムガリウムアルミニウム酸化物（Ｉｎ－Ｇａ－Ａｌ

酸化物)、インジウムガリウム錫酸化物（Ｉｎ－Ｇａ－Ｓｎ酸化物、ＩＧＴＯとも記す)、ガリウム亜鉛酸化物（Ｇａ－Ｚｎ酸化物、ＧＺＯとも記す)、アルミニウム亜鉛酸化物（Ａｌ－Ｚｎ酸化物、ＡＺＯとも記す)、インジウムアルミニウム亜鉛酸化物(Ｉｎ－Ａｌ－Ｚｎ酸化物、ＩＡＺＯとも記す)、インジウム錫亜鉛酸化物（Ｉｎ－Ｓｎ－Ｚｎ酸化物とも記す、ＩＴＺＯ（登録商標）とも記す)、インジウムチタン亜鉛酸化物（Ｉｎ－Ｔｉ－Ｚｎ酸化物)、インジウムガリウム亜鉛酸化物（Ｉｎ－Ｇａ－Ｚｎ酸化物、ＩＧＺＯとも記す)、インジウムガリウム錫亜鉛酸化物（Ｉｎ－Ｇａ－Ｓｎ－Ｚｎ酸化物、ＩＧＺＴＯとも記す)、インジウムガリウムアルミニウム亜鉛酸化物（Ｉｎ－Ｇａ－Ａｌ－Ｚｎ酸化物、ＩＧＡＺＯまたはＩＡＧＺＯとも記す）などを用いることができる。または、シリコンを含むインジウム錫酸化物（ＩＴＳＯともいう)、ガリウム錫酸化物（Ｇａ－Ｓｎ酸化物)、アルミニウム錫酸化物（Ａｌ－Ｓｎ酸化物）などが挙げられる。

［０１８０］

金属酸化物に含まれる全ての金属元素の原子数の和に対するインジウムの原子数の割合を高くすることにより、トランジスタは大きいオン電流、及び高い周波数特性を得ることができる。

［０１８１］

なお、金属酸化物は、インジウムに代えて、元素周期表における周期番号が大きい金属元素の一種または複数種を有してもよい。又は、金属酸化物は、インジウムに加えて、元素周期表における周期番号が大きい金属元素の一種または複数種を有してもよい。金属元素の軌道の重なりが大きいほど、金属酸化物におけるキャリア伝導は大きくなる傾向がある。よって、元素周期表における周期番号が大きい金属元素を含むことで、トランジスタの電界効果移動度を高めることができる場合がある。元素周期表における周期番号が大きい金属元素として、第５周期に属する金属元素、及び第６周期に属する金属元素などが挙げられる。当該金属元素として、具体的には、イットリウム、ジルコニウム、銀、カドミウム、錫、アンチモン、バリウム、鉛、ビスマス、ランタン、セリウム、プラセオジム、ネオジム、プロメチウム、サマリウム、及びユウロピウムなどが挙げられる。なお、ランタン、セリウム、プラセオジム、ネオジム、プロメチウム、サマリウム、及びユウロピウムは、軽希土類元素と呼ばれる。

［０１８２］

また、金属酸化物は、非金属元素の一種または複数種を有してもよい。金属酸化物が非金属元素を有することで、トランジスタの電界効果移動度を高めることができる場合がある。非金属元素として、例えば、炭素、窒素、リン、硫黄、セレン、フッ素、塩素、臭素、及び水素などが挙げられる。

［０１８３］

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する亜鉛の原子数の割合を高くすることにより、結晶性の高い金属酸化物となり、金属酸化物中の不純物の拡散を抑制できる。したがって、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

［０１８４］

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する元素Ｍの原子数の割合を高くすることにより、金属酸化物に酸素欠損が形成されるのを抑制できる。したがって、酸素欠損に起因するキャリア生成が抑制され、オフ電流の小さいトランジスタとすることができる。また、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

［０１８５］

本実施の形態では、金属酸化物として、Ｉｎ－Ｇａ－Ｚｎ酸化物を例に挙げて説明する場合がある。

［０１８６］
本発明の一態様の酸化物半導体層は、２種の成膜方法を用いて金属酸化物を形成することにより作製することができる。例えば、本発明の一態様の酸化物半導体層は、第１の成膜方法と、第２の成膜方法と、を用いて金属酸化物を形成することにより作製することができる。なお、２種の成膜方法を用いて形成された酸化物半導体層をＨｙｂｒｉｄ　ＯＳと呼称してもよい。

［０１８７］
本発明の一態様の酸化物半導体層は、結晶性を有する。また、本発明の一態様の酸化物半導体層は、好ましくはＣＡＡＣ構造を有する。

［０１８８］
本発明の一態様の酸化物半導体層の作製では、第１の成膜方法を用いて、結晶性を有する金属酸化物を成膜する。また、このとき成膜される金属酸化物は、ＣＡＡＣ構造を有することが特に好ましい。例えば、スパッタリング法を用いて成膜された金属酸化物は、結晶性を有しやすい。

［０１８９］
第１の成膜方法を用いて金属酸化物を形成する場合には、当該金属酸化物と被形成面である層との界面において混合層が形成される場合がある。例えば、第１の成膜方法としてスパッタリング法を用いる場合、ターゲットなどから放出される粒子（スパッタリング粒子ともいう）、又はスパッタリング粒子等により基板側に与えられるエネルギー等によって、当該混合層が形成される場合がある。当該混合層は、金属酸化物の結晶化を阻害する懸念がある。

［０１９０］
例えば、被形成面としてシリコンを有する絶縁層、一例として酸化シリコンを用いる場合には、第１の成膜方法を用いて酸化シリコン上に金属酸化物を形成する際に、金属酸化物中にシリコンが混入する恐れがある。シリコンなどの不純物の金属酸化物への混入により、金属酸化物の結晶化が阻害される懸念がある。

［０１９１］
そこで、本発明の一態様では、第１の成膜方法を用いて金属酸化物を形成する前に、第２の成膜方法を用いて金属酸化物を形成する。すなわち、第１の層として、第２の成膜方法を用いて金属酸化物を形成した後、第１の層上に、第２の層として、第１の成膜方法を用いて金属酸化物を形成する。このとき、第２の成膜方法として、第１の成膜方法と比較して、被形成面へのダメージが小さい成膜方法を用いることが好ましい。第２の成膜方法として被形成面へのダメージが小さい成膜方法を用いることにより、酸化物半導体層と、当該酸化物半導体層の被形成面である層との界面における混合層の形成を抑制することができる。また、第２の層において、シリコンなどの不純物の混入が抑制できるため、結晶性をより高くできる可能性がある。例えば、原子層堆積（ＡＬＤ：Ａｔｏｍｉｃ　Ｌａｙｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法及び化学気相堆積（ＣＶＤ：Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）法は、スパッタリング法と比較して、被形成面へのダメージを抑制することができるため、第２の成膜方法として好適である。

［０１９２］
また、第１の層としては、例えば、ＣＡＡＣ構造よりも結晶性の低い、微結晶構造または非晶質構造の金属酸化物が形成される場合がある。結晶性の低い第１の層上に、結晶性の高い第２の層を形成することにより、あるいは形成し、その後、熱処理を加えることにより、第２の層を核として、第１の層の結晶性が高まる場合がある。これにより、被形成面との界面の近傍を含めた酸化物半導体層の全

体において、結晶性を高めることができる場合がある。

［０１９３］

本発明の一態様の酸化物半導体層では、まず、被形成面上に第２の成膜方法を用いて金属酸化物を形成した後、その上方に、第１の成膜方法を用いて金属酸化物を形成することが好ましい。

［０１９４］

第１の成膜方法として、例えば、スパッタリング法、パルスレーザー堆積（ＰＬＤ：Ｐｕｌｓｅｄ　Ｌａｓｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法等が挙げられる。

［０１９５］

第２の成膜方法として、例えば、ＡＬＤ法、プラズマＣＶＤ（ＰＥＣＶＤ：Ｐｌａｓｍａ　Ｅｎｈａｎｃｅｄ　ＣＶＤ）法、熱ＣＶＤ法、光ＣＶＤ法、有機金属ＣＶＤ（ＭＯＣＶＤ：Ｍｅｔａｌ　Ｏｒｇａｎｉｃ　ＣＶＤ）法、分子線エピタキシー（ＭＢＥ：Ｍｏｌｅｃｕｌａｒ　Ｂｅａｍ　Ｅｐｉｔａｘｙ）法等が挙げられる。ＭＢＥ法は、基板の結晶系を反映した結晶構造の薄膜を成長させる成膜方法であり、被形成面へのダメージが少ない成膜方法の１つと言える。また、第２の成膜方法として、湿式法を用いることが可能である。湿式法は、被形成面へのダメージが少ない成膜方法の１つである。湿式法として、例えば、スプレーコート法などが挙げられる。

［０１９６］

一例として、本発明の一態様の酸化物半導体層は、第１の層として、第２の成膜方法を用いて金属酸化物を形成した後、第２の層として、第１の成膜方法を用いて金属酸化物を形成することにより、作製することができる。具体的には、第２の成膜方法としてＡＬＤ法を用いることができ、第１の成膜方法としてスパッタリング法を用いることができる。また、第１の成膜方法を用いて形成される金属酸化物は、ＣＡＡＣ構造を有することが好ましい。

［０１９７］

また、第２の層上に、さらに第３の層を形成することもできる。第２の層は高い結晶性を有することから、第３の層は、第２の層の結晶を核または種として、結晶成長することができる。よって、第３の層の成膜方法として、結晶性を有しやすい成膜方法を用いなかった場合においても、第３の層を結晶化させることができる。ここで、例えば、第３の層を、第２の層と比較して被覆性の高い成膜方法を用いて形成することにより、酸化物半導体層は、層全体において、高い結晶性と、高い被覆性との両方を備えることができる。また、例えば、第３の層を、第２の層と比較してダメージの少ない成膜方法を用いて形成することにより、第２の層に対するダメージが低減され、酸化物半導体層全体において、高い結晶性を備えることができる。

［０１９８］

また、第２の層は、第１の層を設けることによって被形成面の影響を小さくすることにより、その結晶性が高まり、極めて優れた結晶性を有する。よって、第２の層を核または種として結晶化する第３の層においても、極めて優れた結晶性を有する層が形成されると期待できる。

［０１９９］

なお、第３の層は、酸化物半導体層の最上層であり、酸化物半導体層をトランジスタの半導体層として用いる場合には、例えば、ゲート絶縁層と接する層である。ゲート絶縁層と接する層の結晶性を高めることにより、トランジスタがオン状態において、キャリア移動度を高めることができる。

［０２００］

一例として、本発明の一態様の酸化物半導体層は、第１の層として、第２の成膜方法を用いて金属酸

化物を形成した後、第２の層として、第１の成膜方法を用いて金属酸化物を形成し、第３の層として、第２の成膜方法を用いて金属酸化物を形成することにより、作製することができる。具体的には、第２の成膜方法としてＡＬＤ法を用いることができ、第１の成膜方法としてスパッタリング法を用いることができる。また、第１の成膜方法を用いて形成される金属酸化物は、ＣＡＡＣ構造を有することが好ましい。ＡＬＤ法はスパッタリング法と比較して被覆性の優れた成膜方法であり、第１の層及び第３の層の成膜方法としてＡＬＤ法を用いることにより、酸化物半導体層の被覆性を高めることができる。よって、アスペクト比の高い段差、開口部、等の上に酸化物半導体層を良好に被覆することができる。

［０２０１］

［酸化物半導体層の作製方法］

酸化物半導体層２３０は、例えば、被形成面である層２２９上に酸化物半導体２３０ａをＡＬＤ法により形成し、酸化物半導体２３０ａ上に酸化物半導体２３０ｂをスパッタリング法により形成し、酸化物半導体２３０ｂ上に酸化物半導体２３０ｃをＡＬＤ法により形成することにより、作製することができる。さらに、酸化物半導体層２３０を形成した後、熱処理を行うことが好ましい。熱処理を行うことで、酸化物半導体層２３０の結晶性を高めることができる。ここでいう熱処理は、加熱処理に限定されない。例えば、作製工程中に加わる熱などであってもよい。層２２９は絶縁性の膜であり、例えば、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜などの絶縁膜である。

［０２０２］

酸化物半導体層２３０は、実施の形態３で説明する各トランジスタが有する酸化物半導体層２３０等に用いることができる。また、層２２９は、実施の形態３で説明する導電層２２０、絶縁層２３５、及び導電層２４０等のうち一つまたは複数に相当する。

［０２０３］

層２２９は結晶性を有さなくてもよい。また、層２２９が結晶性を有する場合においては、酸化物半導体層２３０が有する金属酸化物と、格子整合性が低い結晶構造であってもよい。

［０２０４］

図７Ａ乃至図８Ｄを用いて、酸化物半導体層２３０の作製方法の一例を説明する。

［０２０５］

まず、層２２９上に酸化物半導体２３０ａを形成する（図７Ａ）。続いて、酸化物半導体２３０ａ上に、酸化物半導体２３０ｂを形成する（図７Ｂ）。

［０２０６］

酸化物半導体２３０ｂは、スパッタリング法を用いて形成することが好ましい。また、酸化物半導体２３０ｂは、ＣＡＡＣ構造を形成するために好適な組成にすることが好ましい。

［０２０７］

酸化物半導体２３０ａは酸化物半導体２３０ｂの成膜方法と比較して、被形成面へのダメージが少ない成膜方法を用いて形成することが好ましい。ここでは、酸化物半導体２３０ａを、ＡＬＤ法を用いて形成する。

［０２０８］

金属酸化膜をスパッタリング法により成膜する場合には、被形成面へのダメージにより、金属酸化膜に含まれる成分と、被形成面である層に含まれる成分とのアロイ化が生じる場合がある。アロイ化が

生じた場合、後述する熱処理を行った場合においても、アロイ化した領域の結晶性を高めることは困難である。また、アロイ化した領域を有する酸化物半導体層をトランジスタに用いることで、トランジスタの初期特性または信頼性に悪影響を与えるが懸念される。よって、金属酸化膜に含まれる成分と、被形成面である層に含まれる成分とのアロイ化を抑制することが好ましい。

［０２０９］

本発明の一態様の酸化物半導体層の作製方法においては、層２２９上に酸化物半導体２３０ａを形成した後、スパッタリング法により、酸化物半導体２３０ｂを形成する。このとき、酸化物半導体２３０ａは、被形成面へのダメージが小さい成膜方法を用いて形成することが好ましい。酸化物半導体２３０ｂと層２２９との間に、被形成面へのダメージが小さい成膜方法を用いて酸化物半導体２３０ａを形成することにより、酸化物半導体層２３０に含まれる成分と、層２２９に含まれる成分とのアロイ化を抑制し、酸化物半導体層２３０の結晶性をより高くすることができる。

［０２１０］

上記構成にすることで、アロイ化した領域の厚さを薄くする、あるいはアロイ化した領域が観察できない程度に薄くすることができる。例えば、アロイ化した領域の厚さを、０ｎｍ以上３ｎｍ以下、好ましくは０ｎｍ以上２ｎｍ以下、より好ましくは０ｎｍ以上１ｎｍ以下、さらに好ましくは０ｎｍ以上０．３ｎｍ未満とすることができる。なお、図７Ａ及び図７Ｂでは、層２２９と酸化物半導体２３０ａとの間にアロイ化した領域が形成されていない例を示している。

［０２１１］

なお、アロイ化した領域の厚さは、当該領域およびその周辺に対して、ＳＩＭＳ、又はエネルギー分散型Ｘ線分光法（ＥＤＸ：Ｅｎｅｒｇｙ　Ｄｉｓｐｅｒｓｉｖｅ　Ｘ－ｒａｙ　Ｓｐｅｃｔｒｏｓｃｏｐｙ）による組成のライン分析を行うことで、算出することができる場合がある。

［０２１２］

例えば、酸化物半導体２３０ａの被形成面に対して垂直な方向を深さ方向として、上記領域およびその周辺に対してＥＤＸのライン分析を行う。次に、当該分析で得られる、深さ方向に対する各元素の定量値のプロファイルにおいて、酸化物半導体２３０ａの主成分であり、かつ、被形成面となる層（ここでは層２２９）の主成分ではない金属（酸化物半導体２３０ａがＩｎを含む場合はＩｎ）の定量値が半値になる深さを、上記領域と酸化物半導体２３０ａとの界面の深さ（位置）と定義する。また、被形成面となる層の主成分であり、かつ、酸化物半導体２３０ａの主成分ではない元素（例えばＳｉ）の定量値が半値になる深さを、上記領域と被形成面となる層との界面の深さ（位置）と定義する。以上により、アロイ化した領域の厚さを算出することができる。

［０２１３］

本発明の一態様の酸化物半導体層において、アロイ化した領域の厚さをＥＤＸ分析により観察する場合には、例えば、厚さは０ｎｍ以上３ｎｍ以下、好ましくは０ｎｍ以上２ｎｍ以下、より好ましくは０ｎｍ以上１ｎｍ以下、さらに好ましくは０ｎｍ以上０．３ｎｍ未満である。

［０２１４］

また、例えば、層２２９として酸化シリコン層を用い、層２２９上に形成された酸化物半導体層２３０のＳＩＭＳ分析を行う場合において、シリコンの濃度が層２２９の濃度の最大値から５０％の強度となる深さを界面とし、シリコンの濃度が１．０×10^{21}ａｔｏｍｓ／ｃｍ^{3}、好ましくは５．０×10^{20}ａｔｏｍｓ／ｃｍ^{3}、より好ましくは１．０×10^{20}ａｔｏｍｓ／ｃｍ^{3}まで減少する深さと界面との距離を厚さｔ＿ｓ２とする。厚さｔ＿ｓ２は、３ｎｍ以下が好ましく、２ｎｍ以下がより好

ましい。

［０２１５］

アロイ化した領域の厚さを薄くすることで、厚さｔ＿ｓ２を上記の範囲の値とすることができる。

［０２１６］

なお、アロイ化した領域を低減することで、ＣＡＡＣ構造を被形成面近傍に形成することが可能となる。ここで、被形成面近傍とは、例えば、酸化物半導体層２３０の被形成面から略垂直に０ｎｍを超えて３ｎｍ以下、好ましくは０ｎｍを超えて２ｎｍ以下、より好ましくは１ｎｍ以上２ｎｍ以下の領域を指す。

［０２１７］

なお、被形成面近傍のＣＡＡＣ構造は、ＴＥＭを用いた観察において確認することができる場合がある。例えば、酸化物半導体層２３０の高分解能ＴＥＭを用いた断面観察において、被形成面と平行な方向に層状に並んだ輝点が被形成面近傍に確認される。

［０２１８］

または、被形成面近傍のＣＡＡＣ構造は、結晶配向性を示すマップから評価することができる場合がある。結晶配向性を示すマップは、例えば、断面ＴＥＭ像を取得し、断面ＴＥＭ像内を領域ごとに高速フーリエ変換（ＦＦＴ：Ｆａｓｔ　Ｆｏｕｒｉｅｒ　Ｔｒａｎｓｆｏｒｍ）処理を行うことでＦＦＴパターンを作成し、各領域の結晶軸の方向を算出することにより、取得することができる。ＦＦＴパターンは、電子線回折パターンと同様の逆格子空間情報を反映する。例えば、算出した各領域の結晶軸の方向が、被形成面に対して７０°以上１００°以下である領域をＣＡＡＣ構造とみなすことができる。

［０２１９］

なおＡＬＤ法を用いて酸化物半導体２３０ａを形成する場合、ＣＡＡＣ構造よりも結晶性の低い、微結晶構造または非晶質構造の酸化物半導体層が形成される場合がある。すなわち、図７Ａに示す作製段階においては、酸化物半導体２３０ａは、酸化物半導体２３０ｂよりも結晶性が低い領域を有する場合がある。

［０２２０］

ここで、酸化物半導体２３０ａとして、ＡＬＤ法を用いてＩｎ－Ｍ－Ｚｎ酸化物を形成する方法について説明する。

［０２２１］

まず、インジウムを有するプリカーサを含む原料ガスをチャンバーに導入し、層２２９の表面に当該プリカーサを吸着させる。ここで、基板加熱の温度は、プリカーサの分解温度に対応した温度とすることが好ましい。

［０２２２］

次に、原料ガスの導入を止めて、チャンバー内をパージして、余剰なプリカーサ及び反応生成物などをチャンバーから排出する。次に、リアクタントとして、酸化剤をチャンバーに導入し、吸着したプリカーサと反応させて、インジウムを基板に吸着させたままインジウム以外の成分を脱離させることで、インジウムと酸素とが結合した層（以下、第１の層）を形成する。酸化剤として、オゾン、酸素、水などを用いることができる。次に、酸化剤の導入を止めて、チャンバー内をパージして、余分なリアクタント及び反応生成物などをチャンバーから排出する。

［０２２３］

次に、元素Mを有するプリカーサを含む原料ガスをチャンバーに導入し、第１の層上に吸着させる。ここで、基板加熱の温度は、プリカーサの分解温度に対応した温度とすることが好ましい。

［０２２４］

次に、原料ガスの導入を止めて、チャンバー内をパージして、余剰なプリカーサ及び反応生成物などをチャンバーから排出する。次に、リアクタントとして、酸化剤をチャンバーに導入し、吸着したプリカーサと反応させて、元素Mを基板に吸着させたまま元素M以外の成分を脱離させることで、元素Mと酸素とが結合した層（以下、第２の層）を形成する。次に、酸化剤の導入を止めて、チャンバー内をパージして、余分なリアクタント及び反応生成物などをチャンバーから排出する。

［０２２５］

次に、亜鉛を有するプリカーサを含む原料ガスをチャンバーに導入し、第２の層上に吸着させる。ここで、基板加熱の温度は、プリカーサの分解温度に対応した温度とすることが好ましい。

［０２２６］

ここで、インジウムを有するプリカーサとしてトリエチルインジウムを用い、ガリウムを有するプリカーサとしてトリエチルガリウムを用い、亜鉛を有するプリカーサとしてジエチル亜鉛を用いる熱ＡＬＤ法の場合には例えば、基板加熱の温度は１００℃以上３５０℃以下、好ましくは１５０℃以上３００℃以下である。

［０２２７］

次に、原料ガスの導入を止めて、チャンバー内をパージして、余剰なプリカーサ及び反応生成物などをチャンバーから排出する。次に、リアクタントとして、酸化剤をチャンバーに導入し、吸着したプリカーサと反応させて、亜鉛を基板に吸着させたまま亜鉛以外の成分を脱離させることで、亜鉛と酸素とが結合した層（以下、第３の層）を形成する。次に、酸化剤の導入を止めて、チャンバー内をパージして、余分なリアクタント及び反応生成物などをチャンバーから排出する。

［０２２８］

次に第３の層上に再度、前述した方法で第１の層を形成する。以上の方法を繰り返すことで、層２２９上に酸化物半導体２３０ａとして、ＡＬＤ法を用いてＩｎ－Ｍ－Ｚｎ酸化物を形成することができる。

［０２２９］

ＡＬＤ法は、原料ガスの導入量によって、得られる膜の組成を制御することができる。例えば、ＡＬＤ法では、原料ガスの導入量、導入回数（パルス回数ともいう）、１パルスに要する時間（パルス時間ともいう）などを調節することによって、任意の組成の膜を成膜することができる。また、例えば、ＡＬＤ法では、成膜しながら原料ガスを変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスを変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送及び圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

［０２３０］

ＡＬＤ法を用いて酸化物半導体２３０ａを形成後、酸化物半導体２３０ａ上に、酸化物半導体２３０ｂとして、スパッタリング法を用いてＩｎ－Ｍ－Ｚｎ酸化物を形成する。

［０２３１］

ここで、スパッタリング法を用いて酸化物半導体２３０ｂを形成する際に、酸化物半導体２３０ａの表面、または表面近傍に、混合層２３１が形成される。また、酸化物半導体２３０ｂ形成時の、スパ

ッタリング粒子、又はスパッタリング粒子等により基板側に与えられるエネルギー等によって、混合層２３１には微小な結晶領域が形成される場合がある。以後の熱処理工程において、混合層２３１、又は混合層２３１に形成される微小な結晶領域が核となり、酸化物半導体２３０ａの少なくとも一部が結晶化する場合がある。

［０２３２］

スパッタリング法のターゲットとして、Ｉｎ－Ｍ－Ｚｎ酸化物を用いることができる。金属酸化物をスパッタリング法で形成する場合、スパッタリングガスとして、酸素、または、酸素と貴ガスの混合ガスを用いることができる。また、スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。

［０２３３］

また、形成時に用いる成膜ガス全体に対する酸素ガスの流量の割合（以下、酸素流量比ともいう）が高いほど、結晶性の高い金属酸化物を形成できる場合がある。

［０２３４］

金属酸化物をスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を、３０％を超えて１００％以下、好ましくは７０％以上１００％以下として成膜すると、酸素過剰型の金属酸化物が形成される場合がある。酸素過剰型の酸化物半導体層をチャネル形成領域に用いたトランジスタは、比較的高い信頼性が得られる。ただし、本発明の一態様はこれに限定されない。スパッタリングガスに含まれる酸素の割合を１％以上３０％以下、好ましくは５％以上２０％以下として成膜すると、酸素欠乏型の金属酸化物が形成される。酸素欠乏型の金属酸化物をチャネル形成領域に用いたトランジスタは、比較的高い電界効果移動度が得られる。

［０２３５］

金属酸化物をスパッタリング法で形成する場合、形成後の金属酸化物の組成はスパッタリングターゲットの組成と異なる場合がある。特に、亜鉛は、形成後の金属酸化物における含有率が、スパッタリングターゲットと比較して５０％程度にまで減少する場合がある。

［０２３６］

スパッタリング法を用いた酸化物半導体２３０ｂの成膜において、基板の加熱を行うことが好ましい。金属酸化物の形成において、金属酸化物の形成時の基板温度（ステージ温度）を高めることにより、結晶性の高い金属酸化物を形成できる場合がある。スパッタリング法を用いた酸化物半導体２３０ｂの成膜において、基板加熱の温度は、例えば、１００℃以上４００℃以下であることが好ましく、２００℃以上３００℃以下であることがより好ましい。

［０２３７］

以上により、図７Ｂに示すように、層２２９上に、酸化物半導体２３０ａと、酸化物半導体２３０ａ上の酸化物半導体２３０ｂと、を形成することができる。

［０２３８］

次に、酸化物半導体２３０ｂ上に酸化物半導体２３０ｃを形成する（図７Ｃ）。ここでは、ＡＬＤ法を用いて、酸化物半導体２３０ｃを形成する。ＡＬＤ法を用いた酸化物半導体２３０ｃの形成は、酸化物半導体２３０ａの形成方法を参照できる。

［０２３９］

ＣＡＡＣ構造を有する酸化物半導体２３０ｂ上に、ＡＬＤ法を用いて、ＣＡＡＣ構造よりも結晶性の低い酸化物半導体２３０ｃを形成すると、酸化物半導体２３０ｂを核として、酸化物半導体２３０ｃ

がエピタキシャル成長する場合がある。よって、酸化物半導体２３０ｃの形成時に、酸化物半導体２３０ｃがＣＡＡＣ構造を有する領域を有する場合がある。また、ＣＡＡＣ構造を有する当該領域は、酸化物半導体２３０ｃ全体にわたって形成されることが好ましい。

［０２４０］

次に、熱処理工程を行ってもよい。

［０２４１］

熱処理の温度は、例えば、１００℃以上８００℃以下、好ましくは２５０℃以上６５０℃以下、さらに好ましくは３５０℃以上５５０℃以下で行う。代表的には４００℃±２５℃（３７５℃以上４２５℃以下）とすることができる。また処理時間は、１０時間以下、あるいは１分以上５時間以下、あるいは１分以上２時間以下、とすることができる。また、ＲＴＡ装置を用いる場合には処理時間は、例えば、１秒以上５分以下とすることができる。当該熱処理により、酸化物半導体２３０ｂのＣＡＡＣ構造が有する原子レベルの結晶部の隙間を、酸化物半導体２３０ｃ（別言すると、ＡＬＤ法を用いて形成した各結晶分子）により修復することが期待される。

［０２４２］

熱処理に用いる加熱装置に特別な限定はなく、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置であってもよい。例えば、電気炉、またはＬＲＴＡ（Ｌａｍｐ　Ｒａｐｉｄ　Ｔｈｅｒｍａｌ　Ａｎｎｅａｌ）装置、ＧＲＴＡ（Ｇａｓ　Ｒａｐｉｄ　Ｔｈｅｒｍａｌ　Ａｎｎｅａｌ）装置等のＲＴＡ（Ｒａｐｉｄ　Ｔｈｅｒｍａｌ　Ａｎｎｅａｌ）装置を用いることができる。ＬＲＴＡ装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。ＧＲＴＡ装置は、高温のガスを用いて加熱処理を行う装置である。

［０２４３］

当該熱処理工程により、酸化物半導体２３０ｃにおいて、ＣＡＡＣ構造を有する当該領域の結晶性が高まる場合がある。また、ＡＬＤ法による成膜後に、当該領域が酸化物半導体２３０ｃの下方のみに形成されている場合には、当該熱処理工程により、当該領域が上方に広がる場合がある（図７Ｄ）。すなわち、当該熱処理を行うことで、酸化物半導体２３０ｃにおいて、ＣＡＡＣ構造を有する領域が層全体にわたって形成される場合がある。

［０２４４］

また、当該熱処理工程により、酸化物半導体２３０ｂのＣＡＡＣ構造が有する原子レベルの結晶部の隙間を埋める酸化物半導体２３０ｃ（別言すると、ＡＬＤ法を用いて形成した各結晶分子）により、酸化物半導体２３０ｂがさらに修復される場合がある。

［０２４５］

また当該熱処理工程により、酸化物半導体２３０ａの少なくとも一部がＣＡＡＣ化することが好ましい（図７Ｄ）。ＣＡＡＣ化は、酸化物半導体２３０ｂの成膜において酸化物半導体２３０ａの中に形成された混合層２３１が核または種となり、生じやすくなると期待される。酸化物半導体２３０ａにおいてＣＡＡＣ化する領域は広いことが好ましく、層２２９近傍までＣＡＡＣ化することが好ましい。

［０２４６］

また、酸化物半導体２３０ａの上部から下部に向かってＣＡＡＣ化するため、層２２９の材料又は結晶性に限られることなく、層２２９の近傍までＣＡＡＣ化することができる。例えば、層２２９が非

晶質構造を有していても、結晶性の高い酸化物半導体２３０ａを形成することができる。よって、本発明の一態様の酸化物半導体層の作製方法は、被形成面である層が非晶質構造を有する場合に、特に好適である。

［０２４７］

また、上記熱処理工程の後に、マイクロ波処理を行うことが好ましい。当該マイクロ波処理は、酸素を含む雰囲気で行うことが好ましい。マイクロ波処理を行うことで、酸化物半導体層２３０中の、水素、炭素などの不純物を低減させることができる。

［０２４８］

なお、図７Ａ乃至図７Ｄは、本発明の一態様の金属酸化物の成膜方法を説明する断面図である。また、図７Ａ乃至図７Ｄは、本発明の一態様の金属酸化物の成膜モデルを示す概念図として捉えることもできる。図７Ａ乃至図７Ｄに示すように、酸化物半導体２３０ａ、及び酸化物半導体２３０ｃは、それぞれ結晶性の高い酸化物半導体２３０ｂを核または種として、結晶性が高くなる。具体的には、酸化物半導体２３０ａの結晶性は、酸化物半導体２３０ｂの成膜時または酸化物半導体２３０ｃ成膜後の熱処理により、高くなる場合がある。また、酸化物半導体２３０ｃの結晶性は、酸化物半導体２３０ｃの成膜時または酸化物半導体２３０ｃ成膜後の熱処理により、高くなる場合がある。なお、上記熱処理は、結晶性を高めるアシスト作用の機能を有する。

［０２４９］

このように、本発明の一態様の金属酸化物の成膜方法においては、結晶性の高い酸化物半導体２３０ｂ（すなわち、ＣＡＡＣ）を核または種として、上下の酸化物半導体（ここでは酸化物半導体２３０ａ、及び酸化物半導体２３０ｃ）の結晶性を高くすることができる。これにより、酸化物半導体全体の結晶性を高くすることができる。別言すると、酸化物半導体２３０ｂを核または種として、上下の酸化物半導体を固相成長させ、結晶性の高い酸化物半導体を形成することができる。このような成膜方法を用いて形成された酸化物半導体、ここではＣＡＡＣ膜を、Ａｘｉａｌ　Ｇｒｏｗｔｈ　ＣＡＡＣ（ＡＧ　ＣＡＡＣ）と呼称することができる。

［０２５０］

前述の通り、図７Ａ乃至図７Ｄに示す工程は、実施の形態１で説明した本発明の一態様の製造装置を用いることで、大気に晒されずに連続で行うことができる。これにより、酸化物半導体層２３０中に不純物が混入することを防ぐことができる。また、不純物による結晶成長の阻害が抑制されるため、結晶性の向上を図ることができる。

［０２５１］

酸化物半導体２３０ａ及び酸化物半導体２３０ｃを含む酸化物半導体層２３０全体において、ＣＡＡＣ構造を有する領域が層全体にわたって広く存在することが好ましい。図８Ａは、酸化物半導体２３０ａ、酸化物半導体２３０ｂ、及び酸化物半導体２３０ｃがそれぞれ結晶化している様子を示す。酸化物半導体２３０ａにおいて、ＣＡＡＣ構造を有する領域は、酸化物半導体２３０ｂにおいて、ＣＡＡＣ構造を有する領域と、結晶が連結している。酸化物半導体２３０ｃにおいて、ＣＡＡＣ構造を有する領域は、酸化物半導体２３０ｂにおいて、ＣＡＡＣ構造を有する領域と、結晶が連結している。これにより、酸化物半導体２３０ａと酸化物半導体２３０ｂの境界は観察されない場合がある。また、酸化物半導体２３０ｂと酸化物半導体２３０ｃの境界は観察されない場合がある。酸化物半導体層２３０は、界面が明確に観測されない１つの層である、と表現できる場合がある。酸化物半導体層２３０は、単一の層と表現できる場合がある。

［０２５２］

また、酸化物半導体２３０ａまたは酸化物半導体２３０ｃの一部が結晶化されない場合がある。図８Ｂに示す例は、酸化物半導体２３０ａにおいて、層２２９との界面近傍が結晶化されない様子を示す。図８Ｃは、酸化物半導体２３０ｃにおいて、表面近傍が結晶化されない様子を示す。図８Ｄは、酸化物半導体２３０ａの層２２９との界面近傍と、酸化物半導体２３０ｃの表面近傍が、それぞれ結晶化されない様子を示す。

［０２５３］

酸化物半導体層の結晶性を高めることにより、半導体層の電気抵抗の増加抑制、またはトランジスタの初期特性（特にオン電流）が向上し、高速駆動に適したトランジスタとすることが期待できる。また、トランジスタの信頼性を高め、オン電流を大きくすることができる。

［０２５４］

本発明の一態様の酸化物半導体層の作製方法により、ＣＡＡＣ構造を有する金属酸化物を起点として、上下に位置する金属酸化物の結晶性を向上させ、酸化物半導体層全体を、結晶性の高い層とすることができる。

［０２５５］

本発明の一態様の酸化物半導体層は、層全体にわたって高い結晶性を有する。そのため、酸化物半導体層２３０において、酸化物半導体２３０ａ、酸化物半導体２３０ｂ、及び酸化物半導体２３０ｃは、積層される膜同士の境界が確認されない場合がある。特に、熱処理を行った後には、積層される膜同士の境界の確認が困難な場合がある。積層される膜同士の境界の有無の確認は、例えば、断面ＴＥＭ、断面ＳＴＥＭ、等を用いて行うことができる。

［０２５６］

前述したように、Ｉｎの含有率が高い金属酸化物をトランジスタに用いることで、トランジスタの電界効果移動度を高めることができる。一方、Ｉｎの含有率が高い酸化物半導体は、多結晶化する傾向がある。多結晶構造の金属酸化物をトランジスタに用いることで、トランジスタの初期特性または信頼性に悪影響を与えてしまう。そこで、Ｉｎの含有率が高い酸化物半導体を、酸化物半導体２３０ａ及び酸化物半導体２３０ｃの一方又は両方に用いることで、酸化物半導体２３０ｂが有する結晶の配向が反映された結晶が形成され、多結晶化を抑制できる。

［０２５７］

また、酸化物半導体２３０ｂが有する結晶と、酸化物半導体２３０ａ又は酸化物半導体２３０ｃが有する結晶の格子不整合度は小さいことが好ましい。これにより、酸化物半導体２３０ａ又は酸化物半導体２３０ｃは、酸化物半導体２３０ｂが有する結晶の配向が反映された結晶を形成することができる。このとき、例えば、酸化物半導体層２３０の高分解能ＴＥＭを用いた断面観察において、被形成面と平行な方向に層状に並んだ輝点が、酸化物半導体２３０ａ又は酸化物半導体２３０ｃで確認される。

［０２５８］

酸化物半導体２３０ｂが有する結晶と、酸化物半導体２３０ａ又は酸化物半導体２３０ｃが有する結晶の格子不整合度が小さければ、酸化物半導体２３０ａ又は酸化物半導体２３０ｃの結晶構造は特に限定されない。酸化物半導体２３０ａ又は酸化物半導体２３０ｃの結晶構造は、立方晶系、正方晶系、直方晶系、六方晶系、単斜晶系、三方晶系のいずれであってもよい。

［０２５９］

［酸化物半導体層の組成］

前述したように、酸化物半導体２３０ｂは、ＣＡＡＣ構造を形成するために好適な組成にすることが好ましい。酸化物半導体２３０ｂの形成には、例えば、スパッタリング法を用いることができる。酸化物半導体２３０ｂは、例えば、亜鉛を含むことが好ましい。亜鉛を含むことで、結晶性の高い金属酸化物となる。また、酸化物半導体２３０ｂは、亜鉛に加えて、元素Mを含むことが好ましい。酸化物半導体２３０ｂが元素Mを含むことにより、例えば、金属酸化物に酸素欠損が形成されることを抑制できる。よって、酸化物半導体層を適用するトランジスタの信頼性を高めることができる。酸化物半導体２３０ｂとして、具体的には、Ｉｎ：Ｍ：Ｚｎ＝１：１：１［原子数比］もしくはその近傍の組成、Ｉｎ：Ｍ：Ｚｎ＝１：１：１．２［原子数比］もしくはその近傍の組成、Ｉｎ：Ｍ：Ｚｎ＝１：１：０．５［原子数比］もしくはその近傍の組成、Ｉｎ：Ｍ：Ｚｎ＝１：１：２［原子数比］もしくはその近傍の組成、またはＩｎ：Ｍ：Ｚｎ＝４：２：３［原子数比］もしくはその近傍の組成、Ｉｎ：Ｍ：Ｚｎ＝１：３：２［原子数比］もしくはその近傍の組成、Ｉｎ：Ｍ：Ｚｎ＝１：３：４［原子数比］もしくはその近傍の組成の金属酸化物を用いることができる。なお、近傍の組成とは、所望の原子数比の±３０％の範囲を含む。また、元素Mとして、ガリウム、アルミニウム、及び錫の一または複数を用いることが好ましい。

［０２６０］

酸化物半導体２３０ｂは、元素Mを含まない構成としてもよい。例えば、Ｉｎ－Ｚｎ酸化物としてもよい。具体的には、Ｉｎ：Ｚｎ＝１：１［原子数比］もしくはその近傍の組成、Ｉｎ：Ｚｎ＝２：１［原子数比］もしくはその近傍の組成、またはＩｎ：Ｚｎ＝４：１［原子数比］もしくはその近傍の組成とすることができる。または、インジウム酸化物を用いてもよい。また、元素Mを微量に含む構成にしてもよい。例えば、Ｉｎ：Ｇａ：Ｚｎ＝４：０．１：１［原子数比］もしくはその近傍の組成、またはＩｎ：Ｇａ：Ｚｎ＝２：０．１：１［原子数比］もしくはその近傍の組成とすることができる。また、例えば、Ｉｎ：Ｓｎ：Ｚｎ＝４：０．１：１［原子数比］もしくはその近傍の組成、またはＩｎ：Ｓｎ：Ｚｎ＝２：０．１：１［原子数比］もしくはその近傍の組成とすることができる。

［０２６１］

酸化物半導体２３０ａ及び酸化物半導体２３０ｃは、Ｉｎの割合が多い金属酸化物とすることができる。酸化物半導体２３０ａ及び酸化物半導体２３０ｃの形成には、例えば、ＡＬＤ法を用いることができる。また特に、元素MよりもＩｎの割合が多い金属酸化物を用いることが好ましい。Ｉｎの割合が多い金属酸化物を用いることにより、酸化物半導体層をトランジスタに適用する場合において、オン電流を大きく、周波数特性を高くすることができる。

［０２６２］

または、酸化物半導体２３０ａ及び酸化物半導体２３０ｃは、元素Mを含まない構成としてもよい。例えば、Ｉｎ－Ｚｎ酸化物としてもよい。具体的には、Ｉｎ：Ｚｎ＝１：１［原子数比］もしくはその近傍の組成、Ｉｎ：Ｚｎ＝２：１［原子数比］もしくはその近傍の組成、またはＩｎ：Ｚｎ＝４：１［原子数比］もしくはその近傍の組成とすることができる。または、インジウム酸化物を用いてもよい。また、酸化物半導体２３０ａ及び酸化物半導体２３０ｃは、元素Mを微量に含む構成にしてもよい。具体的には、Ｉｎ：Ｇａ：Ｚｎ＝４：０．１：１［原子数比］もしくはその近傍の組成、Ｉｎ：Ｇａ：Ｚｎ＝２：０．１：１［原子数比］もしくはその近傍の組成、Ｉｎ：Ｓｎ：Ｚｎ＝４：０．１：１［原子数比］もしくはその近傍の組成、またはＩｎ：Ｓｎ：Ｚｎ＝２：０．１：１［原子数比］もしくはその近傍の組成とすることができる。

［０２６３］

また、酸化物半導体２３０ａ及び酸化物半導体２３０ｃは、酸化物半導体２３０ｂと比較してＩｎの割合が多い金属酸化物とすることができる。

［０２６４］

また、例えば、酸化物半導体２３０ａ及び酸化物半導体２３０ｃとして、酸化物半導体２３０ｂと比較してＧａの割合が高い金属酸化物を用いることもできる。例えば、酸化物半導体２３０ａ及び酸化物半導体２３０ｃには、それぞれ、Ｉｎ：Ｇａ：Ｚｎ＝１：１：１［原子数比］もしくはその近傍の組成である金属酸化物、Ｉｎ：Ｇａ：Ｚｎ＝１：３：２［原子数比］もしくはその近傍の組成である金属酸化物、またはＩｎ：Ｇａ：Ｚｎ＝１：３：４［原子数比］もしくはその近傍の組成である金属酸化物を用いることが好ましい。Ｇａの割合を高めることにより、例えば、酸化物半導体２３０ａ及び酸化物半導体２３０ｃのバンドギャップをそれぞれ、酸化物半導体２３０ｂよりも大きくできる場合がある。これにより、酸化物半導体２３０ｂが、バンドギャップが大きい酸化物半導体２３０ａ及び酸化物半導体２３０ｃに挟持され、酸化物半導体２３０ｂが主に電流経路（チャネル）として機能することとなる。酸化物半導体２３０ｂが酸化物半導体２３０ａ及び酸化物半導体２３０ｃにより挟持されることで、酸化物半導体２３０ｂの界面及びその近傍のトラップ準位を少なくすることができる。これにより、チャネルが絶縁層界面から遠ざけられた埋め込みチャネル型のトランジスタを実現でき、電界効果移動度を高くすることができる。また、バックチャネル側に形成されうる界面準位の影響が低減され、トランジスタの光劣化（例えば、光負バイアス劣化）を抑制でき、トランジスタの信頼性を高めることができる。

［０２６５］

また、本発明の一態様の酸化物半導体層は、酸化物半導体２３０ａ及び酸化物半導体２３０ｃとして、単層の形成ではＣＡＡＣ構造を形成しづらい組成を用いた場合においても、酸化物半導体２３０ｂを核として結晶成長が生じることにより、酸化物半導体２３０ａ及び酸化物半導体２３０ｃを含めた酸化物半導体層全体において、ＣＡＡＣ構造を有する構成とすることができる。あるいは、酸化物半導体２３０ａ及び酸化物半導体２３０ｃのそれぞれの少なくとも一部を含めた領域と、酸化物半導体２３０ｂとにわたる領域において、ＣＡＡＣ構造を有する構成とすることができる。

［０２６６］

特に、酸化物半導体２３０ａ及び酸化物半導体２３０ｃのＩｎの割合が高い組成においても、トランジスタの半導体層として好適な結晶性とすることができる。本発明の一態様の酸化物半導体層においては、Ｉｎの割合を高くすることによるトランジスタのオン特性の向上と、結晶性の高いＣＡＡＣ構造とすることによる信頼性の向上と、を両立することができる。

［０２６７］

なお、酸化物半導体２３０ａと酸化物半導体２３０ｃの組成は異なってもよい。

［０２６８］

また、酸化物半導体２３０ａ及び酸化物半導体２３０ｃは、酸化物半導体２３０ｂと同じ組成の金属酸化物を用いてもよい。同じ組成を用いることにより、熱処理を行った後のＣＡＡＣ化が生じやすくなる場合がある。

［０２６９］

また、前述の２種の成膜方法を用いて形成されたＣＡＡＣ構造を有する酸化物半導体層は、１種の成膜方法を用いて形成されたＣＡＡＣ構造の酸化物半導体層と比較して、膜の比誘電率、膜密度、及び

膜の硬度のいずれか一または複数が高くなる場合がある。

［０２７０］

前述の２種の成膜方法を用いて形成されたＣＡＡＣ構造を有する酸化物半導体層を、トランジスタのチャネル形成領域に用いることで、優れた特性を有するトランジスタ（例えば、オン電流が大きいトランジスタ、電界効果移動度が高いトランジスタ、Ｓ値が小さいトランジスタ、周波数特性（ｆ特とも呼称する）が高いトランジスタ、信頼性の高いトランジスタなど）を実現することができる。

［０２７１］

酸化物半導体層２３０に用いる金属酸化物の組成の分析には、例えば、ＥＤＸ、ＸＰＳ、誘導結合プラズマ質量分析法（ＩＣＰ－ＭＳ：Ｉｎｄｕｃｔｉｖｅｌｙ　Ｃｏｕｐｌｅｄ　Ｐｌａｓｍａ－Ｍａｓｓ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）、または誘導結合高周波プラズマ発光分光法（ＩＣＰ－ＡＥＳ：Ｉｎｄｕｃｔｉｖｅｌｙ　Ｃｏｕｐｌｅｄ　Ｐｌａｓｍａ－Ａｔｏｍｉｃ　Ｅｍｉｓｓｉｏｎ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）を用いることができる。または、これらの手法を複数組み合わせて分析を行ってもよい。なお、含有率が低い元素は、分析精度の影響により、実際の含有率と分析によって得られる含有率が異なる場合がある。例えば、元素Ｍの含有率が低い場合、分析によって得られる元素Ｍの含有率が、実際の含有率より低くなる場合がある。また、元素Ｍの定量が困難となる場合、または元素Ｍが検出されない場合がある。

［０２７２］

［トランジスタの酸化物半導体層］

本発明の一態様の酸化物半導体層は、トランジスタの半導体層として用いることができる。

［０２７３］

酸化物半導体層２３０をトランジスタの半導体層として用いる場合には、酸化物半導体層２３０の厚さは、例えば、３ｎｍ以上２００ｎｍ以下が好ましく、３ｎｍ以上１００ｎｍ以下が好ましく、さらには５ｎｍ以上１００ｎｍ以下が好ましく、さらには１０ｎｍ以上１００ｎｍ以下が好ましく、さらには１０ｎｍ以上７０ｎｍ以下が好ましく、さらには１５ｎｍ以上７０ｎｍ以下が好ましく、さらには１５ｎｍ以上５０ｎｍ以下が好ましく、さらには２０ｎｍ以上５０ｎｍ以下が好ましい。また、より微細な半導体装置に用いるトランジスタにおいては、酸化物半導体層２３０の膜厚は、１ｎｍ以上、３ｎｍ以上、または５ｎｍ以上であって、２０ｎｍ以下、１５ｎｍ以下、１２ｎｍ以下、または１０ｎｍ以下であることが好ましい。

［０２７４］

酸化物半導体２３０ｂは、例えば、２００ｎｍ以下であることが好ましい。また、酸化物半導体２３０ｂが層状である場合には、例えば、１ｎｍ以上２００ｎｍ以下であることが好ましく、１ｎｍ以上１００ｎｍ以下であることがより好ましく、２ｎｍ以上１００ｎｍ以下であることが好ましい。

［０２７５］

あるいは、酸化物半導体２３０ｂが結晶核として機能し得るのであれば、酸化物半導体２３０ｂが層として存在せず、島状の領域の集合体となる場合もある。このような場合には例えば、酸化物半導体２３０ｂが有する島状の領域は、離散的に存在する。

［０２７６］

酸化物半導体２３０ａ及び酸化物半導体２３０ｃはそれぞれ、例えば、１ｎｍ以上５０ｎｍ以下、１ｎｍ以上３０ｎｍ以下であることが好ましく、１ｎｍ以上２０ｎｍ以下であることがより好ましく、２ｎｍ以上２０ｎｍ以下であることが好ましい。

［０２７７］
本発明の一態様の酸化物半導体層は、金属酸化物を有する。

［０２７８］
金属酸化物は、格子欠陥を有する場合がある。格子欠陥とは、原子空孔、異種原子などの点欠陥、転位などの線欠陥、結晶粒界などの面欠陥、空隙などの体積欠陥がある。また、格子欠陥の生成の要因としては、構成元素の原子数の比率のずれ（構成原子の過不足）、及び不純物などがある。

［０２７９］
金属酸化物をトランジスタの半導体層に用いる場合、金属酸化物中の格子欠陥は、キャリアの生成または捕獲などを引き起こす要因となりうる。よって、格子欠陥が多い金属酸化物をトランジスタの半導体層に用いると、当該トランジスタの電気特性が不安定となる恐れがある。よって、トランジスタの半導体層に用いる金属酸化物は、格子欠陥が少ないことが好ましい。

［０２８０］
金属酸化物中に存在しやすい格子欠陥の種類、及び格子欠陥の存在量は、金属酸化物の構造または金属酸化物の成膜方法などによって異なる。

［０２８１］
よって、トランジスタの半導体層には、結晶性の高い金属酸化物を用いることが好ましい。例えば、ＣＡＡＣ構造を有する金属酸化物、または単結晶構造の金属酸化物を用いることが好ましい。当該金属酸化物をトランジスタに用いることで、良好な電気特性を有するトランジスタを実現できる。また、信頼性の高いトランジスタを実現できる。

［０２８２］
また、トランジスタのチャネル形成領域には、当該トランジスタのオン電流が大きくなる金属酸化物を用いることが好ましい。当該トランジスタのオン電流を大きくするには、当該トランジスタに用いる金属酸化物の移動度を高くすることが好ましい。金属酸化物の移動度を高くするには、キャリア（ｎチャネル型トランジスタの場合は、電子）の伝送を向上させる、または、キャリアの伝送に寄与する散乱因子を低減する必要がある。なお、キャリアは、チャネル形成領域を介して、ソースからドレインに流れる。よって、キャリアがチャネル長方向に流れやすいチャネル形成領域を設けることで、トランジスタのオン電流を大きくすることができる。

［０２８３］
［酸化物半導体中の不純物］
ここで、酸化物半導体中における各不純物の影響について説明する。

［０２８４］
半導体層に酸化物半導体を用いるトランジスタのチャネル形成領域は、ソース領域およびドレイン領域よりも、酸素欠損が少ない、または水素、窒素、金属元素などの不純物濃度が低いことが好ましい。酸化物半導体中のチャネル形成領域に酸素欠損（V_O）および不純物が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が酸素欠損に水素が入った欠陥（以下、V_OHと呼ぶ場合がある）を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオンとなりやすい。したがって、チャネル形成領域においては、V_OHも低減されていることが好ましい。このように、トランジスタのチャネル形成領域は、キャリア濃度が低い高抵抗領域である。よってトランジスタのチャネル形成領域は、ｉ型（真性）または実質的にｉ型であるということができる。

［０２８５］

したがって、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。不純物としては、水素、炭素、窒素などが挙げられる。なお、酸化物半導体中の不純物とは、例えば、酸化物半導体を構成する主成分以外をいう。例えば、濃度が０．１ａｔｏｍｉｃ％未満の元素は不純物といえる。

［０２８６］

酸化物半導体において、第１４族元素の一つであるシリコンまたは炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、ＳＩＭＳにより得られる酸化物半導体のチャネル形成領域における炭素の濃度は、1×10^{20}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは5×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは3×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは1×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは3×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、さらに好ましくは1×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下とする。また、ＳＩＭＳにより得られる酸化物半導体のチャネル形成領域におけるシリコンの濃度は、1×10^{20}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは5×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは3×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは1×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは3×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、さらに好ましくは1×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下とする。

［０２８７］

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、ｎ型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオンとなりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、ＳＩＭＳにより得られる酸化物半導体のチャネル形成領域における窒素濃度は、1×10^{20}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは5×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは1×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは5×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは1×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、さらに好ましくは5×10^{17}ａｔｏｍｓ／ｃｍ^{3}以下とする。

［０２８８］

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオンとなりやすい。このため、酸化物半導体のチャネル形成領域における水素はできる限り低減されていることが好ましい。具体的には、ＳＩＭＳにより得られる酸化物半導体のチャネル形成領域における水素濃度は、1×10^{20}ａｔｏｍｓ／ｃｍ^{3}未満、好ましくは5×10^{19}ａｔｏｍｓ／ｃｍ^{3}未満、より好ましくは1×10^{19}ａｔｏｍｓ／ｃｍ^{3}未満、より好ましくは5×10^{18}ａｔｏｍｓ／ｃｍ^{3}未満、より好ましくは1×10^{18}ａｔｏｍｓ／ｃｍ^{3}未満、さらに好ましくは1×10^{17}ａｔｏｍｓ／ｃｍ^{3}未満とする。

［０２８９］

また、酸化物半導体にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属またはアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオンとなりやすい。このため、ＳＩＭＳにより得られる酸化

物半導体のチャネル形成領域中のアルカリ金属またはアルカリ土類金属の濃度を、１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは２×１０^{16}ａｔｏｍｓ／ｃｍ^{3}以下にする。

［０２９０］

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

［０２９１］

［ｃ軸配向率］

本発明の一態様の酸化物半導体層は、ＣＡＡＣ構造を有する。本発明の一態様の酸化物半導体層の結晶性の高さは、例えば、結晶配向性を用いて評価することができる。

［０２９２］

結晶配向性は、ＴＥＭ像の高速フーリエ変換（ＦＦＴ：Ｆａｓｔ　Ｆｏｕｒｉｅｒ　Ｔｒａｎｓｆｏｒｍ）処理を行うことで得られるＦＦＴパターンから得ることができる。具体的には、ＦＦＴパターンを用いて結晶軸の方向を得ることができる。ＦＦＴ処理により得られるＦＦＴパターンは、電子線回折パターンと同様の逆格子空間情報を反映する。

［０２９３］

酸化物半導体層のＴＥＭ像内を領域ごとにＦＦＴ処理を行うことで、各領域の結晶配向性を得ることができる。例えば、ある面積の範囲において、領域ごとに結晶配向性を得ることにより、結晶配向性を示すマップを形成することができる。具体的には、層状の結晶部を有する領域のＦＦＴパターンにおいて、強度の高い２つのスポットが観察される。当該２つのスポットを結ぶ線分の角度から、当該領域の結晶軸の方向を得ることができる。

［０２９４］

結晶配向性を示すマップにおいて、ｃ軸配向している領域の割合を算出することにより、ｃ軸配向率を算出することができる。なお、ｃ軸配向している領域はここでは、配向がｃ軸と一致する領域、及び、ｃ軸との差が２０度以内の領域とする。

［０２９５］

本発明の一態様の酸化物半導体層において、ｃ軸配向率は、例えば、酸化物半導体層の断面、あるいは平面のＴＥＭ観察を行い、算出することができる。また、ＦＦＴを行う領域（ＦＦＴウィンドウともいう）は、例えば、直径１．０ｎｍの円とすることができる。なおＦＦＴを行う領域は円には限られない。

［０２９６］

本発明の一態様の酸化物半導体層において、ｃ軸配向率は、６０％以上、好ましくは７０％以上、より好ましくは８０％以上、より好ましくは９０％以上、さらに好ましくは９５％以上である。

［０２９７］

また、酸化物半導体２３０ａとして成膜を行った領域、酸化物半導体２３０ｂとして成膜を行った領域、及び酸化物半導体２３０ｃとして成膜を行った領域のｃ軸配向率をそれぞれ、Ｒｃ１、Ｒｃ２、及びＲｃ３とする。Ｒｃ２は６０％以上、好ましくは７０％以上、より好ましくは８０％以上、より好ましくは９０％以上、さらに好ましくは９５％以上である。また、Ｒｃ３は６０％以上、好ましくは７０％以上、より好ましくは８０％以上、より好ましくは９０％以上、さらに好ましくは９５％以上である。Ｒｃ３／Ｒｃ１は、１より大きいことが好ましい。また、Ｒｃ２／Ｒｃ１は、１より大きいことが好ましい。

［０２９８］
なお、酸化物半導体層２３０は、作製後においては、酸化物半導体２３０ａ、２３０ｂ、及び２３０ｃの境界は明確に観察されない場合がある。

［０２９９］
本発明の一態様の酸化物半導体層２３０は、層２２９上から順に、第１の領域、第２の領域、及び第３の領域の３つの領域に区切ることができる。各領域は、層状の領域である。

［０３００］
第１の領域、第２の領域、及び第３の領域はそれぞれ、ＣＡＡＣ構造を有する。また、第３の領域のｃ軸配向率は第１の領域のｃ軸配向率より高いことが好ましい。また、第２の領域のｃ軸配向率は、第１の領域のｃ軸配向率より高いことが好ましい。また、第３の領域のｃ軸配向率は、８０％以上、より好ましくは９０％以上、さらに好ましくは９５％以上である。また、第２の領域のｃ軸配向率は、８０％以上、より好ましくは９０％以上、さらに好ましくは９５％以上である。

［０３０１］
第１の領域は層２２９の上面から０ｎｍ以上３ｎｍ以下に位置し、第３の領域は、酸化物半導体層２３０の上面から０ｎｍ以上３ｎｍ以下に位置する。

［０３０２］
または、各領域の層の厚さは、例えば、概略同じである。

［０３０３］
本実施の形態は、他の実施の形態と適宜組み合わせることができる。

［０３０４］
（実施の形態３）
本実施の形態では、本発明の一態様の半導体装置について図９乃至図１７を用いて説明する。

［０３０５］
本発明の一態様の半導体装置は、酸化物半導体層、第１乃至第４の導電層、及び、第１乃至第４の絶縁層を有する。

［０３０６］
酸化物半導体層は、トランジスタの半導体層として機能し、第１の導電層は、トランジスタのソース電極またはドレイン電極の一方として機能し、第３の導電層は、トランジスタのソース電極またはドレイン電極の他方として機能し、第４の導電層は、トランジスタの第１のゲート電極として機能する。第４の絶縁層は、トランジスタの第１のゲート絶縁層として機能する。第２の導電層は、第２のゲート電極として機能し、第３の絶縁層は、第２のゲート絶縁層として機能する。

［０３０７］
第１の絶縁層は、第１の導電層上に位置し、第２の導電層は、第１の絶縁層上に位置し、第２の絶縁層は、第２の導電層上に位置し、第３の導電層は、第２の絶縁層上に位置し、第１の導電層は、第１の凹部を有し、第１の絶縁層、第２の導電層、第２の絶縁層、及び第３の導電層は、第１の凹部と重なる位置に第１の開口部を有する。第３の絶縁層は、第１の導電層と接し、かつ、第１の開口部内で、少なくとも、第１の絶縁層の側面、第２の導電層の側面、及び、第２の絶縁層の側面と接する。酸化物半導体層は、第３の導電層の上面、並びに、第１の凹部の底面及び側面と接し、かつ、第１の開口部内で、第３の絶縁層と接する。第４の絶縁層は、第１の開口部内で酸化物半導体層の内側に位置する。第４の導電層は、第１の開口部内で第４の絶縁層の内側に位置する。

［０３０８］
本発明の一態様のトランジスタは、第１の導電層に第１の凹部が設けられている。これにより、第１の凹部を設けない場合に比べて、第１の開口部内における、第４の絶縁層の下面の高さ、及び、第４の導電層の下面の高さを、それぞれ低くすることができる。したがって、酸化物半導体層にゲート電界がかかりやすくなり、トランジスタの電気特性を良好にすることができる。ここで、それぞれの面の高さは、例えば、トランジスタの被形成面を基準として決定できる。

［０３０９］
また、断面視において、本発明の一態様のトランジスタが有する酸化物半導体層は、第３の絶縁層を介して第２の導電層と重なり、かつ、第４の絶縁層を介して第４の導電層と重なる領域を有する。第２の導電層と第４の導電層は、一方がゲートとして機能し、他方がバックゲートとして機能する。トランジスタがバックゲートを有することで、しきい値電圧の制御が容易となり、また、しきい値電圧の変動を抑制できるため、トランジスタの電気特性及び信頼性を高めることができる。

［０３１０］
また、ソース電極またはドレイン電極と、ゲート配線と、の間に生じる寄生容量が大きいと、トランジスタの動作が遅くなり、当該トランジスタを用いた回路の周波数特性が低下する場合がある。

［０３１１］
そこで、本発明の一態様のトランジスタは、第３の導電層とゲート配線との間に生じる寄生容量が低減された構成を有することが好ましい。これにより、トランジスタの高速動作を実現できる。また、良好な電気特性を有する半導体装置を提供できる。

［０３１２］
例えば、本発明の一態様の半導体装置は、さらに、第５の導電層、及び、第５の絶縁層を有することが好ましい。このとき、第５の絶縁層は、第４の絶縁層上に位置し、かつ、第１の開口部と重なる位置に、第４の導電層に達する第２の開口部を有し、第５の導電層は、第２の開口部内で、第４の導電層と接することが好ましい。

［０３１３］
第５の導電層は、ゲート配線として機能する。第５の導電層は、第５の絶縁層上に配置されるため、第３の導電層とゲート配線との間の物理的距離を大きくすることができる。したがって、第３の導電層とゲート配線との間に生じる寄生容量を小さくすることができる。

［０３１４］
本発明の一態様のトランジスタは、ソース電極とドレイン電極とが、異なる高さに位置し、半導体層を流れる電流は、高さ方向に流れる。すなわち、チャネル長方向が高さ方向（縦方向）の成分を有するといえるため、本発明の一態様のトランジスタは、ＶＦＥＴ（Ｖｅｒｔｉｃａｌ　Ｆｉｅｌｄ　Ｅｆｆｅｃｔ　Ｔｒａｎｓｉｓｔｏｒ）、縦型トランジスタ、縦型チャネルトランジスタ、縦チャネル型トランジスタなどとも呼ぶことができる。

［０３１５］
本発明の一態様のトランジスタは、ソース電極、半導体層、及びドレイン電極を、重ねて設けることができるため、半導体層を平面状に配置した、いわゆるプレーナ型のトランジスタと比較して、占有面積を大幅に縮小できる。

［０３１６］
また、本発明の一態様のトランジスタのチャネル長は、第１の絶縁層、第２の導電層、及び、第２の

絶縁層などの厚さによって制御することができる。したがって、プレーナ型のトランジスタでは実現することが難しい極めてチャネル長の短いトランジスタを実現することができる。そのため、占有面積が小さく、オン電流の大きいトランジスタを実現することができる。

［０３１７］

トランジスタのチャネル長が短くなると、いわゆる短チャネル効果（Ｓｈｏｒｔ　Ｃｈａｎｎｅｌ　Ｅｆｆｅｃｔ：ＳＣＥ）の影響で、トランジスタがノーマリーオンになりやすい。一方、前述の通り、本発明の一態様のトランジスタは、バックゲートを有する。したがって、しきい値電圧を制御することで、ノーマリーオフのトランジスタを実現することが容易である。つまり、本発明の一態様のトランジスタは、微細化しても、オン電流が高く、ノーマリーオフであり、信頼性が高いといえる。

［０３１８］

また、酸化物半導体を用いたトランジスタはオフ電流が小さいため、例えば、記憶装置に用いる場合に、長期にわたり記憶内容を保持することができる。つまり、リフレッシュ動作を必要としない、または、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減できる。本発明の一態様のトランジスタを記憶装置に用いることで、記憶装置の高集積化と低消費電力化を図ることができる。

［０３１９］

また、本実施の形態の半導体装置は、実施の形態１で説明した製造装置を用いて作製することが好ましい。これにより、半導体装置の作製中に、不純物が混入することを抑制でき、半導体装置の信頼性を高めることができる。

［０３２０］

＜半導体装置の構成例１＞

図９Ａ１乃至図９Ｅ及び図１０Ａ乃至図１０Ｃを用いて、本発明の一態様の半導体装置の構成を説明する。

［０３２１］

［トランジスタ２００］

図９Ａ１は、トランジスタ２００を有する半導体装置の平面図である。図９Ａ２は、トランジスタ２００を複数配置する例を示す平面図である。図９Ｂ及び図１０Ａは、それぞれ、図９Ａ１に示す一点鎖線Ａ１－Ａ２間の断面図である。図１０Ａは、図９Ｂの拡大図の一例に相当し、各層の構成例をより詳細に示している。図９Ｃは、図９Ａ１に示す一点鎖線Ａ３－Ａ４間の断面図である。図９Ｄは、図９Ｂ及び図９Ｃに示す一点鎖線Ａ５－Ａ６間の断面図である。図９Ｄは、絶縁層２８０ａを含むＸＹ平面の断面図ということもできる。図９Ｅは、図９Ｂ及び図９Ｃに示す一点鎖線Ａ７－Ａ８間の断面図である。図９Ｅは、導電層２５５を含むＸＹ平面の断面図ということもできる。なお、図９Ａ１の平面図では、図の明瞭化のために一部の要素を省いている。以降の平面図においても、一部の要素を省略することがある。

［０３２２］

図９Ａ１、図９Ｂ乃至図９Ｅ及び図１０Ａに示す半導体装置は、基板（図示しない）上の絶縁層２１０と、絶縁層２１０上のトランジスタ２００と、絶縁層２１０上の絶縁層２８０ａと、絶縁層２８０ａ上の絶縁層２８０ｂと、を有する。絶縁層２１０、絶縁層２８０ａ、及び絶縁層２８０ｂは、層間膜として機能する。

［０３２３］

トランジスタ２００は、導電層２２０ａと、導電層２２０ａ上の導電層２２０ｂと、絶縁層２８０ａ上の導電層２５５と、絶縁層２８０ｂ上の導電層２４０ａと、導電層２４０ａ上の導電層２４０ｂと、絶縁層２３５と、酸化物半導体層２３０と、酸化物半導体層２３０上の絶縁層２５０と、絶縁層２５０上の導電層２６５ａと、導電層２６５ａ上の導電層２６５ｂと、を有する。

［０３２４］

なお、以下では、導電層２２０ａと導電層２２０ｂをまとめて、導電層２２０と記す場合がある。また、導電層２４０ａと導電層２４０ｂをまとめて、導電層２４０と記す場合がある。また、導電層２６５ａと導電層２６５ｂをまとめて、導電層２６５と記す場合がある。

［０３２５］

トランジスタ２００において、酸化物半導体層２３０は半導体層として機能し、導電層２６５は第１のゲート電極として機能し、絶縁層２５０は第１のゲート絶縁層として機能し、導電層２２０はソース電極及びドレイン電極の一方として機能し、導電層２４０はソース電極及びドレイン電極の他方として機能し、導電層２５５は第２のゲート電極として機能し、絶縁層２３５は第２のゲート絶縁層として機能する。また、導電層２６５は、ゲート配線としても機能する。

［０３２６］

導電層２６５はゲート電極として機能し、導電層２５５はバックゲート電極として機能することが好ましい。このとき、絶縁層２５０はゲート絶縁層として機能し、絶縁層２３５はバックゲート絶縁層として機能する。なお、導電層２６５をバックゲート電極として機能させ、導電層２６５をゲート電極として機能させてもよい。

［０３２７］

酸化物半導体層２３０は、絶縁層２３５を介して導電層２５５と重なり、かつ、絶縁層２５０を介して導電層２６０と重なる領域を有する。当該領域の少なくとも一部は、トランジスタ２００のチャネル形成領域として機能する。酸化物半導体層２３０の導電層２２０と接する領域、及び、酸化物半導体層２３０の導電層２４０と接する領域は、一方が、ソース領域として機能し、他方がドレイン領域として機能する。つまり、チャネル形成領域は、ソース領域とドレイン領域との間に挟まれている。

［０３２８］

図９Ｂ及び図９Ｃに示すように、絶縁層２８０ａ、導電層２５５、絶縁層２８０ｂ、導電層２４０ａ、及び導電層２４０ｂには、導電層２２０に達する開口部２９０が設けられている。

［０３２９］

導電層２２０は、導電層２２０ａと、導電層２２０ａ上の導電層２２０ｂとを有し、導電層２２０ｂには凹部が設けられている。別言すると、導電層２２０は凹部を有しており、当該凹部の側面及び底面が導電層２２０ｂの凹部の側面及び底面に相当する。具体的には、導電層２２０ｂは、第１の凹部と、第１の凹部よりも外側に位置する第２の凹部と、を有する。第１の凹部は、第２の凹部よりも深さが深い。開口部２９０を形成する際に、導電層２２０ｂに第２の凹部が設けられ、その後、絶縁層２３５を加工する際に、導電層２２０ｂに第１の凹部が設けられる。そのため、図９Ｂ等では、第１の凹部の側面と、絶縁層２３５の酸化物半導体層２３０側の面と、が揃っており、第２の凹部の側面と、絶縁層２８０ａ等の開口部２９０側の側面と、が揃っている。以下では、第１の凹部と第２の凹部をまとめて凹部と呼ぶことがある。

［０３３０］

図９Ｂ及び図９Ｃ等に示すように、開口部２９０は、導電層２２０ｂの凹部と重なっている。ここで、

開口部２９０の底部は、導電層２２０ｂの凹部の底面を含み、開口部２９０の側壁は、導電層２２０ｂの凹部の側面、絶縁層２８０ａの側面、導電層２５５の側面、絶縁層２８０ｂの側面、導電層２４０ａの側面、及び導電層２４０ｂの側面を含む。

［０３３１］

開口部２９０は、絶縁層２８０ａが有する開口部と、導電層２５５が有する開口部と、絶縁層２８０ｂが有する開口部と、導電層２４０ａが有する開口部と、導電層２４０ｂが有する開口部と、を含む。別言すると、絶縁層２８０ａが導電層２２０ａと重なる領域に有する開口部は、開口部２９０の一部であり、導電層２５５が導電層２２０ａと重なる領域に有する開口部は、開口部２９０の別の一部であり、絶縁層２８０ｂが導電層２２０ａと重なる領域に有する開口部は、開口部２９０の一部であり、導電層２４０ａが導電層２２０ａと重なる領域に有する開口部は、開口部２９０の別の一部であり、導電層２４０ｂが導電層２２０ａと重なる領域に有する開口部は、開口部２９０の別の一部である。なお、各層によって、開口部２９０の平面視における形状及び大きさが異なっていてもよい。また、開口部２９０の上面形状が円形であるとき、各層が有する開口部は同心円状であってもよく、同心円状でなくてもよい。

［０３３２］

トランジスタ２００の構成要素の少なくとも一部は、開口部２９０内に配置される。具体的には、絶縁層２３５、酸化物半導体層２３０、絶縁層２５０、及び導電層２６５のそれぞれは、少なくとも一部が開口部２９０内に位置するように配置される。

［０３３３］

絶縁層２３５は、酸化物半導体層２３０と導電層２５５との間に位置する領域を少なくとも有する。酸化物半導体層２３０は、開口部２９０内で、絶縁層２３５に接する。

［０３３４］

図９Ｂ等において、絶縁層２３５は、導電層２２０の凹部（具体的には、第２の凹部）の底面及び側面と接し、かつ、開口部２９０内で、絶縁層２８０ａの側面、導電層２５５の側面、絶縁層２８０ｂの側面、導電層２４０ａの側面、及び、導電層２４０ｂの側面と接する。酸化物半導体層２３０は、導電層２２０の凹部（具体的には、第１の凹部）の底面及び側面、絶縁層２３５、並びに、導電層２４０ｂの上面と接する。絶縁層２５０は、開口部２９０内で酸化物半導体層２３０の内側に位置し、導電層２６５ａは、開口部２９０内で絶縁層２５０の内側に位置する。

［０３３５］

絶縁層２３５は、開口部２９０の側壁の少なくとも一部に沿って設けられる。また、酸化物半導体層２３０及び絶縁層２５０の、開口部２９０内に配置される部分は、開口部２９０の形状を反映して設けられる。具体的には、開口部２９０の底部及び側壁を覆うように酸化物半導体層２３０が設けられ、酸化物半導体層２３０を覆うように絶縁層２５０が設けられる。そして、開口部２９０の形状を反映した絶縁層２５０の凹部の少なくとも一部を埋め込むように導電層２６５ａが設けられる。

［０３３６］

本発明の一態様のトランジスタにおいて、導電層２６５を構成する少なくとも一つの層が開口部２９０内に設けられる。導電層２６５が積層構造である場合、トランジスタ２００の微細化が進み、開口部２９０の径が小さくなるほど、開口部２９０に導電層２６５を構成する全ての層を配置することが難しくなる。図９Ｂ及び図９Ｃでは、導電層２６５が２層構造であり、導電層２６５ａのみが開口部２９０内に設けられ、導電層２６５ａ上の導電層２６５ｂは、開口部２９０と重なる位置に設けられ

ている例を示す。なお、開口部２９０の径、及び、導電層２６５ａの厚さ等によっては、開口部２９０内に導電層２６５ａ及び導電層２６５ｂの双方が位置する場合もある。

［０３３７］

導電層２２０ｂが開口部２９０と重なる位置に凹部を有することで、当該凹部を有さない場合に比べて、絶縁層２１０の上面を基準とした導電層２２０ｂの絶縁層２８０ａと接する上面の高さよりも、開口部２９０内における絶縁層２５０の下面の高さ及び導電層２６５ａの下面の高さのそれぞれを低くすることができる。ここで、それぞれの面の高さは、トランジスタの被形成面を基準として決定できる。ここでは、絶縁層２１０の上面を基準に用いる。基準に用いる面は、トランジスタの被形成面に限られない。例えば、トランジスタまたは半導体装置が設けられる基板の上面を基準に用いてもよい。

［０３３８］

図１０Ａに示すように、絶縁層２１０の上面から導電層２２０ｂの絶縁層２８０ａと接する上面までの最短距離Ｔｃは、絶縁層２１０の上面から絶縁層２５０の下面までの最短距離Ｔａよりも長いことが好ましい。これにより、導電層２２０ｂの側面と酸化物半導体層２３０との接触面積を大きくすることができ、導電層２２０ｂと酸化物半導体層２３０とのコンタクト抵抗を低くすることができる。したがって、導電層２２０ｂと酸化物半導体層２３０とのコンタクト抵抗に起因するトランジスタ２００のオン電流の低下を、抑制できる。なお、最短距離Ｔａは、開口部２９０内における絶縁層２５０の下面に基づいて決定できる。

［０３３９］

また、図１０Ａに示すように、最短距離Ｔｃは、絶縁層２１０の上面から導電層２６５ａの下面までの最短距離Ｔｂ以上であることがより好ましく、最短距離Ｔｂよりも長いことがさらに好ましい。これにより、酸化物半導体層２３０のチャネル形成領域にゲート電界がかかりやすくなり、トランジスタ２００の電気特性を良好にすることができる。さらに、酸化物半導体層２３０の導電層２２０ｂと接する領域にもゲート電界がかかりやすくなるため、トランジスタ２００のオン電流を高めることができる。また、導電層２２０と導電層２４０のどちらをドレイン電極に用いても、トランジスタ２００の電気特性を良好にすることができる。なお、最短距離Ｔｂは、開口部２９０内における導電層２６５ａの下面に基づいて決定できる。

［０３４０］

酸化物半導体層２３０は、導電層２２０ｂの凹部の底面及び側面、並びに、導電層２４０ｂの上面と接する。導電層２２０ｂが凹部を有することで、酸化物半導体層２３０が導電層２２０ｂと接する面積を大きくすることができる。したがって、酸化物半導体層２３０と導電層２２０ｂとの間のコンタクト抵抗を低くすることができる。

［０３４１］

導電層２２０ｂに、酸素を含む導電性材料を用いることが好ましい。これにより、酸化物半導体層２３０と導電層２２０ｂのコンタクト抵抗を低くすることができる。

［０３４２］

導電層２２０及び導電層２４０が積層構造である場合、当該積層構造のうち、酸化物半導体層２３０との接触面積が最も大きい層に酸素を含む導電性材料を用いることで、酸化物半導体層２３０とのコンタクト抵抗を低くできるため好ましい。このことから、例えば、導電層２２０ｂと導電層２４０ｂに酸素を含む導電性材料を用いることが好ましい。

［０３４３］

または、導電層２２０及び導電層２４０が積層構造である場合、当該積層構造のうち、チャネル形成領域に最も近い層に酸素を含む導電性材料を用い、酸化物半導体層２３０とのコンタクト抵抗を低くすることで、ソースとドレインの間の電流経路を短くできるため、トランジスタのオン電流を高めることができる。このことから、例えば、導電層２２０ｂと導電層２４０ａに酸素を含む導電性材料を用いることが好ましい。

［０３４４］

酸素を含む導電性材料としては、導電性を有する金属酸化物（酸化物導電体ともいう）を用いることが好ましい。

［０３４５］

図９Ｂでは、開口部２９０の外側において、導電層２４０ａの端部、導電層２４０ｂの端部、及び、酸化物半導体層２３０の端部が揃っている構成を示している。後述する作製方法例の通り、導電層２４０ａ、導電層２４０ｂ、及び酸化物半導体層２３０は、同じマスクを用いて加工することで作製できる。したがって、半導体装置の作製に要するマスク数を削減でき好ましい。なお、本発明はこれに限られるものではない。例えば、Ｘ方向またはＹ方向において、酸化物半導体層２３０の端部、導電層２４０ａの端部、及び、導電層２４０ｂの端部のいずれかが、他よりも内側、または外側に位置する構造であってもよい。

［０３４６］

導電層２４０は、導電層２２０と重なる領域に開口部２９０を有する。また、導電層２４０は、絶縁層２８０ｂ等が有する開口部２９０の内部に位置しないことが好ましい。つまり、導電層２４０は、開口部２９０内における絶縁層２８０ｂの側面と接する領域を有さないことが好ましい。このような構成にすることで、導電層２４０、絶縁層２８０ｂ、導電層２５５、及び絶縁層２８０ａに、一括で開口部２９０を形成することができる。また、開口部２９０内において、導電層２４０の側面、絶縁層２８０ｂの側面、導電層２５５の側面、及び、絶縁層２８０ａの側面が揃っていると、開口部２９０の内部に設ける絶縁層２３５、酸化物半導体層２３０等の膜厚分布を均一にすることができる。また、絶縁層２３５、酸化物半導体層２３０等が導電層２４０と絶縁層２８０ｂの段差などにより分断されることを抑制できる。

［０３４７］

なお、図９Ｂ及び図９Ｃでは、開口部２９０内における導電層２４０の側面と、開口部２９０内における絶縁層２８０ｂの側面とが面一である（揃っている、概略揃っているともいえる）構成を示しているが、本発明はこれに限られるものではない。例えば、開口部２９０内における導電層２４０の側面と、開口部２９０内における絶縁層２８０ｂの側面とが不連続になってもよい。また、開口部２９０内における導電層２４０の側面の傾きと、開口部２９０内における絶縁層２８０ｂの側面の傾きとが互いに異なってもよい。このとき、例えば、開口部２９０内における導電層２４０の側面のテーパ角は、開口部２９０内における絶縁層２８０ｂの側面のテーパ角よりも小さいことが好ましい。このような構成にすることで、開口部２９０内における導電層２４０の側面への、酸化物半導体層２３０の被覆性が向上し、鬆などの欠陥を低減できる。また、絶縁層２８０ａ及び絶縁層２８０ｂがそれぞれ積層構造である場合、開口部２９０内における各層の側面の傾きは異なっていてもよい。同様に、導電層２４０が積層構造である場合、開口部２９０内における各層の側面の傾きは異なっていてもよい。

［０３４８］

トランジスタ２００は、チャネル形成領域を含む酸化物半導体層２３０に、半導体として機能する金属酸化物（酸化物半導体ともいう）を有する。つまり、トランジスタ２００は、ＯＳトランジスタといえる。

［０３４９］

ＯＳトランジスタは、酸化物半導体中のチャネル形成領域に酸素欠損（V_O）及び不純物が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、酸素欠損に水素が入った欠陥（以下、V_OHと呼ぶ場合がある）を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャネル形成領域に酸素欠損が含まれていると、ＯＳトランジスタはノーマリーオンとなりやすい。したがって、酸化物半導体中のチャネル形成領域では、酸素欠損及び不純物はできる限り低減されていることが好ましい。言い換えると、酸化物半導体中のチャネル形成領域は、キャリア濃度が低減され、ｉ型化（真性化）または実質的にｉ型化されていることが好ましい。

［０３５０］

一方、ＯＳトランジスタのソース領域及びドレイン領域は、チャネル形成領域よりも、酸素欠損が多い、V_OHが多い、または水素、窒素、金属元素などの不純物濃度が高いことでキャリア濃度が増加し、低抵抗化した領域であることが好ましい。すなわち、ＯＳトランジスタのソース領域及びドレイン領域は、チャネル形成領域と比較して、キャリア濃度が高く、低抵抗なｎ型の領域であることが好ましい。

［０３５１］

前述したように、酸化物半導体層２３０は、開口部２９０の内部に設けられる。また、トランジスタ２００は、ソース電極及びドレイン電極の一方（ここでは導電層２２０）が下方に位置し、ソース電極及びドレイン電極の他方（ここでは導電層２４０）が上方に位置することから、電流が上下方向に流れる構成を有する。つまり、開口部２９０の側面に沿って、チャネルが形成される。

［０３５２］

図９Ｄ及び図９Ｅを用いて開口部２９０内の各層の位置関係について説明する。絶縁層２３５は酸化物半導体層２３０の外側の表面に接する。導電層２５５は絶縁層２３５を介して、酸化物半導体層２３０の外周全体を囲んでいる。また、絶縁層２５０は導電層２６５ａの外側の表面に接する。酸化物半導体層２３０は、絶縁層２５０を介して、導電層２６５ａの外周全体を囲んでいる。よって、トランジスタ２００のチャネル形成領域は、開口部２９０内における酸化物半導体層２３０の外側の表面全体（絶縁層２３５と接する領域全体）に形成されうる。なお、図９Ｅは、酸化物半導体層２３０のチャネル形成領域を含む、ＸＹ平面における断面図ともいえる。

［０３５３］

トランジスタ２００のチャネル長は、ソース領域とドレイン領域の間の距離とみなすことができる。つまり、トランジスタ２００のチャネル長は、導電層２２０上の絶縁層２８０ａ、導電層２５５、及び絶縁層２８０ｂ等の厚さによって決定される、ということができる。

［０３５４］

トランジスタ２００は、バックゲートとして機能する導電層２５５を有するため、導電層２５５に与える電位によって、トランジスタ２００のしきい値電圧を制御することができる。このとき、酸化物半導体層２３０のうち、絶縁層２３５を介して導電層２５５と重なる部分が、最も導電層２５５の影

響を受けやすい。そこで、図１０Ａでは、酸化物半導体層２３０を領域２３０ｎ＋、領域２３０ｎ－、領域２３０ｉの３つに分けて示している。領域２３０ｉが、酸化物半導体層２３０のうち、絶縁層２３５を介して導電層２５５と重なる部分に相当する。

［０３５５］

領域２３０ｎ＋は、酸化物半導体層２３０における、導電層２４０ｂまたは導電層２２０ｂと接する領域とその近傍に形成され、ソース領域またはドレイン領域と呼ぶことができる。当該ソース領域及び当該ドレイン領域は、チャネル形成領域と比較してキャリア濃度が高い、ｎ型の領域（低抵抗領域）である。

［０３５６］

領域２３０ｉは、酸化物半導体層２３０における、絶縁層２３５を介して導電層２５５と重なり、かつ、絶縁層２５０を介して導電層２６５ａと重なる領域であり、チャネル形成領域と呼ぶことができる。当該チャネル形成領域は、導電層２５５に与えられる電位により、ｉ型（真性）または実質的にｉ型となるように制御されることが好ましい。

［０３５７］

領域２３０ｎ－は、領域２３０ｎ＋よりも高抵抗であり、領域２３０ｉよりも低抵抗である領域であることが好ましい。領域２３０ｉと領域２３０ｎ＋の間に、高抵抗な領域があると、トランジスタ２００のオン電流が低下する恐れがある。領域２３０ｎ－を比較的低抵抗な領域とすることで、トランジスタ２００のオン電流を大きくすることができる場合がある。なお、領域２３０ｎ－もまた、チャネル形成領域として機能する場合がある。

［０３５８］

前述の通り、トランジスタ２００のチャネル長を、ソース領域とドレイン領域の間の距離とみなす場合、トランジスタ２００のチャネル長は長さＬ１ということができる。一方で、領域２３０ｎ－は、領域２３０ｉよりも低抵抗な領域であるため、トランジスタ２００のチャネル形成領域は、導電層２５５により高抵抗な領域になるように制御される領域２３０ｉとみなすこともできる。その場合、トランジスタ２００のチャネル長は、長さＬ１よりも短い、領域２３０ｉの長さＬ０とみなすことができる。このとき、長さＬ０は、トランジスタ２００の実効チャネル長ということもできる。

［０３５９］

領域２３０ｎ－の抵抗が低く、トランジスタの実効チャネル長が短くなると、トランジスタがノーマリーオンとなりやすい。一方で、本発明の一態様のトランジスタは、バックゲートを有する。バックゲートに、ソース電位以下の電位、または０Ｖ以下の電位（好ましくは負の電位）を供給することで、トランジスタのしきい値電圧をプラスシフトさせ、ノーマリーオフとすることができる。これにより、本発明の一態様のトランジスタは、大きなオン電流と、ノーマリーオフとを両立することができる。

［０３６０］

なお、本発明の一態様のトランジスタにおいて、導電層２５５と導電層２６５のどちらをゲートとして用い、どちらをバックゲートとして用いてもよい。本発明の一態様のトランジスタは、特に、導電層２６５をゲートとして用い、導電層２５５をバックゲートとして用いることが好適な構造である場合がある。酸化物半導体層２３０と対向する領域が導電層２５５よりも広い導電層２６５をゲートとすることで、ゲート電界がより効率的に酸化物半導体層２３０にかかるため、トランジスタの電気特性を向上させることができる場合がある。

［０３６１］

プレーナ型のトランジスタでは、チャネル長がフォトリソグラフィの露光限界で設定されていたが、本発明の一態様においては、絶縁層２８０ａ及び絶縁層２８０ｂの膜厚でチャネル長を設定することができる。よって、トランジスタ２００のチャネル長を、フォトリソグラフィの露光限界以下の非常に微細な構造（例えば、６０ｎｍ以下、５０ｎｍ以下、４０ｎｍ以下、３０ｎｍ以下、２０ｎｍ以下、または１０ｎｍ以下であって、０．１ｎｍ以上、１ｎｍ以上、または５ｎｍ以上）にすることができる。これにより、トランジスタ２００のオン電流が大きくなり、周波数特性の向上を図ることができる。

［０３６２］

さらに、上記のように、開口部２９０内に、チャネル形成領域、ソース領域、及びドレイン領域を形成することができる。これにより、チャネル形成領域、ソース領域、及びドレイン領域が、ＸＹ平面上に別々に設けられる、プレーナ型のトランジスタと比較して、トランジスタ２００は、占有面積を低減できる。したがって、半導体装置を高集積化することができる。また、本発明の一態様の半導体装置を記憶装置に用いる場合、単位面積当たりの記憶容量を大きくすることができる。

［０３６３］

また、図９Ａ２に、トランジスタ２００をマトリクス状に複数配置する例を示す。具体的には、図９Ａ２には、Ｘ方向及びＹ方向に５個×５個のトランジスタを配置する例を示す。図９Ａ２に示すように、トランジスタ２００は、Ｘ方向に延在する導電層２６５と、Ｙ方向に延在する導電層２４０と、の交差部に設けられる。図９Ａ２に示すように、導電層２４０の短辺の幅、導電層２５５の短辺の幅、及び、導電層２６５の短辺の幅のそれぞれよりも、開口部２９０の直径を小さくすることができる。このように、トランジスタ２００は高集積化及び微細化が可能な構造であるといえる。

［０３６４］

また、図９Ｄに示すように、絶縁層２３５、酸化物半導体層２３０、絶縁層２５０、及び導電層２６５ａは、同心円状に設けられる。よって、中心に設けられた導電層２６５ａの側面は、絶縁層２５０を介して、酸化物半導体層２３０の側面と対向する。つまり、平面視において、酸化物半導体層２３０の周全体がチャネル形成領域になる。このとき、例えば、酸化物半導体層２３０の外周の長さによって、トランジスタ２００のチャネル幅が決まる。つまり、トランジスタ２００のチャネル幅は、開口部２９０の幅（平面視において開口部２９０が円形である場合は径）の大きさによって決定される、ということができる。図９Ｂ乃至図９Ｅでは、開口部２９０の幅Ｄを示し、図９Ｅでは、トランジスタ２００のチャネル幅Ｗを示している。開口部２９０の幅Ｄの大きさを大きくすることで、単位面積当たりのチャネル幅を大きくし、オン電流を大きくすることができる。

［０３６５］

なお、開口部２９０の幅Ｄは、深さ方向で変化する場合がある。ここでは、特に、幅Ｄとして、断面視における、導電層２５５の開口部２９０側の２つの側面の間の最短距離を用いる。言い換えると、開口部２９０の幅Ｄとして、導電層２５５における開口部２９０の幅の最小値を用いる。また、導電層２５５における、最も高い位置の開口部２９０の幅、最も低い位置の開口部２９０の幅、これらの中間点の位置の開口部２９０の幅、または、これら３つの幅の平均値を、幅Ｄとして用いてもよい。ここでは、導電層２５５の開口部２９０の幅を用いて、幅Ｄを決定する例を示すが、幅Ｄの決定方法は特に限定されない。例えば、幅Ｄとして、絶縁層２８０ａ、絶縁層２８０ｂ、導電層２４０ａ、または、導電層２４０ｂの開口部２９０側の２つの側面の間の最短距離を用いることができる。また、絶縁層２８０ａ、絶縁層２８０ｂ、導電層２４０ａ、または、導電層２４０ｂにおける、最も高い位

置の開口部２９０の幅、最も低い位置の開口部２９０の幅、これらの中間点の位置の開口部２９０の幅、または、これら３つの幅の平均値を、幅Ｄとして用いてもよい。

［０３６６］

フォトリソグラフィ法を用いて開口部２９０を形成する場合、開口部２９０の幅Ｄはフォトリソグラフィの露光限界で設定される。また、開口部２９０の幅Ｄは、開口部２９０内に設ける、絶縁層２３５、酸化物半導体層２３０、絶縁層２５０、及び導電層２６５ａそれぞれの膜厚によって設定される。開口部２９０の幅Ｄは、例えば、５ｎｍ以上、１０ｎｍ以上、または２０ｎｍ以上であって、１００ｎｍ以下、６０ｎｍ以下、５０ｎｍ以下、４０ｎｍ以下、または３０ｎｍ以下が好ましい。なお、平面視において開口部２９０が円形である場合、開口部２９０の幅Ｄは開口部２９０の直径に相当し、チャネル幅Ｗは“Ｄ×π”と算出することができる。

［０３６７］

また、トランジスタ２００のチャネル長Ｌは、少なくともトランジスタ２００のチャネル幅Ｗよりも小さいことが好ましい。トランジスタ２００のチャネル長Ｌは、トランジスタ２００のチャネル幅Ｗに対し、０．１倍以上０．９９倍以下が好ましく、０．５倍以上０．８倍以下がより好ましい。このような構成にすることで、良好な電気特性及び高い信頼性を有するトランジスタを実現できる。

［０３６８］

前述の通り、平面視で円形になるように開口部２９０を形成することで、絶縁層２３５、酸化物半導体層２３０、絶縁層２５０、及び導電層２６５ａは、同心円状に設けられる。これにより、導電層２５５と酸化物半導体層２３０の距離、及び、導電層２６５ａと酸化物半導体層２３０の距離がそれぞれ概略均一になるため、酸化物半導体層２３０にゲート電界を概略均一に印加することができる。

［０３６９］

なお、本実施の形態では、平面視において開口部２９０が円形である例について示したが、本発明はこれに限られるものではない。平面視において、開口部２９０は、例えば、円形、楕円形などの略円形、三角形、四角形（長方形、菱形、正方形を含む）、五角形、星形多角形などの多角形、またはこれら多角形の角が丸い形状とすることができる。なお、多角形としては、凹多角形（少なくとも一つの内角が１８０度を超える多角形）及び凸多角形（全ての内角が１８０度以下である多角形）のどちらであってもよい。図９Ａ１等に示すように、平面視において、開口部２９０は、円形であることが好ましい。円形とすることにより、開口部を形成する際の加工精度を高めることができ、微細なサイズの開口部を形成することができる。なお、本明細書等において、円形とは真円に限定されない。

［０３７０］

＜半導体装置の構成材料＞

以下では、本実施の形態の半導体装置に用いることができる材料について説明する。なお、本実施の形態の半導体装置を構成する各層は、単層構造であってもよく、積層構造であってもよい。図９Ｂ及び図９Ｃでは、導電層２２０ａが、単層構造である例を示す。また、図１０Ａでは、導電層２２０ａが積層構造である例を示す。

［０３７１］

［酸化物半導体層２３０］

前述の通り、酸化物半導体層２３０は、チャネル形成領域を有する。酸化物半導体層２３０は、さらに、ソース領域及びドレイン領域を有する。当該ソース領域及び当該ドレイン領域は、チャネル形成領域と比較してキャリア濃度が高い、ｎ型の領域（低抵抗領域）である。酸化物半導体層２３０は、

２層以上の積層構造としてもよい。

［０３７２］

酸化物半導体層２３０に用いる半導体材料の結晶性は特に限定されず、非晶質半導体、単結晶半導体、または単結晶以外の結晶性を有する半導体（微結晶半導体、多結晶半導体、または一部に結晶領域を有する半導体）のいずれを用いてもよい。単結晶半導体または結晶性を有する半導体を用いると、トランジスタ特性の劣化を抑制できるため好ましい。

［０３７３］

半導体として機能する金属酸化物のバンドギャップは、２．０ｅＶ以上が好ましく、２．５ｅＶ以上がより好ましい。バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減できる。ＯＳトランジスタは、オフ電流が小さいため、半導体装置の消費電力を十分に低減できる。また、ＯＳトランジスタの周波数特性が高いため、半導体装置を高速に動作させることができる。

［０３７４］

本発明の一態様のトランジスタの半導体層として用いることができる酸化物半導体層については、実施の形態２の記載を参照できる。また、酸化物半導体層２３０の作製方法については、実施の形態１及び実施の形態２の記載を参照できる。ここでは、詳細な説明は省略する。

［０３７５］

なお、本実施の形態の半導体装置には、チャネル形成領域に他の半導体材料を用いたトランジスタを適用してもよい。当該他の半導体材料としては、例えば、単体元素よりなる半導体、または化合物半導体が挙げられる。単体元素よりなる半導体として、例えば、シリコン、及びゲルマニウムが挙げられる。化合物半導体として、例えば、ヒ化ガリウム、及びシリコンゲルマニウムが挙げられる。その他、化合物半導体として、例えば、有機半導体、及び、窒化物半導体が挙げられる。なお、前述の酸化物半導体も、化合物半導体の一種である。なお、これらの半導体材料に、ドーパントとして不純物が含まれてもよい。

［０３７６］

トランジスタの半導体材料に用いることができるシリコンとして、単結晶シリコン、多結晶シリコン、微結晶シリコン、及び非晶質シリコンが挙げられる。多結晶シリコンとして、例えば、低温ポリシリコン（ＬＴＰＳ：Ｌｏｗ　Ｔｅｍｐｅｒａｔｕｒｅ　Ｐｏｌｙ　Ｓｉｌｉｃｏｎ）が挙げられる。

［０３７７］

トランジスタの半導体層は、半導体として機能する層状物質を有してもよい。層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合またはイオン結合によって形成される層が、ファンデルワールス結合のような、共有結合またはイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、２次元電気伝導性が高い。半導体として機能し、かつ、２次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流の大きいトランジスタを提供することができる。

［０３７８］

上記層状物質として、例えば、グラフェン、シリセン、カルコゲン化物などが挙げられる。カルコゲン化物は、カルコゲン（第１６族に属する元素）を含む化合物である。また、カルコゲン化物として、遷移金属カルコゲナイド、１３族カルコゲナイドなどが挙げられる。トランジスタの半導体層として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的にはMoS_2）、セレン化モリブデン（代表的には$MoSe_2$）、モリブデンテルル（代表的には$MoTe_2$）、硫化タ

ングステン（代表的にはWS_2）、セレン化タングステン（代表的にはWSe_2）、タングステンテルル（代表的にはWTe_2）、硫化ハフニウム（代表的にはHfS_2）、セレン化ハフニウム（代表的には$HfSe_2$）、硫化ジルコニウム（代表的にはZrS_2）、セレン化ジルコニウム（代表的には$ZrSe_2$）などが挙げられる。

［０３７９］

［絶縁層］

半導体装置が有する絶縁層（絶縁層２１０、絶縁層２５０、絶縁層２３５、絶縁層２８０ａ、絶縁層２８０ｂなど）には、それぞれ、無機絶縁膜を用いることが好ましい。無機絶縁膜としては、例えば、酸化絶縁膜、窒化絶縁膜、酸化窒化絶縁膜、及び窒化酸化絶縁膜が挙げられる。酸化絶縁膜としては、例えば、酸化シリコン膜、酸化アルミニウム膜、酸化マグネシウム膜、酸化ガリウム膜、酸化ゲルマニウム膜、酸化イットリウム膜、酸化ジルコニウム膜、酸化ランタン膜、酸化ネオジム膜、酸化ハフニウム膜、酸化タンタル膜、酸化セリウム膜、ガリウム亜鉛酸化物膜、及び、ハフニウムアルミネート膜が挙げられる。窒化絶縁膜としては、例えば、窒化シリコン膜、及び窒化アルミニウム膜が挙げられる。酸化窒化絶縁膜としては、例えば、酸化窒化シリコン膜、酸化窒化アルミニウム膜、酸化窒化ガリウム膜、酸化窒化イットリウム膜、及び、酸化窒化ハフニウム膜が挙げられる。窒化酸化絶縁膜としては、例えば、窒化酸化シリコン膜、及び窒化酸化アルミニウム膜が挙げられる。また、半導体装置が有する絶縁層には、有機絶縁膜を用いてもよい。

［０３８０］

例えば、トランジスタの微細化、及び高集積化が進むと、ゲート絶縁層の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁層に、ｈｉｇｈ－ｋ材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。また、ゲート絶縁層の等価酸化膜厚（ＥＯＴ）の薄膜化が可能となる。一方、層間膜として機能する絶縁層には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減できる。したがって、絶縁層の機能に応じて、材料を選択することができる。なお、比誘電率が低い材料は、絶縁耐力が大きい材料でもある。

［０３８１］

比誘電率が高い（ｈｉｇｈ－ｋ）材料としては、例えば、酸化アルミニウム、酸化ガリウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、ハフニウムジルコニウム酸化物、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物などが挙げられる。

［０３８２］

比誘電率が低い材料としては、例えば、酸化シリコン、酸化窒化シリコン、及び窒化酸化シリコンなどの無機絶縁材料、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、及びアクリル樹脂などの樹脂が挙げられる。また、比誘電率が低い他の無機絶縁材料として、例えば、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、並びに、炭素及び窒素を添加した酸化シリコンなどが挙げられる。また、例えば、空孔を有する酸化シリコンが挙げられる。なお、これらの酸化シリコンは、窒素を含んでもよい。

［０３８３］

また、半導体装置が有する絶縁層に、強誘電性を有しうる材料を用いてもよい。強誘電性を有しうる材料としては、酸化ハフニウム、酸化ジルコニウム、$HfZrO_X$（Ｘは０よりも大きい実数とする）

などの金属酸化物が挙げられる。また、強誘電性を有しうる材料としては、酸化ハフニウムに元素Ｊ１（ここでの元素Ｊ１は、ジルコニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、ストロンチウムなどから選ばれた一つまたは複数）を添加した材料が挙げられる。ここで、ハフニウムの原子数と元素Ｊ１の原子数の比は適宜設定することができ、例えば、ハフニウムの原子数と元素Ｊ１の原子数の比を１：１またはその近傍にすることができる。また、強誘電性を有しうる材料としては、酸化ジルコニウムに元素Ｊ２（ここでの元素Ｊ２は、ハフニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、ストロンチウムなどから選ばれた一つまたは複数）を添加した材料、などが挙げられる。また、ジルコニウムの原子数と元素Ｊ２の原子数の比は適宜設定することができ、例えば、ジルコニウムの原子数と元素Ｊ２の原子数の比を１：１またはその近傍にすることができる。また、強誘電性を有しうる材料として、チタン酸鉛（$PbTiO_x$）、チタン酸バリウムストロンチウム（ＢＳＴ）、チタン酸ストロンチウム、チタン酸ジルコン酸鉛（ＰＺＴ）、タンタル酸ビスマス酸ストロンチウム（ＳＢＴ）、ビスマスフェライト（ＢＦＯ）、チタン酸バリウム、などのペロブスカイト構造を有する圧電性セラミックスを用いてもよい。

［０３８４］

また、強誘電性を有しうる材料としては、元素Ｍ１と、元素Ｍ２と、窒素と、を有する金属窒化物が挙げられる。ここで、元素Ｍ１は、アルミニウム、ガリウム、インジウムなどから選ばれた一つまたは複数である。また、元素Ｍ２は、ホウ素、スカンジウム、イットリウム、ランタン、セリウム、ネオジム、ユーロピウム、チタン、ジルコニウム、ハフニウム、バナジウム、ニオブ、タンタル、クロムなどから選ばれた一つまたは複数である。なお、元素Ｍ１の原子数と元素Ｍ２の原子数の比は適宜設定することができる。また、元素Ｍ１と、窒素と、を有する金属酸化物は、元素Ｍ２を含まなくても、強誘電性を有する場合がある。また、強誘電性を有しうる材料としては、上記金属窒化物に元素Ｍ３が添加された材料が挙げられる。なお、元素Ｍ３は、マグネシウム、カルシウム、ストロンチウム、亜鉛、カドミウムなどから選ばれた一つまたは複数である。ここで、元素Ｍ１の原子数、元素Ｍ２の原子数、及び元素Ｍ３の原子数の比は適宜設定することができる。

［０３８５］

また、強誘電性を有しうる材料としては、$SrTaO_2N$、$BaTaO_2N$などのペロブスカイト型酸窒化物、κ アルミナ型構造の$GaFeO_3$などが挙げられる。

［０３８６］

なお、上記の説明においては、金属酸化物、及び金属窒化物について例示したがこれに限定されない。例えば、前述の金属酸化物に窒素が添加された金属酸化窒化物、または前述の金属窒化物に酸素が添加された金属窒化酸化物などを用いてもよい。

［０３８７］

また、強誘電性を有しうる材料としては、例えば、上記に列挙した材料から選ばれた複数の材料からなる混合物または化合物を用いることができる。または、絶縁層を、上記に列挙した材料から選ばれた複数の材料からなる積層構造とすることができる。ところで、上記に列挙した材料などは、成膜条件だけでなく、各種プロセスなどによっても結晶構造（特性）が変わり得る可能性があるため、本明細書等では強誘電性を発現する材料のみを強誘電体と呼ぶだけでなく、強誘電性を有しうる材料とも呼んでいる。

［０３８８］

ハフニウム及びジルコニウムの一方または両方を含む金属酸化物は、数ｎｍといった薄膜であっても

強誘電性を有しうることができる。また、ハフニウム及びジルコニウムの一方または両方を含む金属酸化物は、微小な面積でも強誘電性を有しうることができる。したがって、ハフニウム及びジルコニウムの一方または両方を含む金属酸化物を用いることで、半導体装置の微細化を図ることができる。

［０３８９］

なお、本明細書等において、強誘電性を有しうる材料を層状にしたものを指して、強誘電体層、金属酸化物膜、または金属窒化物膜と呼ぶ場合がある。また、このような、強誘電体層、金属酸化物膜、または金属窒化物膜を有する装置を、本明細書等において、強誘電体デバイスと呼ぶ場合がある。

［０３９０］

なお、強誘電性は、外部電場により強誘電体層に含まれる結晶の酸素または窒素が変位することで、発現するとされている。また、強誘電性の発現は、強誘電体層に含まれる結晶の結晶構造に依存すると推定される。よって、絶縁層が強誘電性を発現するには、絶縁層は結晶を含む必要がある。特に絶縁層は、直方晶系の結晶構造を有する結晶を含むと、強誘電性が発現するため好ましい。なお、絶縁層に含まれる結晶の結晶構造としては、立方晶系、正方晶系、直方晶系、単斜晶系、及び六方晶系の中から選ばれるいずれか一または複数であってもよい。また、絶縁層は、アモルファス構造を有していてもよい。このとき、絶縁層は、アモルファス構造と、結晶構造とを有する複合構造としてもよい。

［０３９１］

また、ハフニウム及びジルコニウムの一方または双方を有する酸化物に、元素周期表における第３族元素（ＩＩＩａ元素ともいう）を添加することで、当該酸化物中の酸素欠損濃度が高まり、直方晶系の結晶構造を有する結晶が形成されやすくなる。これにより、直方晶系の結晶構造を有する結晶の存在割合が高くなり、残留分極量を大きくすることができるため、好ましい。一方で、第３族元素の添加量が多すぎると、当該酸化物の結晶性が低下し、強誘電性が発現しにくくなる恐れがある。したがって、ハフニウム及びジルコニウムの一方または双方を有する酸化物における第３族元素の含有率は、０．１ａｔｏｍｉｃ％以上１０ａｔｏｍｉｃ％以下が好ましく、０．１ａｔｏｍｉｃ％以上５ａｔｏｍｉｃ％以下がより好ましく、０．１ａｔｏｍｉｃ％以上３ａｔｏｍｉｃ％以下がさらに好ましい。ここで、第３族元素の含有率とは、層に含有される全ての金属元素の原子数の和における、第３族元素の原子数の割合を指す。第３族元素としては、スカンジウム、ランタン、及びイットリウムから選ばれる一または複数であることが好ましく、ランタン及びイットリウムの一方または両方であることがより好ましい。

［０３９２］

また、金属酸化物を用いたトランジスタは、不純物及び酸素の透過を抑制する機能を有する絶縁層で囲むことによって、トランジスタの電気特性を安定にすることができる。不純物及び酸素の透過を抑制する機能を有する絶縁層としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、及び、タンタルから選ばれた一以上を含む絶縁層を、単層で、または積層で用いることができる。具体的には、不純物及び酸素の透過を抑制する機能を有する絶縁層の材料として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどの金属酸化物、窒化アルミニウム、窒化酸化シリコン、窒化シリコンなどの金属窒化物を用いることができる。

［０３９３］

具体的には、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁層としては、例えば、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、及び酸化タンタルといった金属酸化物が挙げられる。また、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁層としては、例えば、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）が挙げられる。また、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁層としては、例えば、窒化アルミニウム、窒化アルミニウムチタン、窒化チタン、窒化酸化シリコン、及び窒化シリコンといった金属窒化物が挙げられる。

［０３９４］

また、ゲート絶縁層などの、酸化物半導体層と接する絶縁層、または酸化物半導体層の近傍に設ける絶縁層は、加熱により脱離する酸素（以下、過剰酸素と呼ぶことがある）を含む領域を有する絶縁層であることが好ましい。例えば、過剰酸素を含む領域を有する絶縁層が、酸化物半導体層と接する、または酸化物半導体層の近傍に位置することで、酸化物半導体層が有する酸素欠損を低減することができる。過剰酸素を含む領域を形成しやすい絶縁層として、酸化シリコン、酸化窒化シリコン、または空孔を有する酸化シリコンなどが挙げられる。

［０３９５］

絶縁層２１０は層間膜として機能するため、比誘電率が低いことが好ましい。比誘電率が低い材料を層間膜に用いることで、配線間に生じる寄生容量を低減できる。酸化シリコン及び酸化窒化シリコンは、それぞれ、熱的に安定であるため、絶縁層２１０として好適である。

［０３９６］

また、絶縁層２１０中の水、水素などの不純物濃度は低減されていることが好ましい。これにより、酸化物半導体層２３０のチャネル形成領域への、水、水素などの不純物の混入を抑制できる。

［０３９７］

また、絶縁層２１０として、水素に対するバリア絶縁層を用いることが好ましい。酸化物半導体層２３０の外側に設けられる絶縁層２１０が水素に対するバリア性を有することで、酸化物半導体層２３０中への水素の拡散を抑制できる。

［０３９８］

水素に対するバリア絶縁層の材料としては、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、窒化シリコン、または窒化酸化シリコン等が挙げられる。

［０３９９］

なお、本明細書等において、バリア絶縁層とは、バリア性を有する絶縁層のことを指す。また、バリア性とは、対応する物質が拡散し難い性質（対応する物質が透過し難い性質、対応する物質の透過性が低い性質、または、対応する物質の拡散を抑制する機能ともいう）とする。なお、対応する物質として記載される場合の水素は、例えば、水素原子、水素分子、並びに、水分子及びOH^-などの水素と結合した物質などの少なくとも一を指す。また、対応する物質として記載される場合の不純物は、特段の明示が無い限り、チャネル形成領域または半導体層における不純物を指し、例えば、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（N_2O、NO、NO_2など）、銅原子などの少なくとも一を指す。また、対応する物質として記載される場合の酸素は、例えば、酸素原子、酸素分子などの少なくとも一を指す。

［０４００］

例えば、絶縁層２１０として、窒化シリコン膜を用いることが好ましい。

［０４０１］

絶縁層２８０ａ及び絶縁層２８０ｂは、それぞれ、前述の、水素に対するバリア絶縁層を有することが好ましい。絶縁層２８０ａ及び絶縁層２８０ｂは、酸化物半導体層２３０を囲むように設けられている。酸化物半導体層２３０の外側に設けられる絶縁層２８０ａ及び絶縁層２８０ｂが水素に対するバリア性を有することで、酸化物半導体層２３０中への水素の拡散を抑制できる。例えば、絶縁層２８０ａ及び絶縁層２８０ｂは、それぞれ、酸化アルミニウム膜及び窒化シリコン膜のうち一方または双方を有することが好ましい。

［０４０２］

なお、窒化シリコンは、酸素に対するバリア性も有する。したがって、絶縁層２８０ａ及び絶縁層２８０ｂに窒化シリコンを用いることで、酸化物半導体層２３０から酸素が引き抜かれ、酸化物半導体層２３０に過剰な量の酸素欠損が形成されることを抑制できる。

［０４０３］

また、絶縁層２８０ａ及び絶縁層２８０ｂに窒化シリコンを用いることで、過剰な酸素が酸化物半導体層２３０に供給されることを防ぐことができる。よって、酸化物半導体層２３０のチャネル形成領域が酸素過剰になることを防ぐことができるため、トランジスタ２００の信頼性向上を図ることができる。

［０４０４］

また、絶縁層２８０ａ及び絶縁層２８０ｂは、それぞれ前述した、酸化絶縁膜、酸化窒化絶縁膜、または、過剰酸素を含む領域を有する絶縁層を有することが好ましい。

［０４０５］

例えば、過剰酸素を含む領域を有する絶縁層は、酸素を含む雰囲気で、スパッタリング法で成膜することで形成することができる。また、成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を用いることで、絶縁層２８０ａ及び絶縁層２８０ｂ中の水素濃度を低減できる。このように、絶縁層２８０ａ及び絶縁層２８０ｂを構成する少なくとも一部の層を成膜することで、絶縁層２８０ａ及び絶縁層２８０ｂから酸化物半導体層２３０のチャネル形成領域に酸素を供給し、酸素欠損及びV_OHの低減を図ることができる。

［０４０６］

また、絶縁層２８０ａ中及び絶縁層２８０ｂの水、水素などの不純物濃度は低減されていることが好ましい。これにより、酸化物半導体層２３０のチャネル形成領域への、水、水素などの不純物の混入を抑制できる。

［０４０７］

なお、導電層２２０上の絶縁層２８０ａ及び絶縁層２８０ｂの膜厚が、トランジスタ２００Ａのチャネル長に影響するため、トランジスタ２００のチャネル長の設計値に合わせて、絶縁層２８０ａ及び絶縁層２８０ｂの膜厚を適宜設定する。

［０４０８］

例えば、絶縁層２８０ａ及び絶縁層２８０ｂとして、それぞれ、窒化シリコン膜、窒化酸化シリコン膜、または酸化アルミニウム膜の単層構造を用いることが好ましい。または、例えば、絶縁層２８０ａ及び絶縁層２８０ｂとして、それぞれ、窒化シリコン膜、酸化シリコン膜、及び、窒化シリコン膜をこの順で積層した３層構造を用いることが好ましい。例えば、絶縁層２８０ａ及び絶縁層２８０ｂ

として、それぞれ、酸化アルミニウム膜、酸化シリコン膜、及び、酸化アルミニウム膜をこの順で積層した３層構造を用いることが好ましい。

［０４０９］

絶縁層２５０は、水素を捕獲及び水素を固着する機能を有することが好ましい。これにより、酸化物半導体層２３０の水素濃度（特に、トランジスタのチャネル形成領域中の水素濃度）を低減できる。よって、チャネル形成領域中のV_OHを低減し、チャネル形成領域をｉ型または実質的にｉ型とすることができる。

［０４１０］

水素を捕獲するまたは固着する機能を有する絶縁層の材料としては、ハフニウムを含む酸化物、マグネシウムを含む酸化物、アルミニウムを含む酸化物、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）等の金属酸化物が挙げられる。また、これらの金属酸化物は、さらにジルコニウムを含んでいてもよく、例えば、ハフニウム及びジルコニウムを含む酸化物等が挙げられる。ここで、アモルファス構造を有する金属酸化物では、一部の酸素原子がダングリングボンドを有するため、水素を捕獲するまたは固着する能力が高い。したがって、これらの金属酸化物は、アモルファス構造を有することが好ましい。例えば、これらの酸化物にシリコンを含むことで、アモルファス構造を実現してもよい。例えば、ハフニウム及びシリコンを含む酸化物（ハフニウムシリケート）を用いることが好ましい。なお、金属酸化物は、一部に結晶領域、及び、結晶粒界の一方または双方を有する場合がある。

［０４１１］

なお、対応する物質を捕獲するまたは固着する機能は、対応する物質が拡散し難い性質を有するともいえる。よって、対応する物質を捕獲するまたは固着する機能を、バリア性と言い換えることができる。

［０４１２］

ゲート絶縁層が積層構造である場合、酸化物半導体層２３０と接する層が、水素を捕獲及び水素を固着する機能を有することが好ましい。これにより、酸化物半導体層２３０に含まれる水素を、より効果的に捕獲させるまたは固着させることができる。よって、酸化物半導体層２３０中の水素濃度を低減できる。絶縁層２５０の酸化物半導体層２３０と接する層として、例えば、ハフニウムシリケートなどを用いるとよい。また、当該層は、アモルファス構造を有することが好ましい。

［０４１３］

当該層をアモルファス構造にすることで、結晶粒界の形成を抑制することができる。結晶粒界の形成が抑制されることで、当該層の平坦性を高めることができる。これにより絶縁層２５０の膜厚分布が均一化されて、膜厚が極端に薄い部分を低減することができるため、絶縁層２５０の耐圧を向上させることができる。また、絶縁層２５０上に設ける膜の膜厚分布を均一化することができる。

［０４１４］

また、当該層の結晶粒界の形成を抑制することで、結晶粒界の欠陥準位に起因するリーク電流を低減することができる。よって、絶縁層２５０をリーク電流の少ない絶縁膜として機能させることができる。

［０４１５］

また、酸化ハフニウムは高誘電率（ｈｉｇｈ－ｋ）材料であるため、ハフニウムシリケートは、シリコンの含有量によっては、高誘電率（ｈｉｇｈ－ｋ）材料となる。したがって、酸化ハフニウムまた

はハフニウムシリケートをゲート絶縁層に用いる場合、ゲート絶縁層の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁層の等価酸化膜厚（ＥＯＴ）の薄膜化が可能となる。

［０４１６］

以上より、絶縁層２５０として、アルミニウム及びハフニウムの一方または双方を含む酸化物を用いることが好ましく、アモルファス構造を有し、アルミニウム及びハフニウムの一方または双方を含む酸化物を用いることがより好ましく、アモルファス構造を有する酸化アルミニウムを用いることがさらに好ましい。

［０４１７］

また、絶縁層２５０として、前述の、水素に対するバリア絶縁層を用いることが好ましい。絶縁層２５０に、水素に対するバリア絶縁層を用いることで、導電層２６５に含まれる不純物の、酸化物半導体層２３０への拡散を抑制できる。例えば、窒化シリコンは水素に対するバリア性が高いため、絶縁層２５０として好適である。さらに、絶縁層２５０は、酸化シリコンまたは酸化窒化シリコンなどの、熱に対し安定な構造の絶縁層を有していてもよい。

［０４１８］

このような構成にすることで、良好な電気特性を有する半導体装置を提供できる。また、信頼性が高い半導体装置を提供できる。また、トランジスタの電気特性のばらつきが少ない半導体装置を提供できる。また、オン電流が大きい半導体装置を提供できる。

［０４１９］

さらに、絶縁層２５０は、酸化シリコンまたは酸化窒化シリコンなどの、熱に対し安定な構造の絶縁層を有していてもよい。

［０４２０］

また、絶縁層２５０は、一対の、水素を捕獲及び水素を固着する機能を有する絶縁層の間に、熱に対し安定な構造の絶縁層を有していてもよい。

［０４２１］

また、絶縁層２５０は、酸素に対するバリア絶縁層を有することが好ましい。これにより、導電層２４０及び導電層２６５などの酸化を抑制できる。絶縁層２５０が積層構造である場合、導電層２４０と接する層が、酸素に対するバリア絶縁層であることが好ましい。特に、絶縁層２５０を構成する層のうち、導電層２４０と接する層、及び、導電層２６５と接する層が、それぞれ、酸素に対するバリア絶縁層であることが好ましい。

［０４２２］

絶縁層２５０のうち、導電層２６５と接する層に、水素及び酸素に対するバリア絶縁層を用いることで、導電層２６５の酸化を抑制できる。また、酸化物半導体層２３０に含まれる酸素が導電層２６５に拡散し、酸化物半導体層２３０に酸素欠損が形成されることを抑制できる。

［０４２３］

酸素に対するバリア絶縁層としては、例えば、アルミニウム及びハフニウムの一方または双方を含む酸化物、酸化マグネシウム、酸化ガリウム、ガリウム亜鉛酸化物、窒化シリコン、及び窒化酸化シリコンが挙げられる。また、アルミニウム及びハフニウムの一方または双方を含む酸化物として、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、並びに、ハフニウム及びシリコンを含む酸化物（ハフニウムシリケート）が挙げられ

る。

［０４２４］

絶縁層２５０における導電層２４０と接する層は、少なくとも絶縁層２８０ｂよりも酸素を透過しにくいことが好ましい。当該層が酸素に対するバリア性を有することで、導電層２４０の側面が酸化され、当該側面に酸化膜が形成されることを抑制できる。これにより、トランジスタ２００のオン電流の低下、または電界効果移動度の低下を起こすことを抑制できる。

［０４２５］

また、絶縁層２５０を構成する各層は、それぞれ薄膜であることが好ましい。例えば、絶縁層２５０は、それぞれ１ｎｍ以上２０ｎｍ以下、好ましくは３ｎｍ以上１０ｎｍ以下とすることで、トランジスタ特性の一つである、サブスレッショルドスイング値（Ｓ値ともいう）を小さくすることができる。なお、Ｓ値とは、サブスレッショルド領域において、ドレイン電圧が一定で、ドレイン電流を１桁変化させる際の、ゲート電圧の変化量をいう。

［０４２６］

また、絶縁層２５０を構成する各層の膜厚は、０ｎｍを超えて１０ｎｍ以下が好ましく、０．１ｎｍ以上５ｎｍ以下がより好ましく、０．５ｎｍ以上５ｎｍ以下がより好ましく、１ｎｍ以上５ｎｍ未満がより好ましく、１ｎｍ以上３ｎｍ以下がさらに好ましい。なお、絶縁層２５０を構成する各層は、少なくとも一部において、上記のような膜厚の領域を有していればよい。

［０４２７］

また、絶縁層２５０として、酸化物半導体層２３０側から、比誘電率が低い材料を有する第１の絶縁層、水素を捕獲するまたは固着する機能を有する第２の絶縁層、水素及び酸素に対するバリア性を有する絶縁層の順で積層された３層構造を用いることが好ましい。第１の絶縁層が有する比誘電率が低い材料としては、酸化シリコン、または酸化窒化シリコンを用いることが好ましい。第１の絶縁層は、酸化物半導体層２３０と接する層である。第１の絶縁層に酸化物を用いることで、第１の絶縁層から酸化物半導体層２３０に酸素を供給することができる。また、第３の絶縁層を設けることで、第１の絶縁層に含まれる酸素が導電層２６５に拡散することを抑制し、導電層２６５の酸化を抑制できる。また、第１の絶縁層から酸化物半導体層２３０に供給される酸素量が減少することを抑制できる。

［０４２８］

図１０Ｂ及び図１０Ｃに、図１０Ａに示す絶縁層２５０とその近傍の領域Ｐの拡大図の例を示す。図１０Ｂは、絶縁層２５０が４層構造である例であり、図１０Ｃは、絶縁層２５０が３層構造である例である。

［０４２９］

図１０Ｂに示すように、絶縁層２５０として、酸化物半導体層２３０側から、酸素に対するバリア性を有する第４の絶縁層（絶縁層２５０ｄ）、比誘電率が低い材料を有する第１の絶縁層（絶縁層２５０ａ）、水素を捕獲するまたは固着する機能を有する第２の絶縁層（絶縁層２５０ｂ）、水素及び酸素に対するバリア性を有する第３の絶縁層（絶縁層２５０ｃ）の順で積層された４層構造を用いることが好ましい。第１の絶縁層乃至第３の絶縁層については、前述の３層構造に用いる層と同様の構成を適用できる。絶縁層２５０ｄは、酸化物半導体層２３０と接する層である。絶縁層２５０ｄが、酸素に対するバリア性を有することで、酸化物半導体層２３０から酸素が脱離することを抑制できる。絶縁層２５０ｄとして、例えば、酸化アルミニウムを用いるとよい。酸化アルミニウムは、水素を捕獲するまたは固着する機能を有するため、酸化物半導体層２３０と接する絶縁層２５０ｄとして好適で

ある。具体的には、酸化物半導体層２３０側から、酸化アルミニウム膜、酸化シリコン膜、酸化ハフニウム膜、窒化シリコン膜の順で積層された４層構造を用いることが好ましい。

［０４３０］

代表的には、絶縁層２５０ｄ、絶縁層２５０ａ、絶縁層２５０ｂ、及び、絶縁層２５０ｃの膜厚をそれぞれ、１ｎｍ、２ｎｍ、２ｎｍ、及び１ｎｍとする。このような構成にすることで、トランジスタを微細化または高集積化しても良好な電気特性を有することができる。なお、絶縁層２５０ａ、絶縁層２５０ｂ、絶縁層２５０ｃ、及び絶縁層２５０ｄの膜厚は上記に限定されない。例えば、絶縁層２５０ａ、絶縁層２５０ｂ、絶縁層２５０ｃ、及び絶縁層２５０ｄの膜厚は、それぞれ、０ｎｍを超えて１０ｎｍ以下であることが好ましい。また、絶縁層２５０ａ、絶縁層２５０ｂ、絶縁層２５０ｃ、及び絶縁層２５０ｄのうちいずれか一つまたは複数を設けなくてもよい。

［０４３１］

また、図１０Ｃに示すように、絶縁層２５０として、酸化物半導体層２３０側から、酸素に対するバリア性を有する第４の絶縁層（絶縁層２５０ｄ）、比誘電率が低い材料を有する第１の絶縁層（絶縁層２５０ａ）、水素を捕獲するまたは固着する機能を有する第２の絶縁層（絶縁層２５０ｂ）の順で積層された３層構造を用いることが好ましい。具体的には、酸化物半導体層２３０側から、酸化アルミニウム膜、酸化シリコン膜、酸化ハフニウム膜の順で積層された３層構造を用いることが好ましい。

［０４３２］

代表的には、絶縁層２５０ｄ、絶縁層２５０ａ、及び、絶縁層２５０ｂの膜厚をそれぞれ、１ｎｍ、２ｎｍ、及び２ｎｍとする。このような構成にすることで、トランジスタを微細化または高集積化しても良好な電気特性を有することができる。なお、前述の通り、絶縁層２５０ａ、絶縁層２５０ｂ、及び絶縁層２５０ｄの膜厚は上記に限定されない。

［０４３３］

図１０Ｂまたは図１０Ｃに示す構成の絶縁層２５０は、実施の形態１で説明した製造装置を用いて作製することが好ましい。絶縁層２５０を構成する複数の層を、大気に曝さずに連続で成膜することで、トランジスタ２００の電気特性及び信頼性を高めることができる。さらに、同じ製造装置を用いて、導電層２６５ａ及び導電層２６５ｂも成膜することが好ましい。

［０４３４］

なお、絶縁層２１０に、前述の水素を捕獲するまたは固着する機能を有する絶縁層を用いてもよい。これにより、酸化物半導体層２３０中の水素が導電層２２０ａ及び導電層２２０ｂを介して絶縁層２１０に拡散し、当該水素を捕獲させるまたは固着させることができる。したがって、酸化物半導体層２３０中の水素濃度を低減できる。例えば、絶縁層２１０として、窒化シリコン膜と、窒化シリコン膜上のハフニウムシリケート膜と、の２層構造を用いてもよい。

［０４３５］

絶縁層２３５は、サイドウォール、側壁絶縁層、または側壁保護層などということもできる。

［０４３６］

絶縁層２３５は、加熱により脱離する酸素を含む領域を有する絶縁層を有することが好ましい。これにより、絶縁層２３５から酸化物半導体層２３０に酸素を供給することができる。例えば、絶縁層２３５に、酸化シリコンまたは酸化窒化シリコンを用いることが好ましい。

［０４３７］

また、絶縁層２３５は、水素に対するバリア絶縁層を有することが好ましい。これにより、酸化物半

導体層２３０中に水素が拡散することを抑制でき、トランジスタ２００の信頼性を高めることができる。例えば、絶縁層２３５に、酸化アルミニウム、酸化ハフニウム、窒化シリコン、または窒化酸化シリコンを用いることが好ましい。

［０４３８］

また、絶縁層２３５に、前述の強誘電性を有しうる材料を用いることもできる。

［０４３９］

例えば、絶縁層２３５には、酸化シリコン膜の単層構造、窒化シリコン膜の単層構造、酸化シリコン膜と窒化シリコン膜の２層構造、酸化シリコン膜と窒化シリコン膜と酸化シリコン膜の３層構造、窒化シリコン膜と酸化シリコン膜と窒化シリコン膜の３層構造などを適用することができる。酸化シリコン膜と窒化シリコン膜の２層構造の場合、例えば、酸化物半導体層２３０側に酸化シリコン膜を設け、導電層２５５側に窒化シリコン膜を設けることが好ましい。これにより、酸化物半導体層２３０に効率よく酸素を供給し、かつ、酸化物半導体層２３０に水素等の不純物が拡散することを抑制できる。または、酸化物半導体層２３０側に窒化シリコン膜を設け、導電層２５５側に酸化シリコン膜を設けてもよい。

［０４４０］

［導電層］

半導体装置が有する導電層（導電層２２０、導電層２４０、導電層２５５、導電層２６５など）には、それぞれ、アルミニウム、クロム、銅、銀、金、白金、亜鉛、タンタル、ニッケル、チタン、鉄、コバルト、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または前述した金属元素を成分とする合金か、前述した金属元素を組み合わせた合金等を用いることが好ましい。前述した金属元素を成分とする合金として、当該合金の窒化物、または当該合金の酸化物を用いてもよい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

［０４４１］

また、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、ルテニウムを含む窒化物、タンタル及びアルミニウムを含む窒化物、またはチタン及びアルミニウムを含む窒化物などの窒素を含む導電性材料、酸化ルテニウム、ストロンチウム及びルテニウムを含む酸化物、またはランタン及びニッケルを含む酸化物などの酸素を含む導電性材料、チタン、タンタル、またはルテニウムなどの金属元素を含む材料は、酸化されにくい導電性材料、酸素の拡散を抑制する機能を有する導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。なお、酸素を含む導電性材料として、酸化タングステンを含むインジウム酸化物、酸化チタンを含むインジウム酸化物、インジウムスズ酸化物（ＩＴＯともいう）、酸化チタンを含むインジウムスズ酸化物、シリコンを添加したインジウムスズ酸化物（ＩＴＳＯともいう）、インジウム亜鉛酸化物（ＩＺＯ（登録商標）ともいう）、及び、酸化タングステンを含むインジウム亜鉛酸化物などが挙げられる。本明細書等では、酸素を含む導電性材料を用いて成膜される導電膜を、酸化物導電膜と呼ぶことがある。

［０４４２］

タングステン、銅、またはアルミニウムを主成分とする導電性材料は、導電性が高いため、好ましい。

［０４４３］

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

［０４４４］

なお、トランジスタのチャネル形成領域に金属酸化物を用いる場合において、ゲート電極として機能する導電層には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から脱離した酸素がチャネル形成領域に供給されやすくなる。

［０４４５］

導電層２２０及び導電層２４０は、それぞれ、酸化物半導体層２３０と接する導電層であるため、それぞれ、酸化されにくい導電性材料、酸化されても電気抵抗が低く保たれる導電性材料、導電性を有する金属酸化物（酸化物導電体ともいう）、または、酸素の拡散を抑制する機能を有する導電性材料を用いることが好ましい。当該導電性材料として、例えば、窒素を含む導電性材料、及び酸素を含む導電性材料が挙げられる。これにより、導電層２２０及び導電層２４０の導電率が低下することを抑制できる。

［０４４６］

導電層２２０または導電層２４０として酸素を含む導電性材料を用いることで、導電層２２０または導電層２４０が酸素を吸収しても導電性を維持することができる。また、絶縁層２１０として酸化ハフニウムなどの酸素を含む絶縁層を用いる場合においても、導電層２２０は導電性を維持できるため好適である。導電層２２０及び導電層２４０のそれぞれとして、例えば、ＩＴＯ、ＩＴＳＯ、ＩＺＯ（登録商標）などを用いることが好ましい。

［０４４７］

図１０Ａでは、導電層２２０が、導電層２２０ａ１と、導電層２２０ａ１上の導電層２２０ａ２と、導電層２２０ａ２上の導電層２２０ｂと、の３層構造である例を示す。このとき、例えば、導電層２２０ａ１として、酸化されにくい導電性材料、または酸素の拡散を抑制する機能を有する導電性材料を用い、導電層２２０ａ２として、導電性が高い材料を用い、導電層２２０ｂとして、酸素を含む導電性材料（より好ましくは酸化物導電体）を用いることが好ましい。具体的には、例えば、導電層２２０ａ１として窒化チタンを用い、導電層２２０ａ２としてタングステンを用い、導電層２２０ｂとして酸化物導電体（例えば、ＩＴＯ、ＩＴＳＯ、またはＩＺＯ（登録商標））を用いることが好ましい。この場合、窒化チタンが絶縁層２１０に接し、酸化物導電体が酸化物半導体層２３０に接する。また、酸化物半導体層２３０のチャネル形成領域に最も近い層に酸化物導電体が用いられる。タングステンに比べて、酸化物導電体は、酸化物半導体層２３０とのコンタクト抵抗が低いため、ソースとドレインの間の電流経路を短くでき、トランジスタのオン電流を高めることができる。このような構造にすることで、導電層２２０が酸化物半導体層２３０と接していても、導電性を維持することがで

きる。また、絶縁層２１０に酸化絶縁層を用いる場合、絶縁層２１０によって導電層２２０が過剰に酸化されることを抑制できる。また、導電層２２０ａ２として、酸化物導電体及び窒化チタンよりも導電性の高い金属材料（ここではタングステン）を用いることで、導電層２２０の導電性を高めることができる。

［０４４８］

図１０Ａでは、導電層２４０が、導電層２４０ａと、導電層２４０ａ上の導電層２４０ｂと、の２層構造である例を示す。このとき、例えば、導電層２４０ｂとして、酸素を含む導電性材料を用い、導電層２４０ａとして、導電層２４０ｂよりも導電性が高い材料を用いることが好ましい。具体的には、例えば、導電層２４０ｂとして、酸化物導電体（例えば、ＩＴＯ、ＩＴＳＯ、またはＩＺＯ（登録商標））を用い、導電層２４０ａとして、タングステンを用いることが好ましい。また、導電層２４０ａとして、ルテニウム、窒化チタン、または、窒化タンタルなどを用いてもよい。

［０４４９］

導電層２４０のうち、酸化物半導体層２３０と主に接する層は、導電層２４０ｂである。導電層２４０ｂに酸化物導電体を用いることで、酸化物半導体層２３０とのコンタクト抵抗を低くすることができ、好ましい。また、導電層２４０を構成する層に、酸化物導電体よりも導電性が高い材料を用いることで、導電層２４０の導電性を高めることができ、好ましい。

［０４５０］

なお、導電層２４０ａとして、酸素を含む導電性材料を用い、導電層２４０ｂとして、導電層２４０ａよりも導電性が高い材料を用いることもできる。この場合、導電層２４０のうち、酸化物半導体層２３０のチャネル形成領域に最も近い層に酸化物導電体が用いられる。したがって、ソースとドレインの間の電流経路を短くでき、トランジスタのオン電流を高めることができる。

［０４５１］

導電層２５５及び導電層２６５には、それぞれ、タングステンなど、導電性が高い材料を用いることが好ましい。また、導電層２５５及び導電層２６５として、それぞれ、酸化されにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料などを用いることが好ましい。当該導電性材料としては、前述の通り、窒素を含む導電性材料（例えば、窒化チタンまたは窒化タンタルなど）、及び酸素を含む導電性材料（例えば、酸化ルテニウムなど）などが挙げられる。これにより、導電層２５５及び導電層２６５の導電率が低下することを抑制できる。

［０４５２］

また、導電層２６５には、チャネルが形成される金属酸化物に含まれる金属元素及び酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素及び窒素を含む導電性材料（例えば、窒化チタン、窒化タンタルなど）を用いてもよい。また、インジウムスズ酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウムスズ酸化物、インジウム亜鉛酸化物、及び、シリコンを添加したインジウムスズ酸化物のうち一つまたは複数を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁層などから混入する水素を捕獲することができる場合がある。

［０４５３］

図１０Ａでは、導電層２６５が、導電層２６５ａと、導電層２６５ａ上の導電層２６５ｂと、の２層

構造である例を示す。このとき、例えば、導電層２６５ａとして窒化チタンを用い、導電層２６５ｂとしてタングステンを用いることが好ましい。または、導電層２６５ａとして窒化タンタルを用い、導電層２６５ｂとして銅を用いることが好ましい。このような構成とすることで、導電層２６５の導電率を高めることができる。

［０４５４］

また、導電層２６５は、３層以上の積層構造であってもよい。導電層２６５は、例えば、窒化タンタルと、窒化タンタル上の窒化チタンと、窒化チタン上のタングステンと、の３層構造としてもよい。

［０４５５］

導電層２６５は、ゲート配線として機能する層のため、導電性が高いことが好ましい。導電層２６５には、タングステンを用いることが好ましい。例えば、窒化チタンとタングステンとの２層構造を適用してもよい。

［０４５６］

導電層２５５には、例えば、タングステンまたは窒化タンタルを用いることが好ましい。

［０４５７］

［基板］

トランジスタを形成する基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を用いることができる。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムを材料とした半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、ＳＯＩ（Ｓｉｌｉｃｏｎ　Ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

［０４５８］

＜半導体装置の構成例２＞

図１１乃至図１７を用いて、本発明の他の一態様の半導体装置の構成を説明する。

［０４５９］

［トランジスタ２００Ａ］

図１１Ａは、トランジスタ２００Ａを有する半導体装置の断面図である。

［０４６０］

図１１Ａでは、開口部２９０の側壁がテーパ形状である例を示す。開口部２９０の側壁をテーパ形状にすることで、絶縁層２３５、酸化物半導体層２３０、絶縁層２５０などの被覆性が向上し、鬆などの欠陥を低減できる。開口部２９０の側壁をテーパ形状とする場合、例えば、開口部２９０内における絶縁層２８０ａの側面のテーパ角θ２８０は、４５度以上であって、９０度未満であることが好ましい。具体的には、８０度以上９０度未満であると、前述の通り、半導体装置の微細化または高集積化を図ることができ好ましい。また、４５度以上、もしくは５０度以上であって、８０度未満、７５

度以下、７０度以下、６５度以下、もしくは６０度以下であると、開口部２９０内に形成する膜の被覆性が向上し、好ましい。

［０４６１］

または、例えば、開口部２９０の側壁は、逆テーパ形状になっていてもよい。別言すると、開口部２９０内における絶縁層２８０ａの側面のテーパ角 θ２８０が、９０度より大きくてもよい。

［０４６２］

［トランジスタ２００Ｂ、２００Ｃ、２００Ｄ］

図１１Ｂは、トランジスタ２００Ｂを有する半導体装置の断面図である。図１２Ａは、トランジスタ２００Ｃを有する半導体装置の断面図である。図１２Ｂは、トランジスタ２００Ｄを有する半導体装置の断面図である。

［０４６３］

トランジスタ２００Ｂ、２００Ｃ、２００Ｄは、それぞれ、絶縁層２３５が２層構造である点、絶縁層２８０ｃ及び絶縁層２８０ｄを有する点で、トランジスタ２００と主に異なる。

［０４６４］

トランジスタ２００Ｂ、２００Ｃ、２００Ｄは、それぞれ、絶縁層２３５ａと、絶縁層２３５ａ上の絶縁層２３５ｂと、を有する。絶縁層２３５ａ及び絶縁層２３５ｂは、トランジスタの第２のゲート絶縁層として機能する。

［０４６５］

絶縁層２３５ａまたは絶縁層２３５ｂの一方は、加熱により脱離する酸素を含む領域を有する絶縁層を有することが好ましい。また、絶縁層２３５ａまたは絶縁層２３５ｂの他方は、水素に対するバリア絶縁層を有することが好ましい。

［０４６６］

これにより、絶縁層２３５ａまたは絶縁層２３５ｂから酸化物半導体層２３０に酸素を供給することができ、かつ、酸化物半導体層２３０中に水素が拡散することを抑制でき、トランジスタの信頼性を高めることができる。

［０４６７］

例えば、絶縁層２３５ａに窒化シリコン膜を用い、絶縁層２３５ｂに酸化シリコン膜を用いることが好ましい。または、絶縁層２３５ａに酸化シリコン膜を用い、絶縁層２３５ｂに窒化シリコン膜を用いることが好ましい。

［０４６８］

トランジスタ２００Ｂでは、絶縁層２３５ａが、導電層２２０ｂの凹部の底面及び側面に接して設けられ、絶縁層２３５ａ上に絶縁層２３５ｂが設けられている例を示す。例えば、絶縁層２３５ａとなる絶縁膜と絶縁層２３５ｂとなる絶縁膜を積層して設けた後、２つの絶縁膜を加工することで、図１１Ｂに示す構造の絶縁層２３５ａ及び絶縁層２３５ｂを形成することができる。したがって、比較的容易に作製可能な構造であるといえる。

［０４６９］

絶縁層２３５ａ及び絶縁層２３５ｂは、実施の形態１で説明した製造装置を用いて作製することが好ましい。バックゲート絶縁層として機能する複数の層を、大気に曝さずに連続で成膜することで、トランジスタ２００Ｂの電気特性及び信頼性を高めることができる。

［０４７０］

トランジスタ２００Ｃでは、絶縁層２３５ａが、導電層２２０ｂの凹部の底面及び側面に接して設けられ、絶縁層２３５ｂが、開口部内で、絶縁層２３５ａよりも内側に位置し、かつ、導電層２２０ｂの凹部の底部に接して設けられている例を示す。

［０４７１］

トランジスタ２００Ｄでは、導電層２２０ｂが、第１の凹部と、第１の凹部よりも外側に位置する第２の凹部と、第２の凹部よりも外側に位置する第３の凹部と、を有する。第１の凹部は、第２の凹部よりも深さが深く、第２の凹部は、第３の凹部よりも深さが深い。開口部２９０を形成する際に、導電層２２０ｂに第３の凹部が設けられ、その後、絶縁層２３５ａを加工する際に、導電層２２０ｂに第２の凹部が設けられ、その後、絶縁層２３５ｂを加工する際に、導電層２２０ｂに第１の凹部が設けられる。そのため、図１２Ｂでは、第１の凹部の側面と、絶縁層２３５ｂの酸化物半導体層２３０側の面と、が揃っており、第２の凹部の側面と、絶縁層２３５ａの絶縁層２３５ｂの面と、が揃っており、第３の凹部の側面と、絶縁層２８０ａ等の開口部２９０側の側面と、が揃っている。

［０４７２］

トランジスタ２００Ｄでは、絶縁層２３５ａが、導電層２２０ｂの第３の凹部の底面及び側面に接して設けられ、絶縁層２３５ｂが、導電層２２０ｂの第２の凹部の底面及び側面に接して設けられている例を示す。

［０４７３］

例えば、絶縁層２３５ａを開口部の側壁に設けた後、絶縁層２３５ｂとなる絶縁膜を形成し、加工することで、図１２Ａまたは図１２Ｂに示す構造の絶縁層２３５ａ及び絶縁層２３５ｂを形成することができる。トランジスタ２００Ｂに比べて、絶縁層２３５ａが酸化物半導体層２３０と接する領域が低減され、酸化物半導体層２３０に絶縁層２３５ｂが接する構成を実現できる。

［０４７４］

また、トランジスタ２００Ｂ、２００Ｃ、２００Ｄにおいて、絶縁層２８０ａ及び絶縁層２８０ｂは、絶縁層２８０ｃ及び絶縁層２８０ｄに比べて、酸化物半導体層２３０のチャネル形成領域から近い層である。絶縁層２８０ａ及び絶縁層２８０ｂに酸素を含む絶縁層を用いることで、酸化物半導体層２３０に酸素を供給することができる。

［０４７５］

絶縁層２８０ａ及び絶縁層２８０ｂは、それぞれ、絶縁層２８０ｃ及び絶縁層２８０ｄの少なくとも一つと比べて、酸素の含有量が多い領域を有することが好ましい。絶縁層２８０ａ及び絶縁層２８０ｂの酸素の含有量を多くすることにより、酸化物半導体層２３０に、ｉ型の領域を形成することが容易となる。

［０４７６］

絶縁層２８０ａ及び絶縁層２８０ｂには、それぞれ、加熱により酸素を放出する膜を用いるとより好ましい。トランジスタの作製工程中にかかる熱により、絶縁層２８０ａ及び絶縁層２８０ｂが酸素を放出することで、酸化物半導体層２３０に酸素を供給することができる。絶縁層２８０ａ及び絶縁層２８０ｂから酸化物半導体層２３０、特に酸化物半導体層２３０のチャネル形成領域に酸素を供給することで、酸化物半導体層２３０中の酸素欠損及びV_OHの低減を図ることができ、良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。

［０４７７］

また、ＯＳトランジスタの電気特性及び信頼性を良好にするには、酸化物半導体中の水素濃度を十分

に低減した上で、酸化物半導体に供給する酸素量を最適化することが重要となる。

［０４７８］

特に、トランジスタのチャネル長が短い場合、チャネル形成領域の酸素欠損及びV_OHの電気特性及び信頼性への影響が特に大きくなる。したがって、酸化物半導体層２３０中の水素濃度を十分に低減した上で、酸化物半導体層２３０に供給する酸素量を最適化することで、良好な電気特性及び高い信頼性を有するチャネル長の短いトランジスタを実現できる。

［０４７９］

絶縁層２８０ａ及び絶縁層２８０ｂは、それぞれ、スパッタリング法、またはプラズマ化学気相堆積（ＰＥＣＶＤ：Ｐｌａｓｍａ　Ｅｎｈａｎｃｅｄ　ＣＶＤ）法などの成膜方法で形成することが好ましい。特に、スパッタリング法を用いると、成膜ガスに水素を用いなくてよいため、水素の含有量の極めて少ない膜とすることができる。そのため、酸化物半導体層２３０に水素が供給されることを抑制し、トランジスタの電気特性の安定化を図ることができる。

［０４８０］

酸化物半導体層２３０に供給する酸素量を多くする場合、例えば、絶縁層２８０ａまたは絶縁層２８０ｂを形成した後に、酸素を含む雰囲気下における加熱処理、または、酸素を含む雰囲気下におけるプラズマ処理を行うとよい。また、絶縁層２８０ａまたは絶縁層２８０ｂの上面に、スパッタリング法により、酸素雰囲気下で酸化物膜を成膜することで酸素を供給してもよい。その後、当該酸化物膜を除去してもよい。このような処理を行うことで、絶縁層２８０ａまたは絶縁層２８０ｂに酸素を供給し、酸化物半導体層２３０に供給される酸素量を増やすことができる。

［０４８１］

また、絶縁層２８０ａ及び絶縁層２８０ｂに好適な絶縁層を、絶縁層２３５（特に酸化物半導体層２３０と接する絶縁層２３５ｂ）に適用することが好ましい。これにより、酸化物半導体層２３０により効率的に酸素を供給することができる。

［０４８２］

また、絶縁層２８０ａ及び絶縁層２８０ｂには、それぞれ、比誘電率が低い材料を用いることが好ましい。これにより、配線間に生じる寄生容量を低減できる。絶縁層２８０ａ及び絶縁層２８０ｂとして、それぞれ、例えば、酸化シリコン、または酸化窒化シリコンを用いることができる。

［０４８３］

絶縁層２８０ｃ及び絶縁層２８０ｄには、それぞれ、酸素に対するバリア絶縁層を用いることが好ましい。これにより、導電層２２０及び導電層２４０の酸化を抑制し、高抵抗化を抑制することができる。

［０４８４］

また、絶縁層２８０ｃ及び絶縁層２８０ｄには、それぞれ、水素に対するバリア絶縁層を用いてもよい。このような構成にすることで、酸化物半導体層２３０に水素などの不純物が拡散することを抑制でき好ましい。

［０４８５］

また、トランジスタ２００Ｂ、２００Ｃ、２００Ｄにおいて、絶縁層２８０ａ及び絶縁層２８０ｂとして、酸化シリコン膜を用い、絶縁層２８０ｃ及び絶縁層２８０ｄとして、それぞれ、窒化シリコン膜または酸化アルミニウム膜を用いることが好ましい。

［０４８６］

絶縁層２８０ｃと絶縁層２８０ａは、実施の形態１で説明した製造装置を用いて作製することが好ましい。絶縁層２８０ｃと絶縁層２８０ａを、大気に曝さずに連続で成膜することで、トランジスタの電気特性及び信頼性を高めることができる。

［０４８７］

同様に、絶縁層２８０ｂと絶縁層２８０ｄは、実施の形態１で説明した製造装置を用いて作製することが好ましい。絶縁層２８０ｂと絶縁層２８０ｄを、大気に曝さずに連続で成膜することで、トランジスタの電気特性及び信頼性を高めることができる。

［０４８８］

なお、絶縁層２３５を構成する層の数は特に限定されない。絶縁層２３５は、単層、２層、または３層以上とすることができる。

［０４８９］

絶縁層２３５が３層以上の層を有する場合、加熱により脱離する酸素を含む領域を有する絶縁層を少なくとも１層有することが好ましい。また、絶縁層２３５が３層以上の層を有する場合、水素に対するバリア絶縁層を少なくとも１層有することが好ましい。

［０４９０］

これにより、絶縁層２３５を構成する層の少なくとも一つから酸化物半導体層２３０に酸素を供給することができ、かつ、酸化物半導体層２３０中に水素が拡散することを抑制でき、トランジスタの信頼性を高めることができる。

［０４９１］

例えば、絶縁層２３５として、一対の窒化シリコン膜の間に酸化シリコン膜が挟持された３層構造、または、一対の酸化シリコン膜の間に窒化シリコン膜が挟持された３層構造を用いることが好ましい。

［０４９２］

［トランジスタ２００Ｅ］

図１３Ａは、トランジスタ２００Ｅを有する半導体装置の断面図である。

［０４９３］

トランジスタ２００Ｅは、導電層２２０ｂに凹部が１つのみ設けられている点で、トランジスタ２００と主に異なる。

［０４９４］

導電層２２０ｂには、開口部２９０の形成工程、及び、絶縁層２３５の形成工程のうち、一方または双方で、凹部が形成されうる。トランジスタ２００では、双方の工程で導電層２２０ｂに凹部が形成される例を示しているのに対し、トランジスタ２００Ｅでは、開口部２９０の形成工程では導電層２２０ｂに凹部が形成されず、絶縁層２３５の形成工程で凹部が形成される例を示す。

［０４９５］

トランジスタ２００Ｅにおいて、絶縁層２３５は、開口部２９０内で、絶縁層２８０ａの側面、導電層２５５の側面、絶縁層２８０ｂの側面、導電層２４０ａの側面、導電層２４０ｂの側面、及び、導電層２２０ｂの上面に接する。また、酸化物半導体層２３０は、導電層２２０ｂの凹部の底面及び側面に接する。

［０４９６］

開口部２９０の形成工程、及び、絶縁層２３５の形成工程の少なくとも一方で、導電層２２０ｂに凹部が形成されると、開口部２９０内における導電層２６５ａの下面の高さを低くできるため、酸化物

半導体層２３０のチャネル形成領域にゲート電界がかかりやすくなり、トランジスタ２００の電気特性を良好にすることができる。

［０４９７］

絶縁層２３５の形成工程で導電層２２０ｂに凹部が形成されると、酸化物半導体層２３０が導電層２２０ｂの凹部の底面及び側面と接することができ、酸化物半導体層２３０と導電層２２０ｂの接触面積が大きくなり、酸化物半導体層２３０と導電層２２０とのコンタクト抵抗を低減できるため、好ましい。

［０４９８］

［トランジスタ２００Ｆ］

図１３Ｂは、トランジスタ２００Ｆを有する半導体装置の断面図である。

［０４９９］

トランジスタ２００Ｆは、絶縁層２３５が導電層２４０ｂの側面を覆っていない点で、トランジスタ２００と主に異なる。

［０５００］

図１３Ｂに示す絶縁層２３５は、導電層２２０の凹部の底面及び側面と接し、かつ、開口部２９０内で、絶縁層２８０ａの側面、導電層２５５の側面、及び、絶縁層２８０ｂの側面と接する。また、絶縁層２３５は、導電層２４０ａの側面の一部と接しており、導電層２４０ｂの側面には接していない。絶縁層２３５は、第２のゲート絶縁層として機能する。そのため、絶縁層２３５は、少なくとも、開口部２９０における導電層２５５の側面全体を覆い、導電層２５５と酸化物半導体層２３０とを電気的に絶縁させる。絶縁層２３５は、開口部２９０内で、絶縁層２８０ａの側面、絶縁層２８０ｂの側面、導電層２４０ａの側面、及び、導電層２４０ｂの側面のいずれか一以上と接していてもよく、各側面の一部または全てを覆っていてもよい。

［０５０１］

導電層２４０ｂの側面の少なくとも一部が絶縁層２３５で覆われていない場合、当該部分は酸化物半導体層２３０と接する。これにより、酸化物半導体層２３０と導電層２４０の面積を大きくすることができ、酸化物半導体層２３０と導電層２４０とのコンタクト抵抗を低くすることができ、好ましい。同様に、絶縁層２３５が導電層２４０ｂの側面を覆わず、さらに、導電層２４０ａの側面の少なくとも一部を覆わない場合、当該部分は酸化物半導体層２３０と接する。これにより、酸化物半導体層２３０と導電層２４０の面積を大きくすることができ、酸化物半導体層２３０と導電層２４０とのコンタクト抵抗を低くすることができ、好ましい。

［０５０２］

［トランジスタ２００Ｇ、トランジスタ２００Ｈ］

図１３Ｃは、トランジスタ２００Ｇを有する半導体装置の断面図である。図１３Ｄは、トランジスタ２００Ｈを有する半導体装置の断面図である。

［０５０３］

トランジスタ２００Ｇ及びトランジスタ２００Ｈは、それぞれ、絶縁層２８０ｃ、絶縁層２８０ｄ、絶縁層２８０ｅ、及び絶縁層２８０ｆを有する点で、トランジスタ２００と主に異なる。

［０５０４］

トランジスタ２００Ｇ及びトランジスタ２００Ｈにおいて、絶縁層２８０ａ及び絶縁層２８０ｂとして、酸化シリコン膜を用い、絶縁層２８０ｃ、絶縁層２８０ｄ、絶縁層２８０ｅ、及び絶縁層２８０

ｆとして、それぞれ、窒化シリコン膜または酸化アルミニウム膜を用いることが好ましい。導電層２２０の上面に接する絶縁層２８０ｃ、導電層２４０の下面に接する絶縁層２８０ｄ、導電層２５５の下面に接する絶縁層２８０ｅ、及び導電層２５５の上面に接する絶縁層２８０ｆに、それぞれ、水素に対するバリア絶縁層を設けることで、酸化物半導体層２３０に水素などの不純物が拡散することを抑制でき好ましい。

［０５０５］

また、例えば、導電層２５５に、タングステンまたは窒化タンタルなどを用いる場合、導電層２５５と接する絶縁層に酸化絶縁層を用いることで、導電層２５５が酸化してしまうことがある。そのため、導電層２５５の上下に絶縁層２８０ｅ及び絶縁層２８０ｆとして、窒化シリコン膜を用いることが好ましい。これにより、導電層２５５の酸化を抑制し、かつ、水素に対するバリア絶縁層を配置することができる。

［０５０６］

トランジスタ２００Ｇは、絶縁層２８０ａの成膜後に、平坦化処理を行い、絶縁層２８０ａの上面を平坦化させてから、絶縁層２８０ｅを形成することで作製できる。絶縁層２８０ｃと絶縁層２８０ａは、実施の形態１で説明した製造装置を用いて作製することが好ましい。絶縁層２８０ｃと絶縁層２８０ａを、大気に曝さずに連続で成膜することで、トランジスタ２００Ｇの電気特性及び信頼性を高めることができる。

［０５０７］

トランジスタ２００Ｈは、絶縁層２８０ｅの成膜後に、平坦化処理を行い、絶縁層２８０ｅの上面を平坦化させることで作製できる。絶縁層２８０ｃ、絶縁層２８０ａ、及び絶縁層２８０ｅは、実施の形態１で説明した製造装置を用いて作製することが好ましい。絶縁層２８０ｃ、絶縁層２８０ａ、及び絶縁層２８０ｅを、大気に曝さずに連続で成膜することで、トランジスタ２００Ｈの電気特性及び信頼性を高めることができる。

［０５０８］

また、トランジスタ２００Ｇ及びトランジスタ２００Ｈにおいて、絶縁層２８０ｆ、絶縁層２８０ｂ、及び絶縁層２８０ｄは、実施の形態１で説明した製造装置を用いて作製することが好ましい。絶縁層２８０ｆ、絶縁層２８０ｂ、及び絶縁層２８０ｄを、大気に曝さずに連続で成膜することで、トランジスタの電気特性及び信頼性を高めることができる。

［０５０９］

［トランジスタ２００Ｉ、２００Ｊ］

図１４Ａは、トランジスタ２００Ｉを有する半導体装置の断面図である。図１４Ｂは、トランジスタ２００Ｊを有する半導体装置の断面図である。

［０５１０］

トランジスタ２００Ｉは、導電層２６５ａ及び導電層２６５ｂを有さず、単層構造の導電層２６５を有する点で、トランジスタ２００と主に異なる。

［０５１１］

トランジスタ２００Ｉが有する導電層２６５のように、ゲート電極として機能する導電層は、単層構造であってもよい。導電層２６５は、開口部２９０を埋め込むように設けられることが好ましい。

［０５１２］

トランジスタ２００Ｊは、開口部２９０内に、導電層２６５ａと導電層２６５ｂの双方が位置する点

で、トランジスタ２００と主に異なる。

［０５１３］

トランジスタ２００Ｊでは、開口部２９０内に導電層２６５ｂが位置している。前述の通り、開口部２９０の径、及び、導電層２６５ａの厚さ等によっては、導電層２６５ａだけでなく、導電層２６５ｂも開口部２９０内に設けられることがある。

［０５１４］

［トランジスタ２００Ｋ、２００Ｌ］

図１４Ｃは、トランジスタ２００Ｋを有する半導体装置の断面図である。図１４Ｄは、トランジスタ２００Ｌを有する半導体装置の断面図である。

［０５１５］

トランジスタ２００Ｋは、絶縁層２５０、導電層２６５ａ、及び導電層２６５ｂを有していない点で、トランジスタ２００と主に異なる。トランジスタ２００Ｌは、ゲート電極として機能する導電層２５５が酸化物半導体層２３０のチャネル形成領域を取り囲む構造を有するため、ＧＡＡ（Ｇａｔｅ－Ａｌｌ－Ａｒｏｕｎｄ）構造のトランジスタといえる。開口部２９０内には、酸化物半導体層２３０上の絶縁層２８３と、絶縁層２８３上の絶縁層２８５と、が位置している。絶縁層２８３には、前述の［絶縁層］の項目に記載の絶縁材料を、単層または積層で用いることができ、特に、水素に対するバリア絶縁層を用いることが好ましい。

［０５１６］

トランジスタ２００Ｋは、導電層２５５及び絶縁層２３５を有していない点で、トランジスタ２００と主に異なる。トランジスタ２００Ｌは、酸化物半導体層２３０が、ゲート電極として機能する導電層２６５ａを取り囲む構造を有するため、ＣＡＡ（Ｃｈａｎｎｅｌ－Ａｌｌ－Ａｒｏｕｎｄ）構造のトランジスタといえる。

［０５１７］

このように、本発明の一態様の半導体装置は、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタを有していてもよい。

［０５１８］

［トランジスタ２０３］

図１５Ａは、トランジスタ２０３を有する半導体装置の平面図である。図１５Ｂは、図１５Ａに示す一点鎖線Ａ１－Ａ２間の断面図である。図１５Ｃは、図１５Ａに示す一点鎖線Ａ３－Ａ４間の断面図である。図１５Ｄは、図１５Ｂ及び図１５Ｃに示す一点鎖線Ａ５－Ａ６間の断面図である。図１５Ｅは、図１５Ｂ及び図１５Ｃに示す一点鎖線Ａ７－Ａ８間の断面図である。なお、図１５Ｄ及び図１５Ｅは、導電層２６５ａを有さず導電層２６０を有する点以外は、図９Ｄ及び図９Ｅと同様の構成であるため、詳細な説明は省略する。

［０５１９］

図１５Ａ乃至図１５Ｅに示す半導体装置は、基板（図示しない）上の絶縁層２１０と、絶縁層２１０上のトランジスタ２０３と、絶縁層２１０上の絶縁層２８０ａと、絶縁層２８０ａ上の絶縁層２８０ｂと、絶縁層２５０上の絶縁層２８５と、絶縁層２８５上の導電層２６５ａと、導電層２６５ａ上の導電層２６５ｂと、を有する。絶縁層２１０、絶縁層２８０ａ、絶縁層２８０ｂ、及び絶縁層２８５は、層間膜として機能する。

［０５２０］

トランジスタ２０３は、導電層２２０ａと、導電層２２０ａ上の導電層２２０ｂと、絶縁層２８０ａ上の導電層２５５と、絶縁層２８０ｂ上の導電層２４０ａと、導電層２４０ａ上の導電層２４０ｂと、絶縁層２３５と、酸化物半導体層２３０と、酸化物半導体層２３０上の絶縁層２５０と、絶縁層２５０上の導電層２６０と、を有する。なお、導電層２６５ａ及び導電層２６５ｂをそれぞれトランジスタ２０３の構成要素とみなしてもよい。

［０５２１］

導電層２６０は、トランジスタ２０３のゲート電極（第１のゲート電極）として機能し、導電層２６５ａ及び導電層２６５ｂは、ゲート配線として機能する。導電層２６０には、導電層２６５に用いることができる材料を適用することができる。

［０５２２］

トランジスタ２０３において、導電層２２０ａから絶縁層２５０までの積層構造は、トランジスタ２００と同様であるため、詳細な説明は省略する。

［０５２３］

図１５Ｂ及び図１５Ｃに示すように、トランジスタ２０３は、絶縁層２５０上に導電層２６０を有する。導電層２６０は、開口部２９０を埋め込むように設けられる。トランジスタ２０３が有する導電層２６０は、トランジスタ２００が有する導電層２６５ａの形状を変更した導電層ということもできる。導電層２６０は、Ｘ方向及びＹ方向のどちらにも延在していない。導電層２６０の幅は、Ｘ方向及びＹ方向ともに狭いことが好ましい。これにより、導電層２６０における、導電層２４０の上面と重なる領域の面積を小さくすることができ、導電層２６０と導電層２４０との間に生じる寄生容量を小さくできる。

［０５２４］

図１５Ｂ及び図１５Ｃでは、導電層２６０の幅の最大値が、開口部２９０の幅Ｄよりも小さい例を示す。このように、導電層２６０の幅の最大値は、開口部２９０の幅と同じか、それよりも小さいことが好ましい。

［０５２５］

なお、導電層２６０の幅の最大値は、開口部２９０の幅よりも大きくてもよい。例えば、導電層２６０の幅の最大値は、導電層２６５の短辺の幅（図１５Ｃにおける導電層２６５ａ及び導電層２６５ｂの幅の最大値）と同じか、それよりも小さいことが好ましい。また、例えば、導電層２６０の幅の最大値は、導電層２５５の短辺の幅（図１５Ｅにおける導電層２５５のＹ方向の幅の最大値）と同じか、それよりも小さいことが好ましい。これにより、導電層２６０と導電層２４０が重なる部分の面積を十分に小さくでき、導電層２６０と導電層２４０との間に生じる寄生容量を小さくできる。

［０５２６］

図１５Ｂ及び図１５Ｃに示すように、絶縁層２８５には、開口部２９０と重なる位置に、導電層２６０に達する開口部２７０が設けられている。導電層２６５ａは、少なくとも一部が開口部２７０内に位置するように配置される。さらに、導電層２６５ｂも、少なくとも一部が開口部２７０内に位置するように配置されてもよい。導電層２６５ａは、開口部２７０内で、導電層２６０と接する。導電層２６０と導電層２６５とは互いに電気的に接続されている、ともいえる。

［０５２７］

導電層２６５ａは、開口部２７０の少なくとも一部を埋め込むように設けられる。また、導電層２６５ｂが、開口部２７０の一部を埋め込むように設けられてもよい。

［０５２８］

本発明の一態様のトランジスタにおいて、導電層２６５を構成する少なくとも一つの層が開口部２７０内に設けられる。導電層２６５が積層構造である場合、トランジスタの微細化が進み、開口部２７０の径が小さくなるほど、開口部２７０に導電層２６５を構成する全ての層を配置することが難しくなる。図１５Ｂ及び図１５Ｃでは、導電層２６５が２層構造であり、開口部２７０に、導電層２６５ａと導電層２６５ｂが設けられている例を示す。なお、開口部２７０の径、導電層２６５ａの厚さ、及び導電層２６５ｂの厚さ等によっては、開口部２７０内に導電層２６５ａのみが位置する場合もある。

［０５２９］

導電層２６５ａ及び導電層２６５ｂの開口部２９０と重ならない部分は、主に、絶縁層２８５上に位置する。したがって、導電層２６５は、主に、絶縁層２８５を介して、導電層２４０と重なる。これにより、導電層２６５と導電層２４０との物理的距離を大きくでき、導電層２６５と導電層２４０との間に生じる寄生容量を小さくすることができる。なお、導電層２４０と導電層２６５は、絶縁層２８５を介さずに重なる部分を有していてもよい。

［０５３０］

図１５Ｂ及び図１５Ｃでは、開口部２７０の幅が、開口部２９０の幅Ｄよりも狭い例を示している。開口部２７０の幅が狭いほど、導電層２４０と導電層２６５が絶縁層２８５を介さずに重なる領域を狭くすることができ、導電層２４０と導電層２６５との間に生じる寄生容量を小さくできるため、好ましい。例えば、開口部２７０の幅は、開口部２９０の幅と同じか、それよりも小さいことが好ましい。

［０５３１］

なお、開口部２７０の幅は、開口部２９０の幅よりも大きくてもよい。例えば、開口部２７０の幅は、導電層２６５の短辺の幅（図１５Ｃにおける導電層２６５ａ及び導電層２６５ｂの幅の最大値）よりも小さいことが好ましい。また、例えば、導電層２６５の幅の最大値は、導電層２５５の短辺の幅（図１５Ｅにおける導電層２５５のＹ方向の幅の最大値）と同じか、それよりも小さいことが好ましい。これにより、導電層２４０と導電層２６５が絶縁層２８５を介さずに重なる部分の面積を、絶縁層２８５を介して重なる部分の面積に比べて十分に小さくでき、導電層２４０と導電層２６５との間に生じる寄生容量を小さくできる。

［０５３２］

つまり、トランジスタ２０３は、ソース電極及びドレイン電極の他方と、ゲート配線との間に生じる寄生容量が低減された構成を有する。したがって、当該トランジスタを用いた回路の周波数特性を高めることができる。

［０５３３］

［トランジスタ２０３Ａ］

図１６Ａは、トランジスタ２０３Ａを有する半導体装置の断面図である。

［０５３４］

図１６Ａでは、開口部２９０の側壁がテーパ形状である例を示す。開口部２９０の側壁がテーパ形状である場合の詳細は、トランジスタ２００Ａ（図１１Ａ）の説明を参照できる。

［０５３５］

［トランジスタ２０３Ｂ］

図１６Ｂは、トランジスタ２０３Ｂを有する半導体装置の断面図である。

［０５３６］

トランジスタ２０３Ｂは、絶縁層２３５が２層構造である点で、トランジスタ２０３と主に異なる。絶縁層２３５が２層構造である場合の詳細は、トランジスタ２００Ｂ（図１１Ｂ）の説明を参照できる。

［０５３７］

また、トランジスタ２０３は、トランジスタ２００と同様にその形態及び詳細を変更し得る。具体的には、トランジスタ２００Ｃ乃至トランジスタ２００Ｌと同様の構成を、トランジスタ２０３においても適用することができる。

［０５３８］

［トランジスタ２０３Ｃ、２０３Ｄ］

図１７Ａは、トランジスタ２０３Ｃを有する半導体装置の断面図である。図１７Ｂは、トランジスタ２０３Ｄを有する半導体装置の断面図である。

［０５３９］

トランジスタ２０３Ｃは、絶縁層２８５を有さず、絶縁層２８５ａ及び絶縁層２８５ｂを有する点で、トランジスタ２０３と主に異なる。

［０５４０］

また、トランジスタ２０３Ｃ及びトランジスタ２０３Ｄは、それぞれ、導電層２６０の上面が平坦である点で、トランジスタ２０３と主に異なる。

［０５４１］

このように、導電層２６０の上面は平坦化されていてもよい。また、導電層２６０の上面の高さと絶縁層２８５ａの上面の高さは揃っている、または概略揃っていることが好ましい。

［０５４２］

［トランジスタ２０３Ｅ］

図１７Ｃ１及び図１７Ｃ２は、トランジスタ２０３Ｅを有する半導体装置の断面図である。

［０５４３］

トランジスタ２０３Ｅは、導電層２６０が、導電層２４０ｂの上面と重なる部分を有する点で、トランジスタ２０３と主に異なる。

［０５４４］

前述の通り、導電層２６０は、導電層２４０と重なる部分を有していてもよい。一方で、ゲート配線として機能する導電層２６５を別途設け、かつ、導電層２６５と導電層２４０との間に絶縁層２８５を設けることが好ましい。これにより、導電層２６５と導電層２４０との物理的距離を大きくし、ゲート配線と導電層２４０との間に生じる寄生容量を小さくすることができる。

［０５４５］

［ハロゲン元素を有する領域、第１の元素を有する領域］

また、本発明の一態様の半導体装置において、絶縁層２８０ａの開口部２９０側の側面とその近傍、絶縁層２８０ｂの開口部２９０側の側面とその近傍、絶縁層２３５、及び、酸化物半導体層２３０のうち少なくとも一つが、ハロゲン元素を有する領域を有していてもよい。

［０５４６］

ハロゲン元素は、塩素、フッ素、臭素、及び、ヨウ素の中から選ばれる一種または複数種であること

が好ましく、塩素またはフッ素であることがより好ましい。また、酸素と置換するという観点から、酸素よりも電気陰性度が高いフッ素を用いることが好ましい。

［０５４７］

絶縁層２８０ａ、絶縁層２８０ｂ、または絶縁層２３５がハロゲン元素を有することで、当該ハロゲン元素を、酸化物半導体層２３０中に供給することができる。ハロゲン元素（Ｘ）は、酸化物半導体層２３０中で、酸素欠損（Ｖｏ）にハロゲン元素が入った欠陥（ＶｏＸ）となり、キャリアとなる電子を生成する機能を有する。例えば、ハロゲン元素として塩素（Ｃｌ）を用いる場合、Ｃｌは、酸化物半導体層２３０中（特に絶縁層２３５と酸化物半導体層２３０との界面及びその近傍）で、ＶｏＣｌの状態で安定に存在する。このとき、Ｃｌは、既存のＶｏに入り込むだけでなく、酸素と置換することでも、ＶｏＣｌの状態となり得る。

［０５４８］

一方、Ｃｌに置換された酸素（余剰酸素ともいう）は、電子をトラップする機能を有する。また、ＶｏＣｌによるキャリアの生成よりも、酸素によるキャリアトラップが優先して起こる。したがって、絶縁層２３５と酸化物半導体層２３０との界面及びその近傍に、負電荷（負の固定電荷ともいう）が形成される。チャネル形成領域に負電荷が存在することで、トランジスタのしきい値電圧をプラスシフトさせることができる。したがって、トランジスタが微細な構造である場合、または、トランジスタのチャネル長が極めて短い場合であっても、トランジスタをノーマリーオフとすることができる。

［０５４９］

このように、本発明の一態様のトランジスタは、バックゲートによりしきい値電圧を制御するだけでなく、ハロゲン元素を用いることでも、ノーマリーオフを実現することができる。

［０５５０］

また、本発明の一態様の半導体装置において、酸化物半導体層２３０のソース領域及びドレイン領域は、不純物元素を有することが好ましい。不純物元素として、第１の元素を用いることが好ましい。または、不純物元素として、第１の元素と、水素と、の双方を用いることが好ましい。酸化物半導体層２３０は、特に前述の領域２３０ｎ＋（図１０Ａ参照）に不純物元素を有することが好ましい。

［０５５１］

なお、導電層２４０ａ、導電層２４０ｂ、導電層２２０ａ、及び導電層２２０ｂの少なくとも一つも不純物元素を有していてもよい。

［０５５２］

第１の元素としては、ホウ素、アルミニウム、インジウム、炭素、シリコン、ゲルマニウム、スズ、リン、ヒ素、アンチモン、マグネシウム、カルシウム、チタン、銅、亜鉛、タングステン、モリブデン、タンタル、ハフニウム、セリウム、及び貴ガス（ヘリウム、ネオン、アルゴン、クリプトン、キセノン等）のうち一種または複数種を用いることが好ましい。

［０５５３］

なお、第１の元素としては、上記の元素に限られず、第一遷移元素（３ｄ遷移元素、３ｄ遷移金属）、第二遷移元素（４ｄ遷移元素、４ｄ遷移金属）、第三遷移元素（５ｄ遷移元素、５ｄ遷移金属）、アルカリ土類金属元素、及び、希土類元素に含まれる元素のうち、一種または複数種を用いることができる。

［０５５４］

ソース領域及びドレイン領域に、第１の元素を供給することで、第１の元素がこれらの領域中の酸素

を奪うなどにより、これらの領域に酸素欠損が生じる。そして、当該酸素欠損が膜中の水素と結合することで、キャリアが生成されるため、ソース領域及びドレイン領域を低抵抗化させることができる。これにより、酸化物半導体層２３０のシート抵抗、酸化物半導体層２３０と導電層２２０とのコンタクト抵抗、及び、酸化物半導体層２３０と導電層２４０とのコンタクト抵抗をそれぞれ低くすることができる。したがって、トランジスタのオン電流を大きくすることができる。オン電流を大きくすることで、トランジスタの動作電圧を低くすることができる。これにより、半導体装置の消費電力の低減を図ることができる。

［０５５５］

第１の元素として、酸素と結合しやすい元素を用いる場合、第１の元素は、半導体層中の酸素と結合した状態で存在する。また、第１の元素として酸素と結合して安定化する元素を用いると、半導体層中の第１の元素は、酸化された状態で安定に存在するため、半導体装置の作製工程中にかかる熱などで脱離しにくく、電気抵抗が低い状態で安定した低抵抗領域を実現できる。このことから、第１の元素として、２５℃、１気圧において、酸化物が固体で存在しうる元素を用いることが好ましい。具体的には、好ましい第１の元素として、水素以外の典型非金属元素、典型金属元素、及び遷移元素（遷移金属）が挙げられ、特に好ましい第１の元素として、ホウ素、リン、マグネシウム、アルミニウム、及び、シリコンが挙げられる。

［０５５６］

以上のことから、第１の元素の一つとして、ホウ素、リン、マグネシウム、アルミニウム、またはシリコンを用いることが好ましい。また、特に、第１の元素の一つとして、ホウ素またはリンを用いることが好ましい。

［０５５７］

また、水素は、前述の酸素欠損を生じさせる機能に加えて、酸素欠損と結合する機能も有するため、不純物元素として好適である。

［０５５８］

不純物元素として、第１の元素と、水素と、の双方を用いることで、酸化物半導体層２３０中のソース領域及びドレイン領域の電気抵抗を低くしやすく、かつ、電気抵抗が低い状態を安定して維持できる。

［０５５９］

また、第１の元素と、水素と、の双方を供給する場合、原料ガスから生じたイオンを質量分離せずに添加することができるため、生産性を高めることができ、好ましい。例えば、B_2H_6ガスを用いることで、不純物元素としてホウ素と水素を供給することができる。また、例えば、PH_3ガスを用いることで、不純物元素としてリンと水素を供給することができる。なお、不純物元素の供給方法はこれに限られない。例えば、原料ガスをイオン化し、当該イオンを質量分離することで、特定の元素を添加してもよい。例えば、B_2H_6ガスを用い、質量分離を行ったのち、ホウ素を添加してもよい。

［０５６０］

なお、酸化物半導体層２３０におけるチャネル形成領域にも、不純物元素が供給される場合がある。または、作製工程中にかかる熱の影響などにより、領域２３０ｎ＋または領域２３０ｎ－に含まれる不純物元素の一部がチャネル形成領域（領域２３０ｉ）に拡散する場合がある。

［０５６１］

本発明の一態様の半導体装置の作製において、酸化物半導体層２３０のソース領域及びドレイン領域

は、チャネル形成領域と比較して、不純物元素が添加されやすいことが好ましい。そのため、不純物元素は、基板の上面に対して垂直または概略垂直な方向から添加されることが好ましい。このとき、酸化物半導体層２３０において、基板の上面に対して傾斜している面は、基板の上面に対して平行または概略平行な面と比べて、不純物元素が添加される量が少なくなる。つまり、酸化物半導体層２３０のソース領域及びドレイン領域は、チャネル形成領域と比較して、不純物元素が添加される量が多くなる。したがって、ソース領域及びドレイン領域を優先的に低抵抗化することができる。

［０５６２］

以上のように、本発明の一態様の半導体装置は、酸化物半導体にゲート電界がかかりやすい構成を有する。したがって、トランジスタの電気特性を良好にすることができる。

［０５６３］

また、本発明の一態様の半導体装置は、ソース電極またはドレイン電極と、ゲート電極との間に生じる寄生容量、並びに、ソース電極またはドレイン電極と、ゲート配線との間に生じる寄生容量が低減された構成を有する。したがって、当該半導体装置を用いた回路の周波数特性を高めることができる。

［０５６４］

また、本発明の一態様のトランジスタは、バックゲートを有する。したがって、本発明の一態様のトランジスタは、微細化しても、高いオン特性と、ノーマリーオフと、高い信頼性と、を兼ね備えた構成を実現できる。

［０５６５］

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

［０５６６］

（実施の形態４）

本実施の形態では、本発明の一態様の記憶装置について図１８乃至図３５を用いて説明する。本発明の一態様の記憶装置は、メモリセルを有する。当該メモリセルは、トランジスタ及び容量素子を有する。

［０５６７］

＜記憶装置の構成例１＞

図１８Ａ乃至図１８Ｃを用いて、トランジスタ及び容量素子を有する記憶装置の構成を説明する。図１８Ａは、トランジスタ２０３及び容量素子１００を有する記憶装置の平面図である。図１８Ｂは、図１８Ａに示す一点鎖線Ａ１－Ａ２間の断面図である。図１８Ｃは、図１８Ａに示す一点鎖線Ａ３－Ａ４間の断面図である。

［０５６８］

図１８Ａ乃至図１８Ｃに示す記憶装置は、基板（図示しない）上の絶縁層１４０と、絶縁層１４０上の導電層１１０と、導電層１１０上のメモリセル１５０と、導電層１１０上の絶縁層１８０と、絶縁層２８０ａと、絶縁層２８０ｂと、絶縁層２８５と、絶縁層２８５上の導電層２６５と、を有する。絶縁層１４０、絶縁層１８０、絶縁層２８０ａ、絶縁層２８０ｂ、及び絶縁層２８５は、層間膜として機能する。導電層１１０及び導電層２６５は、配線として機能する。

［０５６９］

メモリセル１５０は、導電層１１０上の容量素子１００と、容量素子１００上のトランジスタ２０３と、を有する。

［０５７０］

容量素子１００は、導電層１１０上の導電層１１５と、導電層１１５上の絶縁層１３０と、絶縁層１３０上の導電層２２０ａと、を有する。導電層２２０ａは一対の電極の一方（上部電極と呼ぶ場合がある）として機能し、導電層１１５は一対の電極の他方（下部電極と呼ぶ場合がある）として機能し、絶縁層１３０は誘電体として機能する。つまり、容量素子１００は、ＭＩＭ（Ｍｅｔａｌ－Ｉｎｓｕｌａｔｏｒ－Ｍｅｔａｌ）容量を構成している。なお、導電層２２０ｂを容量素子１００の上部電極の一部とみなすこともできる。

［０５７１］

図１８Ｂ及び図１８Ｃに示すように、絶縁層１８０には、導電層１１０に達する開口部１９０が設けられている。導電層１１５の少なくとも一部は、開口部１９０内に配置されている。なお、導電層１１５は、開口部１９０内において導電層１１０の上面に接する領域と、開口部１９０内において絶縁層１８０の側面に接する領域と、絶縁層１８０の上面の少なくとも一部に接する領域と、を有する。絶縁層１３０は、少なくとも一部が開口部１９０内に位置するように配置されている。導電層２２０ａは、少なくとも一部が開口部１９０内に位置するように配置されている。なお、導電層２２０ａは、図１８Ｂ及び図１８Ｃに示すように、開口部１９０を埋め込むように設けることが好ましい。なお、開口部１９０の内部に設ける膜は、それぞれ、ＡＬＤ法を用いて形成することが好ましい。これにより、当該膜の被覆性が良好となる。例えば、導電層１１５、絶縁層１３０、及び、導電層２２０ａは、それぞれ、ＡＬＤ法を用いて形成することが好ましい。

［０５７２］

容量素子１００は、開口部１９０内において、底面だけでなく、側面においても上部電極と下部電極とが誘電体を挟んで対向する構成となっており、単位面積当たりの静電容量を大きくすることができる。よって、開口部１９０の深さを深くするほど、容量素子１００の静電容量を大きくすることができる。このように容量素子１００の単位面積当たりの静電容量を大きくすることにより、記憶装置の読み出し動作を安定にすることができる。また、記憶装置の微細化または高集積化を推し進めることができる。

［０５７３］

図１８Ｂ及び図１８Ｃでは、開口部１９０の側壁が、導電層１１０の上面に対して垂直である例を示す。このとき、開口部１９０は円筒形状を有する。このような構成にすることで、記憶装置の微細化または高集積化を図ることができる。

［０５７４］

開口部１９０の側壁及び導電層１１０の上面に沿って導電層１１５及び絶縁層１３０が積層して設けられている。また、開口部１９０を埋めるように、絶縁層１３０上に導電層２２０ａが設けられている。このような構成を有する容量素子１００は、トレンチ型容量またはトレンチ容量と呼称してもよい。

［０５７５］

また、容量素子１００上に、絶縁層２８０ａが配置されている。絶縁層２８０ａは、絶縁層１３０上に位置する部分と、導電層２２０ｂ上に位置する部分と、を有する。

［０５７６］

トランジスタ２０３は、導電層２２０ａと、導電層２２０ａ上の導電層２２０ｂと、絶縁層２８０ａ上の導電層２５５と、絶縁層２８０ｂ上の導電層２４０と、酸化物半導体層２３０と、導電層２５５と酸化物半導体層２３０との間の絶縁層２３５と、酸化物半導体層２３０上の絶縁層２５０と、絶縁

層２５０上の導電層２６０と、を有する。酸化物半導体層２３０は半導体層として機能し、導電層２６０は第１のゲート電極として機能し、絶縁層２５０は第１のゲート絶縁層として機能し、導電層２５５は第２のゲート電極として機能し、絶縁層２３５は第２のゲート絶縁層として機能し、導電層２２０ａ及び導電層２２０ｂはソース電極及びドレイン電極の一方として機能し、導電層２４０はソース電極及びドレイン電極の他方として機能する。

［０５７７］

トランジスタ２０３については、実施の形態３（図１５）における説明を参照することができるため、詳細な説明は省略する。また、メモリセル１５０が有するトランジスタは、トランジスタ２０３に限定されず、実施の形態３で例示した各トランジスタを適用することができる。

［０５７８］

図１８Ａ乃至図１８Ｃに示すように、トランジスタ２０３は、容量素子１００と重なるように設けられる。また、トランジスタ２０３の構造の一部が設けられる開口部２９０は、容量素子１００の構造の一部が設けられる開口部１９０と重なる領域を有する。特に、導電層２２０ａ（及び導電層２２０ｂ）は、トランジスタ２０３のソース電極及びドレイン電極の一方としての機能と、容量素子１００の上部電極としての機能とを有するため、トランジスタ２０３と容量素子１００は、構造の一部を共有することになる。また、開口部２７０も、開口部２９０及び開口部１９０と重なる領域を有する。このような構成にすることで、平面視において、占有面積を大きく増加させることなく、トランジスタ２０３及び容量素子１００を設けることができる。これにより、メモリセル１５０の占有面積を低減できるため、メモリセル１５０を高密度に配置し、記憶装置の記憶容量を大きくすることができる。言い換えると、記憶装置を高集積化することができる。図１８Ｂ及び図１８Ｃでは、開口部１９０の幅が、開口部２９０の幅及び開口部２７０の幅のそれぞれよりも小さい例を示す。開口部１９０の幅と、開口部２９０の幅または開口部２７０の幅と、の大小関係は特に限定されない。微細化の観点から、開口部１９０の幅は、開口部２９０の幅と同じかそれよりも小さいことが好ましい。同様に、開口部１９０の幅は、開口部２７０の幅と同じかそれよりも小さいことが好ましい。

［０５７９］

また、トランジスタ２０３を容量素子１００の上方に設けることで、トランジスタ２０３は、容量素子１００の作製時の熱履歴を受けない。したがって、トランジスタ２０３において、しきい値電圧の変動、及び寄生抵抗の増大などの電気特性の劣化、並びに電気特性の劣化に伴う電気特性のばらつきの増大などを抑制できる。

［０５８０］

図１８Ａ乃至図１８Ｃに示す記憶装置の回路図を図３７Ａに示す。図３７Ａに示すように、図１８Ａ乃至図１８Ｃに示す構成は、メモリセルとして機能する。メモリセル９５１は、トランジスタＭ１と容量素子ＣＡとを有する。ここで、トランジスタＭ１はトランジスタ２０３に対応し、容量素子ＣＡは容量素子１００に対応する。

［０５８１］

トランジスタＭ１のソース及びドレインの一方は、容量素子ＣＡの一対の電極の一方に接続される。トランジスタＭ１のソース及びドレインの他方は、配線ＢＩＬに接続される。トランジスタＭ１のゲートは、配線ＷＯＬに接続される。容量素子ＣＡの一対の電極の他方は、配線ＣＡＬに接続される。

［０５８２］

ここで、配線ＢＩＬは導電層２４０に対応し、配線ＷＯＬは導電層２６５に対応し、配線ＣＡＬは導

電層１１０に対応する。図１８Ａ乃至図１８Ｃに示すように、導電層２６５はＸ方向に延在して設けられ、導電層２４０はＹ方向に延在して設けられることが好ましい。このような構成にすることで、配線ＢＩＬと、配線ＷＯＬは互いに交差して設けられる。また、図１８Ａでは、配線ＣＡＬ（導電層１１０）が面状に設けられているが、本発明はこれに限られるものではない。例えば、配線ＣＡＬは、配線ＷＯＬ（導電層２６５）に平行に設けられてもよいし、配線ＢＩＬ（導電層２４０）に平行に設けられてもよい。

［０５８３］

なお、メモリセルについては、後の実施の形態で詳細に説明する。

［０５８４］

［容量素子１００］

容量素子１００は、導電層１１５と、絶縁層１３０と、導電層２２０ａと、を有する。また、導電層１１５の下方に導電層１１０が設けられている。導電層１１５は、導電層１１０と接する領域を有する。

［０５８５］

導電層１１０は、絶縁層１４０上に設けられる。導電層１１０は、配線ＣＡＬとして機能し、例えば、面状に設けることができる。導電層１１０は、実施の形態３の［導電層］の項目に記載の導電性材料を用いて、単層または積層で形成することができる。例えば、導電層１１０として、タングステンなどの、導電性が高い導電性材料を用いることができる。このように導電性が高い導電性材料を用いることで、導電層１１０の導電性を向上させ、配線ＣＡＬとして十分に機能させることができる。

［０５８６］

また、導電層１１５は、酸化されにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料などを、単層または積層で用いることが好ましい。例えば、窒化チタン、またはシリコンを添加したインジウムスズ酸化物などを用いてもよい。または、例えば、タングステンの上に窒化チタンを積層した構造にしてもよい。または、例えば、第１の窒化チタンの上にタングステンを積層し、当該タングステンの上に第２の窒化チタンを積層した構造にしてもよい。このような構造にすることで、絶縁層１３０に酸化物を用いる場合、絶縁層１３０によって導電層１１０が酸化されることを抑制できる。また、絶縁層１８０に酸化物を用いる場合、絶縁層１８０によって導電層１１０が酸化されることを抑制できる。

［０５８７］

絶縁層１３０は、導電層１１５上に設けられる。絶縁層１３０は、導電層１１５の上面及び側面に接するように設けられる。つまり、絶縁層１３０は、導電層１１０の側端部を覆う構造にすることが好ましい。これにより、導電層１１５と導電層２２０ａがショートすることを防止できる。

［０５８８］

また、絶縁層１３０の側端部と導電層１１５の側端部が一致する構造にしてもよい。このような構造にすることで、絶縁層１３０と導電層１１５を同一のマスクを用いて形成することができ、記憶装置の作製工程を簡略化することができる。

［０５８９］

絶縁層１３０として、比誘電率が高い（ｈｉｇｈ－ｋ）材料を用いることが好ましい。絶縁層１３０としてｈｉｇｈ－ｋ材料を用いることで、リーク電流を抑制できる程度に絶縁層１３０を厚くし、かつ容量素子１００の静電容量を十分確保することができる。

［０５９０］

また、絶縁層１３０は、ｈｉｇｈ－ｋ材料からなる絶縁層を積層して用いることが好ましく、比誘電率が高い（ｈｉｇｈ－ｋ）材料と、当該ｈｉｇｈ－ｋ材料より絶縁耐力が大きい材料との積層構造を用いることが好ましい。例えば、絶縁層１３０として、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウムの順番で積層された絶縁膜を用いることができる。また、例えば、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウム、酸化アルミニウムの順番で積層された絶縁膜を用いることができる。また、例えば、ハフニウムジルコニウム酸化物、酸化アルミニウム、ハフニウムジルコニウム酸化物、酸化アルミニウムの順番で積層された絶縁膜を用いることができる。酸化アルミニウムのような、比較的絶縁耐力が大きい絶縁層を積層して用いることで、絶縁耐力が向上し、容量素子１００の静電破壊を抑制できる。

［０５９１］

また、絶縁層１３０として、強誘電性を有しうる材料を用いてもよい。強誘電性を有しうる材料の詳細については、実施の形態３の記載も参照できる。

［０５９２］

ハフニウム及びジルコニウムの一方または両方を含む金属酸化物は、数ｎｍといった薄膜であっても強誘電性を有しうることができるため、絶縁層１３０として好ましい。絶縁層１３０の膜厚は、１００ｎｍ以下が好ましく、５０ｎｍ以下がより好ましく、２０ｎｍ以下がさらに好ましく、１０ｎｍ以下（代表的には、２ｎｍ以上９ｎｍ以下）がさらに好ましい。また、例えば、膜厚を、８ｎｍ以上１２ｎｍ以下にすることが好ましい。薄膜化することができる強誘電体層とすることで、容量素子１００を、微細化されたトランジスタなどの半導体素子に組み合わせて半導体装置を形成することができる。

［０５９３］

また、ハフニウム及びジルコニウムの一方または両方を含む金属酸化物は、微小な面積でも強誘電性を有しうることができるため、絶縁層１３０として好ましい。例えば、強誘電体層の平面視における面積（占有面積）が、１００μm^2以下、１０μm^2以下、１μm^2以下、または０．１μm^2以下であっても、強誘電性を有することができる。また、１００００nm^2以下、または１０００nm^2以下であっても、強誘電性を有する場合がある。面積が小さい強誘電体層とすることで、容量素子１００の占有面積を小さくすることができる。

［０５９４］

強誘電体は、絶縁体であって、外部から電場を与えることによって内部に分極が生じ、かつ当該電場をゼロにしても分極が残る性質を有する。このため、当該材料を誘電体として用いた容量素子（以下、強誘電体キャパシタと呼ぶ場合がある）を用いて、不揮発性の記憶素子を形成することができる。強誘電体キャパシタを用いた、不揮発性の記憶素子は、ＦｅＲＡＭ（Ｆｅｒｒｏｅｌｅｃｔｒｉｃ Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ）、強誘電体メモリなどと呼ばれることがある。例えば、強誘電体メモリは、トランジスタと、強誘電体キャパシタを有し、トランジスタのソース及びドレインの一方が、強誘電体キャパシタの一方の端子に電気的に接続された構成を有する。よって、容量素子１００として強誘電体キャパシタを用いる場合、本実施の形態で示す記憶装置は、強誘電体メモリとして機能する。

［０５９５］

導電層２２０ａは、絶縁層１３０の上面の一部に接して設けられる。導電層２２０ａの側端部は、Ｘ

方向及びＹ方向のいずれにおいても、導電層１１５の側端部よりも内側に位置することが好ましい。なお、絶縁層１３０が導電層１１５の側端部を覆う構造においては、導電層２２０ａの側端部は、導電層１１５の側端部よりも外側に位置してもよい。

［０５９６］

絶縁層１８０は層間膜として機能するため、比誘電率が低いことが好ましい。比誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減できる。絶縁層１８０としては、比誘電率が低い材料を含む絶縁層を、単層または積層で用いることができる。酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。

［０５９７］

なお、図１８Ｂ及び図１８Ｃでは、絶縁層１８０を単層で示したが、本発明はこれに限られるものではない。絶縁層１８０は、２層の積層構造であってもよく、３層以上の積層構造であってもよい。

［０５９８］

＜記憶装置の構成例２＞

図１９Ａ及び図１９Ｂは、トランジスタ２００ａ及びトランジスタ２０３ａを有する記憶装置の断面図である。

［０５９９］

図１９Ａ及び図１９Ｂに示す記憶装置は、基板（図示しない）上の絶縁層１４０と、絶縁層１４０上のメモリセル１５０と、絶縁層１４０上の絶縁層１６１ａと、絶縁層１６１ｂと、絶縁層２８０ａと、絶縁層２８０ｂと、絶縁層２８５と、絶縁層２８５上の導電層２６５と、を有する。絶縁層１４０、絶縁層１６１ａ、絶縁層１６１ｂ、絶縁層２８０ａ、絶縁層２８０ｂ、及び絶縁層２８５は、層間膜として機能する。導電層２６５は、配線として機能する。

［０６００］

メモリセル１５０は、絶縁層１４０上のトランジスタ２００ａと、トランジスタ２００ａ上のトランジスタ２０３ａと、を有する。

［０６０１］

トランジスタ２００ａについては、実施の形態３におけるトランジスタ２００（図９及び図１０）の説明を参照することができるため、詳細な説明は省略する。トランジスタ２０３ａについては、実施の形態３におけるトランジスタ２０３（図１５）の説明を参照することができるため、詳細な説明は省略する。また、メモリセル１５０が有するトランジスタは、トランジスタ２００とトランジスタ２０３の組み合わせに限定されず、実施の形態３で例示した各トランジスタを一種または複数種用いることができる。

［０６０２］

トランジスタ２００ａが有する導電層１２０ａ及び導電層１２０ｂは、導電層２２０ａ及び導電層２２０ｂに用いることができる構成と同様の構成を適用できる。また、導電層１４５には、導電層２４０に用いることができる構成と同様の構成を適用できる。また、絶縁層１３１には、絶縁層２３５に用いることができる構成と同様の構成を適用できる。また、酸化物半導体層１３５には、酸化物半導体層２３０に用いることができる構成と同様の構成を適用できる。また、絶縁層１５１には、絶縁層２５０に用いることができる構成と同様の構成を適用できる。また、絶縁層１６１ａ及び絶縁層１６１ｂは、それぞれ、絶縁層２８０ａ及び絶縁層２８０ｂに用いることができる構成と同様の構成を適用できる。

［０６０３］

図１９Ａ及び図１９Ｂに示すメモリセル１５０では、導電層２２０ａと導電層１４５との間に生じる容量を用いることができるため、容量素子を別途形成することなく、データを保持することができる。導電層１４５の上面から導電層２２０ａまでの最短距離は、導電層２４０の上面から導電層２６５までの最短距離に比べて短いことが好ましい。これにより、導電層２２０ａと導電層１４５との間に生じる容量を大きくすることができる。また、導電層２４０と導電層２６５との間に生じる寄生容量を小さくすることができる。

［０６０４］

図１９Ａ及び図１９Ｂに示すように、トランジスタ２０３ａは、トランジスタ２００ａと重なるように設けられる。また、トランジスタ２０３ａの構造の一部が設けられる開口部２９０及び開口部２７０は、トランジスタ２００ａの構造の一部が設けられる開口部１９０と重なる領域を有する。特に、導電層２２０ａ及び導電層２２０ｂは、トランジスタ２０３ａのソース電極及びドレイン電極の一方としての機能と、トランジスタ２００ａのゲート電極としての機能とを有するため、トランジスタ２０３ａとトランジスタ２００ａは、構造の一部を共有することになる。このような構成にすることで、平面視において、占有面積を大きく増加させることなく、トランジスタ２０３ａ及びトランジスタ２００ａを設けることができる。これにより、メモリセル１５０の占有面積を低減できるため、メモリセル１５０を高密度に配置し、記憶装置の記憶容量を大きくすることができる。言い換えると、記憶装置を高集積化することができる。

［０６０５］

図１９Ａ及び図１９Ｂに示す記憶装置の回路図を図３７Ｅに示す。図３７Ｅに示すように、図１９Ａ及び図１９Ｂに示す構成は、メモリセルとして機能する。メモリセル９５５は、トランジスタＭ２とトランジスタＭ３とを有する。ここで、トランジスタＭ２はトランジスタ２０３ａに対応し、トランジスタＭ３はトランジスタ２００ａに対応する。

［０６０６］

トランジスタＭ２のソース及びドレインの一方は、トランジスタＭ３のゲートに接続される。トランジスタＭ１のソース及びドレインの他方は、配線ＷＢＬに接続される。トランジスタＭ２のゲートは、配線ＷＯＬに接続される。トランジスタＭ３のソース及びドレインの一方は、配線ＲＢＬに接続される。トランジスタＭ３のソース及びドレインの他方は、配線ＳＬに接続される。

［０６０７］

ここで、配線ＷＢＬは導電層２４０に対応し、配線ＷＯＬは導電層２６５に対応する。図１９Ａ及び図１９Ｂに示すように、導電層２６５はＸ方向に延在して設けられ、導電層２４０はＹ方向に延在して設けられることが好ましい。このような構成にすることで、配線ＷＢＬと、配線ＷＯＬは互いに交差して設けられる。

［０６０８］

また、トランジスタＭ２は、バックゲートを有していなくてもよい。同様に、トランジスタＭ３は、バックゲートを有していなくてもよい。

［０６０９］

図２０Ａに、トランジスタＭ３に、バックゲートを有していないトランジスタ２００ｃを用いる例を示す。トランジスタ２００ｃは、導電層１５５及び絶縁層１６１ｂを有していない点以外は、トランジスタ２００ａと同様の構成を有する。なお、トランジスタ２００ｃは、さらに、絶縁層１３１を有

していなくてもよい。

［０６１０］

図２０Ａに示す記憶装置の回路図を図３７Ｆに示す。図３７Ｆに示すように、図２０Ａに示す構成は、メモリセルとして機能する。メモリセル９５６は、トランジスタＭ２とトランジスタＭ３とを有する。ここで、トランジスタＭ２はトランジスタ２０３ａに対応し、トランジスタＭ３はトランジスタ２００ｃに対応する。

［０６１１］

トランジスタＭ２のオフ電流は極めて小さいことが好ましい。例えば、トランジスタＭ２にバックゲートを有するトランジスタを用いることで、トランジスタＭ２のしきい値電圧をプラスシフトさせ、ノーマリーオフとすることができる。これにより、メモリセル９５６では、長期にわたり記憶内容を保持することができる。一方で、トランジスタＭ３は、トランジスタＭ２に比べて、オフ電流が大きくてもよい場合がある。したがって、トランジスタＭ３にバックゲートを有していないトランジスタを用いてもよい。

［０６１２］

また、図３７Ｇに、トランジスタＭ３の代わりに、トランジスタＭＦＥを用いる例を示す。トランジスタＭＦＥは、ゲート絶縁層に強誘電性を示す材料を用いたトランジスタである。つまり、トランジスタ２００ｃが有する絶縁層１５１に強誘電性を示す材料を用いる場合の例である。トランジスタＭＦＥを用いることで、不揮発性の記憶素子を実現することができる。

［０６１３］

図２０Ｂに、トランジスタＭ２に、バックゲートを有していないトランジスタ２０３ｃを用いる例を示す。トランジスタ２０３ｃは、導電層２５５及び絶縁層２８０ｂを有していない点以外は、トランジスタ２０３ａと同様の構成を有する。なお、トランジスタ２０３ｃは、さらに、絶縁層２３５を有していなくてもよい。

［０６１４］

図２１は、トランジスタ２００Ｅ１及びトランジスタ２００Ｅ２を有する記憶装置の断面図である。

［０６１５］

図２１に示す記憶装置は、基板（図示しない）上の絶縁層１４０と、絶縁層１４０上のメモリセル１５０と、絶縁層１４０上の絶縁層１６１ｃと、絶縁層１６１ｃ上の絶縁層１６１ａと、絶縁層１６１ａ上の絶縁層１６１ｅと、絶縁層１６１ｆと、絶縁層１６１ｆ上の絶縁層１６１ｂと、絶縁層１６１ｂ上の絶縁層１６１ｄと、絶縁層１８５と、絶縁層１８５上の絶縁層２８０ｃと、絶縁層２８０ｃ上の絶縁層２８０ａと、絶縁層２８０ａ上の絶縁層２８０ｅと、絶縁層２８０ｆと、絶縁層２８０ｆ上の絶縁層２８０ｂと、絶縁層２８０ｂ上の絶縁層２８０ｄと、絶縁層２８５と、絶縁層２８５上の導電層２６５ａと、導電層２６５ａ上の導電層２６５ｂと、を有する。絶縁層１４０、絶縁層１６１ａ乃至絶縁層１６１ｆ、絶縁層１８５、絶縁層２８０ａ乃至絶縁層２８０ｆ、及び絶縁層２８５は、層間膜として機能する。導電層２６５ａ及び導電層２６５ｂは、配線として機能する。

［０６１６］

メモリセル１５０は、絶縁層１４０上のトランジスタ２０３Ｅ２と、トランジスタ２０３Ｅ２上のトランジスタ２０３Ｅ１と、を有する。

［０６１７］

トランジスタ２０３Ｅ１及びトランジスタ２０３Ｅ２については、実施の形態３におけるトランジス

タ２０３Ｅ（図１７Ｃ１及び図１７Ｃ２）の説明を参照することができるため、詳細な説明は省略する。

［０６１８］

トランジスタ２０３Ｅ２が有する導電層１２０ａ及び導電層１２０ｂは、導電層２２０ａ及び導電層２２０ｂに用いることができる構成と同様の構成を適用できる。また、導電層１４５には、導電層２４０に用いることができる構成と同様の構成を適用できる。また、導電層１６４には、導電層２６０に用いることができる構成と同様の構成を適用できる。また、絶縁層１３１には、絶縁層２３５に用いることができる構成と同様の構成を適用できる。また、酸化物半導体層１３５には、酸化物半導体層２３０に用いることができる構成と同様の構成を適用できる。また、絶縁層１５１には、絶縁層２５０に用いることができる構成と同様の構成を適用できる。また、絶縁層１６１ａ乃至絶縁層１６１ｆは、それぞれ、絶縁層２８０ａ乃至絶縁層２８０ｆに用いることができる構成と同様の構成を適用できる。なお、図２１では、絶縁層２３５及び絶縁層１３１が２層構造である例を示している。２層構造の絶縁層２３５については、トランジスタ２００Ｂ（図１１Ｂ）の説明などを参照できる。

［０６１９］

図２１に示すメモリセル１５０では、導電層１６４と導電層１４５との間に生じる容量を用いることができるため、容量素子を別途形成することなく、データを保持することができる。

［０６２０］

図２１に示すように、トランジスタ２０３Ｅ１は、トランジスタ２０３Ｅ２と重なるように設けられる。また、トランジスタ２０３Ｅ１の構造の一部が設けられる開口部２９０は、トランジスタ２０３Ｅ２の構造の一部が設けられる開口部１９０と重なる領域を有する。また、トランジスタ２０３Ｅ１とトランジスタ２０３Ｅ２を接続する開口部１７４、及び、トランジスタ２０３Ｅ１と配線として機能する導電層２６５ａを接続する開口部２７０も、開口部２９０及び開口部１９０と重なる領域を有する。また、導電層１６４、導電層２２０ａ、及び導電層２２０ｂは、トランジスタ２０３Ｅ１のソース電極及びドレイン電極の一方としての機能と、トランジスタ２０３Ｅ２のゲート電極としての機能とを有するため、トランジスタ２０３Ｅ１とトランジスタ２０３Ｅ２は、構造の一部を共有することになる。このような構成にすることで、平面視において、占有面積を大きく増加させることなく、トランジスタ２０３Ｅ１及びトランジスタ２０３Ｅ２を設けることができる。これにより、メモリセル１５０の占有面積を低減できるため、メモリセル１５０を高密度に配置し、記憶装置の記憶容量を大きくすることができる。言い換えると、記憶装置を高集積化することができる。

［０６２１］

図２２に、メモリセル１５０が、トランジスタ２０３Ｅ１の代わりに、バックゲートを有していないトランジスタ２０３Ｅ３を有する例を示す。トランジスタ２０３Ｅ３は、導電層２５５、絶縁層２３５、絶縁層２８０ｂ、絶縁層２８０ｅ、絶縁層２８０ｆを有していない点以外は、トランジスタ２０３Ｅ１と同様の構成を有する。

［０６２２］

図２３に、メモリセル１５０が、トランジスタ２０３Ｅ２の代わりに、バックゲートを有していないトランジスタ２０３Ｅ４を有する例を示す。トランジスタ２０３Ｅ４は、導電層１５５、絶縁層１３１、絶縁層１６１ｂ、絶縁層１６１ｅ、絶縁層１６１ｆを有していない点以外は、トランジスタ２０３Ｅ２と同様の構成を有する。

［０６２３］

図２４に、メモリセル１５０が、トランジスタ２０３Ｅ２の代わりに、バックゲートを有していないトランジスタ２００ｄ１を有する例を示す。トランジスタ２０３ｄ１は、導電層１５５、絶縁層１６１ｂ、絶縁層１６１ｅ、絶縁層１６１ｆを有していない点以外は、トランジスタ２０３Ｅ１と同様の構成を有する。

［０６２４］

また、図２４に示すメモリセル１５０は、絶縁層１８５及び導電層１６５を有していない。図２４では、導電層１６４、導電層２２０ａ、及び、導電層２２０ｂの端部が揃っている例を示す。導電層１６４となる導電膜、導電層２２０ａとなる導電膜、導電層２２０ｂとなる導電膜を順に成膜し、これら３つの導電膜を同じマスクで加工することで、図２４に示す導電層１６４、導電層２２０ａ、及び、導電層２２０ｂを形成することができる。

［０６２５］

図２４に示すメモリセル１５０は、図２１に示すメモリセル１５０と比べて、絶縁層１８５及び導電層１６５を有していないため、メモリセル１５０の作製工程を簡略化することができる。

［０６２６］

また、図２４では、導電層２６０上に絶縁層２８５が設けられ、絶縁層２８５に設けられた開口部内に導電層２６６ａと、導電層２６６ａ上の導電層２６６ｂと、が埋め込まれ、絶縁層２８５上にゲート配線として機能する導電層２６５が設けられている。導電層２６６ａは、絶縁層２８５に設けられた開口部を介して導電層２６０と接している。導電層２６５は、導電層２６６ａ及び導電層２６６ｂを介して、導電層２６０と電気的に接続される。

［０６２７］

図２５に、メモリセル１５０が、トランジスタ２０３ｄ１の代わりに、トランジスタ２００ｄ２を有する例を示す。トランジスタ２０３ｄ２は、絶縁層１３１を有していない点以外は、トランジスタ２０３ｄ１と同様の構成を有する。

［０６２８］

図２５に示すように、バックゲートとして機能する導電層１５５を有さない場合、バックゲート絶縁層として機能する絶縁層１３１も設けない構成とすることができる。一方、図２４に示すように、絶縁層１３１を設けることで、酸化物半導体層１３５のチャネル形成領域と接する絶縁層が絶縁層１３１となる。したがって、絶縁層１３１を設けることで、酸化物半導体層１３５に酸素を供給すること、酸化物半導体層１３５に水素が拡散することを抑制すること、チャネル長を制御すること、などを図ることができる。

［０６２９］

トランジスタ２００ｄ１及びトランジスタ２００ｄ２については、バックゲートを有さない点を除いて、実施の形態３におけるトランジスタ２００Ｇ（図１３Ｃ）の説明を参照することができるため、詳細な説明は省略する。

［０６３０］

図２６は、トランジスタ２００ｅ、トランジスタ２０３Ｅ１、及び容量素子１００Ａを有する記憶装置の断面図である。

［０６３１］

図２６に示す記憶装置は、基板（図示しない）上の絶縁層１４０と、絶縁層１４０上のメモリセル１５０と、絶縁層１４０上の絶縁層１６１ｃと、絶縁層１６１ｃ上の絶縁層１６１ａと、絶縁層１６１

ａ上の絶縁層１６１ｅと、絶縁層１６１ｆと、絶縁層１６１ｆ上の絶縁層１６１ｂと、絶縁層１６１ｂ上の絶縁層１６１ｄと、絶縁層１８５と、絶縁層１８５上の絶縁層１８０ａと、絶縁層１８０ａ上の絶縁層１８０ｂと、絶縁層１８０ｂ上の絶縁層２８０ｃと、絶縁層２８０ｃ上の絶縁層２８０ａと、絶縁層２８０ａ上の絶縁層２８０ｅと、絶縁層２８０ｆと、絶縁層２８０ｆ上の絶縁層２８０ｂと、絶縁層２８０ｂ上の絶縁層２８０ｄと、絶縁層２８５と、絶縁層２８５上の導電層２６５ａと、導電層２６５ａ上の導電層２６５ｂと、を有する。絶縁層１４０、絶縁層１６１ａ乃至絶縁層１６１ｆ、絶縁層１８０ａ、絶縁層１８０ｂ、絶縁層１８５、絶縁層２８０ａ乃至絶縁層２８０ｆ、及び絶縁層２８５は、層間膜として機能する。導電層２６５ａ及び導電層２６５ｂは、配線として機能する。

［０６３２］

メモリセル１５０は、絶縁層１４０上のトランジスタ２００ｅと、トランジスタ２００ｅ上の容量素子１００Ａと、容量素子１００Ａ上のトランジスタ２０３Ｅ１と、を有する。

［０６３３］

トランジスタ２００ｅについては、実施の形態３におけるトランジスタ２００（図９及び図１０）の説明を参照することができるため、詳細な説明は省略する。トランジスタ２０３Ｅ１については、実施の形態３におけるトランジスタ２０３（図１５）の説明を参照することができるため、詳細な説明は省略する。容量素子１００Ａについては、前述の容量素子１００の説明を参照することができるため、詳細な説明は省略する。導電層１６５ａ及び導電層１６５ｂとしては、導電層１１５に用いることができる材料を用いることができる。また、前述した、半導体装置が有する導電層に用いることができる各種材料を適用することもできる。

［０６３４］

導電層１１５は、絶縁層１８５内に埋め込まれた導電層１１０ａ及び導電層１１０ｂを介して、導電層１６４と電気的に接続されている。また、導電層１１５は、絶縁層１８０ｂ内に埋め込まれた、導電層１６６ａ及び導電層１６６ｂを介して、導電層２２０ａ１と電気的に接続されている。これにより、トランジスタ２０３Ｅ１のソースまたはドレインと、容量素子１００Ａの一方の電極と、トランジスタ２００ｅのゲートと、が電気的に接続される。

［０６３５］

図２６に示すように、トランジスタ２０３Ｅ１は、容量素子１００Ａ及びトランジスタ２００ｅと重なるように設けられる。このような構成にすることで、平面視において、占有面積を大きく増加させることなく、トランジスタ２０３Ｅ１、容量素子１００Ａ、及びトランジスタ２００ｅを設けることができる。これにより、メモリセル１５０の占有面積を低減できるため、メモリセル１５０を高密度に配置し、記憶装置の記憶容量を大きくすることができる。言い換えると、記憶装置を高集積化することができる。

［０６３６］

本実施の形態に示す記憶装置の回路図を図３７Ｃに示す。図３７Ｃに示すように、図２６に示す構成は、メモリセルとして機能する。メモリセル９５５は、トランジスタＭ２とトランジスタＭ３と容量素子ＣＢを有する。ここで、トランジスタＭ２はトランジスタ２０３Ｅ１に対応し、トランジスタＭ３はトランジスタ２００ｅに対応し、容量素子ＣＢは容量素子１００Ａに対応する。

［０６３７］

トランジスタＭ２のソース及びドレインの一方は、容量素子ＣＢの第１端子と接続され、トランジスタＭ２のソース及びドレインの他方は、配線ＷＢＬと接続され、トランジスタＭ２のゲートは、配線

ＷＯＬと接続される。容量素子ＣＢの第２端子は、配線ＣＡＬと接続される。トランジスタＭ３のソース及びドレインの一方は、配線ＲＢＬと接続され、トランジスタＭ３のソース及びドレインの他方は、配線ＳＬと接続され、トランジスタＭ３のゲートは、容量素子ＣＢの第１端子と接続される。

［０６３８］

ここで、配線ＷＢＬは導電層２４０に対応し、配線ＷＯＬは導電層２６５に対応する。導電層２６５はＸ方向に延在して設けられ、導電層２４０はＹ方向に延在して設けられることが好ましい。このような構成にすることで、配線ＷＢＬと、配線ＷＯＬは互いに交差して設けられる。

［０６３９］

また、トランジスタＭ２は、バックゲートを有していなくてもよい。同様に、トランジスタＭ３は、バックゲートを有していなくてもよい。

［０６４０］

＜半導体装置の作製方法例＞

次に、本発明の一態様の半導体装置の作製方法について図２７乃至図３２を用いて説明する。なお、各要素の材料及び形成方法について、先に説明した部分と同様の部分については説明を省略することがある。

［０６４１］

半導体装置を構成する薄膜（絶縁膜、半導体膜、及び、導電膜等）は、スパッタリング法、ＣＶＤ法、真空蒸着法、ＰＬＤ法、ＡＬＤ法等を用いて形成することができる。

［０６４２］

また、半導体装置を構成する薄膜（絶縁膜、半導体膜、及び、導電膜等）は、スピンコート法、ディップコート法、スプレーコート法、インクジェット法、ディスペンス、スクリーン印刷、オフセット印刷、ドクターナイフ法、スリットコート、ロールコート、カーテンコート、またはナイフコート等の湿式の成膜方法により形成することができる。

［０６４３］

また、半導体装置を構成する薄膜を加工する際には、フォトリソグラフィ法等を用いることができる。または、ナノインプリント法、サンドブラスト法、リフトオフ法などにより薄膜を加工してもよい。また、メタルマスクなどの遮蔽マスクを用いた成膜方法により、島状の薄膜を直接形成してもよい。

［０６４４］

フォトリソグラフィ法としては、代表的には以下の２つの方法がある。１つは、加工したい薄膜上にレジストマスクを形成して、エッチング等により当該薄膜を加工し、レジストマスクを除去する方法である。もう１つは、感光性を有する薄膜を成膜した後に、露光、現像を行って、当該薄膜を所望の形状に加工する方法である。

［０６４５］

フォトリソグラフィ法において、露光に用いる光は、例えばｉ線（波長３６５ｎｍ）、ｇ線（波長４３６ｎｍ）、ｈ線（波長４０５ｎｍ）、またはこれらを混合させた光を用いることができる。そのほか、紫外線、ＫｒＦレーザ光、またはＡｒＦレーザ光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外（ＥＵＶ：Ｅｘｔｒｅｍｅ　Ｕｌｔｒａ－ｖｉｏｌｅｔ）光、またはＸ線を用いてもよい。また、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、Ｘ線または電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビームなどのビームを走査することにより露光を行う場合には、フォ

トマスクは不要である。

［０６４６］

薄膜のエッチングには、ドライエッチング法、ウェットエッチング法、サンドブラスト法などを用いることができる。

［０６４７］

［記憶装置の作製方法例］

本実施の形態では、主に、図２５に示す記憶装置の作製方法例について説明する。

［０６４８］

まず、図２７Ａに示すように、基板（図示しない）上に絶縁層１４０を形成し、絶縁層１４０上に導電層１２０ａを形成し、導電層１２０ａ上に導電層１２０ｂを形成し、導電層１２０ｂ上に絶縁層１６１ｃを形成し、絶縁層１６１ｃ上に絶縁層１６１ａを形成し、絶縁層１６１ａ上に絶縁層１６１ｄを形成し、絶縁層１６１ｄ上に導電層１４５を形成する。

［０６４９］

導電層１２０ａ及び導電層１２０ｂは、同じマスクを用いて加工できる。これにより、半導体装置の作製に要するマスク数を削減できるため好ましい。なお、導電層１２０ａ及び導電層１２０ｂは、互いに異なるマスクを用いて加工されてもよい。

［０６５０］

絶縁層１６１ｃ及び絶縁層１６１ａは、実施の形態１で説明した製造装置を用いて作製することが好ましい。絶縁層１６１ｃ及び絶縁層１６１ａを、大気に曝さずに連続で成膜することで、トランジスタの電気特性及び信頼性を高めることができる。

［０６５１］

なお、絶縁層１６１ａの成膜後に平坦化処理を行い、絶縁層１６１ａの上面を平坦化させることが好ましい。平坦化処理としては、化学機械研磨（ＣＭＰ：Ｃｈｅｍｉｃａｌ　Ｍｅｃｈａｎｉｃａｌ　Ｐｏｌｉｓｈｉｎｇ）法を用いた平坦化処理（ＣＭＰ処理ともいう）が好適である。また、エッチングを用いた平坦化処理（エッチバック処理ともいう）を行ってもよい。絶縁層１６１ａの平坦化処理を行うことで、導電層１４５の被形成面を平坦にでき、導電層１４５の段切れを抑制できる。なお、平坦化処理は行わなくてもよく、その場合、製造コストを削減することができる。

［０６５２］

また、絶縁層１６１ｃ、絶縁層１６１ａ、及び、絶縁層１６１ｄを成膜した後に、絶縁層１６１ｄの上面を平坦化させてもよい。このとき、絶縁層１６１ｃ、絶縁層１６１ａ、及び絶縁層１６１ｄは、実施の形態１で説明した製造装置を用いて作製することが好ましい。絶縁層１６１ｃ、絶縁層１６１ａ、及び絶縁層１６１ｄを、大気に曝さずに連続で成膜することで、トランジスタの電気特性及び信頼性を高めることができる。

［０６５３］

続いて、図２７Ｂに示すように、絶縁層１６１ｃ、絶縁層１６１ａ、絶縁層１６１ｄ、及び、導電層１４５の、導電層１２０ａと重なる位置に開口部１９０を形成する。このとき、導電層１２０ｂには、開口部１９０と重なる位置に凹部が設けられることが好ましい。開口部１９０を形成することで、導電層１２０ｂの凹部の底面及び側面が露出することが好ましい。

［０６５４］

微細加工及びトランジスタのサイズを小さくするため、開口部１９０を形成する際には、異方性エッ

チングを用いて、絶縁層１６１ｃの一部、絶縁層１６１ａの一部、絶縁層１６１ｄの一部、及び、導電層１４５の一部を加工することが好ましい。特に、ドライエッチング法による加工は、微細加工に適しているため好ましい。また、層によって、それぞれ異なる加工条件で開口部１９０を形成してもよい。なお、導電層１２０ｂ、絶縁層１６１ｃ、絶縁層１６１ａ、絶縁層１６１ｄ、及び、導電層１４５の材料及び加工条件等によっては、導電層１２０ｂの凹部の側面の傾き、開口部１９０内における導電層１４５の側面の傾き、絶縁層１６１ａの側面の傾き、絶縁層１６１ｄの側面の傾き、及び、絶縁層１６１ｃの側面の傾きがそれぞれ異なることがある。

［０６５５］

また、開口部１９０の形成工程等により、導電層１２０ｂの凹部の底面及び側面、絶縁層１６１ａの側面、絶縁層１６１ｄの側面、絶縁層１６１ｃの側面、並びに、導電層１４５の上面及び側面の少なくとも一つに、ハロゲン元素を含む領域が設けられることがある。当該領域としては、例えば、フッ素を含む領域、塩素を含む領域、またはフッ素及び塩素を含む領域等が挙げられる。当該領域には、例えば、ドライエッチングで用いたエッチングガス由来のハロゲン元素が残存することがある。

［０６５６］

続いて、加熱処理を行ってもよい。加熱処理は、例えば、２５０℃以上６５０℃以下、好ましくは３００℃以上５００℃以下、さらに好ましくは３２０℃以上４５０℃以下で行う。

［０６５７］

加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを１０ｐｐｍ以上、１％以上、もしくは１０％以上含む雰囲気で行う。例えば、窒素ガスと酸素ガスの混合雰囲気で加熱処理をする場合、酸素ガスを２０％程度にすることが好ましい。また、加熱処理は減圧状態で行ってもよい。または、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを１０ｐｐｍ以上、１％以上、または１０％以上含む雰囲気で加熱処理を行ってもよい。以上のような加熱処理を行うことで、酸化物半導体層１３５の成膜前に、絶縁層１６１ａ、絶縁層１６１ｄ、及び絶縁層１６１ｃなどに含まれる、水などの不純物を低減できる。

［０６５８］

また、上記加熱処理で用いるガスは、高純度化されていることが好ましい。例えば、上記加熱処理で用いるガスに含まれる水分量は、１ｐｐｂ以下が好ましく、０．１ｐｐｂ以下がより好ましく、０．０５ｐｐｂ以下がさらに好ましい。高純度化されたガスを用いて加熱処理を行うことで、絶縁層１６１ａ、絶縁層１６１ｄ、及び絶縁層１６１ｃなどに水分等が取り込まれることを可能な限り防ぐことができる。

［０６５９］

続いて、図２７Ｃに示すように、開口部１９０を覆うように、酸化物半導体層１３５を形成する。酸化物半導体層１３５は、導電層１２０ｂの凹部の底面及び側面、絶縁層１６１ａ、絶縁層１６１ｄ、及び絶縁層１６１ｃの側面、並びに、導電層１４５の上面及び側面に接して設けられる。

［０６６０］

酸化物半導体層１３５は、例えば、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、または、ＡＬＤ法を用いて成膜することができる。

［０６６１］

酸化物半導体層１３５は、導電層１２０ｂの凹部の底面及び側面、絶縁層１６１ａ、絶縁層１６１ｄ、及び絶縁層１６１ｃの側面、並びに、導電層１４５の上面及び側面に沿って、出来るだけ均一な厚さ

の膜として形成されることが好ましい。ＡＬＤ法を用いて成膜することで、薄い膜を制御性よく成膜することができる。したがって、酸化物半導体層１３５はＡＬＤ法を用いて成膜することが好ましい。

［０６６２］

また、酸化物半導体層１３５の結晶性が高いと、酸化物半導体層１３５中の不純物の拡散が抑制されるため、トランジスタの電気特性が変動しにくく、信頼性を高めることができる。酸化物半導体層１３５を、スパッタリング法を用いて成膜すると、ＡＬＤ法を用いる場合に比べて、結晶性の高い層とすることが容易となり好ましい。

［０６６３］

酸化物半導体層１３５をスパッタリング法によって成膜する場合は、スパッタリングガスとして、酸素、または、酸素と貴ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜をスパッタリング法によって成膜する場合は、Ｉｎ－Ｍ－Ｚｎ酸化物ターゲットなどを用いることができる。

［０６６４］

酸化物半導体層１３５をスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を、３０％を超えて１００％以下、好ましくは７０％以上１００％以下として成膜すると、酸素過剰型の酸化物半導体が形成される。酸素過剰型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い信頼性が得られる。ただし、本発明の一態様はこれに限定されない。スパッタリングガスに含まれる酸素の割合を１％以上３０％以下、好ましくは５％以上２０％以下として成膜すると、酸素欠乏型の酸化物半導体が形成される。酸素欠乏型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い電界効果移動度が得られる。また、基板を加熱しながら成膜を行うことによって、酸化物半導体層の結晶性を向上させることができる。

［０６６５］

また、酸化物半導体層の作製方法については、実施の形態１及び実施の形態２の記載を参照することができる。

［０６６６］

次に、加熱処理を行うことが好ましい。加熱処理は、酸化物半導体層１３５が多結晶化しない温度範囲で行うことが好ましい。加熱処理の温度は、１００℃以上６５０℃以下が好ましく、２５０℃以上６００℃以下がより好ましく、３５０℃以上５５０℃以下がさらに好ましい。加熱処理の詳細は前述の記載を参照できる。

［０６６７］

また、上記加熱処理で用いるガスは、高純度化されていることが好ましい。高純度化されたガスを用いて加熱処理を行うことで、酸化物半導体層１３５に水分等が取り込まれることを可能な限り防ぐことができる。

［０６６８］

本実施の形態では、加熱処理として、窒素ガスと酸素ガスの流量比を４：１として、４５０℃の温度で１時間の処理を行う。このような酸素ガスを含む加熱処理によって、酸化物半導体層１３５中の炭素、水、水素などの不純物を低減できる。このように膜中の不純物を低減することで、酸化物半導体層１３５の結晶性を向上させ、より密度の高い、緻密な構造にすることができる。これにより、酸化物半導体層１３５中の結晶領域を増大させ、酸化物半導体層１３５中における、結晶領域の面内ばらつきを低減できる。よって、トランジスタの電気特性の面内ばらつきを低減できる。

［０６６９］

また、絶縁層１６１ａ、絶縁層１６１ｄ、及び絶縁層１６１ｃの少なくとも一つが酸素を含む場合、加熱処理により、当該酸素を含む絶縁層から酸化物半導体層１３５のチャネル形成領域に酸素を供給することが好ましい。これにより、酸素欠損及びＶｏＨの低減を図ることができる。

［０６７０］

このように、酸化物半導体層１３５と接する絶縁層、または、酸化物半導体層１３５の近傍に位置する絶縁層から、加熱により脱離する酸素（過剰酸素ともいう）が酸化物半導体層１３５に供給されることがある。過剰酸素は電子をトラップする機能を有するため、負電荷が形成されやすくなる。したがって、トランジスタのしきい値電圧をプラスシフトさせ、ノーマリーオフのトランジスタの実現が可能となる。

［０６７１］

続いて、図２７Ｄに示すように、酸化物半導体層１３５及び導電層１４５を島状に加工し、絶縁層１６１ｄの上面の一部を露出させる。酸化物半導体層１３５及び導電層１４５は、同じマスクを用いて加工できる。これにより、半導体装置の作製に要するマスク数を削減できるため好ましい。なお、酸化物半導体層１３５及び導電層１４５は、互いに異なるマスクを用いて加工されてもよい。

［０６７２］

続いて、図２８Ａに示すように、開口部１９０を覆うように、絶縁層１５１を形成し、絶縁層１５１上に導電層１６４を形成する。さらに、導電層１６４上に、導電層２２０ａ、及び導電層２２０ｂを形成する。絶縁層１５１は、酸化物半導体層１３５に接して設けられる。導電層１６４は、開口部１９０を埋め込むように設けられることが好ましい。なお、開口部１９０の径、及び、導電層１６４の厚さ、導電層２２０ａの厚さ等によっては、導電層２２０ａも、さらには導電層２２０ｂも開口部２９０内に設けられる場合がある。

［０６７３］

絶縁層１５１及び導電層１６４は、それぞれ、アスペクト比の大きい開口部１９０内に形成される。よって、絶縁層１５１及び導電層１６４の成膜には、それぞれ、被覆性が良好な成膜方法を用いることが好ましく、ＣＶＤ法またはＡＬＤ法などを用いることがより好ましい。

［０６７４］

絶縁層１５１が積層構造である場合、絶縁層１５１を構成する複数の層を、実施の形態１で説明した製造装置を用いて作製することが好ましい。絶縁層１５１を構成する複数の層を、大気に曝さずに連続で成膜することで、トランジスタの電気特性及び信頼性を高めることができる。さらに、同じ製造装置を用いて、導電層１６４も成膜することが好ましい。

［０６７５］

図２８Ａでは、導電層１６４、導電層２２０ａ、及び導電層２２０ｂを同じマスクを用いて加工する例を示す。導電層１６４、導電層２２０ａ、及び導電層２２０ｂのうち、少なくとも２層を同じマスクを用いて加工することで半導体装置の作製に要するマスク数を削減できるため好ましい。なお、導電層１６４、導電層２２０ａ、及び導電層２２０ｂは、互いに異なるマスクを用いて加工されてもよい。

［０６７６］

続いて、図２８Ｂに示すように、導電層１６４、導電層２２０ａ、及び導電層２２０ｂを覆うように、絶縁層２８０ｃを形成し、絶縁層２８０ｃ上に絶縁層２８０ａを形成し、絶縁層２８０ａ上に絶縁層

２８０ｅを形成し、絶縁層２８０ｅ上に導電層２５５を形成する。

［０６７７］

絶縁層２８０ｃ及び絶縁層２８０ａは、実施の形態１で説明した製造装置を用いて作製することが好ましい。絶縁層２８０ｃ及び絶縁層２８０ａを、大気に曝さずに連続で成膜することで、トランジスタの電気特性及び信頼性を高めることができる。

［０６７８］

なお、絶縁層２８０ａの成膜後に平坦化処理を行い、絶縁層２８０ａの上面を平坦化させることが好ましい。平坦化処理としては、ＣＭＰ処理が好適である。また、エッチバック処理を行ってもよい。絶縁層２８０ａの平坦化処理を行うことで、導電層２５５の被形成面を平坦にでき、導電層２５５の段切れを抑制できる。なお、平坦化処理は行わなくてもよく、その場合、製造コストを削減することができる。

［０６７９］

また、絶縁層２８０ｃ、絶縁層２８０ａ、及び、絶縁層２８０ｅを成膜した後に、絶縁層２８０ｅの上面を平坦化させてもよい。このとき、絶縁層２８０ｃ、絶縁層２８０ａ、及び、絶縁層２８０ｅは、実施の形態１で説明した製造装置を用いて作製することが好ましい。絶縁層２８０ｃ、絶縁層２８０ａ、及び、絶縁層２８０ｅを、大気に曝さずに連続で成膜することで、トランジスタの電気特性及び信頼性を高めることができる。

［０６８０］

続いて、図２９Ａに示すように、導電層２５５上に絶縁層２８０ｆを形成し、絶縁層２８０ｆ上に絶縁層２８０ｂを形成し、絶縁層２８０ｂ上に絶縁層２８０ｄを形成し、絶縁層２８０ｄ上に導電層２４０を形成する。

［０６８１］

絶縁層２８０ｆ、絶縁層２８０ｂ、及び、絶縁層２８０ｄは、実施の形態１で説明した製造装置を用いて作製することが好ましい。絶縁層２８０ｆ、絶縁層２８０ｂ、及び、絶縁層２８０ｄを、大気に曝さずに連続で成膜することで、トランジスタの電気特性及び信頼性を高めることができる。

［０６８２］

続いて、図２９Ｂに示すように、導電層２４０、絶縁層２８０ｄ、絶縁層２８０ｂ、絶縁層２８０ｆ、導電層２５５、絶縁層２８０ｅ、絶縁層２８０ａ、及び絶縁層２８０ｃの、導電層２２０ａと重なる位置に開口部２９０を形成する。このとき、導電層２２０ｂには、開口部２９０と重なる位置に凹部が設けられることが好ましい。開口部２９０を形成することで、導電層２２０ｂの凹部の底面及び側面が露出することが好ましい。

［０６８３］

微細加工及びトランジスタのサイズを小さくするため、開口部２９０を形成する際には、異方性エッチングを用いて、導電層２２０ｂの一部、導電層２４０の一部、導電層２５５の一部、絶縁層２８０ａの一部、絶縁層２８０ｂの一部、絶縁層２８０ｃの一部、絶縁層２８０ｄの一部、絶縁層２８０ｅの一部、及び絶縁層２８０ｆの一部を加工することが好ましい。特に、ドライエッチング法による加工は、微細加工に適しているため好ましい。また、層によって、それぞれ異なる加工条件で開口部２９０を形成してもよい。なお、導電層２２０ｂ、導電層２４０、導電層２５５、及び、絶縁層２８０ａ乃至絶縁層２８０ｆの材料及び加工条件等によっては、導電層２２０ｂの凹部の側面の傾き、開口部２９０内における導電層２４０の側面の傾き、導電層２５５の側面の傾き、絶縁層２８０ａの側面

の傾き、絶縁層２８０ｂの側面の傾き、絶縁層２８０ｃの側面の傾き、絶縁層２８０ｄの側面の傾き、絶縁層２８０ｅの側面の傾き、及び、絶縁層２８０ｆの側面の傾きがそれぞれ異なることがある。

［０６８４］

また、開口部２９０の形成工程等により、導電層２２０ｂの凹部の底面及び側面、開口部２９０内で露出する各層の側面、並びに、導電層２４０の上面及び側面の少なくとも一つに、ハロゲン元素を含む領域が設けられることがある。当該領域としては、例えば、フッ素を含む領域、塩素を含む領域、またはフッ素及び塩素を含む領域等が挙げられる。当該領域には、例えば、ドライエッチングで用いたエッチングガス由来のハロゲン元素が残存することがある。

［０６８５］

続いて、加熱処理を行ってもよい。ここでの加熱処理の詳細は、開口部１９０を形成した後の加熱処理の記載を参照できる。

［０６８６］

続いて、図３０Ａに示すように、開口部２９０を覆うように、絶縁層２３５を形成する。絶縁層２３５は、導電層２２０ｂの凹部の底面及び側面、絶縁層２８０ａ乃至絶縁層２８０ｆの側面、導電層２５５の側面、並びに、導電層２４０の上面及び側面に接して設けられる。

［０６８７］

絶縁層２３５は、開口部２９０内に設ける層であるため、ＣＶＤ法またはＡＬＤ法で形成することが好ましく、ＡＬＤ法で形成することがより好ましい。これにより、被覆性よく絶縁層２３５を設けることができる。

［０６８８］

絶縁層２３５が積層構造である場合、絶縁層２３５を構成する複数の層を、実施の形態１で説明した製造装置を用いて作製することが好ましい。絶縁層２３５を構成する複数の層を、大気に曝さずに連続で成膜することで、トランジスタの電気特性及び信頼性を高めることができる。

［０６８９］

続いて、図３０Ｂに示すように、絶縁層２３５を加工することで、導電層２４０の上面を露出させ、かつ、開口部２９０において、導電層２２０ｂを露出させる。開口部２９０では、導電層２２０ｂの凹部の底面が露出することが好ましい。

［０６９０］

絶縁層２３５を異方性エッチングにより加工することで、絶縁層２３５のうち、導電層２４０ｂの上面に位置する領域と、開口部２９０の底面に位置する領域とを除去し、絶縁層２３５を、開口部２９０内の側面にのみ残存させることができる。絶縁層２３５は、ドライエッチング法を用いて、異方性の高いエッチングを行うことで加工することが好ましい。

［０６９１］

なお、図３０Ｂに示すように、絶縁層２３５の加工の際に、導電層２２０ｂの一部が除去され、導電層２２０ｂに凹部が設けられてもよい。

［０６９２］

続いて、図３１Ａに示すように、開口部２９０を覆うように、酸化物半導体層２３０を形成する。酸化物半導体層２３０は、導電層２２０ｂの凹部の底面及び側面、絶縁層２３５、並びに、導電層２４０ｂの上面に接して設けられる。

［０６９３］

酸化物半導体層２３０の作製方法については、前述の酸化物半導体層１３５の形成工程における記載を参照できる。また、酸化物半導体層の作製方法については、実施の形態１及び実施の形態２の記載を参照することもできる。

［０６９４］

次に、加熱処理を行うことが好ましい。ここでの加熱処理の詳細は、酸化物半導体層１３５を形成した後の加熱処理の記載を参照できる。

［０６９５］

続いて、図３１Ｂに示すように、酸化物半導体層２３０及び導電層２４０を島状に加工し、絶縁層２８０ｄの上面の一部を露出させる。酸化物半導体層２３０及び導電層２４０は、同じマスクを用いて加工できる。これにより、半導体装置の作製に要するマスク数を削減できるため好ましい。なお、酸化物半導体層２３０及び導電層２４０は、互いに異なるマスクを用いて加工されてもよい。

［０６９６］

続いて、図３２Ａに示すように、開口部２９０を覆うように、絶縁層２５０を形成し、絶縁層２５０上に導電層２６０を形成する。絶縁層２５０は、酸化物半導体層２３０に接して設けられる。導電層２６０は、開口部２９０を埋め込むように設けられることが好ましい。

［０６９７］

絶縁層２５０及び導電層２６０は、それぞれ、アスペクト比の大きい開口部２９０内に形成される。よって、絶縁層２５０及び導電層２６０の成膜には、それぞれ、被覆性が良好な成膜方法を用いることが好ましく、ＣＶＤ法またはＡＬＤ法などを用いることがより好ましい。

［０６９８］

絶縁層２５０が積層構造である場合、絶縁層２５０を構成する複数の層を、実施の形態１で説明した製造装置を用いて作製することが好ましい。絶縁層２５０を構成する複数の層を、大気に曝さずに連続で成膜することで、トランジスタの電気特性及び信頼性を高めることができる。さらに、同じ製造装置を用いて、導電層２６０も成膜することが好ましい。

［０６９９］

導電層２６０は、導電層２４０の上面と重なる部分を有していてもよく、導電層２４０の上面と重なる部分が少ないことが好ましく、導電層２４０の上面と重ならないことがより好ましい。導電層２６０が、導電層２４０の上面と重なる部分の面積が狭いほど、導電層２６０と導電層２４０との間に生じる寄生容量を低減することができる。

［０７００］

続いて、図３２Ｂに示すように、絶縁層２５０及び導電層２６０を覆うように絶縁層２８５を形成する。

［０７０１］

絶縁層２８５の厚さを厚くすることで、導電層２４０と導電層２６５との間の距離を大きくすることができ、導電層２４０とゲート配線との間に生じる寄生容量を小さくすることができる。

［０７０２］

例えば、絶縁層２８５として、スパッタリング法を用いて酸化シリコン膜を形成することが好ましい。

［０７０３］

続いて、図３２Ｂに示すように、絶縁層２８５に、導電層２６０に達する開口部２７０を形成する。

［０７０４］

続いて、開口部２７０を覆うように、導電層２６６ａを形成し、導電層２６６ａ上に導電層２６６ｂを形成する。導電層２６６ａは、開口部２７０内で、導電層２６０に接して設けられる。導電層２６６ａ及び導電層２６６ｂは、開口部２７０を埋め込むように設けられることが好ましい。

［０７０５］

導電層２６６ａ及び導電層２６６ｂは、それぞれ、アスペクト比の大きい開口部２７０内の一方または双方に形成される。よって、導電層２６６ａ及び導電層２６６ｂの成膜には、それぞれ、被覆性が良好な成膜方法を用いることが好ましく、ＣＶＤ法またはＡＬＤ法などを用いることがより好ましい。

［０７０６］

その後、平坦化処理を行うことで、絶縁層２８５の上面を露出させ、導電層２６５ａ、導電層２６５ｂ、及び絶縁層２８５の上面を平坦化させる。平坦化処理としては、ＣＭＰ処理が好適である。平坦化処理では、少なくとも、絶縁層２８５の一部を除去する。さらに、導電層２６５ａ及び導電層２６５ｂの一部を除去してもよい。

［０７０７］

続いて、図３２Ｂに示すように、導電層２６６ｂと接するように、導電層２６５を形成する。

［０７０８］

以上により、図２５に示す記憶装置を作製することができる。

［０７０９］

＜記憶装置の構成例３＞

本実施の形態に示す、トランジスタ２０３及び容量素子１００を有するメモリセル１５０は、記憶装置のメモリセルとして用いることができる。トランジスタ２０３は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ２０３は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、または、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減できる。また、トランジスタ２０３の周波数特性が高いため、記憶装置の読み出し、及び書き込みを高速に行うことができる。

［０７１０］

メモリセル１５０を３次元的にマトリクス状に配置することで、メモリセルアレイを構成することができる。

［０７１１］

図３３Ａは、記憶装置の平面図である。図３３Ａでは、Ｘ方向及びＹ方向に２個×２個のメモリセル（メモリセル１５０ａ乃至メモリセル１５０ｄ）を配置する例を示す。

［０７１２］

図３３Ｂは、図３３Ａに示す一点鎖線Ａ３－Ａ４間の断面図である。図３３Ａ及び図３３Ｂでは、２個のメモリセル（図３３Ｂではメモリセル１５０ａ及びメモリセル１５０ｂ）が共通の配線（導電層２４６）に接続されている。

［０７１３］

２個のメモリセルに対応する回路図を図３７Ｂに示す。図３７Ｂに示すように、記憶装置９５２は、２つのメモリセルを有し、一方のメモリセルはトランジスタＭ１と容量素子ＣＡ１とを有し、他方のメモリセルはトランジスタＭ２と容量素子ＣＡ２とを有する。例えば、図３７Ｂと図３３Ｂとを対応させる場合、トランジスタＭ１はトランジスタ２０３ａに対応し、容量素子ＣＡ１は容量素子１００

ａに対応し、トランジスタＭ２はトランジスタ２０３ｂに対応し、容量素子ＣＡ２は容量素子１００ｂに対応する。

［０７１４］

トランジスタＭ１のソース及びドレインの一方は、容量素子ＣＡ１の一対の電極の一方に接続される。トランジスタＭ１のソース及びドレインの他方は、配線ＢＩＬに接続される。トランジスタＭ１のゲートは、配線ＷＯＬ１に接続される。容量素子ＣＡ１の一対の電極の他方は、配線ＣＡＬに接続される。トランジスタＭ２のソース及びドレインの一方は、容量素子ＣＡ２の一対の電極の一方に接続される。トランジスタＭ２のソース及びドレインの他方は、配線ＢＩＬに接続される。トランジスタＭ２のゲートは、配線ＷＯＬ２に接続される。容量素子ＣＡ２の一対の電極の他方は、配線ＣＡＬに接続される。

［０７１５］

ここで、配線ＢＩＬは導電層２４０に対応し、配線ＷＯＬ１は導電層２６５に対応し、配線ＷＯＬ２は、別の導電層２６５に対応し、配線ＣＡＬは導電層１１０に対応する。

［０７１６］

図３３Ａ及び図３３Ｂに示すメモリセル１５０ａ及びメモリセル１５０ｂのそれぞれは、メモリセル１５０と同様の構成を有する。メモリセル１５０ａは、容量素子１００ａ及びトランジスタ２０３ａを有し、メモリセル１５０ｂは、容量素子１００ｂ及びトランジスタ２０３ｂを有する。また、図３３Ａに示すメモリセル１５０ｃ及びメモリセル１５０ｄについても、メモリセル１５０と同様の構成を有する。よって、図３３Ａ及び図３３Ｂに示す記憶装置において、図１８に示した記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。また、メモリセル１５０ａ乃至メモリセル１５０ｄの詳細については、＜記憶装置の構成例１＞におけるメモリセル１５０の記載を参照できる。

［０７１７］

図３３Ａ及び図３３Ｂに示すように、配線ＷＯＬとして機能する導電層２６５は、メモリセル１５０ａ及びメモリセル１５０ｂに、それぞれ設けられる。また、図３３Ａに示すように、１つの導電層２６５が、メモリセル１５０ａとメモリセル１５０ｃに共通して設けられ、他の１つの導電層２６５が、メモリセル１５０ｂとメモリセル１５０ｄに共通して設けられる。また、配線ＢＩＬの一部として機能する１つの導電層２４０は、メモリセル１５０ａ及びメモリセル１５０ｂに、共通に設けられる。つまり、導電層２４０は、メモリセル１５０ａの酸化物半導体層２３０と、メモリセル１５０ｂの酸化物半導体層２３０に接する。また、他の１つの導電層２４０が、メモリセル１５０ｃ及びメモリセル１５０ｄに、共通に設けられる。

［０７１８］

図３３Ｂでは、導電層２４０が、導電層２４０ａと、導電層２４０ａ上の導電層２４０ｂと、の２層構造である例を示す。

［０７１９］

ここで、図３３Ａ及び図３３Ｂに示す記憶装置は、メモリセル１５０ａ及びメモリセル１５０ｂと電気的に接続してプラグ（接続電極とよぶこともできる）として機能する、導電層２４５及び導電層２４６を有する。導電層２４５は、絶縁層１４０、絶縁層１８０、絶縁層１３０、絶縁層２８０ａ、及び、絶縁層２８０ｂに形成された開口部内に配置され、導電層２４０ａの下面に接する。また、導電層２４６は、絶縁層２８７、絶縁層２８５、及び酸化物半導体層２３０に形成された開口部内に配置され、導電層２４０ｂの上面に接する。なお、導電層２４５及び導電層２４６は、導電層２４０に適

用可能な導電性材料などを用いることができる。

［０７２０］

導電層２４６は、導電層２４０ａの上面と接する構成とすることもできる。または、導電層２４６は、酸化物半導体層２３０の上面と接する構成とすることもできる。つまり、導電層２４０ｂは、導電層２４６と重なる位置に開口部を有していてもよい。また、酸化物半導体層２３０は、導電層２４６と重なる位置に開口部を有していなくてもよい。メモリセルとプラグの接続箇所としては、導電層２４０及び酸化物半導体層２３０を構成する各層のうち、導電層２４６とのコンタクト抵抗が低い層が、導電層２４６と接することが好ましい。

［０７２１］

同様に、導電層２４５は、導電層２４０ｂの下面または酸化物半導体層２３０の下面と接する構成とすることもできる。つまり、導電層２４０ａは、導電層２４６と重なる位置に開口部を有していてもよい。導電層２４０及び酸化物半導体層２３０を構成する層のうち、導電層２４５とのコンタクト抵抗が低い層が、導電層２４５と接することが好ましい。

［０７２２］

また、導電層２４０及び酸化物半導体層２３０を構成する層のうち、配線抵抗が低い層が、導電層２４５及び導電層２４６と接することが好ましい。

［０７２３］

絶縁層２８７は、層間膜として機能するため、比誘電率が低いことが好ましい。比誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減できる。

［０７２４］

また、絶縁層２８７中の水、水素などの不純物濃度は低減されていることが好ましい。これにより、酸化物半導体層２３０のチャネル形成領域に、水、水素などの不純物が混入することを抑制できる。

［０７２５］

導電層２４５及び導電層２４６は、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、及びダイオードなどの回路素子、配線、電極、または、端子と、メモリセル１５０ａ及びメモリセル１５０ｂを電気的に接続するためのプラグまたは配線として機能する。例えば、導電層２４５が、図３３Ｂに示す記憶装置の下に設けられたセンスアンプ（図示しない）に電気的に接続され、導電層２４６が、図３３Ｂに示す記憶装置の上に設けられた同様の記憶装置（図示しない）と電気的に接続される構成にすることができる。この場合、導電層２４５及び導電層２４６は、配線ＢＩＬの一部として機能する。このように、図３３Ｂに示す記憶装置の上または下に記憶装置などを設けることで、単位面積当たりの記憶容量を大きくすることができる。

［０７２６］

また、メモリセル１５０ａとメモリセル１５０ｂは、一点鎖線Ａ３－Ａ４の垂直二等分線を対称軸とした線対称の構成となっている。よって、トランジスタ２０３ａとトランジスタ２０３ｂも、導電層２４５及び導電層２４６を挟んで、対称の位置に配置される。ここで、導電層２４０は、トランジスタ２０３ａのソース電極及びドレイン電極の他方としての機能と、トランジスタ２０３ｂのソース電極及びドレイン電極の他方としての機能とを有する。また、トランジスタ２０３ａ及びトランジスタ２０３ｂは、プラグとして機能する導電層２４５及び導電層２４６を共有する。このように、２つのトランジスタと、プラグとの接続を前述の構成とすることで、微細化または高集積化が可能な記憶装置を提供できる。

［０７２７］
なお、配線ＣＡＬとして機能する導電層１１０は、メモリセル１５０ａ及びメモリセル１５０ｂに、それぞれ設けてもよいし、メモリセル１５０ａ及びメモリセル１５０ｂに、共通に設けてもよい。ただし、図３３Ｂに示すように、導電層１１０は、導電層２４５と離隔して設け、導電層１１０と導電層２４５がショートしないようにする。

［０７２８］
また、図３４では、図３３Ａに示す４個のメモリセルがＺ方向にｎ層（ｎは３以上の整数）積層されている例を示す。図３４は、図３３Ａに示す一点鎖線Ａ３－Ａ４間の断面図である。

［０７２９］
図３４に示す記憶装置は、ｎ層のメモリ層１６０を有する。具体的には、メモリ層１６０［１］上にメモリ層１６０［２］が設けられ、メモリ層１６０［２］上に、さらに、（ｎ－２）層のメモリ層が設けられており、最上段にメモリ層１６０［ｎ］が設けられている。１層のメモリ層１６０が有するメモリセルの数は特に限定されず、２以上のメモリセルを有することができる。導電層２４５、導電層２４６、導電層２４７、及び導電層２４８等によって、ｎ層のメモリ層１６０が有するメモリセルが、ｎ層のメモリ層１６０の下に設けられたセンスアンプ（図示しない）と電気的に接続される。

［０７３０］
図３４では、導電層２４５が導電層２４０の下面と接し、導電層２４６が酸化物半導体層２３０の上面と接する例を示している。前述の通り、導電層２４５及び導電層２４６などのプラグと、各メモリセルとの接続箇所は様々な態様が可能であり、図３４の構成に限定されない。

［０７３１］
図３４に示すように、複数のメモリセルを積層することにより、メモリセルアレイの占有面積を増やすことなく、セルを集積して配置することができる。つまり、３Ｄメモリセルアレイを構成することができる。

［０７３２］
図３５に、センスアンプを含む駆動回路が設けられる層上に、メモリセルを有する層が積層して設けられた記憶装置の断面構成例を示す。

［０７３３］
図３５では、トランジスタ３００の上方にメモリセル１５０（トランジスタ２０３及び容量素子１００）が設けられている。

［０７３４］
トランジスタ３００は、センスアンプが有するトランジスタの一つである。

［０７３５］
図３５に示すメモリセル１５０については、＜記憶装置の構成例１＞におけるメモリセル１５０の記載を参照できる。

［０７３６］
図３５に示すように、メモリセル１５０と重なるように、センスアンプを設ける構成にすることで、ビット線を短くすることができる。これにより、ビット線容量を小さくでき、記憶装置の高速駆動が可能となる。

［０７３７］
図３５に示す記憶装置は、実施の形態５で説明する半導体装置９００と対応させることができる。具

体的には、トランジスタ３００は、半導体装置９００におけるセンスアンプ９２７が有するトランジスタに相当する。また、メモリセル１５０は、メモリセル９５０と対応する。

［０７３８］

トランジスタ３００は、基板３１１上に設けられ、ゲートとして機能する導電層３１６と、ゲート絶縁層として機能する絶縁層３１５と、基板３１１の一部からなる半導体領域３１３と、ソース領域またはドレイン領域として機能する低抵抗領域３１４ａ及び低抵抗領域３１４ｂと、を有する。トランジスタ３００は、ｐチャネル型またはｎチャネル型のいずれでもよい。基板３１１は、シリコン系半導体を含むことが好ましく、具体的には、単結晶シリコンを含むことが好ましい。

［０７３９］

ここで、図３５に示すトランジスタ３００はチャネルが形成される半導体領域３１３（基板３１１の一部）が凸形状を有する。また、半導体領域３１３の側面及び上面を、絶縁層３１５を介して、導電層３１６が覆うように設けられている。なお、導電層３１６は仕事関数を調整する材料を用いてもよい。このようなトランジスタ３００は半導体基板の凸部を利用していることからＦＩＮ型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁層を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、ＳＯＩ基板を加工して凸形状を有する半導体膜を形成してもよい。

［０７４０］

なお、図３５に示すトランジスタ３００は一例であり、その構造に限定されず、回路構成または駆動方法に応じて適切なトランジスタを用いることができる。

［０７４１］

各構造体の間には、層間膜、配線、及びプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。ここで、プラグまたは配線として機能する導電層は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電気的に接続するプラグとが一体物であってもよい。すなわち、導電層の一部が配線として機能する場合、及び導電層の一部がプラグとして機能する場合もある。

［０７４２］

例えば、トランジスタ３００上には、層間膜として、絶縁層３２０、絶縁層３２２、絶縁層３２４、及び絶縁層３２６が順に積層して設けられている。また、絶縁層３２０及び絶縁層３２２には導電層３２８が埋め込まれ、絶縁層３２４及び絶縁層３２６には導電層３３０が埋め込まれている。なお、導電層３２８及び導電層３３０はプラグ、または配線として機能する。

［０７４３］

また、層間膜として機能する絶縁層は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁層３２２の上面は、平坦性を高めるためにＣＭＰ法等を用いた平坦化処理により平坦化されていてもよい。

［０７４４］

絶縁層３２６及び導電層３３０上に、配線層を設けてもよい。例えば、図３５において、絶縁層３５０、絶縁層３５２、及び絶縁層３５４が順に積層して設けられている。また、絶縁層３５０、絶縁層３５２、及び絶縁層３５４には、導電層３５６が形成されている。導電層３５６は、プラグ、または配線として機能する。

［０７４５］

層間膜として機能する、絶縁層３５２、及び絶縁層３５４等は、前述の、半導体装置または記憶装置に用いることができる絶縁層を用いることができる。

［０７４６］

プラグ、または配線として機能する導電層、例えば、導電層３２８、導電層３３０、及び導電層３５６等としては、導電層２４０に適用可能な導電性材料を用いることができる。耐熱性と導電性を両立するタングステン、モリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウム、銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

［０７４７］

トランジスタ２０３が有する導電層２４０は、導電層６４３、導電層６４２、導電層６４４、導電層６４５、導電層６４６、導電層３５６、導電層３３０、及び、導電層３２８を介して、トランジスタ３００のソース領域またはドレイン領域として機能する低抵抗領域３１４ｂと、電気的に接続されている。

［０７４８］

導電層６４３は、絶縁層２８０ｂに埋め込まれている。導電層６４２は、絶縁層１３０上に設けられ、絶縁層２８０ａに埋め込まれている。導電層６４２は、導電層２２０ａ及び導電層２２０ｂと同一の材料、及び、同一の工程で作製することができる。導電層６４４は、絶縁層１８０及び絶縁層１３０に埋め込まれている。導電層６４５は、絶縁層１８０に埋め込まれている。導電層６４５は、導電層１１０と同一の材料、及び、同一の工程で作製することができる。導電層６４６は、絶縁層６４８に埋め込まれている。絶縁層６４８によって、トランジスタ３００と、導電層１１０と、が電気的に絶縁されている。

［０７４９］

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

［０７５０］

（実施の形態５）

本実施の形態では、本発明の一態様に係る半導体装置９００について説明する。半導体装置９００は記憶装置として機能できる。

［０７５１］

図３６に、半導体装置９００の構成例を示すブロック図を示す。図３６に示す半導体装置９００は、駆動回路９１０と、メモリアレイ９２０と、を有する。メモリアレイ９２０は、１以上のメモリセル９５０を有する。図３６では、メモリアレイ９２０がマトリクス状に配置された複数のメモリセル９５０を有する例を示している。

［０７５２］

メモリセル９５０には、実施の形態４で説明した記憶装置（メモリセル１５０など）を適用することができる。

［０７５３］

駆動回路９１０は、ＰＳＷ９３１（パワースイッチ）、ＰＳＷ９３２、及び周辺回路９１５を有する。周辺回路９１５は、周辺回路９１１、コントロール回路９１２（Ｃｏｎｔｒｏｌ　Ｃｉｒｃｕｉｔ）、及び電圧生成回路９２８を有する。

［０７５４］

半導体装置９００において、各回路、各信号及び各電圧は、必要に応じて、適宜取捨することができる。あるいは、他の回路または他の信号を追加してもよい。信号ＢＷ、信号ＣＥ、信号ＧＷ、信号ＣＬＫ、信号ＷＡＫＥ、信号ＡＤＤＲ、信号ＷＤＡ、信号ＰＯＮ１、信号ＰＯＮ２は外部からの入力信号であり、信号ＲＤＡは外部への出力信号である。信号ＣＬＫはクロック信号である。

［０７５５］

また、信号ＢＷ、信号ＣＥ、及び信号ＧＷは制御信号である。信号ＣＥはチップイネーブル信号であり、信号ＧＷはグローバル書き込みイネーブル信号であり、信号ＢＷはバイト書き込みイネーブル信号である。信号ＡＤＤＲはアドレス信号である。信号ＷＤＡは書き込みデータであり、信号ＲＤＡは読み出しデータである。信号ＰＯＮ１、信号ＰＯＮ２は、パワーゲーティング制御用信号である。なお、信号ＰＯＮ１、信号ＰＯＮ２は、コントロール回路９１２で生成してもよい。

［０７５６］

コントロール回路９１２は、半導体装置９００の動作全般を制御する機能を有するロジック回路である。例えば、コントロール回路９１２は、信号ＣＥ、信号ＧＷ及び信号ＢＷを論理演算して、半導体装置９００の動作モード（例えば、書き込み動作、読み出し動作）を決定する。または、コントロール回路９１２は、この動作モードが実行されるように、周辺回路９１１の制御信号を生成する。

［０７５７］

電圧生成回路９２８は負電圧を生成する機能を有する。信号ＷＡＫＥは、信号ＣＬＫの電圧生成回路９２８への入力を制御する機能を有する。例えば、信号ＷＡＫＥとしてＨレベルの信号が与えられると、信号ＣＬＫが電圧生成回路９２８へ入力され、電圧生成回路９２８は負電圧を生成する。

［０７５８］

周辺回路９１１は、メモリセル９５０に対するデータの書き込み及び読み出しをするための回路である。周辺回路９１１は、行デコーダ９４１（Ｒｏｗ　Ｄｅｃｏｄｅｒ）、列デコーダ９４２（Ｃｏｌｕｍｎ　Ｄｅｃｏｄｅｒ）、行ドライバ９２３（Ｒｏｗ　Ｄｒｉｖｅｒ）、列ドライバ９２４（Ｃｏｌｕｍｎ　Ｄｒｉｖｅｒ）、入力回路９２５（Ｉｎｐｕｔ　Ｃｉｒ.）、出力回路９２６（Ｏｕｔｐｕｔ　Ｃｉｒ.）、及びセンスアンプ９２７（Ｓｅｎｓｅ　Ａｍｐｌｉｆｉｅｒ）を有する。

［０７５９］

行デコーダ９４１及び列デコーダ９４２は、信号ＡＤＤＲをデコードする機能を有する。行デコーダ９４１は、アクセスする行を指定するための回路であり、列デコーダ９４２は、アクセスする列を指定するための回路である。行ドライバ９２３は、行デコーダ９４１が指定する行を選択する機能を有する。列ドライバ９２４は、データをメモリセル９５０に書き込む機能、メモリセル９５０からデータを読み出す機能、読み出したデータを保持する機能等を有する。

［０７６０］

入力回路９２５は、信号ＷＤＡを保持する機能を有する。入力回路９２５が保持するデータは、列ドライバ９２４に出力される。入力回路９２５の出力データが、メモリセル９５０に書き込むデータ（Ｄｉｎ）である。列ドライバ９２４がメモリセル９５０から読み出したデータ（Ｄｏｕｔ）は、出力回路９２６に出力される。出力回路９２６は、Ｄｏｕｔを保持する機能を有する。また、出力回路９２６は、Ｄｏｕｔを半導体装置９００の外部に出力する機能を有する。出力回路９２６から出力されるデータが信号ＲＤＡである。

［０７６１］

ＰＳＷ９３１は周辺回路９１５へのV_{DD}の供給を制御する機能を有する。ＰＳＷ９３２は、行ドラ

イバ９２３へのVHMの供給を制御する機能を有する。ここでは、半導体装置９００の高電源電圧がVDDであり、低電源電圧はＧＮＤ（接地電位）である。また、VHMは、ワード線を高レベルにするために用いられる高電源電圧であり、VDDよりも高い。信号ＰＯＮ１によってＰＳＷ９３１のオン・オフが制御され、信号ＰＯＮ２によってＰＳＷ９３２のオン・オフが制御される。図３６では、周辺回路９１５において、VDDが供給される電源ドメインの数を１としているが、複数にすることもできる。この場合、各電源ドメインに対してパワースイッチを設けることができる。

［０７６２］

図３７Ａ乃至図３７Ｈを用いて、メモリセル９５０に適用できるメモリセルの構成例について説明する。

［０７６３］

なお、以下において、２つの構成要素が接続すると記載した場合には、回路素子（トランジスタ、スイッチ、ダイオード、抵抗素子など）を介して電気的に接続されることを含む。電気的接続とは、２つの構成要素間で電流が流れる状態になりうることをいう。なお、２つの構成要素間がスイッチまたはトランジスタを介して接続される場合も、これらがオン状態のときに電流が流れる状態になりうるため、電気的接続に含まれる。

［０７６４］

［ＤＯＳＲＡＭ］

図３７Ａに、ＤＲＡＭのメモリセルの回路構成例を示す。本明細書などにおいて、ＯＳトランジスタを用いたＤＲＡＭを、ＤＯＳＲＡＭ（Ｄｙｎａｍｉｃ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）と呼ぶ。メモリセル９５１は、トランジスタＭ１と、容量素子ＣＡと、を有する。

［０７６５］

なお、トランジスタＭ１は、フロントゲート（単にゲートと呼ぶ場合がある。）、及びバックゲートを有していてもよい。このとき、バックゲートは定電位または信号が与えられる配線に接続されていてもよいし、フロントゲートとバックゲートとが接続されていてもよい。

［０７６６］

トランジスタＭ１の第１端子は、容量素子ＣＡの第１端子と接続され、トランジスタＭ１の第２端子は、配線ＢＩＬと接続され、トランジスタＭ１のゲートは、配線ＷＯＬと接続されている。容量素子ＣＡの第２端子は、配線ＣＡＬと接続されている。

［０７６７］

配線ＢＩＬは、ビット線として機能し、配線ＷＯＬは、ワード線として機能する。配線ＣＡＬは、容量素子ＣＡの第２端子に所定の電位を印加するための配線として機能する。データの書き込み時、及び読み出し時において、配線ＣＡＬには、低レベル電位（基準電位という場合がある。）を印加するのが好ましい。

［０７６８］

データの書き込み及び読み出しは、配線ＷＯＬに高レベル電位を印加し、トランジスタＭ１をオン状態にし、配線ＢＩＬと容量素子ＣＡの第１端子を導通状態（電流を流すことが可能な状態）にすることで行われる。

［０７６９］

また、メモリセル９５０に用いることができるメモリセルは、メモリセル９５１に限定されず、回路

構成の変更を行うことができる。例えば、メモリセル９５１は容量素子ＣＡ、及び配線ＣＡＬを有していなくてもよく、トランジスタＭ１の第１端子が、電気的にフローティングの状態であってもよい。

［０７７０］

なお、トランジスタＭ１としてＯＳトランジスタを用いることが好ましい。ＯＳトランジスタは、オフ電流が極めて小さいという特性を有している。トランジスタＭ１としてＯＳトランジスタを用いることによって、トランジスタＭ１のリーク電流を非常に低くすることができる。つまり、書き込んだデータをトランジスタＭ１によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。または、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に低いため、メモリセル９５１に対して多値データ、またはアナログデータを保持することができる。

［０７７１］

また、図３７Ｂに示すように、２つ以上のＤＲＡＭのメモリセルに対して、１つの配線ＢＩＬを共通に設けることができる。

［０７７２］

［ＮＯＳＲＡＭ］

図３７Ｃに、２トランジスタ１容量素子のゲインセル型のメモリセルの回路構成例を示す。メモリセル９５３は、トランジスタＭ２と、トランジスタＭ３と、容量素子ＣＢと、を有する。本明細書などにおいて、トランジスタＭ２にＯＳトランジスタを用いたゲインセル型のメモリセルを有する記憶装置を、ＮＯＳＲＡＭ(Ｎｏｎｖｏｌａｔｉｌｅ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　ＲＡＭ)と呼ぶ。

［０７７３］

トランジスタＭ２の第１端子は、容量素子ＣＢの第１端子と接続され、トランジスタＭ２の第２端子は、配線ＷＢＬと接続され、トランジスタＭ２のゲートは、配線ＷＯＬと接続されている。容量素子ＣＢの第２端子は、配線ＣＡＬと接続されている。トランジスタＭ３の第１端子は、配線ＲＢＬと接続され、トランジスタＭ３の第２端子は、配線ＳＬと接続され、トランジスタＭ３のゲートは、容量素子ＣＢの第１端子と接続されている。

［０７７４］

配線ＷＢＬは、書き込みビット線として機能し、配線ＲＢＬは、読み出しビット線として機能し、配線ＷＯＬは、ワード線として機能する。配線ＣＡＬは、容量素子ＣＢの第２端子に所定の電位を印加するための配線として機能する。データの書き込み時、データ保持の最中、データの読み出し時において、配線ＣＡＬには、低レベル電位（基準電位という場合がある）を印加するのが好ましい。

［０７７５］

データの書き込みは、配線ＷＯＬに高レベル電位を印加し、トランジスタＭ２をオン状態にし、配線ＷＢＬと容量素子ＣＢの第１端子を導通状態にすることで行われる。具体的には、トランジスタＭ２がオン状態のときに、配線ＷＢＬに記録する情報に対応する電位を印加し、容量素子ＣＢの第１端子、及びトランジスタＭ３のゲートに該電位を書き込む。その後、配線ＷＯＬに低レベル電位を印加し、トランジスタＭ２をオフ状態にすることによって、容量素子ＣＢの第１端子の電位、及びトランジスタＭ３のゲートの電位を保持する。

［０７７６］

データの読み出しは、配線ＳＬに所定の電位を印加することによって行われる。トランジスタＭ３の

ソースードレイン間に流れる電流、及びトランジスタＭ３の第１端子の電位は、トランジスタＭ３のゲートの電位、及びトランジスタＭ３の第２端子の電位によって決まるため、トランジスタＭ３の第１端子に接続されている配線ＲＢＬの電位を読み出すことによって、容量素子ＣＢの第１端子（またはトランジスタＭ３のゲート）に保持されている電位を読み出すことができる。つまり、容量素子ＣＢの第１端子（またはトランジスタＭ３のゲート）に保持されている電位から、このメモリセルに書き込まれている情報を読み出すことができる。

［０７７７］

また、例えば、配線ＷＢＬと配線ＲＢＬを一本の配線ＢＩＬとしてまとめた構成であってもよい。そのメモリセルの回路構成例を図３７Ｄに示す。メモリセル９５４は、メモリセル９５３の配線ＷＢＬと配線ＲＢＬを一本の配線ＢＩＬとして、トランジスタＭ２の第２端子、及びトランジスタＭ３の第１端子が、配線ＢＩＬと接続されている構成となっている。つまり、メモリセル９５４は、書き込みビット線と、読み出しビット線と、を１本の配線ＢＩＬとして動作する構成となっている。

［０７７８］

図３７Ｅに示すメモリセル９５５は、メモリセル９５３における容量素子ＣＢ及び配線ＣＡＬを省略した場合の例である。同様に、メモリセル９５４における容量素子ＣＢ及び配線ＣＡＬを省略してもよい。このような構成とすることで、メモリセルの集積度を高めることができる。また、図３７Ｆに示すメモリセル９５６は、メモリセル９５５におけるトランジスタＭ３がバックゲートを有していない場合の例である。また、図３７Ｇに示すメモリセル９５７は、メモリセル９５６におけるトランジスタＭ３の代わりに、ゲート絶縁層に強誘電性を示す材料を用いたトランジスタＭＦＥを用いる場合の例である。トランジスタＭＦＥを用いることで、メモリセル９５７を不揮発性の記憶素子とすることができる。

［０７７９］

なお、少なくともトランジスタＭ２にはＯＳトランジスタを用いることが好ましい。特に、トランジスタＭ２、及びトランジスタＭ３にＯＳトランジスタを用いることが好ましい。

［０７８０］

ＯＳトランジスタは、オフ電流が極めて小さいという特性を有しているため、書き込んだデータをトランジスタＭ２によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。または、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に低いため、メモリセル９５３、メモリセル９５４、メモリセル９５５、メモリセル９５６に対して多値データ、またはアナログデータを保持することができる。

［０７８１］

トランジスタＭ２としてＯＳトランジスタを適用したメモリセル９５３、メモリセル９５４、メモリセル９５５、及びメモリセル９５６は、ＮＯＳＲＡＭの一態様である。

［０７８２］

なお、トランジスタＭ３としてＳｉトランジスタを用いてもよい。Ｓｉトランジスタは電界効果移動度を高めることができるほか、ｐチャネル型トランジスタとすることもできるため、回路設計の自由度を高めることができる。

［０７８３］

また、トランジスタＭ３としてＯＳトランジスタを用いた場合、メモリセルを単極性回路で構成することができる。

［０７８４］
また、図３７Ｈに、３トランジスタ１容量素子のゲインセル型のメモリセル９５８を示す。メモリセル９５８は、トランジスタＭ４乃至トランジスタＭ６と、容量素子ＣＣと、を有する。

［０７８５］
トランジスタＭ４の第１端子は、容量素子ＣＣの第１端子と接続され、トランジスタＭ４の第２端子は、配線ＢＩＬと接続され、トランジスタＭ４のゲートは、配線ＷＯＬと接続されている。容量素子ＣＣの第２端子は、トランジスタＭ５の第１端子と、配線ＧＮＤＬと、に接続されている。トランジスタＭ５の第２端子は、トランジスタＭ６の第１端子と接続され、トランジスタＭ５のゲートは、容量素子ＣＣの第１端子と接続されている。トランジスタＭ６の第２端子は、配線ＢＩＬと接続され、トランジスタＭ６のゲートは配線ＲＷＬと接続されている。

［０７８６］
配線ＢＩＬは、ビット線として機能し、配線ＷＯＬは、書き込みワード線として機能し、配線ＲＷＬは、読み出しワード線として機能する。配線ＧＮＤＬは、低レベル電位を与える配線である。

［０７８７］
データの書き込みは、配線ＷＯＬに高レベル電位を印加し、トランジスタＭ４をオン状態にし、配線ＢＩＬと容量素子ＣＣの第１端子を導通状態にすることで行われる。具体的には、トランジスタＭ４がオン状態のときに、配線ＢＩＬに記録する情報に対応する電位を印加し、容量素子ＣＣの第１端子、及びトランジスタＭ５のゲートに該電位を書き込む。その後、配線ＷＯＬに低レベル電位を印加し、トランジスタＭ４をオフ状態にすることによって、容量素子ＣＣの第１端子の電位、及びトランジスタＭ５のゲートの電位を保持する。

［０７８８］
データの読み出しは、配線ＢＩＬに所定の電位をプリチャージして、その後、配線ＢＩＬを電気的に浮遊状態にし、かつ配線ＲＷＬに高レベル電位を印加することによって行われる。配線ＲＷＬが高レベル電位となるため、トランジスタＭ６はオン状態となり、配線ＢＩＬとトランジスタＭ５の第２端子が導通状態となる。このとき、トランジスタＭ５の第２端子には、配線ＢＩＬの電位が印加されることになるが、容量素子ＣＣの第１端子（またはトランジスタＭ５のゲート）に保持されている電位に応じて、トランジスタＭ５の第２端子の電位、及び配線ＢＩＬの電位が変化する。ここで、配線ＢＩＬの電位を読み出すことによって、容量素子ＣＣの第１端子（またはトランジスタＭ５のゲート）に保持されている電位を読み出すことができる。つまり、容量素子ＣＣの第１端子（またはトランジスタＭ５のゲート）に保持されている電位から、このメモリセルに書き込まれている情報を読み出すことができる。

［０７８９］
なお、少なくともトランジスタＭ４にＯＳトランジスタを用いることが好ましい。

［０７９０］
なお、トランジスタＭ５及びＭ６としてＳｉトランジスタを用いてもよい。前述した通り、Ｓｉトランジスタは、半導体層に用いるシリコンの結晶状態などによっては、ＯＳトランジスタよりも電界効果移動度が高くなる場合がある。

［０７９１］
また、トランジスタＭ５及びＭ６としてＯＳトランジスタを用いた場合、メモリセルを単極性回路で構成することができる。

［０７９２］

半導体装置９００が有する駆動回路９１０とメモリアレイ９２０は同一平面上に設けてもよい。また、図３８Ａに示すように、駆動回路９１０とメモリアレイ９２０を重ねて設けてもよい。駆動回路９１０とメモリアレイ９２０を重ねて設けることで、信号伝搬距離を短くすることができる。また、図３８Ｂに示すように、駆動回路９１０上にメモリアレイ９２０を複数層重ねて設けてもよい。

［０７９３］

続いて、上記記憶装置などの半導体装置を備えることができる演算処理装置の一例について説明する。

［０７９４］

図３９に、演算装置９６０のブロック図を示す。図３９に示す演算装置９６０は、例えばＣＰＵ（Ｃｅｎｔｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）に適用することができる。また、演算装置９６０は、ＣＰＵよりも並列処理可能なプロセッサコアを多数（数１０～数１００個）有するＧＰＵ（Ｇｒａｐｈｉｃｓ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）、ＴＰＵ（Ｔｅｎｓｏｒ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）、ＮＰＵ（Ｎｅｕｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）などのプロセッサにも適用することができる。

［０７９５］

図３９に示す演算装置９６０は、基板９９０上に、ＡＬＵ９９１（ＡＬＵ：Ａｒｉｔｈｍｅｔｉｃ　ｌｏｇｉｃ　ｕｎｉｔ、演算回路）、ＡＬＵコントローラ９９２、インストラクションデコーダ９９３、インタラプトコントローラ９９４、タイミングコントローラ９９５、レジスタ９９６、レジスタコントローラ９９７、バスインターフェース９９８、キャッシュ９９９、及びキャッシュインターフェース９８９を有している。基板９９０は、半導体基板、ＳＯＩ基板、ガラス基板などを用いる。書き換え可能なＲＯＭ及びＲＯＭインターフェースを有してもよい。また、キャッシュ９９９及びキャッシュインターフェース９８９は、別チップに設けてもよい。

［０７９６］

キャッシュ９９９は、別チップに設けられたメインメモリとキャッシュインターフェース９８９を介して接続される。キャッシュインターフェース９８９は、メインメモリに保持されているデータの一部をキャッシュ９９９に供給する機能を有する。またキャッシュインターフェース９８９は、キャッシュ９９９に保持されているデータの一部を、バスインターフェース９９８を介してＡＬＵ９９１またはレジスタ９９６等に出力する機能を有する。

［０７９７］

後述するように、演算装置９６０上に積層して、メモリアレイ９２０を設けることができる。メモリアレイ９２０はキャッシュとして用いることができる。このとき、キャッシュインターフェース９８９はメモリアレイ９２０に保持されているデータをキャッシュ９９９に供給する機能を有していてよい。またこのとき、キャッシュインターフェース９８９の一部に、駆動回路９１０を有することが好ましい。

［０７９８］

なお、キャッシュ９９９を設けず、メモリアレイ９２０のみをキャッシュとして用いることもできる。

［０７９９］

図３９に示す演算装置９６０は、その構成を簡略化して示した一例にすぎず、実際の演算装置９６０はその用途によって多種多様な構成を有している。例えば、図３９に示す演算装置９６０を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作する、いわゆるマルチコアの

構成とすることが好ましい。コアの数が多いほど、演算性能を高めることができる。コアの数は多いほど好ましいが、例えば２個、好ましくは４個、より好ましくは８個、さらに好ましくは１２個、さらに好ましくは１６個またはそれ以上とすることが好ましい。また、サーバ用途など非常に高い演算性能が求められる場合には、１６個以上、好ましくは３２個以上、さらに好ましくは６４個以上のコアを有するマルチコアの構成とすることが好ましい。また、演算装置９６０が内部演算回路、データバスなどで扱えるビット数は、例えば８ビット、１６ビット、３２ビット、６４ビットなどとすることができる。

［０８００］

バスインターフェース９９８を介して演算装置９６０に入力された命令は、インストラクションデコーダ９９３に入力され、デコードされた後、ＡＬＵコントローラ９９２、インタラプトコントローラ９９４、レジスタコントローラ９９７、タイミングコントローラ９９５に入力される。

［０８０１］

ＡＬＵコントローラ９９２、インタラプトコントローラ９９４、レジスタコントローラ９９７、タイミングコントローラ９９５は、デコードされた命令に基づき、各種制御を行う。具体的にＡＬＵコントローラ９９２は、ＡＬＵ９９１の動作を制御するための信号を生成する。また、インタラプトコントローラ９９４は、演算装置９６０のプログラム実行中に、外部の入出力装置、周辺回路などからの割り込み要求を、その優先度、マスク状態などから判断し、処理する。レジスタコントローラ９９７は、レジスタ９９６のアドレスを生成し、演算装置９６０の状態に応じてレジスタ９９６の読み出し及び書き込みを行う。

［０８０２］

また、タイミングコントローラ９９５は、ＡＬＵ９９１、ＡＬＵコントローラ９９２、インストラクションデコーダ９９３、インタラプトコントローラ９９４、及びレジスタコントローラ９９７の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ９９５は、基準クロック信号を元に、内部クロック信号を生成する内部クロック生成部を備えており、内部クロック信号を上記各種回路に供給する。

［０８０３］

図３９に示す演算装置９６０において、レジスタコントローラ９９７は、ＡＬＵ９９１からの指示に従い、レジスタ９９６における保持動作の選択を行う。すなわち、レジスタ９９６が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ９９６内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ９９６内のメモリセルへの電源電圧の供給を停止することができる。

［０８０４］

メモリアレイ９２０と演算装置９６０は、重ねて設けることができる。図４０Ａ及び図４０Ｂに半導体装置９７０Ａの斜視図を示す。半導体装置９７０Ａは、演算装置９６０上に、メモリアレイが設けられた層９３０を有する。層９３０には、メモリアレイ９２０Ｌ１、メモリアレイ９２０Ｌ２、及びメモリアレイ９２０Ｌ３が設けられている。演算装置９６０と各メモリアレイは、互いに重なる領域を有する。半導体装置９７０Ａの構成を分かりやすくするため、図４０Ｂでは演算装置９６０及び層９３０を分離して示している。

［０８０５］
メモリアレイを有する層９３０と演算装置９６０を重ねて設けることで、両者の接続距離を短くすることができる。よって、両者間の通信速度を高めることができる。また、接続距離が短いため消費電力を低減できる。

［０８０６］
メモリアレイを有する層９３０と演算装置９６０とを積層する方法としては、演算装置９６０上に直接メモリアレイを有する層９３０を積層する方法（モノリシック積層ともいう）を用いてもよいし、演算装置９６０と層９３０とをそれぞれ異なる基板上に形成し、２つの基板を貼り合せ、貫通ビアまたは導電膜の接合技術（Ｃｕ－Ｃｕ接合など）を用いて電気的に接続する方法を用いてもよい。前者は貼合わせにおける位置ずれを考慮する必要がないため、チップサイズを小さくできるだけでなく、作製コストを削減できる。

［０８０７］
ここで、演算装置９６０にキャッシュ９９９を有さず、層９３０に設けられるメモリアレイ９２０Ｌ１、９２０Ｌ２、及び９２０Ｌ３は、それぞれキャッシュとして用いることができる。このとき、例えばメモリアレイ９２０Ｌ１をＬ１キャッシュ（レベル１キャッシュともいう）として用い、メモリアレイ９２０Ｌ２をＬ２キャッシュ（レベル２キャッシュともいう）として用い、メモリアレイ９２０Ｌ３をＬ３キャッシュ（レベル３キャッシュともいう）として用いることができる。３つのメモリアレイのうち、メモリアレイ９２０Ｌ３が最も容量が大きく、かつ、最もアクセス頻度が低い。また、メモリアレイ９２０Ｌ１が最も容量が小さく、かつ最もアクセス頻度が高い。

［０８０８］
なお、演算装置９６０に設けられるキャッシュ９９９をＬ１キャッシュとして用いる場合は、層９３０に設けられる各メモリアレイを、それぞれ下位のキャッシュ、またはメインメモリとして用いることができる。メインメモリはキャッシュよりも容量が大きく、アクセス頻度の低いメモリである。

［０８０９］
また、図４０Ｂに示すように、駆動回路９１０Ｌ１、駆動回路９１０Ｌ２、及び駆動回路９１０Ｌ３が設けられている。駆動回路９１０Ｌ１は接続電極９４０Ｌ１を介してメモリアレイ９２０Ｌ１と接続されている。同様に駆動回路９１０Ｌ２は接続電極９４０Ｌ２を介してメモリアレイ９２０Ｌ２と、駆動回路９１０Ｌ３は接続電極９４０Ｌ３を介してメモリアレイ９２０Ｌ３と接続されている。

［０８１０］
なお、ここではキャッシュとして機能するメモリアレイを３つとした場合を示したが、１つまたは２つでもよいし、４つ以上であってもよい。

［０８１１］
メモリアレイ９２０Ｌ１をキャッシュとして用いる場合、駆動回路９１０Ｌ１はキャッシュインターフェース９８９の一部として機能してもよいし、駆動回路９１０Ｌ１がキャッシュインターフェース９８９と接続される構成としてもよい。同様に、駆動回路９１０Ｌ２、駆動回路９１０Ｌ３も、キャッシュインターフェース９８９の一部として機能する、またはこれと接続される構成としてもよい。

［０８１２］
メモリアレイ９２０をキャッシュとして機能させるか、メインメモリとして機能させるかは、各駆動回路９１０が有するコントロール回路９１２によって決定される。コントロール回路９１２は、演算装置９６０から供給された信号に基づいて、半導体装置９００が有する複数のメモリセル９５０の一

部をＲＡＭとして機能させることができる。

［０８１３］

半導体装置９００は、複数のメモリセル９５０の一部をキャッシュとして機能させ、他の一部をメインメモリとして機能させることができる。すなわち半導体装置９００はキャッシュとしての機能と、メインメモリとしての機能を併せ持つことができる。本発明の一態様に係る半導体装置９００は、例えば、ユニバーサルメモリとして機能できる。

［０８１４］

また、一つのメモリアレイ９２０を有する層９３０を演算装置９６０に重ねて設けてもよい。図４１Ａに半導体装置９７０Ｂの斜視図を示す。

［０８１５］

半導体装置９７０Ｂでは、一つのメモリアレイ９２０を複数のエリアに分けて、それぞれ異なる機能で使用することができる。図４１Ａでは、領域Ｌ１をＬ１キャッシュとして、領域Ｌ２をＬ２キャッシュとして、領域Ｌ３をＬ３キャッシュとして用いる場合の例を示している。

［０８１６］

また半導体装置９７０Ｂでは、領域Ｌ１乃至領域Ｌ３のそれぞれの容量を状況に応じて変えることができる。例えばＬ１キャッシュの容量を増やしたい場合には、領域Ｌ１の面積を大きくすることにより実現する。このような構成とすることで、演算処理の効率化を図ることができ、処理速度を向上させることができる。

［０８１７］

また、複数のメモリアレイを積層してもよい。図４１Ｂに半導体装置９７０Ｃの斜視図を示している。

［０８１８］

半導体装置９７０Ｃは、メモリアレイ９２０Ｌ１を有する層９３０Ｌ１と、その上にメモリアレイ９２０Ｌ２を有する層９３０Ｌ２と、その上にメモリアレイ９２０Ｌ３を有する層９３０Ｌ３とが積層されている。最も演算装置９６０に物理的に近いメモリアレイ９２０Ｌ１を上位のキャッシュに用い、最も遠いメモリアレイ９２０Ｌ３を下位のキャッシュまたはメインメモリに用いることができる。このような構成とすることで、各メモリアレイの容量を増大させることができるため、より処理能力を向上させることができる。

［０８１９］

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

［０８２０］

（実施の形態６）

本実施の形態では、本発明の一態様に係る記憶装置の応用例について説明する。

［０８２１］

一般に、コンピュータなどの半導体装置では、用途に応じて様々な記憶装置が用いられる。図４２Ａに、半導体装置に用いられる各種の記憶装置を階層ごとに示す。上層に位置する記憶装置ほど速い動作速度が求められ、下層に位置する記憶装置ほど大きな記憶容量と高い記録密度が求められる。図４２Ａでは、最上層から順に、ＣＰＵなどの演算処理装置にレジスタ（ｒｅｇｉｓｔｅｒ）として混載されるメモリ、Ｌ１キャッシュ（Ｌ１　ｃａｃｈｅ）、Ｌ２キャッシュ（Ｌ２　ｃａｃｈｅ）、Ｌ３キャッシュ（Ｌ３　ｃａｃｈｅ）、メインメモリ（ｍａｉｎ　ｍｅｍｏｒｙ）、ストレージ（ｓｔｏｒａｇｅ）等がある。なお、ここではＬ３キャッシュまで有する例を示したが、さらに下位のキャッシュ

を有していてもよい。

［０８２２］

ＣＰＵなどの演算処理装置にレジスタとして混載されるメモリは、演算結果の一時保存などに用いられるため、演算処理装置からのアクセス頻度が高い。よって、記憶容量よりも速い動作速度が求められる。また、レジスタは演算処理装置の設定情報などを保持する機能も有する。

［０８２３］

キャッシュは、メインメモリ（ｍａｉｎ　ｍｅｍｏｒｙ）に保持されているデータの一部を複製して保持する機能を有する。使用頻繁が高いデータを複製してキャッシュに保持しておくことで、データへのアクセス速度を高めることができる。キャッシュに求められる記憶容量はメインメモリより少ないが、メインメモリよりも速い動作速度が求められる。また、キャッシュで書き換えられたデータは複製されてメインメモリに供給される。

［０８２４］

メインメモリは、ストレージ（ｓｔｏｒａｇｅ）から読み出されたプログラム、データなどを保持する機能を有する。

［０８２５］

ストレージは、長期保存が必要なデータ、演算処理装置で使用する各種のプログラムなどを保持する機能を有する。よって、ストレージには動作速度よりも大きな記憶容量と高い記録密度が求められる。例えば３Ｄ　ＮＡＮＤなどの高容量かつ不揮発性の記憶装置を用いることができる。

［０８２６］

本発明の一態様に係る酸化物半導体を用いた記憶装置（ＯＳメモリ（ＯＳ　ｍｅｍｏｒｙ））は、動作速度が速く、長期間のデータ保持が可能である。例えば、ＯＳメモリは、表１に示す特徴を有する。

［０８２７］

［表１］

消費電力	現在のサーバ、スーパーコンピュータに用いられている Si LSI製のDRAM、およびL3 Cacheと比較して、 1/10～1/100にまで削減
スイッチスピード	現在の2.5V規格のDRAMの10倍以上の速度 （＜1.7 nsec　at 1.8V、−40℃～+110℃）
メモリ保持時間	現在のDRAMの10～100倍 （動作温度範囲は−20℃～85℃よりも厳しい−40℃～110℃の条件）

［０８２８］

表１に示すＯＳメモリの特徴を利用し、図４２Ａに示すように、本発明の一態様に係る記憶装置は、キャッシュが位置する階層とメインメモリが位置する階層の双方に好適に用いることができる。また、本発明の一態様に係る記憶装置は、ストレージが位置する階層にも適用することができる。

［０８２９］

また、図４２Ｂでは、キャッシュの一部にＳＲＡＭ（Ｓｔａｔｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）を、他の一部に本発明の一態様のＯＳメモリを適用した場合の例を示す。

［０８３０］

キャッシュのうち、最も下位に位置するものを、ＬＬＣ（Ｌａｓｔ　Ｌｅｖｅｌ　ｃａｃｈｅ）と呼

ぶことができる。ＬＬＣはこれよりも上位のキャッシュよりも速い動作速度は求められないものの、大きな記憶容量を有することが望ましい。本発明の一態様のＯＳメモリは動作速度が速く、長期間のデータ保持が可能であるため、ＬＬＣに好適に用いることができる。なお、本発明の一態様のＯＳメモリは、ＦＬＣ（Ｆｉｎａｌ　Ｌｅｖｅｌ　ｃａｃｈｅ）にも適用することができる。

［０８３１］

例えば、図４２Ｂに示すように、上位のキャッシュ（Ｌ１キャッシュ、Ｌ２キャッシュ等）にＳＲＡＭを用い、ＬＬＣに本発明の一態様のＯＳメモリを用いる構成とすることができる。また、図４２Ｂに示すように、メインメモリにはＯＳメモリだけでなくＤＲＡＭを適用することもできる。

［０８３２］

なお、スーパーコンピュータ、スーパーコンピュータを用いているサーバ等では、Ｌ３キャッシュと、メインメモリであるＤＲＡＭと、の消費電力が大きく、地球温暖化の要因の１つになっている。ここで、図４２Ａでは、Ｌ３キャッシュとメインメモリの双方にＯＳメモリを用いている。また、図４２Ｂでは、ＬＬＣにＯＳメモリを用いている。このように、本発明の一態様に係る酸化物半導体を記憶装置に用いることで、スーパーコンピュータの消費電力を削減することが可能となり、スーパーコンピュータの消費電力を個人用のコンピュータと同等レベルとすることができる。

［０８３３］

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

［０８３４］

（実施の形態７）

本実施の形態では、本発明の一態様の表示装置について説明する。

［０８３５］

本発明の一態様の半導体装置は、表示装置、または、当該表示装置を有するモジュールに用いることができる。当該表示装置を有するモジュールとしては、当該表示装置にフレキシブルプリント回路基板（Ｆｌｅｘｉｂｌｅ　ｐｒｉｎｔｅｄ　ｃｉｒｃｕｉｔ、以下、ＦＰＣと記す）もしくはＴＣＰ（Ｔａｐｅ　Ｃａｒｒｉｅｒ　Ｐａｃｋａｇｅ）等のコネクタが取り付けられたモジュール、ＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）方式もしくはＣＯＦ（Ｃｈｉｐ　Ｏｎ　Ｆｉｌｍ）方式等により集積回路（ＩＣ）が実装されたモジュール等が挙げられる。

［０８３６］

また、本実施の形態の表示装置はタッチパネルとしての機能を有していてもよい。例えば、表示装置には、指などの被検知体の近接または接触を検知できる様々な検知素子（センサ素子ともいえる）を適用することができる。

［０８３７］

センサの方式としては、例えば、静電容量方式、抵抗膜方式、表面弾性波方式、赤外線方式、光学方式、及び、感圧方式が挙げられる。

［０８３８］

静電容量方式としては、例えば、表面型静電容量方式、投影型静電容量方式がある。また、投影型静電容量方式としては、例えば、自己容量方式、相互容量方式がある。相互容量方式を用いると、同時多点検出が可能となるため好ましい。

［０８３９］

タッチパネルとしては、例えば、アウトセル型、オンセル型、及び、インセル型が挙げられる。なお、

インセル型のタッチパネルは、表示素子を支持する基板と対向基板のうち一方または双方に、検知素子を構成する電極が設けられた構成をいう。

［０８４０］

［表示モジュール］

図４３Ａに、表示モジュール１７０の斜視図を示す。表示モジュール１７０は、表示装置６００Ａと、ＦＰＣ２９８と、を有する。なお、表示モジュール１７０が有する表示装置は表示装置６００Ａに限られず、後述する表示装置６００Ｂであってもよい。

［０８４１］

表示モジュール１７０は、基板２９１及び基板２９９を有する。表示モジュール１７０は、表示部２９７を有する。表示部２９７は、表示モジュール１７０における画像を表示する領域であり、後述する画素部２９４に設けられる各画素からの光を視認できる領域である。

［０８４２］

図４３Ｂに、基板２９１側の構成を模式的に示した斜視図を示している。基板２９１上には、回路部２９２と、回路部２９２上の画素回路部２９３と、画素回路部２９３上の画素部２９４と、が積層されている。また、基板２９１上の画素部２９４と重ならない部分に、ＦＰＣ２９８と接続するための端子部２９５が設けられている。端子部２９５と回路部２９２とは、複数の配線により構成される配線部２９６により電気的に接続されている。

［０８４３］

本発明の一態様の半導体装置は、回路部２９２及び画素回路部２９３の一方または双方に適用することができる。

［０８４４］

画素部２９４は、周期的に配列した複数の画素２９４ａを有する。図４３Ｂの右側に、１つの画素２９４ａの拡大図を示している。図４３Ｂでは、１つの画素２９４ａが、赤色の光を呈する副画素１３０Ｒ、緑色の光を呈する副画素１３０Ｇ、及び、青色の光を呈する副画素１３０Ｂを有する例を示す。

［０８４５］

副画素は、表示素子を有する。表示素子としては、様々な素子を用いることができ、例えば、液晶素子及び発光素子が挙げられる。その他、シャッター方式または光干渉方式のＭＥＭＳ（Ｍｉｃｒｏ　Ｅｌｅｃｔｒｏ　Ｍｅｃｈａｎｉｃａｌ　Ｓｙｓｔｅｍｓ）素子、マイクロカプセル方式、電気泳動方式、エレクトロウェッティング方式、または電子粉流体（登録商標）方式等を適用した表示素子などを用いることもできる。また、光源と、量子ドット材料による色変換技術と、を用いたＱＬＥＤ（Ｑｕａｎｔｕｍ－ｄｏｔ　ＬＥＤ）を用いてもよい。

［０８４６］

発光素子としては、例えば、ＬＥＤ（Ｌｉｇｈｔ　Ｅｍｉｔｔｉｎｇ　Ｄｉｏｄｅ）、ＯＬＥＤ（Ｏｒｇａｎｉｃ　ＬＥＤ）、半導体レーザなどの、自発光型の発光素子が挙げられる。ＬＥＤとして、例えば、ミニＬＥＤ、マイクロＬＥＤなどを用いることができる。

［０８４７］

本実施の形態の表示装置における画素の配列に特に限定はなく、様々な方法を適用することができる。画素の配列としては、例えば、ストライプ配列、Ｓストライプ配列、マトリクス配列、デルタ配列、ベイヤー配列、及びペンタイル配列が挙げられる。図４３Ｂでは、画素の配列にストライプ配列が適用された場合を例に示す。

［０８４８］

画素回路部２９３は、周期的に配列した複数の画素回路２９３ａを有する。

［０８４９］

１つの画素回路２９３ａは、１つの画素２９４ａが有する複数の素子の駆動を制御する回路である。１つの画素回路２９３ａは、１つの発光素子の発光を制御する回路が３つ設けられる構成とすることができる。例えば、画素回路２９３ａは、１つの発光素子につき、１つの選択トランジスタと、１つの電流制御用トランジスタ（駆動トランジスタ）と、容量と、を少なくとも有する構成とすることができる。このとき、選択トランジスタのゲートにはゲート信号が、ソースにはソース信号が、それぞれ入力される。これにより、アクティブマトリクス型の表示装置が実現されている。

［０８５０］

回路部２９２は、画素回路部２９３の各画素回路２９３ａを駆動する回路を有する。例えば、ゲート線駆動回路、及び、ソース線駆動回路の一方または双方を有することが好ましい。このほか、演算回路、メモリ回路、及び電源回路等の少なくとも一つを有していてもよい。

［０８５１］

ＦＰＣ２９８は、外部から回路部２９２にビデオ信号または電源電位等を供給するための配線として機能する。また、ＦＰＣ２９８上にＩＣが実装されていてもよい。

［０８５２］

表示モジュール１７０は、画素部２９４の下側に画素回路部２９３及び回路部２９２の一方または双方が重ねて設けられた構成とすることができるため、表示部２９７の開口率（有効表示面積比）を極めて高くすることができる。また、画素２９４ａを極めて高密度に配置することが可能で、表示部２９７の精細度を極めて高くすることができる。

［０８５３］

このような表示モジュール１７０は、極めて高精細であることから、HMDなどのＶＲ向け機器またはメガネ型のＡＲ向け機器に好適に用いることができる。例えば、レンズを通して表示モジュール１７０の表示部を視認する構成の場合であっても、表示モジュール１７０は極めて高精細な表示部２９７を有するためにレンズで表示部を拡大しても画素が視認されず、没入感の高い表示を行うことができる。また、表示モジュール１７０はこれに限られず、比較的小型の表示部を有する電子機器に好適に用いることができる。例えば腕時計などの装着型の電子機器の表示部に好適に用いることができる。

［０８５４］

［表示装置の構成例１］

図４４に、表示装置６００Ａの断面図を示す。表示装置６００Ａは、ＭＭＬ（メタルマスクレス）構造が適用された表示装置の一例である。つまり、表示装置６００Ａは、ファインメタルマスクを用いずに作製された発光素子を有する。

［０８５５］

ＭＭＬ構造が適用された表示装置が有する発光素子における島状の発光層は、発光層を一面に成膜した後、フォトリソグラフィ法を用いて加工することで形成される。したがって、これまで実現が困難であった高精細の表示装置または高開口率の表示装置を実現することができる。さらに、発光層を各色で作り分けることができるため、極めて鮮やかでコントラストが高く、表示品位の高い表示装置を実現できる。例えば、表示装置が、青色の光を発する発光素子、緑色の光を発する発光素子、及び赤色の光を発する発光素子の３種類で構成される場合、発光層の成膜、及び、フォトリソグラフィによ

る加工を３回繰り返すことで、３種類の島状の発光層を形成することができる。

［０８５６］

ＭＭＬ構造のデバイスは、メタルマスクを用いることなく製造することができるため、メタルマスクの合わせ精度に起因する精細度の上限を超えることができる。また、メタルマスクを用いずにデバイスを作製する場合、メタルマスクの製造に係る設備、及び、メタルマスクの洗浄工程を不要にすることができる。また、フォトリソグラフィによる加工には、トランジスタを作製する際に用いる装置と共通または同様の装置を用いることができるため、ＭＭＬ構造のデバイスを作製するために特別な装置を導入する必要はない。このように、ＭＭＬ構造は、製造コストを低く抑えることが可能となるため、デバイスの大量生産に適している。

［０８５７］

ＭＭＬ構造が適用された表示装置では、例えば、ペンタイル配列などの特殊な画素配列を適用し疑似的に精細度を高める必要がないため、Ｒ、Ｇ、Ｂの副画素をそれぞれ一方向に配列させた、いわゆるストライプ配列で、かつ、高精細（例えば５００ｐｐｉ以上、１０００ｐｐｉ以上、２０００ｐｐｉ以上、３０００ｐｐｉ以上、または５０００ｐｐｉ以上）の表示装置を実現することができる。

［０８５８］

また、発光層上に犠牲層を設けることで、表示装置の作製工程中に発光層が受けるダメージを低減し、発光素子の信頼性を高めることができる。なお、犠牲層は、完成した表示装置に残存していてもよく、作製工程中に除去されていてもよい。例えば、図４４及び図４５に示す犠牲層６１８ａは、発光層上に設けられていた犠牲層の一部である。

［０８５９］

また、エリアマスクを用いた成膜工程と、レジストマスクを用いた加工工程と、を採用することで、比較的簡単なプロセスにて発光素子を作製することができる。

［０８６０］

図４４に示す表示装置６００Ａは、本発明の一態様の表示装置（半導体装置）の断面概略図である。表示装置６００Ａは、基板４１０上に画素回路、駆動回路などが設けられた構成となっている。なお、図４４の表示装置６００Ａでは、素子層６２０、素子層６３０、及び素子層６６０に加えて、配線層６７０についても図示している。配線層６７０は、配線が設けられる層である。

［０８６１］

素子層６３０には、表示装置の画素回路が設けられることが好ましい。素子層６２０には、表示装置の駆動回路（ゲートドライバ及びソースドライバのうち一方または双方）が設けられることが好ましい。また、素子層６２０には、演算回路、記憶回路などの各種回路が１種以上設けられていてもよい。

［０８６２］

素子層６２０は、一例として、基板４１０を有し、基板４１０上には、トランジスタ４００ｄが形成されている。また、トランジスタ４００ｄの上方には、配線層６７０が設けられており、配線層６７０には、トランジスタ４００ｄを、素子層６３０に設けられた導電層またはトランジスタなど（図４４では導電層５１４）と電気的に接続する配線が設けられている。また、配線層６７０の上方には、素子層６３０、及び素子層６６０が設けられており、素子層６３０は、一例として、トランジスタＭＴＣＫなどを有する。素子層６６０は、発光素子６５０（図４４では、発光素子６５０Ｒ、発光素子６５０Ｇ、及び発光素子６５０Ｂ）などを有する。

［０８６３］

トランジスタ４００ｄは、素子層６２０に含まれているトランジスタの一例である。また、トランジスタＭＴＣＫは、素子層６３０に含まれるトランジスタの一例である。また、発光素子（発光素子６５０Ｒ、発光素子６５０Ｇ、及び発光素子６５０Ｂ）は、素子層６６０に含まれる発光素子の一例である。

［０８６４］

基板４１０には、例えば、半導体基板（例えば、シリコンまたはゲルマニウムを材料とした単結晶基板）を用いることができる。また、基板４１０には、半導体基板以外としては、例えば、ＳＯＩ（Ｓｉｌｉｃｏｎ　Ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板、ガラス基板、石英基板、プラスチック基板、サファイアガラス基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、または基材フィルムを用いることができる。なお、本実施の形態では、基板４１０は、シリコンを材料として有する半導体基板として説明する。そのため、素子層６２０に含まれるトランジスタは、Ｓｉトランジスタとすることができる。

［０８６５］

トランジスタ４００ｄは、素子分離層４１２と、導電層４１６と、絶縁層４１５と、絶縁層４１７と、基板４１０の一部からなる半導体領域４１３と、ソース領域またはドレイン領域として機能する低抵抗領域４１４ａ及び低抵抗領域４１４ｂと、を有する。このため、トランジスタ４００ｄは、Ｓｉトランジスタとなっている。なお、図４４では、トランジスタ４００ｄのソースまたはドレインの一方が、導電層４２８、導電層４３０、及び、導電層４５６を介して、素子層６３０に設けられた導電層５１４と電気的に接続されている構成を示しているが、本発明の一態様の表示装置の電気的な接続構成は、これに限定されない。

［０８６６］

トランジスタ４００ｄは、例えば、半導体領域４１３の上面及びチャネル幅方向の側面が、ゲート絶縁層として機能する絶縁層４１５を介して導電層４１６に覆われる構成にすることによって、Ｆｉｎ型にすることができる。トランジスタ４００ｄをＦｉｎ型にすることにより、実効上のチャネル幅が増大することができ、トランジスタ４００ｄのオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ４００ｄのオフ特性を向上させることができる。また、トランジスタ４００ｄは、Ｆｉｎ型でなくプレーナ型としてもよい。

［０８６７］

なお、トランジスタ４００ｄは、ｐチャネル型、あるいはｎチャネル型のいずれでもよい。またはトランジスタ４００ｄを複数設け、ｐチャネル型、及びｎチャネル型の双方を用いてもよい。

［０８６８］

半導体領域４１３のチャネルが形成される領域と、その近傍の領域と、ソース領域またはドレイン領域となる低抵抗領域４１４ａ及び低抵抗領域４１４ｂと、には、シリコン系半導体を含むことが好ましく、具体的には、単結晶シリコンを含むことが好ましい。または、前述した各領域は、例えば、ゲルマニウム、シリコンゲルマニウム、ヒ化ガリウム、ヒ化アルミニウムガリウム、または窒化ガリウムを用いて形成されてもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。または、トランジスタ４００ｄは、例えば、ヒ化ガリウムとヒ化アルミニウムガリウムを用いたＨＥＭＴ（Ｈｉｇｈ　Ｅｌｅｃｔｒｏｎ　Ｍｏｂｉｌｉｔｙ　Ｔｒａｎｓｉｓｔｏｒ）としてもよい。

［０８６９］

ゲート電極として機能する導電層４１６には、ヒ素、またはリンといったｎ型の導電性を付与する元素、もしくはホウ素またはアルミニウムといったｐ型の導電性を付与する元素を含むシリコンなどの半導体材料を用いることができる。または、導電層４１６には、例えば、金属材料、合金材料、または金属酸化物材料といった導電性材料を用いることができる。

［０８７０］

なお、導電層の材料によって仕事関数が決まるため、当該導電層の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電層に窒化チタン、及び窒化タンタルの一方または双方の材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電層にタングステン及びアルミニウムの一方または双方の金属材料を積層として用いることが好ましく、特にタングステンを用いることが耐熱性の点で好ましい。

［０８７１］

素子分離層４１２は、基板４１０上に形成されている複数のトランジスタ同士を分離するために設けられている。素子分離層は、例えば、ＬＯＣＯＳ（Ｌｏｃａｌ　Ｏｘｉｄａｔｉｏｎ　ｏｆ　Ｓｉｌｉｃｏｎ）法、ＳＴＩ（Ｓｈａｌｌｏｗ　Ｔｒｅｎｃｈ　Ｉｓｏｌａｔｉｏｎ）法、またはメサ分離法を用いて形成することができる。

［０８７２］

図４４に示すトランジスタ４００ｄ上には、絶縁層４２０及び絶縁層４２２が、基板４１０側から順に積層して設けられている。

［０８７３］

絶縁層４２０及び絶縁層４２２として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、及び窒化アルミニウムから選ばれた一以上を用いることができる。

［０８７４］

絶縁層４２２は、絶縁層４２０及び絶縁層４２２に覆われているトランジスタ４００ｄなどによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁層４２２の上面は、平坦性を高めるためにＣＭＰ法等を用いた平坦化処理により平坦化されていてもよい。

［０８７５］

絶縁層４２０及び絶縁層４２２には、絶縁層４２２より上方に設けられているトランジスタＭＴＣＫなどと接続する導電層４２８が埋め込まれている。なお、導電層４２８は、プラグまたは配線としての機能を有する。

［０８７６］

表示装置６００Ａでは、トランジスタ４００ｄ上に配線層６７０が設けられている。配線層６７０は、例えば、絶縁層４２４と、絶縁層４２６と、導電層４３０と、絶縁層４５０と、絶縁層４５２と、絶縁層４５４と、導電層４５６と、を有する。

［０８７７］

絶縁層４２２上及び導電層４２８上には、絶縁層４２４と絶縁層４２６とが順に積層して設けられている。また、導電層４２８に重なる領域において、絶縁層４２４と絶縁層４２６とには、開口部が形成されている。また、当該開口部には導電層４３０が埋め込まれている。

［０８７８］

また、絶縁層４２６上、及び導電層４３０上には、絶縁層４５０と絶縁層４５２と絶縁層４５４とが順に積層して設けられている。また、導電層４３０に重なる領域において、絶縁層４５０と絶縁層４５２と絶縁層４５４とには、開口部が形成されている。また、当該開口部には導電層４５６が埋め込まれている。

［０８７９］

導電層４３０及び導電層４５６は、トランジスタ４００ｄと接続するプラグまたは配線としての機能を有する。

［０８８０］

なお、例えば、絶縁層４２４及び絶縁層４５０は、後述する絶縁層５９２と同様に、水素、酸素、及び水から選ばれた一以上に対するバリア性を有する絶縁層を用いることが好ましい。また、絶縁層４２６、絶縁層４５２、及び絶縁層４５４としては、後述する絶縁層５９４と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁層を用いることが好ましい。また、絶縁層４２６、絶縁層４５２、及び絶縁層４５４は、層間絶縁膜及び平坦化膜としての機能を有する。

［０８８１］

また、導電層４５６は、水素、酸素、及び水から選ばれた一以上に対するバリア性を有する導電層を含むことが好ましい。

［０８８２］

なお、水素に対するバリア性を有する導電層としては、例えば、窒化タンタルを用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ４００ｄからの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁層４５０と接する構造であることが好ましい。

［０８８３］

また、絶縁層４５４及び導電層４５６の上方には、絶縁層５１３が設けられている。また、絶縁層５１３上には、絶縁層ＩＳ１が設けられている。また、絶縁層ＩＳ１及び絶縁層５１３には、プラグまたは配線として機能する導電層が埋め込まれている。これにより、トランジスタ４００ｄを、素子層６３０に設けられた導電層５１４と電気的に接続することができる。または、トランジスタＭＴＣＫのソースまたはドレインの一方とトランジスタ４００ｄのソースまたはドレインの一方とを電気的に接続してもよい。

［０８８４］

絶縁層ＩＳ１上には、トランジスタＭＴＣＫが設けられている。また、トランジスタＭＴＣＫ上には、絶縁層ＩＳ４、絶縁層５７４、及び絶縁層５８１がこの順に積層して設けられている。また、絶縁層ＩＳ３と絶縁層ＩＳ４と絶縁層５７４と絶縁層５８１とには、プラグまたは配線として機能する導電層ＭＰＧが埋め込まれている。図４４において破線で囲った領域の拡大図に示すように、導電層ＭＰＧは、絶縁層２５０、及び、酸化物半導体層２３０に設けられた開口部を介して、導電層２４０と直接接することが好ましい。導電層ＭＰＧと導電層２４０とが直接接するとコンタクト抵抗を低減でき、好ましい。または、導電層ＭＰＧと酸化物半導体層２３０が接し、導電層ＭＰＧと導電層２４０とが酸化物半導体層２３０を介して電気的に接続してもよい。

［０８８５］

絶縁層５７４は、水及び水素（例えば、水素原子及び水素分子の一方または双方）といった不純物の

拡散を抑制する機能を有することが好ましい。つまり、絶縁層５７４は、当該不純物がトランジスタＭＴＣＫに混入することを抑制するバリア絶縁膜として機能することが好ましい。また、絶縁層５７４は、酸素（例えば、酸素原子及び酸素分子の一方または双方）の拡散を抑制する機能を有することが好ましい。例えば、絶縁層５７４は、絶縁層ＩＳ２、絶縁層ＩＳ３、及び絶縁層ＩＳ４のそれぞれより酸素透過性が低いことが好ましい。

［０８８６］

そのため、絶縁層５７４は、水及び水素といった不純物の拡散を抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁層５７４は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（例えば、N_2O、ＮＯ、及びNO_2）、及び銅原子といった不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、及び酸素分子の一方または双方）の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。

［０８８７］

水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁層には、実施の形態３で例示した、不純物及び酸素の透過を抑制する機能を有する絶縁層に用いることができる材料を適用できる。

［０８８８］

特に、絶縁層５７４には、酸化アルミニウム、または窒化シリコンを用いることが好ましい。これにより、水及び水素といった不純物が絶縁層５７４の上方からトランジスタＭＴＣＫに拡散することを抑制できる。または、絶縁層ＩＳ３等に含まれる酸素が、絶縁層５７４の上方に、拡散することを抑制できる。

［０８８９］

絶縁層５８１は、層間膜として機能する膜であって、絶縁層５７４よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁層５８１の比誘電率は４未満が好ましく、３未満がより好ましい。また例えば、絶縁層５８１の比誘電率は、絶縁層５７４の比誘電率の、０．７倍以下が好ましく、０．６倍以下がより好ましい。絶縁層５８１に誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。

［０８９０］

また、絶縁層５８１は、膜中の水及び水素といった不純物の濃度が低減されていることが好ましい。この場合、絶縁層５８１には、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、または窒化シリコンを用いることができる。また、絶縁層５８１には、例えば、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素と窒素を添加した酸化シリコン、または空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、及び空孔を有する酸化シリコンといった材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。また、絶縁層５８１には、樹脂を用いることができる。また、絶縁層５８１に適用できる材料は、前述した材料を適宜組み合わせたものとしてもよい。

［０８９１］

絶縁層５７４上及び絶縁層５８１上には、絶縁層５９２、及び絶縁層５９４がこの順に積層して設け

られている。

［０８９２］

また、絶縁層５９２には、基板４１０、トランジスタＭＴＣＫから、絶縁層５９２より上方の領域（例えば、発光素子６５０Ｒ、発光素子６５０Ｇ、及び発光素子６５０Ｂなどが設けられている領域）に、水、及び水素といった不純物が拡散しないようなバリア絶縁層を用いることが好ましい。したがって、絶縁層５９２は、水素原子、水素分子、及び水分子といった不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を用いることが好ましい。また、状況によっては、絶縁層５９２は、窒素原子、窒素分子、酸化窒素分子（例えば、N_2O、ＮＯ、及びNO_2）、及び銅原子といった不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、及び酸素分子の一方または双方）の拡散を抑制する機能を有することが好ましい。

［０８９３］

水素に対するバリア性を有する膜の一例として、ＣＶＤ法で形成した窒化シリコンを用いることができる。

［０８９４］

絶縁層５９４は、絶縁層５８１と同様に、誘電率が低い層間膜とすることが好ましい。このため、絶縁層５９４には、絶縁層５８１に適用できる材料を用いることができる。

［０８９５］

なお、絶縁層５９４は、絶縁層５９２よりも誘電率が低いことが好ましい。例えば、絶縁層５９４の比誘電率は４未満が好ましく、３未満がより好ましい。また例えば、絶縁層５９４の比誘電率は、絶縁層５９２の比誘電率の、０．７倍以下が好ましく、０．６倍以下がより好ましい。絶縁層５９４に誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。

［０８９６］

また、絶縁層ＩＳ３、絶縁層ＩＳ４、絶縁層５７４、及び絶縁層５８１には、プラグまたは配線として機能する導電層ＭＰＧが埋め込まれ、絶縁層５９２及び絶縁層５９４には、プラグまたは配線として機能する導電層５９６が埋め込まれている。特に、導電層ＭＰＧ及び導電層５９６は、絶縁層５９４より上方に設けられている発光素子などと電気的に接続されている。また、プラグまたは配線としての機能を有する導電層は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電層の一部が配線として機能する場合、及び導電層の一部がプラグとして機能する場合もある。

［０８９７］

各プラグ、及び配線（例えば、導電層ＭＰＧ、導電層４２８、導電層４３０、導電層４５６、導電層５１４、及び導電層５９６）の材料としては、金属材料、合金材料、金属窒化物材料、及び金属酸化物材料から選ばれた一以上の導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステン、またはモリブデンといった高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウム、または銅といった低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

［０８９８］

絶縁層５９４上及び導電層５９６上には、絶縁層５９８及び絶縁層５９９が順に形成されている。

［０８９９］

絶縁層５９８は、一例として、絶縁層５９２と同様に、水素、酸素、及び水から選ばれた一以上に対するバリア性を有する絶縁層を用いることが好ましい。また、絶縁層５９９としては、絶縁層５９４と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁層を用いることが好ましい。また、絶縁層５９９は、層間絶縁膜及び平坦化膜としての機能を有する。

［０９００］

絶縁層５９９上には、発光素子６５０及び接続部６４０が形成されている。

［０９０１］

接続部６４０は、カソードコンタクト部と呼ばれる場合があり、発光素子６５０Ｒ、発光素子６５０Ｇ、及び発光素子６５０Ｂのそれぞれのカソード電極に電気的に接続されている。図４４に示す接続部６４０では、導電層６１１ａ乃至導電層６１１ｃと同一の工程、同一の材料で形成された導電層が、後述する共通電極６１５と、電気的に接続されている。なお、図４４では、当該導電層が、後述する共通層６１４を介して、共通電極６１５と電気的に接続される例を示すが、当該導電層と共通電極６１５とが直接接していてもよい。

［０９０２］

なお、接続部６４０は、平面視において表示部の四辺を囲むように設けられてもよく、または、表示部内（例えば、隣り合う発光素子６５０同士の間）に設けられてもよい（図示しない）。

［０９０３］

発光素子６５０Ｒは、画素電極として、導電層６１１ａを有する。同様に、発光素子６５０Ｇは、画素電極として、導電層６１１ｂを有し、発光素子６５０Ｂは、画素電極として、導電層６１１ｃを有する。

［０９０４］

導電層６１１ａ、導電層６１１ｂ、導電層６１１ｃは、それぞれ、絶縁層５９９に埋め込まれた導電層（プラグ）を介して、絶縁層５９４に埋め込まれている導電層５９６と接続されている。

［０９０５］

発光素子６５０Ｒは、層６１３ａと、層６１３ａ上の共通層６１４と、共通層６１４上の共通電極６１５と、を有する。また、発光素子６５０Ｇは、層６１３ｂと、層６１３ｂ上の共通層６１４と、共通層６１４上の共通電極６１５と、を有する。また、発光素子６５０Ｂは、層６１３ｃと、層６１３ｃ上の共通層６１４と、共通層６１４上の共通電極６１５と、を有する。

［０９０６］

発光素子の一対の電極（画素電極及び共通電極）を形成する材料としては、金属、合金、電気伝導性化合物、及びこれらの混合物などを適宜用いることができる。当該材料としては、具体的には、アルミニウム、マグネシウム、チタン、クロム、マンガン、鉄、コバルト、ニッケル、銅、ガリウム、亜鉛、インジウム、スズ、モリブデン、タンタル、タングステン、パラジウム、金、白金、銀、イットリウム、ネオジムなどの金属、及びこれらを適宜組み合わせて含む合金が挙げられる。また、当該材料としては、インジウムスズ酸化物（Ｉｎ－Ｓｎ酸化物、ＩＴＯともいう）、Ｉｎ－Ｓｉ－Ｓｎ酸化物（ＩＴＳＯともいう）、インジウム亜鉛酸化物（Ｉｎ－Ｚｎ酸化物）、及びＩｎ－Ｗ－Ｚｎ酸化物などを挙げることができる。また、当該材料としては、アルミニウム、ニッケル、及びランタンの合金（Ａｌ－Ｎｉ－Ｌａ）等のアルミニウムを含む合金（アルミニウム合金）、並びに、銀とマグネシウムの合金、及び、銀とパラジウムと銅の合金（Ａｇ－Ｐｄ－Ｃｕ、ＡＰＣとも記す）等の銀を含む合金が挙げられる。その他、当該材料としては、上記例示のない元素周期表の第１族または第２族に属

する元素（例えば、リチウム、セシウム、カルシウム、ストロンチウム）、ユウロピウム、イッテルビウムなどの希土類金属及びこれらを適宜組み合わせて含む合金、グラフェン等が挙げられる。

［０９０７］

表示装置６００Ａには、ＳＢＳ構造が適用されている。ＳＢＳ構造は、発光素子ごとに材料及び構成を最適化することができるため、材料及び構成の選択の自由度が高まり、輝度の向上及び信頼性の向上を図ることが容易となる。

［０９０８］

また、表示装置６００Ａは、トップエミッション型である。トップエミッション型は、トランジスタ等を発光素子の発光領域と重ねて配置できるため、ボトムエミッション型に比べて画素の開口率を高めることができる。

［０９０９］

なお、層６１３ａは、導電層６１１ａの上面及び側面を覆うように形成されている。同様に、層６１３ｂは、導電層６１１ｂの上面及び側面を覆うように形成されている。また、同様に、層６１３ｃは、導電層６１１ｃの上面及び側面を覆うように形成されている。したがって、導電層６１１ａ、導電層６１１ｂ、及び導電層６１１ｃが設けられている領域全体を、発光素子６５０Ｒ、発光素子６５０Ｇ、及び発光素子６５０Ｂの発光領域として用いることができるため、画素の開口率を高めることができる。

［０９１０］

発光素子６５０Ｒにおいて、層６１３ａと共通層６１４をまとめてＥＬ層と呼ぶことができる。また、同様に、発光素子６５０Ｇにおいて、層６１３ｂと共通層６１４をまとめてＥＬ層と呼ぶこともできる。また、同様に、発光素子６５０Ｂにおいて、層６１３ｃと共通層６１４をまとめてＥＬ層と呼ぶことができる。

［０９１１］

ＥＬ層は、少なくとも発光層を有する。発光層は、１種または複数種の発光物質を有する。発光物質としては、青色、紫色、青紫色、緑色、黄緑色、黄色、橙色、または赤色などの発光色の光を呈する物質を適宜用いる。また、発光物質として、近赤外光を発する物質を用いることもできる。

［０９１２］

発光素子が有する発光物質としては、例えば、蛍光を発する物質（蛍光材料）、燐光を発する物質（燐光材料）、熱活性化遅延蛍光を示す物質（熱活性化遅延蛍光（Ｔｈｅｒｍａｌｌｙ　ａｃｔｉｖａｔｅｄ　ｄｅｌａｙｅｄ　ｆｌｕｏｒｅｓｃｅｎｃｅ：ＴＡＤＦ）材料）、及び、無機化合物（量子ドット材料等）が挙げられる。

［０９１３］

発光層は、発光物質（ゲスト材料）に加えて、１種または複数種の有機化合物（ホスト材料、アシスト材料等）を有していてもよい。１種または複数種の有機化合物としては、正孔輸送性の高い物質（正孔輸送性材料）及び電子輸送性の高い物質（電子輸送性材料）の一方または双方を用いることができる。また、１種または複数種の有機化合物として、バイポーラ性の物質（電子輸送性及び正孔輸送性が高い物質）、またはＴＡＤＦ材料を用いてもよい。

［０９１４］

ＥＬ層は、発光層の他に、正孔注入性の高い物質を含む層（正孔注入層）、正孔輸送性材料を含む層（正孔輸送層）、電子ブロック性の高い物質を含む層（電子ブロック層）、電子注入性の高い物質を含

む層（電子注入層）、電子輸送性材料を含む層（電子輸送層）、及び、正孔ブロック性の高い物質を含む層（正孔ブロック層）のうち一つまたは複数を有することができる。その他、ＥＬ層は、バイポーラ性の物質及びＴＡＤＦ材料の一方または双方を含んでいてもよい。

［０９１５］

発光素子には低分子化合物及び高分子化合物のいずれを用いることもでき、無機化合物を含んでいてもよい。発光素子を構成する層は、それぞれ、蒸着法（真空蒸着法を含む）、転写法、印刷法、インクジェット法、塗布法等の方法で形成することができる。

［０９１６］

発光素子には、シングル構造（発光ユニットを１つだけ有する構造）を適用してもよく、タンデム構造（発光ユニットを複数有する構造）を適用してもよい。発光ユニットは、少なくとも１層の発光層を有する。タンデム構造は、複数の発光ユニットが電荷発生層を介して直列に接続された構成である。電荷発生層は、一対の電極間に電圧を印加したときに、２つの発光ユニットの一方に電子を注入し、他方に正孔を注入する機能を有する。タンデム構造とすることで、高輝度発光が可能な発光素子とすることができる。また、タンデム構造は、シングル構造と比べて、同じ輝度を得るために必要な電流を低減できるため、信頼性を高めることができる。なお、タンデム構造をスタック構造と呼ぶことができる。

［０９１７］

また、発光素子にマイクロキャビティ構造を付与することにより色純度を高めることができる。

［０９１８］

層６１３ａ、層６１３ｂ、及び層６１３ｃは、フォトリソグラフィ法により島状に加工されている。そのため、層６１３ａ、層６１３ｂ、及び層６１３ｃは、それぞれその端部において、上面と側面との成す角が９０度に近い形状となる。一方、例えば、ＦＭＭ（Ｆｉｎｅ　Ｍｅｔａｌ　Ｍａｓｋ）を用いて形成された有機膜は、その厚さが端部に近いほど徐々に薄くなる傾向があり、例えば端部まで１μｍ以上１０μｍ以下の範囲にわたって、上面がスロープ状に形成されるため、上面と側面の区別が困難な形状となる。

［０９１９］

層６１３ａ、層６１３ｂ、及び層６１３ｃは、上面と側面の区別が明瞭となる。これにより、隣接する層６１３ａと層６１３ｂにおいて、層６１３ａの側面の一と、層６１３ｂの側面の一は、互いに対向して配置される。これは、層６１３ａ、層６１３ｂ、及び層６１３ｃのうちいずれの組み合わせにおいても同様である。

［０９２０］

層６１３ａ、層６１３ｂ、及び層６１３ｃは、少なくとも発光層を有する。例えば、層６１３ａが、赤色の光を発する発光層を有し、層６１３ｂが緑色の光を発する発光層を有し、層６１３ｃが、青色の光を発する発光層を有する構成であると好ましい。また、それぞれの発光層は、上記以外の色としては、シアン、マゼンタ、黄、または白を適用することができる。

［０９２１］

層６１３ａ、層６１３ｂ、及び層６１３ｃは、発光層と、発光層上のキャリア輸送層（電子輸送層または正孔輸送層）と、を有することが好ましい。層６１３ａ、層６１３ｂ、及び層６１３ｃの表面は、表示装置の作製工程中に露出する場合があるため、キャリア輸送層を発光層上に設けることで、発光層が最表面に露出することを抑制し、発光層が受けるダメージを低減することができる。これにより、

発光素子の信頼性を高めることができる。

［０９２２］

共通層６１４は、例えば電子注入層、または正孔注入層を有する。または、共通層６１４は、電子輸送層と電子注入層とを積層して有していてもよく、正孔輸送層と正孔注入層とを積層して有していてもよい。共通層６１４は、発光素子６５０Ｒ、発光素子６５０Ｇ、及び発光素子６５０Ｂで共有されている。なお、共通層６１４は設けられていなくてもよく、発光素子が有するＥＬ層全体が、層６１３ａ、層６１３ｂ、及び層６１３ｃのように、島状に設けられていてもよい。

［０９２３］

また、共通電極６１５は、発光素子６５０Ｒ、発光素子６５０Ｇ、及び発光素子６５０Ｂで共有されている。また、図４４に示すように、複数の発光素子が共通して有する共通電極６１５は、接続部６４０に含まれている導電層に電気的に接続される。

［０９２４］

絶縁層６２５は、水及び酸素の一方または双方に対するバリア絶縁層としての機能を有することが好ましい。また、絶縁層６２５は、水及び酸素の一方または双方の拡散を抑制する機能を有することが好ましい。また、絶縁層６２５は、水及び酸素の一方または双方を捕獲する機能、または固着する（ゲッタリングともいう）機能を有することが好ましい。絶縁層６２５が、これらの機能のうち少なくとも一つを有することで、外部から各発光素子に拡散しうる不純物（代表的には、水及び酸素の一方または双方）の侵入を抑制することが可能な構成となる。当該構成とすることで、信頼性の高い発光素子、さらには、信頼性の高い表示装置を提供することができる。

［０９２５］

絶縁層６２５としては、前述の酸素に対するバリア絶縁層を用いることができ、酸化アルミニウムまたは窒化シリコンを用いることが好ましい。

［０９２６］

また、絶縁層６２５は、不純物濃度が低いことが好ましい。これにより、絶縁層６２５からＥＬ層に不純物が混入し、ＥＬ層が劣化することを抑制することができる。また、絶縁層６２５において、不純物濃度を低くすることで、水及び酸素の一方または双方に対するバリア性を高めることができる。例えば、絶縁層６２５は、水素濃度及び炭素濃度の一方、好ましくは双方が十分に低いことが望ましい。

［０９２７］

絶縁層６２７としては、有機材料を有する絶縁層を好適に用いることができる。有機材料としては、感光性の樹脂を用いることが好ましく、例えば、アクリル樹脂を含む感光性の樹脂組成物を用いることが好ましい。なお、本明細書などにおいて、アクリル樹脂とは、ポリメタクリル酸エステル、またはメタクリル樹脂だけを指すものではなく、広義のアクリル系ポリマー全体を指す場合がある。

［０９２８］

絶縁層６２７に用いることができる有機材料は上記に限られるものではない。例えば、絶縁層６２７には、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シリコーン樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、またはこれら樹脂の前駆体を適用することができる場合がある。また、絶縁層６２７として、ポリビニルアルコール（ＰＶＡ）、ポリビニルブチラール（ＰＶＢ）、ポリビニルピロリドン、ポリエチレングリコール、ポリグリセリン、プルラン、水溶性のセルロース、またはアルコール可溶性のポリアミド樹脂といった有機

材料を適用することができる場合がある。また、絶縁層６２７には、例えば、感光性の樹脂として、フォトレジストを用いることができる場合がある。なお、感光性の樹脂としては、ポジ型の材料、またはネガ型の材料が挙げられる。

［０９２９］

絶縁層６２７には可視光を吸収する材料を用いてもよい。絶縁層６２７が発光素子からの発光を吸収することで、発光素子から絶縁層６２７を介して隣接する発光素子に光が漏れること（迷光）を抑制することができる。これにより、表示装置の表示品位を高めることができる。また、表示装置に偏光板を用いなくても、表示品位を高めることができるため、表示装置の軽量化及び薄型化を図ることができる。

［０９３０］

可視光を吸収する材料としては、黒色などの顔料を含む材料、染料を含む材料、光吸収性を有する樹脂材料（例えば、ポリイミド）、及び、カラーフィルタに用いることのできる樹脂材料（カラーフィルタ材料）が挙げられる。特に、２色、または３色以上のカラーフィルタ材料を積層または混合した樹脂材料を用いると、可視光の遮蔽効果を高めることができるため好ましい。特に３色以上のカラーフィルタ材料を混合させることで、黒色または黒色近傍の樹脂層とすることが可能となる。

［０９３１］

絶縁層６２７は、例えば、スピンコート、ディップ、スプレー塗布、インクジェット、ディスペンス、スクリーン印刷、オフセット印刷、ドクターナイフ法、スリットコート、ロールコート、カーテンコート、またはナイフコートといった湿式の成膜方法を用いて形成することができる。特に、スピンコートにより、絶縁層６２７となる有機絶縁膜を形成することが好ましい。

［０９３２］

絶縁層６２７は、ＥＬ層の耐熱温度よりも低い温度で形成する。絶縁層６２７を形成する際の基板温度としては、代表的には、室温以上であり、かつ、２００℃以下、好ましくは１８０℃以下、より好ましくは１６０℃以下、より好ましくは１５０℃以下、より好ましくは１４０℃以下である。

［０９３３］

なお、絶縁層６２７は、側面にテーパ形状を有していることが好ましい。絶縁層６２７の側面端部を順テーパ形状（９０度未満であり、６０度以下が好ましく、４５度以下がより好ましい）にすることで、絶縁層６２７の側面端部上に設けられる、共通層６１４及び共通電極６１５に、段切れ、または局所的な薄膜化などを生じさせることなく、被覆性良く成膜することができる。これにより、共通層６１４及び共通電極６１５の面内均一性を向上させることができ、表示装置の表示品位を向上させることができる。

［０９３４］

また、表示装置の断面視において、絶縁層６２７の上面は凸曲面形状を有することが好ましい。絶縁層６２７の上面の凸曲面形状は、中心に向かってなだらかに膨らんだ形状であることが好ましい。絶縁層６２７をこのような形状にすることで、絶縁層６２７上全体で、共通層６１４及び共通電極６１５を被覆性良く成膜することができる。

［０９３５］

また、絶縁層６２７は、二つのＥＬ層の間の領域（例えば、層６１３ａと層６１３ｂとの間の領域）に形成される。このとき、絶縁層６２７の一部が、一方のＥＬ層（例えば、層６１３ａ）の側面端部と、もう一方のＥＬ層（例えば、層６１３ｂ）の側面端部に挟まれる位置に配置されることになる。

［０９３６］

また、絶縁層６２７の一方の端部が画素電極として機能する導電層６１１ａと重なり、絶縁層６２７の他方の端部が画素電極として機能する導電層６１１ｂと重なることが好ましい。このような構造にすることで、絶縁層６２７の端部を層６１３ａ（層６１３ｂ）の平坦または概略平坦な領域の上に形成することができる。よって、絶縁層６２７のテーパ形状を、上記の通り加工することが比較的容易になる。

［０９３７］

以上のように、絶縁層６２７などを設けることにより、層６１３ａの平坦または概略平坦な領域から層６１３ｂの平坦または概略平坦な領域まで、共通層６１４及び共通電極６１５に段切れ箇所、及び局所的に膜厚が薄い箇所が形成されることを防止できる。よって、各発光素子間において、共通層６１４及び共通電極６１５に、段切れ箇所に起因する接続不良、及び局所的に膜厚が薄い箇所に起因する電気抵抗の上昇が発生することを抑制できる。

［０９３８］

本実施の形態の表示装置は、発光素子間の距離を狭くすることができる。具体的には、発光素子間の距離、ＥＬ層間の距離、または画素電極間の距離を、１０μｍ未満、８μｍ以下、５μｍ以下、３μｍ以下、２μｍ以下、１μｍ以下、５００ｎｍ以下、２００ｎｍ以下、１００ｎｍ以下、９０ｎｍ以下、７０ｎｍ以下、５０ｎｍ以下、３０ｎｍ以下、２０ｎｍ以下、１５ｎｍ以下、または１０ｎｍ以下とすることができる。別言すると、本実施の形態の表示装置は、隣接する２つの島状のＥＬ層の間隔が１μｍ以下の領域を有し、好ましくは０．５μｍ（５００ｎｍ）以下の領域を有し、さらに好ましくは１００ｎｍ以下の領域を有する。このように、各発光素子間の距離を狭めることで、高い精細度と、大きな開口率を有する表示装置を提供することができる。

［０９３９］

発光素子６５０上には、保護層６３１が設けられている。保護層６３１は、発光素子６５０を保護するパッシベーション膜として機能する膜である。発光素子を覆う保護層６３１を設けることで、発光素子に水及び酸素といった不純物が入り込むことを抑制し、発光素子６５０の信頼性を高めることができる。保護層６３１は、少なくとも無機絶縁膜を含む単層構造または積層構造とすることが好ましい。無機絶縁膜としては、例えば、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、酸化ハフニウム膜などの酸化物膜または窒化物膜が挙げられる。または、保護層６３１としてインジウムガリウム酸化物、インジウムガリウム亜鉛酸化物（ＩＧＺＯ）などの半導体材料を用いてもよい。なお、保護層６３１は、ＡＬＤ法、ＣＶＤ法、及びスパッタリング法などを用いて形成できる。なお、保護層６３１として、無機絶縁膜を含む構成について例示したがこれに限定されない。例えば、保護層６３１として、無機絶縁膜と、有機絶縁膜との積層構造としてもよい。

［０９４０］

保護層６３１と、基板６１０と、は接着層６０７を介して接着されている。発光素子の封止には、固体封止構造または中空封止構造などが適用できる。図４４では、基板４１０と基板６１０との間の空間が、接着層６０７で充填されており、固体封止構造が適用されている。または、当該空間を不活性ガス（窒素またはアルゴンなど）で充填し、中空封止構造を適用してもよい。このとき、接着層６０７は、発光素子と重ならないように設けられていてもよい。また、当該空間を、枠状に設けられた接着層６０７とは異なる樹脂で充填してもよい。

［０９４１］

接着層６０７には、紫外線硬化型の光硬化型接着剤、反応硬化型接着剤、または熱硬化型接着剤、嫌気型接着剤といった各種硬化型接着剤を用いることができる。これら接着剤としては、例えば、エポキシ樹脂、アクリル樹脂、シリコーン樹脂、フェノール樹脂、ポリイミド樹脂、ＰＶＣ（ポリビニルクロライド）樹脂、ＰＶＢ（ポリビニルブチラール）樹脂、ＥＶＡ（エチレンビニルアセテート）樹脂が挙げられる。特に、エポキシ樹脂などの透湿性が低い材料が好ましい。また、二液混合型の樹脂を用いてもよい。また、接着シートを用いてもよい。

［０９４２］

表示装置６００Ａは、トップエミッション型である。発光素子が発する光は、基板６１０側に射出される。そのため、基板６１０には、可視光に対する透過性が高い材料を用いることが好ましい。例えば、基板６１０には、基板４１０に適用できる基板のうち、可視光に対する透過性が高い基板を選択することができる。画素電極は可視光を反射する材料を含み、対向電極（共通電極６１５）は可視光を透過する材料を含む。

［０９４３］

なお、本発明の一態様の表示装置は、トップエミッション型ではなく、発光素子が発する光が基板４１０側に射出されるボトムエミッション型としてもよい。なお、この場合、基板４１０には、可視光に対する透過性が高い基板を選択する。

［０９４４］

［表示装置の構成例２］

図４５に、表示装置６００Ｂの断面図を示す。

［０９４５］

表示装置６００Ｂは、基板５４１及び基板６１０に可撓性を有する基板を用いることで、可撓性を有する表示装置（フレキシブルディスプレイともいう）とすることができる。基板５４１は、接着層５４３によって絶縁層５４５と貼り合わされている。基板６１０は、接着層６０７によって保護層６３１と貼り合わされている。

［０９４６］

表示装置６００Ｂの素子層６６０は、層６１３ａ、層６１３ｂ、及び層６１３ｃに、同一の構成を適用し、さらに、着色層６２８Ｒ、着色層６２８Ｇ、及び着色層６２８Ｂを設けた点で、主に、表示装置６００Ａの素子層６６０と異なる。

［０９４７］

層６１３ａ、層６１３ｂ、及び層６１３ｃは、同一の工程、同一の材料で形成される。また、層６１３ａ、層６１３ｂ、及び層６１３ｃは、互いに離隔されている。ＥＬ層を発光素子ごとに島状に設けることで、隣接する発光素子間のリーク電流（横方向リーク電流、横リーク電流、またはラテラルリーク電流と呼称する場合がある）を抑制することができる。これにより、クロストークに起因した意図しない発光を防ぐことができ、かつ隣接する発光素子間の色の混色を抑制することができるため、コントラストの極めて高い表示装置を実現できる。

［０９４８］

例えば、図４５に示す発光素子６５０Ｒ、６５０Ｇ、６５０Ｂは、白色の光を発する。発光素子６５０Ｒ、６５０Ｇ、６５０Ｂが発する白色の光が、着色層６２８Ｒ、着色層６２８Ｇ、及び着色層６２８Ｂを透過することで、所望の色の光を得ることができる。

［０９４９］
なお、マイクロキャビティ構造を適用することで、白色の光を発する構成の発光素子は、赤色、緑色、または青色などの特定の波長の光が強められて発光する場合もある。

［０９５０］
発光素子６５０Ｒの発光は、着色層６２８Ｒを介して表示装置６００Ｂの外部に赤色の光として取り出される。同様に、発光素子６５０Ｇの発光は、着色層６２８Ｇを介して表示装置６００Ｂの外部に緑色の光として取り出される。発光素子６５０Ｂの発光は、着色層６２８Ｂを介して表示装置６００Ｂの外部に青色の光として取り出される。

［０９５１］
白色の光を発する発光素子には、タンデム構造を用いることが好ましい。

［０９５２］
または、例えば、図４５に示す発光素子６５０Ｒ、６５０Ｇ、６５０Ｂは、青色の光を発する。このとき、層６１３ａ、層６１３ｂ、及び層６１３ｃは、青色の光を発する発光層を１層以上有する。青色の光を呈する副画素においては、発光素子６５０Ｂが発する青色の光を取り出すことができる。また、赤色の光を呈する副画素及び緑色の光を呈する副画素においては、発光素子６５０Ｒと着色層６２８Ｒの間、及び、発光素子６５０Ｇと着色層６２８Ｇの間に、色変換層を設けることで、発光素子６５０Ｒまたは発光素子６５０Ｇが発する青色の光をより長波長の光に変換し、赤色または緑色の光を取り出すことができる。色変換層を透過した光を、着色層を介して取り出すことで、所望の色の光以外を着色層で吸収し、副画素が呈する光の色純度を高めることができる。

［０９５３］
着色層は特定の波長域の光を選択的に透過し、他の波長域の光を吸収する有色層である。例えば、赤色の波長域の光を透過する赤色（Ｒ）のカラーフィルタ、緑色の波長域の光を透過する緑色（Ｇ）のカラーフィルタ、青色の波長域の光を透過する青色（Ｂ）のカラーフィルタなどを用いることができる。各着色層には、金属材料、樹脂材料、顔料、染料のうち一つまたは複数を用いることができる。着色層は、印刷法、インクジェット法、フォトリソグラフィ法を用いたエッチング方法などでそれぞれ所望の位置に形成する。

［０９５４］
表示装置６００Ｂの素子層６３０は、表示装置６００Ａの素子層６３０と同様の構成を有するため、詳細な説明は省略する。

［０９５５］
表示装置６００Ｂは、素子層６２０を有さず、素子層６３５を有する点で、表示装置６００Ａと異なる。素子層６３５は、素子層６３０と同様の構成を有する。

［０９５６］
素子層６３５が有するトランジスタの少なくとも一部は、プラグ及び配線等を介して、素子層６３０が有する導電層またはトランジスタと電気的に接続される。なお、素子層６３０と素子層６３５の間に、配線層６７０が設けられていてもよい。

［０９５７］
素子層６３５には、表示装置の画素回路及び駆動回路の一方または双方が設けられることが好ましい。

［０９５８］
図４５では、ＯＳトランジスタを有する素子層を２層積層する例（素子層６３０及び素子層６３５）

を示すが、素子層の積層数はこれに限られず、３層以上としてもよい。例えば、ＯＳトランジスタを有する素子層を３層以上積層する場合は、一番下の層を、表示装置の駆動回路（ゲートドライバ及びソースドライバの一方または双方）に用い、一番上の層を、表示装置の画素回路に用い、その間に位置する層は、それぞれ、画素回路または駆動回路に用いることが好ましい。

［０９５９］

なお、Ｓｉトランジスタは、代表的には、単結晶Ｓｉウェハ上に形成されるため、可撓性を有する構成とするのが困難である。一方で、図４５に示すように、Ｓｉトランジスタを用いずに、ＯＳトランジスタのみで表示装置を構成する場合、比較的簡単な製造プロセスにて、可撓性を有する構成とすることができる。

［０９６０］

［発光素子の構成例］

次に、本発明の一態様の表示装置に用いることができる発光素子について説明する。以下では、主に、図４４及び図４５に示す構成とは異なる、発光素子の構成例について説明する。

［０９６１］

図４６Ａに、発光素子を複数有する表示部の一部における上面概略図を示す。表示部は、赤色の光を呈する発光素子６１Ｒ、緑色の光を呈する発光素子６１Ｇ、及び青色の光を呈する発光素子６１Ｂをそれぞれ複数有する。図４６Ａでは、各発光素子の区別を簡単にするため、各発光素子の発光領域内にＲ、Ｇ、Ｂの符号を付している。また、図４６Ａでは、赤色（Ｒ）、緑色（Ｇ）、及び青色（Ｂ）の３つの発光色を有する構成について例示したがこれに限定されない。例えば、４つ以上の色を有する構成としてもよい。

［０９６２］

図４６Ｂは、図４６Ａに示す一点鎖線Ａ１－Ａ２間の断面図である。図４６Ｂに示す、発光素子６１Ｒ、発光素子６１Ｇ、及び発光素子６１Ｂは、それぞれ絶縁層３６３上に設けられ、画素電極として機能する導電層１７１、及び共通電極として機能する導電層１７３を有する。絶縁層３６３としては、無機絶縁膜及び有機絶縁膜の一方または双方を用いることができる。

［０９６３］

発光素子６１Ｒは、画素電極として機能する導電層１７１と共通電極として機能する導電層１７３との間に、ＥＬ層１７２Ｒを有する。ＥＬ層１７２Ｒは、赤色の波長域にピークを有する光を発する発光性の化合物を有する。発光素子６１Ｇが有するＥＬ層１７２Ｇは、緑色の波長域にピークを有する光を発する発光性の化合物を有する。発光素子６１Ｂが有するＥＬ層１７２Ｂは、青色の波長域にピークを有する光を発する発光性の化合物を有する。

［０９６４］

画素電極として機能する導電層１７１は、発光素子毎に設けられている。また、共通電極として機能する導電層１７３は、各発光素子に共通な一続きの層として設けられている。画素電極として機能する導電層１７１と共通電極として機能する導電層１７３のいずれか一方に可視光に対して透光性を有する導電膜を用い、他方に反射性を有する導電膜を用いる。

［０９６５］

例えば、発光素子６１Ｒがトップエミッション型である場合、発光素子６１Ｒから射出される光１７５Ｒは、導電層１７３側に射出される。発光素子６１Ｇがトップエミッション型である場合、発光素子６１Ｇから射出される光１７５Ｇは、導電層１７３側に射出される。発光素子６１Ｂがトップエミ

ッション型である場合、発光素子６１Ｂから射出される光１７５Ｂは、導電層１７３側に射出される。

［０９６６］

画素電極として機能する導電層１７１の端部を覆って、絶縁層２７２が設けられている。絶縁層２７２の端部は、テーパ形状であることが好ましい。絶縁層２７２には、無機絶縁膜及び有機絶縁膜の一方または双方を用いることができる。

［０９６７］

絶縁層２７２は、隣接する発光素子が意図せず電気的に短絡し、誤発光することを防ぐために設ける。また、ＥＬ層の形成にメタルマスクを用いる場合、メタルマスクが導電層１７１に接触しないようにする機能も有する。

［０９６８］

ＥＬ層１７２Ｒ、ＥＬ層１７２Ｇ、及びＥＬ層１７２Ｂは、それぞれ画素電極として機能する導電層１７１の上面に接する領域と、絶縁層２７２の表面に接する領域と、を有する。また、ＥＬ層１７２Ｒ、ＥＬ層１７２Ｇ、及びＥＬ層１７２Ｂの端部は、絶縁層２７２上に位置する。

［０９６９］

図４６Ｂに示すように、発光色の異なる発光素子間において、２つのＥＬ層の間に隙間が設けられている。このように、ＥＬ層１７２Ｒ、ＥＬ層１７２Ｇ、及びＥＬ層１７２Ｂが、互いに接しないように設けられていることが好ましい。これにより、隣接する２つのＥＬ層を介して電流が流れ、意図しない発光が生じること（クロストークともいう）を好適に防ぐことができる。そのため、コントラストを高めることができ、表示品位の高い表示装置を実現できる。

［０９７０］

ＥＬ層１７２Ｒ、ＥＬ層１７２Ｇ、及びＥＬ層１７２Ｂは、メタルマスクなどのシャドーマスクを用いた真空蒸着法などにより、作り分けることができる。または、フォトリソグラフィ法により、これらを作り分けてもよい。フォトリソグラフィ法を用いることで、メタルマスクを用いた場合では実現することが困難である高い精細度の表示装置を実現することができる。

［０９７１］

また、共通電極として機能する導電層１７３上には、発光素子６１Ｒ、発光素子６１Ｇ、及び発光素子６１Ｂを覆って、保護層２７１が設けられている。保護層２７１は、上方から各発光素子に水などの不純物が拡散することを防ぐ機能を有する。保護層２７１の材料としては、前述の保護層６３１の材料を参照できる。

［０９７２］

図４６Ｃには、白色の光を呈する発光素子６１Ｗを示す。発光素子６１Ｗは、画素電極として機能する導電層１７１と共通電極として機能する導電層１７３との間に白色の光を呈するＥＬ層１７２Ｗを有する。

［０９７３］

ＥＬ層１７２Ｗとしては、例えば、それぞれの発光色が補色の関係になるように選択された、２以上の発光層を積層した構成とすることができる。また、発光層間に電荷発生層を挟持した、タンデム型のＥＬ層を用いてもよい。

［０９７４］

図４６Ｃには、３つの発光素子６１Ｗを並べて示している。左の発光素子６１Ｗの上部には着色層２６４Ｒが設けられている。着色層２６４Ｒは、赤色の光を透過するバンドパスフィルタとして機能す

る。同様に、中央の発光素子６１Ｗの上部には緑色の光を透過する着色層２６４Ｇが設けられ、右の発光素子６１Ｗの上部には、青色の光を透過する着色層２６４Ｂが設けられている。これにより、表示装置はカラーの画像を表示することができる。

［０９７５］

ここで、隣接する２つの発光素子６１Ｗ間において、ＥＬ層１７２Ｗが分離されている。これにより、隣接する２つの発光素子６１Ｗにおいて、ＥＬ層１７２Ｗを介して電流が流れて意図しない発光が生じることを防ぐことができる。特に、ＥＬ層１７２Ｗとして、２つの発光層の間に電荷発生層が設けられる積層型のＥＬ層を用いた場合では、精細度が高いほど、すなわち隣接画素間の距離が小さいほど、クロストークの影響が顕著となり、コントラストが低下してしまうといった問題がある。そのため、このような構成とすることで、高い精細度と、高いコントラストを兼ね備える表示装置を実現できる。

［０９７６］

ＥＬ層１７２Ｗの分離は、フォトリソグラフィ法により行うことが好ましい。これにより、発光素子間の間隔を狭めることができるため、例えばメタルマスク等のシャドーマスクを用いた場合と比較して、高い開口率の表示装置を実現することができる。

［０９７７］

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

［０９７８］

（実施の形態８）

本実施の形態では、本発明の一態様の半導体装置の応用例について、図４７乃至図５１を用いて説明する。

［０９７９］

本発明の一態様の半導体装置は、例えば、電子部品、大型計算機、宇宙用機器、データセンター（Ｄａｔａ　Ｃｅｎｔｅｒ：ＤＣとも呼称する）、及び、各種電子機器に用いることができる。本発明の一態様の半導体装置を用いることで、電子部品、大型計算機、宇宙用機器、データセンター、及び、各種電子機器の、低消費電力化及び高性能化が実現できる。

［０９８０］

また、本発明の一態様の半導体装置を有する表示装置を、各種電子機器の表示部に用いることができる。本発明の一態様の半導体装置を有する表示装置は、高精細化及び高解像度化が容易である。

［０９８１］

電子機器としては、例えば、テレビジョン装置、デスクトップ型もしくはノート型のパーソナルコンピュータ、コンピュータ用などのモニタ、デジタルサイネージ、パチンコ機などの大型ゲーム機などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。

［０９８２］

特に、本発明の一態様の表示装置は、精細度を高めることが可能なため、比較的小さな表示部を有する電子機器に好適に用いることができる。このような電子機器としては、例えば、腕時計型及びブレスレット型の情報端末機（ウェアラブル機器）、並びに、ヘッドマウントディスプレイなどのＶＲ向け機器、メガネ型のＡＲ向け機器、及び、ＭＲ向け機器など、頭部に装着可能なウェアラブル機器等が挙げられる。

［０９８３］

本発明の一態様の表示装置は、ＨＤ（画素数１２８０×７２０）、ＦＨＤ（画素数１９２０×１０８０）、ＷＱＨＤ（画素数２５６０×１４４０）、ＷＱＸＧＡ（画素数２５６０×１６００）、４Ｋ（画素数３８４０×２１６０）、８Ｋ（画素数７６８０×４３２０）といった極めて高い解像度を有していることが好ましい。特に４Ｋ、８Ｋ、またはそれ以上の解像度とすることが好ましい。また、本発明の一態様の表示装置における画素密度（精細度）は、１００ｐｐｉ以上、３００ｐｐｉ以上、５００ｐｐｉ以上、１０００ｐｐｉ以上、２０００ｐｐｉ以上、３０００ｐｐｉ以上、５０００ｐｐｉ以上、または７０００ｐｐｉ以上とすることが好ましい。このように高い解像度及び高い精細度の一方または双方を有する表示装置を用いることで、臨場感及び奥行き感などをより高めることが可能となる。また、本発明の一態様の表示装置の画面比率（アスペクト比）については、特に限定はない。例えば、表示装置は、１：１（正方形）、４：３、１６：９、１６：１０など様々な画面比率に対応することができる。

［０９８４］

本実施の形態の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を検知、検出、または測定する機能を含むもの）を有していてもよい。

［０９８５］

本実施の形態の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。

［０９８６］

［電子部品］

電子部品７００が実装された基板（実装基板７０４）の斜視図を、図４７Ａに示す。図４７Ａに示す電子部品７００は、モールド７１１内に半導体装置７１０を有している。図４７Ａは、電子部品７００の内部を示すために、一部の記載を省略している。電子部品７００は、モールド７１１の外側にランド７１２を有する。ランド７１２は電極パッド７１３と電気的に接続され、電極パッド７１３は半導体装置７１０とワイヤ７１４を介して電気的に接続されている。電子部品７００は、例えばプリント基板７０２に実装される。このような電子部品が複数組み合わされて、それぞれがプリント基板７０２上で電気的に接続されることで実装基板７０４が完成する。

［０９８７］

また、半導体装置７１０は、駆動回路層７１５と、記憶層７１６と、を有する。なお、記憶層７１６は、複数のメモリセルアレイが積層された構成である。駆動回路層７１５と、記憶層７１６と、が積層された構成は、モノリシック積層の構成とすることができる。モノリシック積層の構成では、ＴＳＶ（Ｔｈｒｏｕｇｈ　Ｓｉｌｉｃｏｎ　Ｖｉａ）などの貫通電極技術、及び、Ｃｕ－Ｃｕ直接接合などの接合技術、を用いることなく、各層間を接続することができる。駆動回路層７１５と、記憶層７１６と、をモノリシック積層の構成とすることで、例えば、プロセッサ上にメモリが直接形成される、いわゆるオンチップメモリの構成とすることができる。オンチップメモリの構成とすることで、プロセッサと、メモリとのインターフェース部分の動作を高速にすることが可能となる。

［０９８８］

また、オンチップメモリの構成とすることで、ＴＳＶなどの貫通電極を用いる技術と比較し、接続配線などのサイズを小さくできるため、接続ピン数を増加させることも可能となる。接続ピン数を増加させることで、並列動作が可能となるため、メモリのバンド幅（メモリバンド幅ともいう）を向上させることが可能となる。

［０９８９］

また、記憶層７１６が有する、複数のメモリセルアレイを、ＯＳトランジスタを用いて形成し、当該複数のメモリセルアレイをモノリシックで積層することが好ましい。複数のメモリセルアレイをモノリシック積層の構成とすることで、メモリのバンド幅、及びメモリのアクセスレイテンシの一方または双方を向上させることができる。なお、バンド幅とは、単位時間あたりのデータ転送量であり、アクセスレイテンシとは、アクセスしてからデータのやり取りが始まるまでの時間である。なお、記憶層７１６にＳｉトランジスタを用いる構成の場合、ＯＳトランジスタと比較し、モノリシック積層の構成とすることが困難である。そのため、モノリシック積層の構成において、ＯＳトランジスタは、Ｓｉトランジスタよりも優れた構造であるといえる。

［０９９０］

また、半導体装置７１０を、ダイと呼称してもよい。なお、本明細書等において、ダイとは、半導体チップの製造工程で、例えば円盤状の基板（ウエハともいう）などに回路パターンを形成し、さいの目状に切り分けて得られたチップ片を表す。なお、ダイに用いることのできる半導体材料として、例えば、シリコン（Ｓｉ）、炭化ケイ素（ＳｉＣ）、または窒化ガリウム（ＧａＮ）などが挙げられる。例えば、シリコン基板（シリコンウエハともいう）から得られたダイを、シリコンダイという場合がある。

［０９９１］

次に、電子部品７３０の斜視図を図４７Ｂに示す。電子部品７３０は、ＳｉＰ（Ｓｙｓｔｅｍ ｉｎ Ｐａｃｋａｇｅ）またはMCM（Ｍｕｌｔｉ Ｃｈｉｐ Ｍｏｄｕｌｅ）の一例である。電子部品７３０は、パッケージ基板７３２（プリント基板）上にインターポーザ７３１が設けられ、インターポーザ７３１上に半導体装置７３５、及び複数の半導体装置７１０が設けられている。

［０９９２］

電子部品７３０では、半導体装置７１０を広帯域メモリ（HBM:Ｈｉｇｈ Ｂａｎｄｗｉｄｔｈ Ｍｅｍｏｒｙ）として用いる例を示している。また、半導体装置７３５は、ＣＰＵ、ＧＰＵ、またはＦＰＧＡ（Ｆｉｅｌｄ Ｐｒｏｇｒａｍｍａｂｌｅ Ｇａｔｅ Ａｒｒａｙ）等の集積回路に用いることができる。

［０９９３］

パッケージ基板７３２は、例えば、セラミックス基板、プラスチック基板、または、ガラスエポキシ基板を用いることができる。インターポーザ７３１は、例えば、シリコンインターポーザ、または樹脂インターポーザを用いることができる。

［０９９４］

インターポーザ７３１は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電気的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ７３１は、インターポーザ７３１上に設けられた集積回路をパッケージ基板７３２に設けられた電極と電気的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーザ７３１に貫通電極を設けて、当該貫通電極を用いて集積回路

とパッケージ基板７３２を電気的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、ＴＳＶを用いることもできる。

［０９９５］

ＨＢＭでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、ＨＢＭを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、ＨＢＭを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

［０９９６］

また、シリコンインターポーザを用いた、ＳｉＰ及びＭＣＭ等では、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する２．５Ｄパッケージ（２．５次元実装）では、シリコンインターポーザを用いることが好ましい。

［０９９７］

一方で、シリコンインターポーザ、及びＴＳＶなどを用いて端子ピッチの異なる複数の集積回路を電気的に接続する場合、当該端子ピッチの幅などのスペースが必要となる。そのため、電子部品７３０のサイズを小さくしようとした場合、上記の端子ピッチの幅が問題になり、広いメモリバンド幅を実現するために必要な多くの配線を設けることが、困難になる場合がある。そこで、前述したように、ＯＳトランジスタを用いたモノリシック積層の構成が好適である。ＴＳＶを用いて積層したメモリセルアレイと、モノリシック積層したメモリセルアレイと、を組み合わせた複合化構造としてもよい。

［０９９８］

また、電子部品７３０と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ７３１上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品７３０では、半導体装置７１０と半導体装置７３５の高さを揃えることが好ましい。

［０９９９］

電子部品７３０を他の基板に実装するため、パッケージ基板７３２の底部に電極７３３を設けてもよい。図４７Ｂでは、電極７３３を半田ボールで形成する例を示している。パッケージ基板７３２の底部に半田ボールをマトリクス状に設けることで、ＢＧＡ（Ｂａｌｌ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現できる。また、電極７３３を導電性のピンで形成してもよい。パッケージ基板７３２の底部に導電性のピンをマトリクス状に設けることで、ＰＧＡ（Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現できる。

［１０００］

電子部品７３０は、ＢＧＡ及びＰＧＡに限らず様々な実装方法を用いて他の基板に実装することができる。実装方法としては、例えば、ＳＰＧＡ（Ｓｔａｇｇｅｒｅｄ　Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）、ＬＧＡ（Ｌａｎｄ　Ｇｒｉｄ　Ａｒｒａｙ）、ＱＦＰ（Ｑｕａｄ　Ｆｌａｔ　Ｐａｃｋａｇｅ）、ＱＦＪ（Ｑｕａｄ　Ｆｌａｔ　Ｊ－ｌｅａｄｅｄ　ｐａｃｋａｇｅ）、及び、ＱＦＮ（Ｑｕａｄ　Ｆｌａｔ　Ｎｏｎ－ｌｅａｄｅｄ　ｐａｃｋａｇｅ）が挙げられる。

［１００１］

［大型計算機］

次に、大型計算機５６００の斜視図を図４８Ａに示す。図４８Ａに示す大型計算機５６００には、ラック５６１０にラックマウント型の計算機５６２０が複数格納されている。なお、大型計算機５６０

０を、スーパーコンピュータと呼称してもよい。

［１００２］

計算機５６２０は、例えば、図４８Ｂに示す斜視図の構成とすることができる。図４８Ｂにおいて、計算機５６２０は、マザーボード５６３０を有し、マザーボード５６３０は、複数のスロット５６３１、複数の接続端子を有する。スロット５６３１には、ＰＣカード５６２１が挿入されている。加えて、ＰＣカード５６２１は、接続端子５６２３、接続端子５６２４、接続端子５６２５を有し、それぞれ、マザーボード５６３０に接続されている。

［１００３］

図４８Ｃに示すＰＣカード５６２１は、ＣＰＵ、ＧＰＵ、記憶装置などを備えた処理ボードの一例である。ＰＣカード５６２１は、ボード５６２２を有する。また、ボード５６２２は、接続端子５６２３と、接続端子５６２４と、接続端子５６２５と、半導体装置５６２６と、半導体装置５６２７と、半導体装置５６２８と、接続端子５６２９と、を有する。なお、図４８Ｃには、半導体装置５６２６、半導体装置５６２７、及び半導体装置５６２８以外の半導体装置を図示しているが、それらの半導体装置については、以下に記載する半導体装置５６２６、半導体装置５６２７、及び半導体装置５６２８の説明を参照できる。

［１００４］

接続端子５６２９は、マザーボード５６３０のスロット５６３１に挿入することができる形状を有しており、接続端子５６２９は、ＰＣカード５６２１とマザーボード５６３０とを接続するためのインターフェースとして機能する。接続端子５６２９の規格としては、例えば、ＰＣＩｅなどが挙げられる。

［１００５］

接続端子５６２３、接続端子５６２４、接続端子５６２５は、例えば、ＰＣカード５６２１に対して電力供給、信号入力などを行うためのインターフェースとすることができる。また、例えば、ＰＣカード５６２１によって計算された信号の出力などを行うためのインターフェースとすることができる。接続端子５６２３、接続端子５６２４、接続端子５６２５のそれぞれの規格としては、例えば、ＵＳＢ（Ｕｎｉｖｅｒｓａｌ　Ｓｅｒｉａｌ　Ｂｕｓ）、ＳＡＴＡ（Ｓｅｒｉａｌ　ＡＴＡ）、ＳＣＳＩ（Ｓｍａｌｌ　Ｃｏｍｐｕｔｅｒ　Ｓｙｓｔｅｍ　Ｉｎｔｅｒｆａｃｅ）などが挙げられる。また、接続端子５６２３、接続端子５６２４、接続端子５６２５から映像信号を出力する場合、それぞれの規格としては、ＨＤＭＩ（登録商標）などが挙げられる。

［１００６］

半導体装置５６２６は、信号の入出力を行う端子（図示しない）を有しており、当該端子をボード５６２２が備えるソケット（図示しない）に対して差し込むことで、半導体装置５６２６とボード５６２２を電気的に接続することができる。

［１００７］

半導体装置５６２７は、複数の端子を有しており、当該端子をボード５６２２が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置５６２７とボード５６２２を電気的に接続することができる。半導体装置５６２７としては、例えば、ＦＰＧＡ、ＧＰＵ、ＣＰＵなどが挙げられる。半導体装置５６２７として、例えば、電子部品７３０を用いることができる。

［１００８］

半導体装置５６２８は、複数の端子を有しており、当該端子をボード５６２２が備える配線に対して、

例えば、リフロー方式のはんだ付けを行うことで、半導体装置５６２８とボード５６２２を電気的に接続することができる。半導体装置５６２８としては、例えば、記憶装置などが挙げられる。半導体装置５６２８として、例えば、電子部品７００を用いることができる。

［１００９］

大型計算機５６００は並列計算機としても機能できる。大型計算機５６００を並列計算機として用いることで、例えば、人工知能の学習、及び推論に必要な大規模の計算を行うことができる。

［１０１０］

［宇宙用機器］

本発明の一態様の半導体装置は、宇宙用機器に好適に用いることができる。

［１０１１］

本発明の一態様の半導体装置は、ＯＳトランジスタを含む。ＯＳトランジスタは、放射線照射による電気特性の変動が小さい。つまり放射線に対する耐性が高いため、放射線が入射しうる環境において好適に用いることができる。例えば、ＯＳトランジスタは、宇宙空間にて使用する場合に好適に用いることができる。具体的には、ＯＳトランジスタを、スペースシャトル、人工衛星、または、宇宙探査機に設けられる半導体装置を構成するトランジスタに用いることができる。放射線として、例えば、Ｘ線、及び中性子線が挙げられる。なお、宇宙空間とは、例えば、高度１００ｋｍ以上を指すが、本明細書に記載の宇宙空間は、熱圏、中間圏、及び成層圏のうち一つまたは複数を含むことができる。

［１０１２］

図４８Ｄには、宇宙用機器の一例として、人工衛星６８００を示している。人工衛星６８００は、機体６８０１と、ソーラーパネル６８０２と、アンテナ６８０３と、二次電池６８０５と、制御装置６８０７と、を有する。なお、図４８Ｄにおいては、宇宙空間に惑星６８０４を例示している。

［１０１３］

また、図４８Ｄには示していないが、二次電池６８０５に、バッテリマネジメントシステム（ＢＭＳともいう）、またはバッテリ制御回路を設けてもよい。前述のバッテリマネジメントシステム、またはバッテリ制御回路に、ＯＳトランジスタを用いると、消費電力が低く、かつ宇宙空間においても高い信頼性を有するため好適である。

［１０１４］

また、宇宙空間は、地上に比べて１００倍以上、放射線量の高い環境である。なお、放射線として、例えば、Ｘ線、及びガンマ線に代表される電磁波（電磁放射線）、並びにアルファ線、ベータ線、中性子線、陽子線、重イオン線、中間子線などに代表される粒子放射線が挙げられる。

［１０１５］

ソーラーパネル６８０２に太陽光が照射されることにより、人工衛星６８００が動作するために必要な電力が生成される。しかしながら、例えばソーラーパネルに太陽光が照射されない状況、またはソーラーパネルに照射される太陽光の光量が少ない状況では、生成される電力が少なくなる。よって、人工衛星６８００が動作するために必要な電力が生成されない可能性がある。生成される電力が少ない状況下であっても人工衛星６８００を動作させるために、人工衛星６８００に二次電池６８０５を設けるとよい。なお、ソーラーパネルは、太陽電池モジュールと呼ばれる場合がある。

［１０１６］

人工衛星６８００は、信号を生成することができる。当該信号は、アンテナ６８０３を介して送信され、例えば地上に設けられた受信機、または他の人工衛星が当該信号を受信することができる。人工

衛星６８００が送信した信号を受信することにより、当該信号を受信した受信機の位置を測定することができる。以上より、人工衛星６８００は、衛星測位システムを構成することができる。

［１０１７］

また、制御装置６８０７は、人工衛星６８００を制御する機能を有する。制御装置６８０７としては、例えば、ＣＰＵ、ＧＰＵ、及び記憶装置の中から選ばれるいずれか一または複数を用いて構成される。なお、制御装置６８０７には、本発明の一態様であるＯＳトランジスタを含む半導体装置を用いると好適である。ＯＳトランジスタは、Ｓｉトランジスタと比較し、放射線照射による電気特性の変動が小さい。つまり放射線が入射しうる環境においても信頼性が高く、好適に用いることができる。

［１０１８］

また、人工衛星６８００は、センサを有する構成とすることができる。例えば、可視光センサを有する構成とすることにより、人工衛星６８００は、地上に設けられている物体に当たって反射された太陽光を検出する機能を有することができる。または、熱赤外センサを有する構成とすることにより、人工衛星６８００は、地表から放出される熱赤外線を検出する機能を有することができる。以上より、人工衛星６８００は、例えば地球観測衛星としての機能を有することができる。

［１０１９］

なお、本実施の形態においては、宇宙用機器の一例として、人工衛星について例示したがこれに限定されない。例えば、本発明の一態様の半導体装置は、宇宙船、宇宙カプセル、宇宙探査機などの宇宙用機器に好適に用いることができる。

［１０２０］

以上の説明の通り、ＯＳトランジスタは、Ｓｉトランジスタと比較し、広いメモリバンド幅の実現が可能なこと、放射線耐性が高いこと、といった優れた効果を有する。

［１０２１］

［データセンター］

本発明の一態様の半導体装置は、例えば、データセンターなどに適用されるストレージシステムに好適に用いることができる。データセンターは、データの不変性を保障するなど、データの長期的な管理を行うことが求められる。長期的なデータを管理する場合、膨大なデータを記憶するためのストレージ及びサーバの設置、データを保持するための安定した電源の確保、あるいはデータの保持に要する冷却設備の確保、など建屋の大型化が必要となる。

［１０２２］

データセンターに適用されるストレージシステムに本発明の一態様の半導体装置を用いることにより、データの保持に要する電力の低減、データを保持する半導体装置の小型化を図ることができる。そのため、ストレージシステムの小型化、データを保持するための電源の小型化、冷却設備の小規模化、などを図ることができる。そのため、データセンターの省スペース化を図ることができる。

［１０２３］

また、本発明の一態様の半導体装置は、消費電力が少ないため、回路からの発熱を低減することができる。よって、当該発熱によるその回路自体、周辺回路、及びモジュールへの悪影響を低減できる。また、本発明の一態様の半導体装置を用いることにより、高温環境下においても動作が安定したデータセンターを実現できる。よってデータセンターの信頼性を高めることができる。

［１０２４］

図４８Ｅにデータセンターに適用可能なストレージシステムを示す。図４８Ｅに示すストレージシス

テム７０１０は、ホスト７００１（Ｈｏｓｔ　Ｃｏｍｐｕｔｅｒと図示）として複数のサーバ７００１ｓｂを有する。また、ストレージ７００３（Ｓｔｏｒａｇｅと図示）として複数の記憶装置７００３ｍｄを有する。ホスト７００１とストレージ７００３とは、ストレージエリアネットワーク７００４（ＳＡＮ：Ｓｔｏｒａｇｅ　Ａｒｅａ　Ｎｅｔｗｏｒｋと図示）及びストレージ制御回路７００２（Ｓｔｏｒａｇｅ　Ｃｏｎｔｒｏｌｌｅｒと図示）を介して接続されている形態を図示している。

［１０２５］

ホスト７００１は、ストレージ７００３に記憶されたデータにアクセスするコンピュータに相当する。ホスト７００１同士は、ネットワークで互いに接続されていてもよい。

［１０２６］

ストレージ７００３は、フラッシュメモリを用いることで、データのアクセススピード、つまりデータの記憶及び出力に要する時間を短くしているものの、当該時間は、ストレージ内のキャッシュメモリとして用いることのできるＤＲＡＭが要する時間に比べて格段に長い。ストレージシステムでは、ストレージ７００３のアクセススピードの長さの問題を解決するために、通常ストレージ内にキャッシュメモリを設けてデータの記憶及び出力に要する時間を短くしている。

［１０２７］

前述のキャッシュメモリは、ストレージ制御回路７００２及びストレージ７００３内に用いられる。ホスト７００１とストレージ７００３との間でやり取りされるデータは、ストレージ制御回路７００２及びストレージ７００３内の当該キャッシュメモリに記憶されたのち、ホスト７００１またはストレージ７００３に出力される。

［１０２８］

前述のキャッシュメモリのデータを記憶するためのトランジスタとして、ＯＳトランジスタを用いてデータに応じた電位を保持する構成とすることで、リフレッシュする頻度を減らし、消費電力を小さくすることができる。またメモリセルアレイを積層する構成とすることで小型化が可能である。

［１０２９］

［電子機器］

図４９Ａ乃至図４９Ｆを用いて、頭部に装着可能なウェアラブル機器の一例を説明する。これらウェアラブル機器は、ＡＲのコンテンツを表示する機能、ＶＲのコンテンツを表示する機能、ＳＲのコンテンツを表示する機能、ＭＲのコンテンツを表示する機能のうち少なくとも一つを有する。電子機器が、ＡＲ、ＶＲ、ＳＲ、及びＭＲなどの少なくとも一つのコンテンツを表示する機能を有することで、使用者の没入感を高めることが可能となる。

［１０３０］

図４９Ａに示す電子機器７００Ａは、一対の表示パネル７５１と、一対の筐体７２１と、通信部（図示しない）と、一対の装着部７２３と、制御部（図示しない）と、撮像部（図示しない）と、一対の光学部材７５３と、フレーム７５７と、一対の鼻パッド７５８と、を有する。

［１０３１］

表示パネル７５１には、本発明の一態様の表示装置を適用することができる。したがって極めて精細度の高い表示が可能な電子機器とすることができる。また、制御部（図示しない）には、本発明の一態様の半導体装置を適用することができる。これにより、電子機器の消費電力を低減することができる。

［１０３２］

電子機器７００Ａは、光学部材７５３の表示領域７５６に、表示パネル７５１で表示した画像を投影することができる。光学部材７５３は透光性を有するため、使用者は光学部材７５３を通して視認される透過像に重ねて、表示領域に表示された画像を見ることができる。したがって、電子機器７００Ａは、ＡＲ表示が可能な電子機器である。

［１０３３］

電子機器７００Ａには、撮像部として、前方を撮像することのできるカメラが設けられていてもよい。また、電子機器７００Ａは、ジャイロセンサなどの加速度センサを備えることで、使用者の頭部の向きを検知して、その向きに応じた画像を表示領域７５６に表示することもできる。

［１０３４］

通信部は無線通信機を有し、当該無線通信機により映像信号等を供給することができる。なお、無線通信機に代えて、または無線通信機に加えて、映像信号及び電源電位が供給されるケーブルを接続可能なコネクタを備えていてもよい。

［１０３５］

また、電子機器７００Ａには、バッテリが設けられており、無線及び有線の一方または双方によって充電することができる。

［１０３６］

筐体７２１には、タッチセンサモジュールが設けられていてもよい。タッチセンサモジュールは、筐体７２１の外側の面がタッチされることを検出する機能を有する。タッチセンサモジュールにより、使用者のタップ操作またはスライド操作などを検出し、様々な処理を実行することができる。例えば、タップ操作によって動画の一時停止または再開などの処理を実行することが可能となり、スライド操作により、早送りまたは早戻しの処理を実行することなどが可能となる。また、２つの筐体７２１のそれぞれにタッチセンサモジュールを設けることで、操作の幅を広げることができる。

［１０３７］

図４９Ｂに示す電子機器８００Ａ、及び、図４９Ｃに示す電子機器８００Ｂは、それぞれ、一対の表示部８２０と、筐体８２１と、通信部８２２と、一対の装着部８２３と、制御部８２４と、一対の撮像部８２５と、一対のレンズ８３２と、を有する。

［１０３８］

表示部８２０には、本発明の一態様の表示装置を適用することができる。したがって極めて精細度の高い表示が可能な電子機器とすることができる。これにより、使用者に高い没入感を感じさせることができる。また、制御部８２４には、本発明の一態様の半導体装置を適用することができる。これにより、電子機器の消費電力を低減することができる。

［１０３９］

表示部８２０は、筐体８２１の内部の、レンズ８３２を通して視認できる位置に設けられる。また、一対の表示部８２０に異なる画像を表示させることで、視差を用いた３次元表示を行うこともできる。

［１０４０］

電子機器８００Ａ、及び、電子機器８００Ｂは、それぞれ、ＶＲ向けの電子機器ということができる。電子機器８００Ａまたは電子機器８００Ｂを装着した使用者は、レンズ８３２を通して、表示部８２０に表示される画像を視認することができる。

［１０４１］

電子機器８００Ａ、及び、電子機器８００Ｂは、それぞれ、レンズ８３２及び表示部８２０が、使用

者の目の位置に応じて最適な位置となるように、これらの左右の位置を調整可能な機構を有していることが好ましい。また、レンズ８３２と表示部８２０との距離を変えることで、ピントを調整する機構を有していることが好ましい。

［１０４２］

装着部８２３により、使用者は電子機器８００Ａまたは電子機器８００Ｂを頭部に装着することができる。なお、図４９Ｂなどにおいては、メガネのつる（テンプルなどともいう）のような形状として例示しているがこれに限定されない。装着部８２３は、使用者が装着できればよく、例えば、ヘルメット型またはバンド型の形状としてもよい。

［１０４３］

撮像部８２５は、外部の情報を取得する機能を有する。撮像部８２５が取得したデータは、表示部８２０に出力することができる。撮像部８２５には、イメージセンサを用いることができる。また、望遠、広角などの複数の画角に対応可能なように複数のカメラを設けてもよい。

［１０４４］

なお、ここでは撮像部８２５を有する例を示したが、対象物の距離を測定することのできる測距センサ（以下、検知部ともよぶ）を設ければよい。すなわち、撮像部８２５は、検知部の一態様である。検知部としては、例えばイメージセンサ、または、ライダー（ＬＩＤＡＲ：Ｌｉｇｈｔ　Ｄｅｔｅｃｔｉｏｎ　ａｎｄ　Ｒａｎｇｉｎｇ）などの距離画像センサを用いることができる。カメラによって得られた画像と、距離画像センサによって得られた画像とを用いることにより、より多くの情報を取得し、より高精度なジェスチャー操作を可能とすることができる。

［１０４５］

電子機器８００Ａは、骨伝導イヤフォンとして機能する振動機構を有していてもよい。例えば、表示部８２０、筐体８２１、及び装着部８２３のいずれか一または複数に、当該振動機構を有する構成を適用することができる。これにより、別途、ヘッドフォン、イヤフォン、またはスピーカなどの音響機器を必要とせず、電子機器８００Ａを装着しただけで映像と音声を楽しむことができる。

［１０４６］

電子機器８００Ａ、及び、電子機器８００Ｂは、それぞれ、入力端子を有していてもよい。入力端子には映像出力機器等からの映像信号、及び、電子機器内に設けられるバッテリを充電するための電力等を供給するケーブルを接続することができる。

［１０４７］

本発明の一態様の電子機器は、イヤフォン７５０と無線通信を行う機能を有していてもよい。イヤフォン７５０は、通信部（図示しない）を有し、無線通信機能を有する。イヤフォン７５０は、無線通信機能により、電子機器から情報（例えば音声データ）を受信することができる。例えば、図４９Ａに示す電子機器７００Ａは、無線通信機能によって、イヤフォン７５０に情報を送信する機能を有する。

［１０４８］

また、電子機器がイヤフォン部を有していてもよい。図４９Ｃに示す電子機器８００Ｂは、イヤフォン部８２７を有する。例えば、イヤフォン部８２７と制御部８２４とは、互いに有線接続されている構成とすることができる。イヤフォン部８２７と制御部８２４とをつなぐ配線の一部は、筐体８２１または装着部８２３の内部に配置されていてもよい。また、イヤフォン部８２７と装着部８２３とがマグネットを有していてもよい。これにより、イヤフォン部８２７を装着部８２３に磁力によって固

定することができ、収納が容易となり好ましい。

［１０４９］

なお、電子機器は、イヤフォンまたはヘッドフォンなどを接続することができる音声出力端子を有していてもよい。また、電子機器は、音声入力端子及び音声入力機構の一方または双方を有していてもよい。音声入力機構としては、例えば、マイクなどの集音装置を用いることができる。電子機器が音声入力機構を有することで、電子機器に、いわゆるヘッドセットとしての機能を付与してもよい。

［１０５０］

図４９Ｄ及び図４９Ｅに、ＶＲ向けのゴーグル型の電子機器８５０Ａの斜視図を示す。図４９Ｄ及び図４９Ｅでは、筐体８４５内に、それぞれ湾曲した一対の表示装置８４０（表示装置８４０＿Ｒ及び表示装置８４０＿Ｌ）を有する例を示している。また、電子機器８５０Ａは、動き検出部８４１、視線検出部８４２、演算部８４３、通信部８４４、レンズ８４８、操作ボタン８５１、装着具８５４、センサ８５５、ダイヤル８５６などを有する。

［１０５１］

２つの表示装置８４０を有することで、使用者は片方の目につき１つの表示装置を見ることができる。これにより、視差を用いた３次元表示等を行う際であっても、高い解像度の映像を表示することができる。また、表示装置８４０は使用者の目を概略中心とした円弧状に湾曲している。これにより、使用者の目から表示装置８４０の表示面までの距離が一定となるため、使用者はより自然な映像を見ることができる。また、表示装置８４０に、光の輝度または色度が見る角度によって変化してしまう、いわゆる視野角依存性がある場合であっても、表示装置８４０の表示面の法線方向に使用者の目が位置する構成にできるため、特に水平方向については実質的にその影響を無視することができるため、より現実感のある映像を表示することができる。

［１０５２］

図４９Ｅに示すように、レンズ８４８は、表示装置８４０と使用者の目の位置との間に位置する。図４９Ｅでは、視度調節のためにレンズの位置を変化させるダイヤル８５６を有する例を示している。なお、電子機器８５０Ａがオートフォーカス機能を有する場合には、視度調節のためのダイヤル８５６を有さなくてもよい。

［１０５３］

図４９Ｆには、１枚の表示装置８４０を有するゴーグル型の電子機器８５０Ｂを示している。このような構成とすることで、部品点数を削減することができる。

［１０５４］

表示装置８４０は、左右２つの領域にそれぞれ右目用の画像と、左目用の画像の２つの画像を並べて表示することができる。これにより、両眼視差を用いた立体映像を表示することができる。なお、表示装置８４０には、視差を用いた２つの異なる画像を並べて表示させてもよいし、視差を用いずに２つの同じ画像を並べて表示させてもよい。

［１０５５］

また、表示装置８４０の全域に亘って、両方の目で視認可能な一つの画像を表示してもよい。これにより、視野の両端に亘ってパノラマ映像を表示することが可能となるため、現実感が高まる。

［１０５６］

表示装置８４０に、本発明の一態様の表示装置を適用することができる。本発明の一態様の表示装置は、極めて精細度が高いため、レンズ８４８を用いて拡大したとしても、使用者に画素が視認される

ことなく、より現実感の高い映像を表示することができる。

［１０５７］

図５０Ａに示す電子機器６５００は、スマートフォンとして用いることのできる携帯情報端末機である。

［１０５８］

電子機器６５００は、筐体６５０１、表示部６５０２、電源ボタン６５０３、ボタン６５０４、スピーカ６５０５、マイク６５０６、カメラ６５０７、光源６５０８、及び制御装置６５０９などを有する。

［１０５９］

図５０Ｂに示す電子機器６５２０は、タブレット端末として用いることのできる携帯情報端末機である。

［１０６０］

電子機器６５２０は、筐体６５０１、表示部６５０２、ボタン６５０４、スピーカ６５０５、マイク６５０６、カメラ６５０７、制御装置６５０９、及び接続端子６５１９などを有する。

［１０６１］

電子機器６５００及び電子機器６５２０のそれぞれにおいて、表示部６５０２はタッチパネル機能を備える。また、制御装置６５０９は、例えば、ＣＰＵ、ＧＰＵ、及び記憶装置の中から選ばれるいずれか一または複数を有する。本発明の一態様の半導体装置は、表示部６５０２及び制御装置６５０９の一方または双方に用いることができる。

［１０６２］

図５０Ｃは、電子機器６５００または電子機器６５２０が有する筐体６５０１のマイク６５０６側の端部を含む断面概略図である。

［１０６３］

筐体６５０１の表示面側には透光性を有する保護部材６５１０が設けられ、筐体６５０１と保護部材６５１０に囲まれた空間内に、表示パネル６５１１、光学部材６５１２、タッチセンサパネル６５１３、プリント基板６５１７、バッテリ６５１８等が配置されている。

［１０６４］

保護部材６５１０には、表示パネル６５１１、光学部材６５１２、及びタッチセンサパネル６５１３が接着層（図示しない）により固定されている。

［１０６５］

表示部６５０２よりも外側の領域において、表示パネル６５１１の一部が折り返されており、当該折り返された部分にＦＰＣ６５１５が接続されている。ＦＰＣ６５１５には、ＩＣ６５１６が実装されている。ＦＰＣ６５１５は、プリント基板６５１７に設けられた端子に接続されている。

［１０６６］

表示パネル６５１１には本発明の一態様のフレキシブルディスプレイを適用することができる。そのため、極めて軽量な電子機器を実現できる。また、表示パネル６５１１が極めて薄いため、電子機器の厚さを抑えつつ、大容量のバッテリ６５１８を搭載することもできる。また、表示パネル６５１１の一部を折り返して、画素部の裏側にＦＰＣ６５１５との接続部を配置することにより、狭額縁の電子機器を実現できる。

［１０６７］

図５０Ｄにテレビジョン装置の一例を示す。テレビジョン装置７１００は、筐体７１０１に表示部７０００が組み込まれている。ここでは、スタンド７１０３により筐体７１０１を支持した構成を示している。

［１０６８］

表示部７０００に、本発明の一態様の表示装置を適用することができる。

［１０６９］

図５０Ｄに示すテレビジョン装置７１００の操作は、筐体７１０１が備える操作スイッチ、及び、別体のリモコン操作機７１１１により行うことができる。または、表示部７０００にタッチセンサを備えていてもよく、指等で表示部７０００に触れることでテレビジョン装置７１００を操作してもよい。リモコン操作機７１１１は、当該リモコン操作機７１１１から出力する情報を表示する表示部を有していてもよい。リモコン操作機７１１１が備える操作キーまたはタッチパネルにより、チャンネル及び音量の操作を行うことができ、表示部７０００に表示される映像を操作することができる。

［１０７０］

なお、テレビジョン装置７１００は、受信機及びモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができる。また、モデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者同士など）の情報通信を行うことも可能である。

［１０７１］

図５０Ｅに、ノート型パーソナルコンピュータの一例を示す。ノート型パーソナルコンピュータ７２００は、筐体７２１１、キーボード７２１２、ポインティングデバイス７２１３、外部接続ポート７２１４、及び、制御装置７２１５などを有する。筐体７２１１に、表示部７０００が組み込まれている。制御装置７２１５は、例えば、ＣＰＵ、ＧＰＵ、及び記憶装置の中から選ばれるいずれか一または複数を有する。本発明の一態様の半導体装置は、表示部７０００及び制御装置７２１５の一方または双方に用いることができる。

［１０７２］

図５０Ｆ及び図５０Ｇに、デジタルサイネージの一例を示す。

［１０７３］

図５０Ｆに示すデジタルサイネージ７３００は、筐体７３０１、表示部７０００、及びスピーカ７３０３等を有する。さらに、ＬＥＤランプ、操作キー（電源スイッチ、または操作スイッチを含む）、接続端子、各種センサ、マイクロフォン等を有することができる。

［１０７４］

図５０Ｇは円柱状の柱７４０１に取り付けられたデジタルサイネージ７４００である。デジタルサイネージ７４００は、柱７４０１の曲面に沿って設けられた表示部７０００を有する。

［１０７５］

図５０Ｆ及び図５０Ｇにおいて、表示部７０００に、本発明の一態様の表示装置を適用することができる。

［１０７６］

表示部７０００が広いほど、一度に提供できる情報量を増やすことができる。また、表示部７０００が広いほど、人の目につきやすく、例えば、広告の宣伝効果を高めることができる。

［１０７７］

表示部７０００にタッチパネルを適用することで、表示部７０００に画像または動画を表示するだけでなく、使用者が直感的に操作することができ、好ましい。また、路線情報もしくは交通情報などの情報を提供するための用途に用いる場合には、直感的な操作によりユーザビリティを高めることができる。

［１０７８］

また、図５０Ｆ及び図５０Ｇに示すように、デジタルサイネージ７３００またはデジタルサイネージ７４００は、使用者が所持するスマートフォン等の情報端末機７３１１または情報端末機７４１１と無線通信により連携可能であることが好ましい。例えば、表示部７０００に表示される広告の情報を、情報端末機７３１１または情報端末機７４１１の画面に表示させることができる。また、情報端末機７３１１または情報端末機７４１１を操作することで、表示部７０００の表示を切り替えることができる。

［１０７９］

また、デジタルサイネージ７３００またはデジタルサイネージ７４００に、情報端末機７３１１または情報端末機７４１１の画面を操作手段（コントローラ）としたゲームを実行させることもできる。これにより、不特定多数の使用者が同時にゲームに参加し、楽しむことができる。

［１０８０］

また、本発明の一態様の半導体装置及び表示装置は、移動体である自動車の運転席周辺に適用することができる。

［１０８１］

図５１Ａは、自動車の室内におけるフロントガラス周辺を表す図である。図５１Ａでは、ダッシュボードに取り付けられた表示パネル９００１ａ、表示パネル９００１ｂ、及び、表示パネル９００１ｃ、並びに、ピラーに取り付けられた表示パネル９００１ｄを示している。

［１０８２］

表示パネル９００１ａ乃至表示パネル９００１ｃは、ナビゲーション情報、スピードメーター、タコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することで、様々な情報を提供することができる。また、表示パネルに表示される表示項目及びレイアウトなどは、ユーザの好みに合わせて適宜変更することができ、デザイン性を高めることができる。表示パネル９００１ａ乃至表示パネル９００１ｃは、照明装置として用いることもできる。

［１０８３］

表示パネル９００１ｄには、車体に設けられた撮像手段からの映像を映し出すことによって、ピラーで遮られた視界（死角）を補完することができる。すなわち、自動車の外側に設けられた撮像手段からの画像を表示することによって、死角を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。表示パネル９００１ｄは、照明装置として用いることもできる。

［１０８４］

図５１Ｂは、腕時計型の携帯情報端末９２００を示す斜視図である。携帯情報端末９２００は、例えばスマートウォッチ（登録商標）として用いることができる。また、表示部９００１はその表示面が湾曲して設けられ、湾曲した表示面に沿って表示を行うことができる。また、携帯情報端末９２００は、例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、携帯情報端末９２００は、接続端子９００６により、他の情報端末と相互にデータ

伝送を行うこと、及び、充電を行うこともできる。なお、充電動作は無線給電により行ってもよい。

［１０８５］

図５１Ｂに示す携帯情報端末９２００は、筐体９０００、表示部９００１、スピーカ９００３、操作キー９００５（電源スイッチ、または操作スイッチを含む）、接続端子９００６、センサ９００７（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を検知、検出、または測定する機能を含むもの）、マイクロフォン９００８、等を有する。

［１０８６］

図５１Ｃは、折り畳み可能な携帯情報端末９２０１を示す斜視図である。携帯情報端末９２０１は、筐体９０００ａと、筐体９０００ｂと、表示部９００１と、操作ボタン９０５６と、を有している。

［１０８７］

筐体９０００ａと筐体９０００ｂと、は、ヒンジ９０５５により結合されており、ヒンジ９０５５によって、２つ折りが可能となっている。

［１０８８］

携帯情報端末９２０１が有する表示部９００１は、ヒンジ９０５５によって連結された２つの筐体（筐体９０００ａ及び筐体９０００ｂ）に支持されている。

［１０８９］

図５１Ｄ乃至図５１Ｆは、折り畳み可能な携帯情報端末９２０２を示す斜視図である。また、図５１Ｄは携帯情報端末９２０２を展開した状態、図５１Ｆは折り畳んだ状態、図５１Ｅは図５１Ｄと図５１Ｆの一方から他方に変化する途中の状態の斜視図である。このように、携帯情報端末９２０２は、３つ折りが可能である。

［１０９０］

携帯情報端末９２０２が有する表示部９００１は、ヒンジ９０５５によって連結された３つの筐体９０００に支持されている。

［１０９１］

図５１Ｃ乃至図５１Ｆにおいて、表示部９００１に、本発明の一態様の表示装置を適用することができる。例えば、表示部９００１は、曲率半径０．１ｍｍ以上１５０ｍｍ以下で曲げることができる。

［１０９２］

携帯情報端末９２０１及び携帯情報端末９２０２は、それぞれ、折り畳んだ状態では可搬性に優れ、展開した状態では継ぎ目のない広い表示領域により表示の一覧性に優れる。

［１０９３］

なお、本発明の一態様の半導体装置を、電子部品、大型計算機、宇宙用機器、データセンター、及び電子機器の中から選ばれるいずれか一または複数に適用することで、消費電力を低減することができる。そのため、半導体装置の高性能化、または高集積化に伴うエネルギー需要の増加が見込まれる中、本発明の一態様の半導体装置を用いることで、二酸化炭素（CO_2）に代表される、温室効果ガスの排出量を低減させることも可能となる。また、本発明の一態様の半導体装置は、低消費電力であるため地球温暖化対策としても有効である。

［１０９４］

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

［符号の説明］

［１０９５］

ＡＤＤＲ：信号、ＢＩＬ：配線、ＢＷ：信号、ＣＡ：容量素子、ＣＡＬ：配線、ＣＢ：容量素子、ＣＣ：容量素子、ＣＥ：信号、ＣＬＫ：信号、ＧＮＤＬ：配線、ＧＷ：信号、ＭＦＥ：トランジスタ、ＭＰＧ：導電層、ＭＴＣＫ：トランジスタ、ＲＢＬ：配線、ＲＤＡ：信号、ＲＷＬ：配線、ＳＬ：配線、Ｔａ：最短距離、Ｔｂ：最短距離、Ｔｃ：最短距離、ＷＡＫＥ：信号、ＷＢＬ：配線、ＷＤＡ：信号、ＷＯＬ：配線、６１Ｂ：発光素子、６１Ｇ：発光素子、６１Ｒ：発光素子、６１Ｗ：発光素子、１００Ａ：容量素子、１００ａ：容量素子、１００ｂ：容量素子、１００：容量素子、１１０ａ：導電層、１１０ｂ：導電層、１１０：導電層、１１５：導電層、１２０ａ：導電層、１２０ｂ：導電層、１３０Ｂ：副画素、１３０Ｇ：副画素、１３０Ｒ：副画素、１３０：絶縁層、１３１：絶縁層、１３５：酸化物半導体層、１４０：絶縁層、１４５：導電層、１５０ａ：メモリセル、１５０ｂ：メモリセル、１５０ｃ：メモリセル、１５０ｄ：メモリセル、１５０：メモリセル、１５１：絶縁層、１５５：導電層、１６０［2］：メモリ層、１６０［n］：メモリ層、１６０：メモリ層、１６１ａ：絶縁層、１６１ｂ：絶縁層、１６１ｃ：絶縁層、１６１ｄ：絶縁層、１６１ｅ：絶縁層、１６１ｆ：絶縁層、１６４：導電層、１６５ａ：導電層、１６５ｂ：導電層、１６５：導電層、１６６ａ：導電層、１６６ｂ：導電層、１７０：表示モジュール、１７１：導電層、１７２Ｂ：ＥＬ層、１７２Ｇ：ＥＬ層、１７２Ｒ：ＥＬ層、１７２Ｗ：ＥＬ層、１７３：導電層、１７４：開口部、１７５Ｂ：光、１７５Ｇ：光、１７５Ｒ：光、１８０ａ：絶縁層、１８０ｂ：絶縁層、１８０：絶縁層、１８５：絶縁層、１９０：開口部、２００Ａ：トランジスタ、２００ａ：トランジスタ、２００Ｂ：トランジスタ、２００Ｃ：トランジスタ、２００ｃ：トランジスタ、２００Ｄ：トランジスタ、２００Ｅ：トランジスタ、２００ｅ：トランジスタ、２００Ｆ：トランジスタ、２００Ｇ：トランジスタ、２００Ｈ：トランジスタ、２００Ｉ：トランジスタ、２００Ｊ：トランジスタ、２００Ｋ：トランジスタ、２００Ｌ：トランジスタ、２００：トランジスタ、２０３Ａ：トランジスタ、２０３ａ：トランジスタ、２０３Ｂ：トランジスタ、２０３ｂ：トランジスタ、２０３Ｃ：トランジスタ、２０３ｃ：トランジスタ、２０３Ｄ：トランジスタ、２０３Ｅ：トランジスタ、２０３：トランジスタ、２１０：絶縁層、２２０ａ：導電層、２２０ｂ：導電層、２２０：導電層、２２９：層、２３０ａ：酸化物半導体、２３０ｂ：酸化物半導体、２３０ｃ：酸化物半導体、２３０ｉ：領域、２３０：酸化物半導体層、２３１：混合層、２３５ａ：絶縁層、２３５ｂ：絶縁層、２３５：絶縁層、２４０ａ：導電層、２４０ｂ：導電層、２４０：導電層、２４５：導電層、２４６：導電層、２４７：導電層、２４８：導電層、２５０ａ：絶縁層、２５０ｂ：絶縁層、２５０ｃ：絶縁層、２５０ｄ：絶縁層、２５０：絶縁層、２５５：導電層、２６０：導電層、２６４Ｂ：着色層、２６４Ｇ：着色層、２６４Ｒ：着色層、２６５ａ：導電層、２６５ｂ：導電層、２６５：導電層、２６６ａ：導電層、２６６ｂ：導電層、２７０：開口部、２７１：保護層、２７２：絶縁層、２８０ａ：絶縁層、２８０ｂ：絶縁層、２８０ｃ：絶縁層、２８０ｄ：絶縁層、２８０ｅ：絶縁層、２８０ｆ：絶縁層、２８３：絶縁層、２８５ａ：絶縁層、２８５ｂ：絶縁層、２８５：絶縁層、２８７：絶縁層、２９０：開口部、２９１：基板、２９２：回路部、２９３ａ：画素回路、２９３：画素回路部、２９４ａ：画素、２９４：画素部、２９５：端子部、２９６：配線部、２９７：表示部、２９８：ＦＰＣ、２９９：基板、３００：トランジスタ、３１１：基板、３１３：半導体領域、３１４ａ：低抵抗領域、３１４ｂ：低抵抗領域、３１５：絶縁層、３１６：導電層、３２０：絶縁層、３２２：絶縁層、３２４：絶縁層、３２６：絶縁層、３２８：導電層、３３０：導電層、３５０：絶縁層、３５２：絶縁層、３５４：絶縁層、３５６：導電層、３６３：絶縁層、４００ｄ：トランジスタ、４１０：基板、４１２：素子分離層、４１３：半導体領域、４１４

ａ：低抵抗領域、４１４ｂ：低抵抗領域、４１５：絶縁層、４１６：導電層、４１７：絶縁層、４２０：絶縁層、４２２：絶縁層、４２４：絶縁層、４２６：絶縁層、４２８：導電層、４３０：導電層、４５０：絶縁層、４５２：絶縁層、４５４：絶縁層、４５６：導電層、５１３：絶縁層、５１４：導電層、５４１：基板、５４３：接着層、５４５：絶縁層、５７４：絶縁層、５８１：絶縁層、５９２：絶縁層、５９４：絶縁層、５９６：導電層、５９８：絶縁層、５９９：絶縁層、６００Ａ：表示装置、６００Ｂ：表示装置、６０７：接着層、６１０：基板、６１１ａ：導電層、６１１ｂ：導電層、６１１ｃ：導電層、６１３ａ：層、６１３ｂ：層、６１３ｃ：層、６１４：共通層、６１５：共通電極、６１８ａ：犠牲層、６２０：素子層、６２５：絶縁層、６２７：絶縁層、６２８Ｂ：着色層、６２８Ｇ：着色層、６２８Ｒ：着色層、６３０：素子層、６３１：保護層、６３５：素子層、６４０：接続部、６４２：導電層、６４３：導電層、６４４：導電層、６４５：導電層、６４６：導電層、６４８：絶縁層、６５０Ｂ：発光素子、６５０Ｇ：発光素子、６５０Ｒ：発光素子、６５０：発光素子、６６０：素子層、６７０：配線層、７００Ａ：電子機器、７００：電子部品、７０２：プリント基板、７０４：実装基板、７１０：半導体装置、７１１：モールド、７１２：ランド、７１３：電極パッド、７１４：ワイヤ、７１５：駆動回路層、７１６：記憶層、７２１：筐体、７２３：装着部、７３０：電子部品、７３１：インターポーザ、７３２：パッケージ基板、７３３：電極、７３５：半導体装置、７５０：イヤフォン、７５１：表示パネル、７５３：光学部材、７５６：表示領域、７５７：フレーム、７５８：鼻パッド、８００Ａ：電子機器、８００Ｂ：電子機器、８２０：表示部、８２１：筐体、８２２：通信部、８２３：装着部、８２４：制御部、８２５：撮像部、８２７：イヤフォン部、８３２：レンズ、８４０＿Ｌ：表示装置、８４０＿Ｒ：表示装置、８４０：表示装置、８４１：動き検出部、８４２：視線検出部、８４３：演算部、８４４：通信部、８４５：筐体、８４８：レンズ、８５０Ａ：電子機器、８５０Ｂ：電子機器、８５１：操作ボタン、８５４：装着具、８５５：センサ、８５６：ダイヤル、９００：半導体装置、９１０：駆動回路、９１１：周辺回路、９１２：コントロール回路、９１５：周辺回路、９２０：メモリアレイ、９２３：行ドライバ、９２４：列ドライバ、９２５：入力回路、９２６：出力回路、９２７：センスアンプ、９２８：電圧生成回路、９３０：層、９３１：ＰＳＷ、９３２：ＰＳＷ、９４１：行デコーダ、９４２：列デコーダ、９５０：メモリセル、９５１：メモリセル、９５２：記憶装置、９５３：メモリセル、９５４：メモリセル、９５５：メモリセル、９５６：メモリセル、９５７：メモリセル、９５８：メモリセル、９６０：演算装置、９７０Ａ：半導体装置、９７０Ｂ：半導体装置、９７０Ｃ：半導体装置、９８９：キャッシュインターフェース、９９０：基板、９９１：ＡＬＵ、９９２：ＡＬＵコントローラ、９９３：インストラクションデコーダ、９９４：インタラプトコントローラ、９９５：タイミングコントローラ、９９６：レジスタ、９９７：レジスタコントローラ、９９８：バスインターフェース、９９９：キャッシュ、４０００Ａ：製造装置、４０００Ｂ：製造装置、４０００Ｃ：製造装置、４０００Ｄ：製造装置、４００２：搬入搬出室、４００４：搬入搬出室、４００６：搬送室、４００７：成膜室、４００８：成膜室、４００９：成膜室、４０１０：成膜室、４０１１：処理室、４０１２：処理室、４０１４：搬送アーム、４０２０：チャンバー、４０２１ａ：原料供給部、４０２１ｂ：原料供給部、４０２１ｃ：原料供給部、４０２１：原料供給部、４０２２ａ：高速バルブ、４０２２ｄ：高速バルブ、４０２３：原料導入口、４０２４：原料排出口、４０２５：排気装置、４０２６：基板ホルダ、４０２７：ヒータ、４０２８：プラズマ発生装置、４０２９：コイル、４０３０：基板、４０３１：原料供給部、４０３２：ガス供給部、４０３３：原料導入口、４０３４ａ：配管ヒータ、４０３４ｂ：配管ヒータ、４０５２：搬入搬出室、４０５４：搬入搬出室、４０５６ａ：搬送室、４０５６ｂ：搬送室、４０６０ａ：

成膜室、４０６０ｂ：成膜室、４０６０ｃ：成膜室、４０６０ｄ：成膜室、４０６０ｅ：成膜室、４０６１ａ：処理室、４０６１ｂ：処理室、４０６４ａ：搬送アーム、４０６４ｂ：搬送アーム、４０６５：移送室、４１００：ＰＥＡＬＤ装置、４１１１：プラズマ生成室、４１２０：反応室、４１２３：原料導入口、４１２４：原料排出口、４１２６：基板ホルダ、４１２８：プラズマ生成装置、４１３０：基板、４１３１：プラズマ、４１３３：原料導入口、４２００：ＰＥＡＬＤ装置、４２１３：電極、４２１４：シャワーヘッド、４２１５：電源、４２１７：コンデンサ、４２２０：チャンバー、４２２３：原料導入口、４２２４：原料排出口、４２２６：基板ホルダ、４２３０：基板、４２３１：プラズマ、４３００：ＰＥＡＬＤ装置、４３１３：電極、４３１４：シャワーヘッド、４３１５：電源、４３１７：コンデンサ、４３１９：メッシュ、４３２０：チャンバー、４３２１：電源、４３２２：コンデンサ、４３２３：原料導入口、４３２４：原料排出口、４３２６：基板ホルダ、４３３０：基板、４３３１：プラズマ、４５２０：チャンバー、４５２１ａ：原料供給部、４５２１ｂ：原料供給部、４５２１ｃ：原料供給部、４５２１：原料供給部、４５２２ａ：高速バルブ、４５２２ｃ：高速バルブ、４５２２ｄ：高速バルブ、４５２３：原料導入口、４５２４：原料排出口、４５２５：排気装置、４５２６：基板ホルダ、４５２７：ヒータ、４５３０：基板、４５３１：原料供給部、４５３２：ガス供給部、４５３４ａ：配管ヒータ、４５３４ｂ：配管ヒータ、４６０２：成膜チャンバー、４６０６：マグネットユニット、４６０８：バッキングプレート、４６１０：ターゲット、４６１２：基板ホルダ、４６１５：ＤＣ電源、４６１６：ＲＦ電源、４６１８：ＲＦ電源、４６２０：基板、５６００：大型計算機、５６１０：ラック、５６２０：計算機、５６２１：ＰＣカード、５６２２：ボード、５６２３：接続端子、５６２４：接続端子、５６２５：接続端子、５６２６：半導体装置、５６２７：半導体装置、５６２８：半導体装置、５６２９：接続端子、５６３０：マザーボード、５６３１：スロット、６５００：電子機器、６５０１：筐体、６５０２：表示部、６５０３：電源ボタン、６５０４：ボタン、６５０５：スピーカ、６５０６：マイク、６５０７：カメラ、６５０８：光源、６５０９：制御装置、６５１０：保護部材、６５１１：表示パネル、６５１２：光学部材、６５１３：タッチセンサパネル、６５１５：ＦＰＣ、６５１６：ＩＣ、６５１７：プリント基板、６５１８：バッテリ、６５１９：接続端子、６５２０：電子機器、６８００：人工衛星、６８０１：機体、６８０２：ソーラーパネル、６８０３：アンテナ、６８０４：惑星、６８０５：二次電池、６８０７：制御装置、７０００：表示部、７００１ｓｂ：サーバ、７００１：ホスト、７００２：ストレージ制御回路、７００３ｍｄ：記憶装置、７００３：ストレージ、７０１０：ストレージシステム、７１００：テレビジョン装置、７１０１：筐体、７１０３：スタンド、７１１１：リモコン操作機、７２００：ノート型パーソナルコンピュータ、７２１１：筐体、７２１２：キーボード、７２１３：ポインティングデバイス、７２１４：外部接続ポート、７２１５：制御装置、７３００：デジタルサイネージ、７３０１：筐体、７３０３：スピーカ、７３１１：情報端末機、７４００：デジタルサイネージ、７４０１：柱、７４１１：情報端末機、９０００ａ：筐体、９０００ｂ：筐体、９０００：筐体、９００１ａ：表示パネル、９００１ｂ：表示パネル、９００１ｃ：表示パネル、９００１ｄ：表示パネル、９００１：表示部、９００３：スピーカ、９００５：操作キー、９００６：接続端子、９００７：センサ、９００８：マイクロフォン、９０５５：ヒンジ、９０５６：操作ボタン、９２００：携帯情報端末、９２０１：携帯情報端末、９２０２：携帯情報端末

請求の範囲

［請求項１］

第１の成膜室、第２の成膜室、第３の成膜室、第１の処理室、及び、搬送室を有し、

前記第１の成膜室は、第１のプリカーサと、第１の酸化剤と、を用いた、熱ＡＬＤ法による成膜を行う機能を有し、

前記第２の成膜室は、第２のプリカーサと、第２の酸化剤と、を用いた、プラズマＡＬＤ法による成膜を行う機能を有し、

前記第３の成膜室は、第３のプリカーサと、第３の酸化剤と、を用いた、熱ＡＬＤ法による成膜を行う機能を有し、

前記第１の処理室は、加熱処理またはマイクロ波処理を行う機能を有し、

前記第１の成膜室は、前記搬送室を介して、前記第２の成膜室、前記第３の成膜室、及び、前記第１の処理室とそれぞれ接続されている、製造装置。

［請求項２］

請求項１において、

第４の成膜室を有し、

前記第４の成膜室は、ＣＶＤ法により導電層の成膜を行う機能を有し、

前記第４の成膜室は、前記搬送室を介して、前記第１の成膜室、前記第２の成膜室、及び、前記第１の処理室とそれぞれ接続されている、製造装置。

［請求項３］

第１の成膜室、第２の成膜室、第１の処理室、及び、搬送室を有し、

前記第１の成膜室は、第１のプリカーサと、窒素を含む第１のガスと、を用いた、プラズマＡＬＤ法による成膜を行う機能を有し、

前記第２の成膜室は、第２のプリカーサと、酸化剤と、を用いた、熱ＡＬＤ法による成膜を行う機能を有し、

前記第１の処理室は、加熱処理またはマイクロ波処理を行う機能を有し、

前記第１の成膜室は、前記搬送室を介して、前記第２の成膜室、及び、前記第１の処理室とそれぞれ接続されている、製造装置。

［請求項４］

請求項３において、

第３の成膜室を有し、

前記第３の成膜室は、第３のプリカーサと、窒素を含む第２のガスと、を用いた、プラズマＡＬＤ法による成膜を行う機能を有し、

前記第３の成膜室は、前記搬送室を介して、前記第１の成膜室、前記第２の成膜室、及び、前記第１の処理室とそれぞれ接続されている、製造装置。

［請求項５］

請求項１または３において、

第２の処理室を有し、

前記第１の処理室は、加熱処理を行う機能を有し、

前記第２の処理室は、マイクロ波処理を行う機能を有し、

前記第２の処理室は、前記搬送室を介して、前記第１の成膜室、前記第２の成膜室、及び、前記第

１の処理室とそれぞれ接続されている、製造装置。

［請求項６］

第１の成膜室、第２の成膜室、第３の成膜室、及び搬送室を有する製造装置を用いた、酸化物半導体層、ゲート絶縁層、及びゲート電極をこの順で積層して有する半導体装置の作製方法であって、

前記ゲート絶縁層は、第１の絶縁層、第２の絶縁層、及び第３の絶縁層を有し、

前記第１の成膜室にて、第１のプリカーサと、第１の酸化剤と、を用いた、熱ＡＬＤ法によって、前記酸化物半導体層上に前記第１の絶縁層を成膜し、

前記第２の成膜室にて、第２のプリカーサと、第２の酸化剤と、を用いた、プラズマＡＬＤ法によって、前記第１の絶縁層上に前記第２の絶縁層を成膜し、

前記第３の成膜室にて、第３のプリカーサと、第３の酸化剤と、を用いた、熱ＡＬＤ法によって、前記第２の絶縁層上に前記第３の絶縁層を成膜し、

前記第１の成膜室は、前記搬送室を介して、前記第２の成膜室、及び、前記第３の成膜室とそれぞれ接続されている、半導体装置の作製方法。

［請求項７］

請求項６において、

前記製造装置は第４の成膜室を有し、

前記第４の成膜室にて、ＣＶＤ法によって、前記第３の絶縁層上に前記ゲート電極となる導電層を成膜する、半導体装置の作製方法。

図1

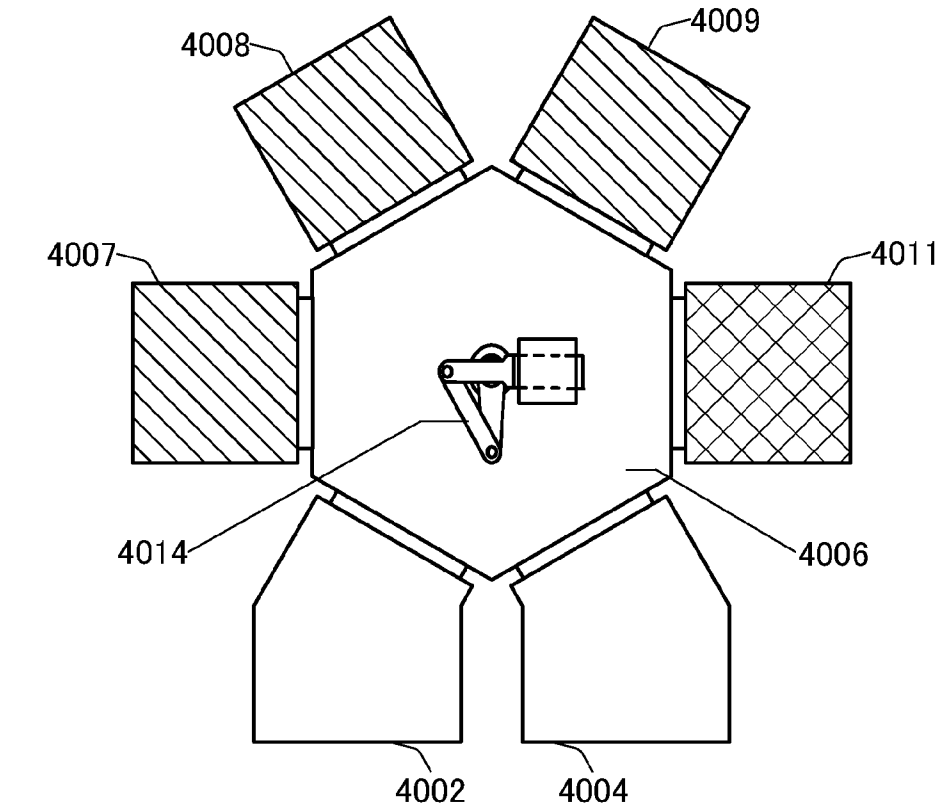


図2A

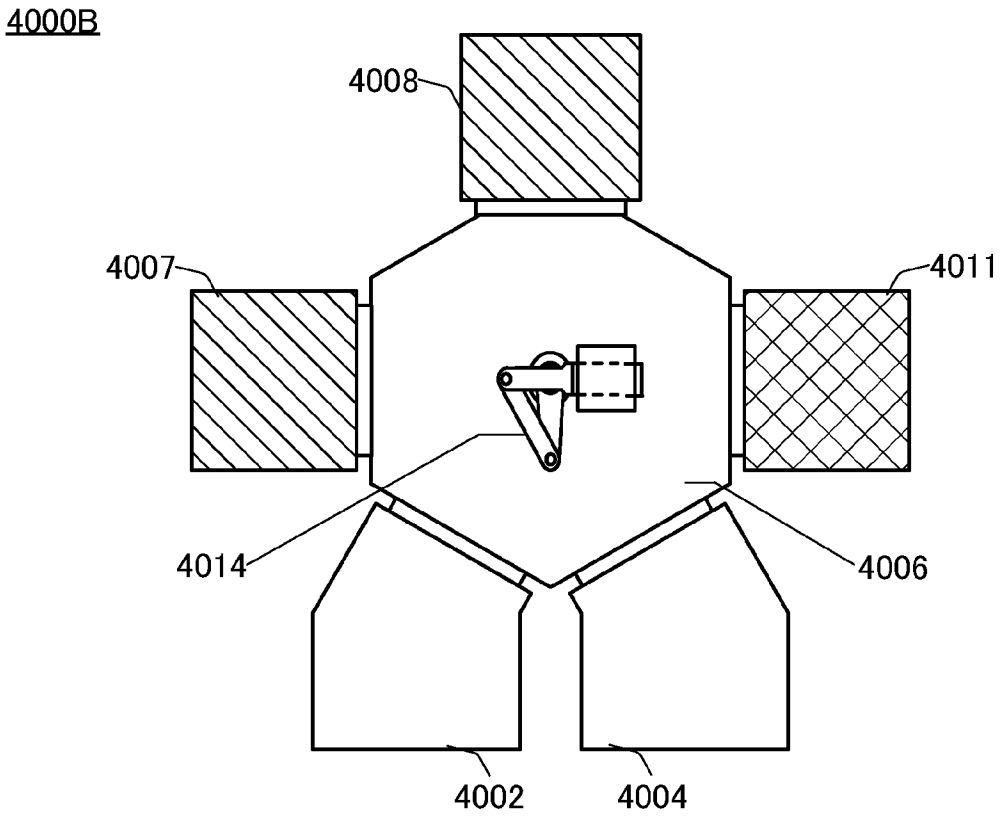

4000B
4008
4007
4011
4014
4006
4002
4004

図2B

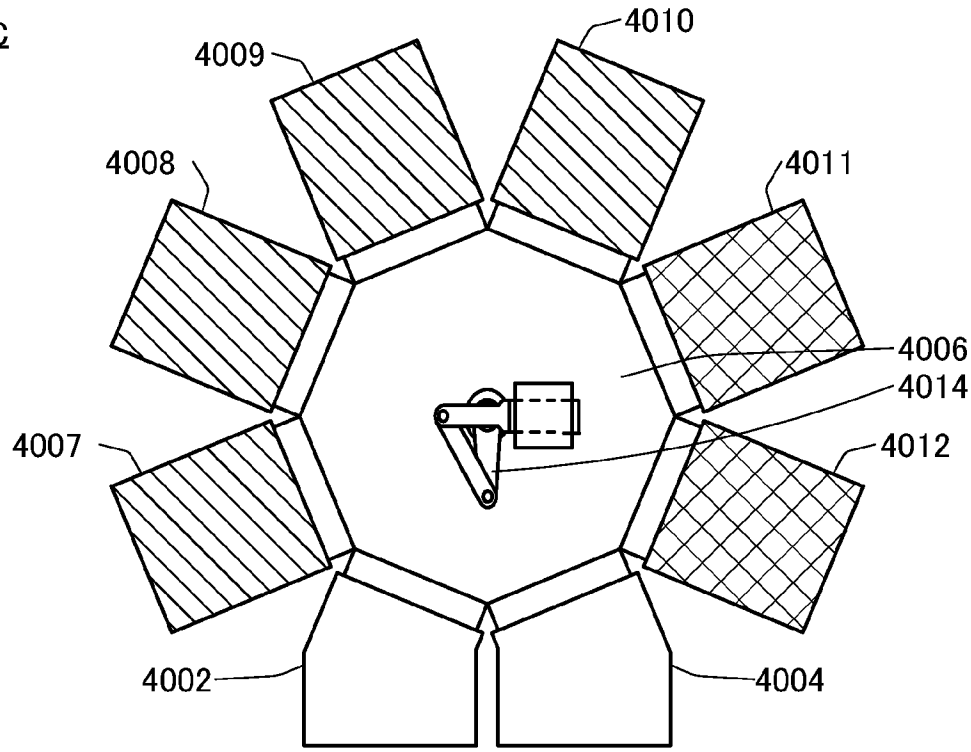

4000C
4010
4009
4008
4011
4006
4014
4007
4012
4002
4004

図3

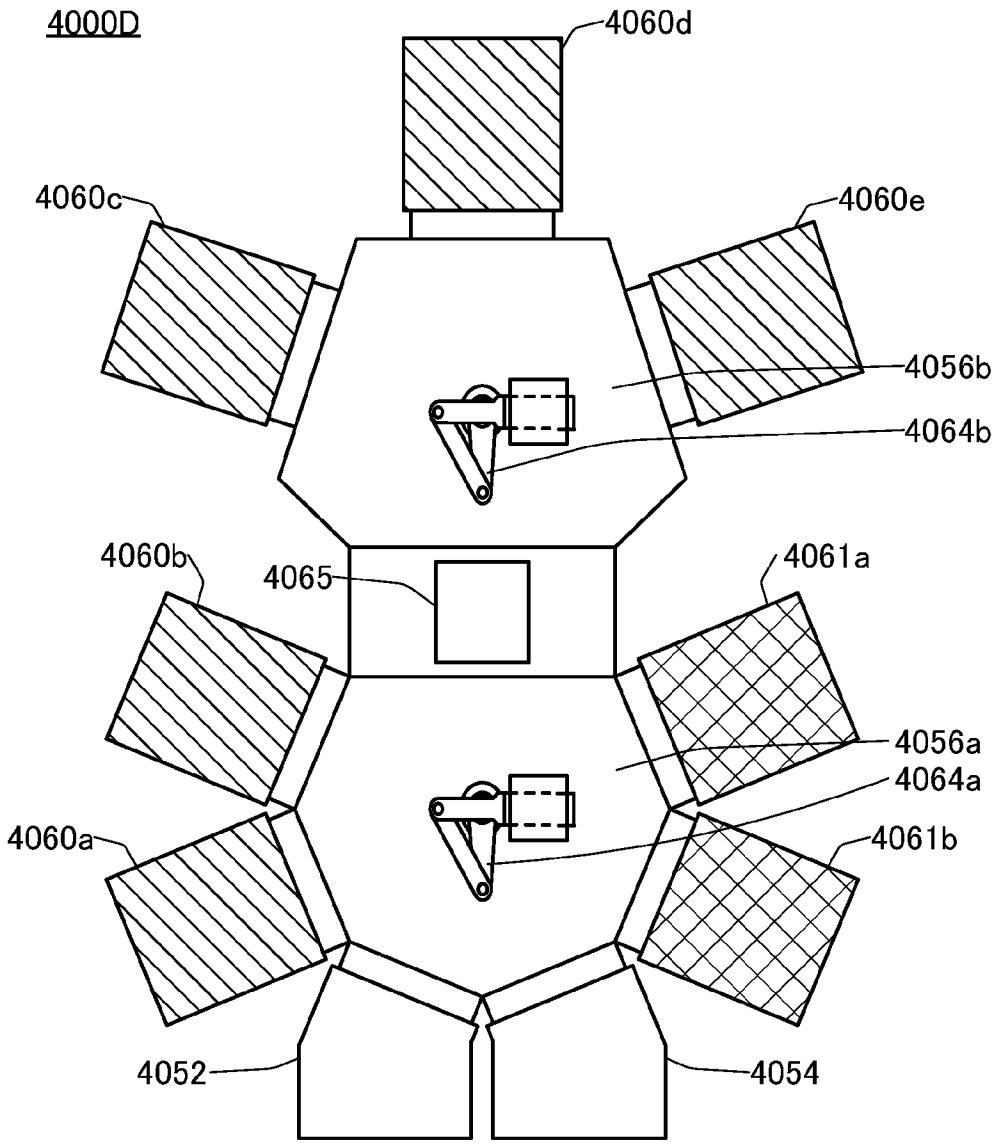

4000D
4060d
4060c
4060e
4056b
4064b
4060b
4065
4061a
4056a
4064a
4060a
4061b
4052
4054

図4A

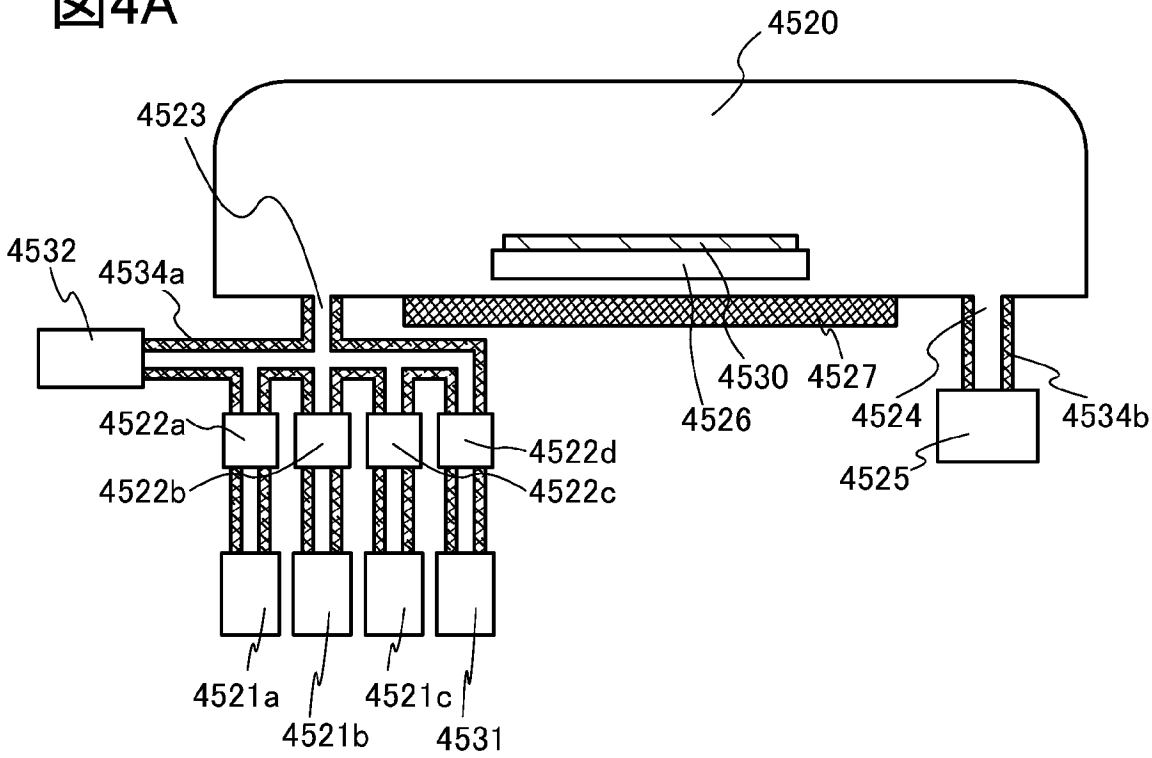

4520
4523
4532
4534a
4530
4527
4526
4524
4534b
4522a
4522d
4522b
4522c
4525
4521a
4521c
4521b
4531

図4B

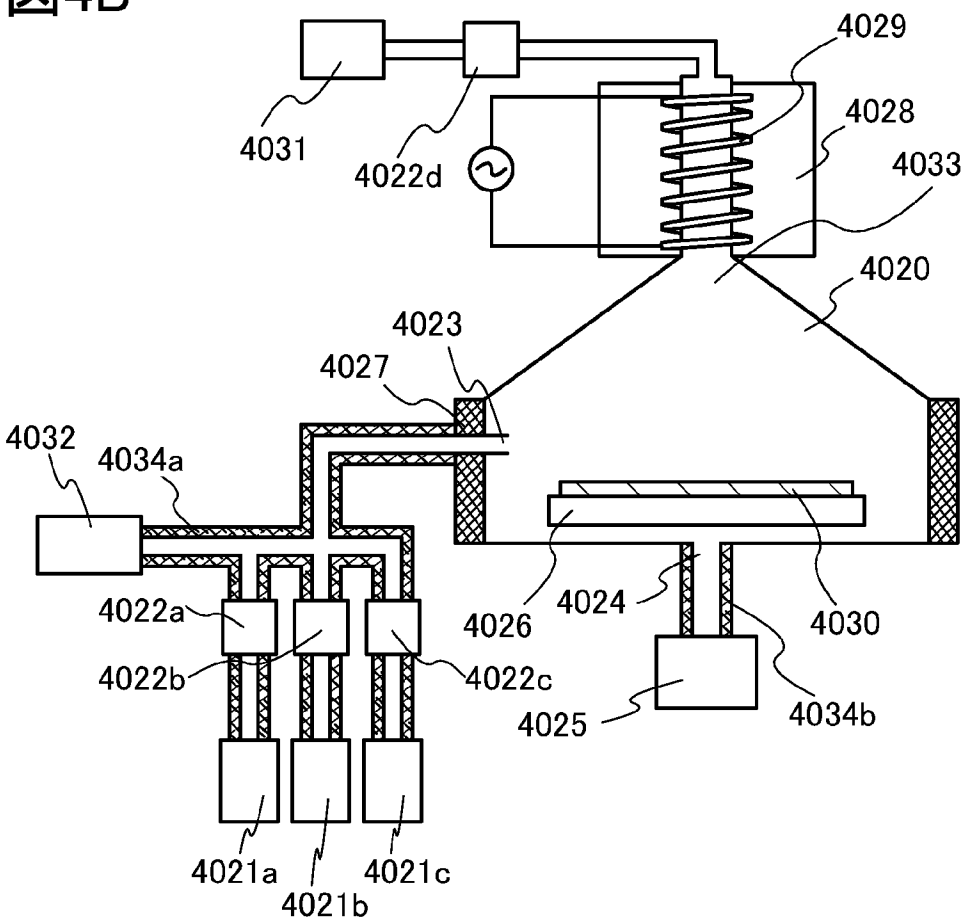

4029
4031
4028
4022d
4033
4020
4023
4027
4032
4034a
4022a
4026
4024
4030
4022b
4022c
4025
4034b
4021a
4021c
4021b

図5A

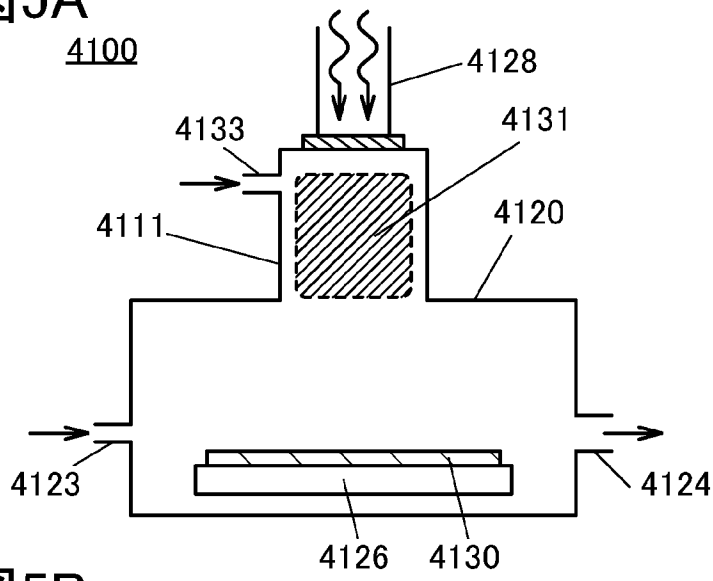

4100
4128
4133
4131
4111
4120
4123
4124
4126
4130

図5B

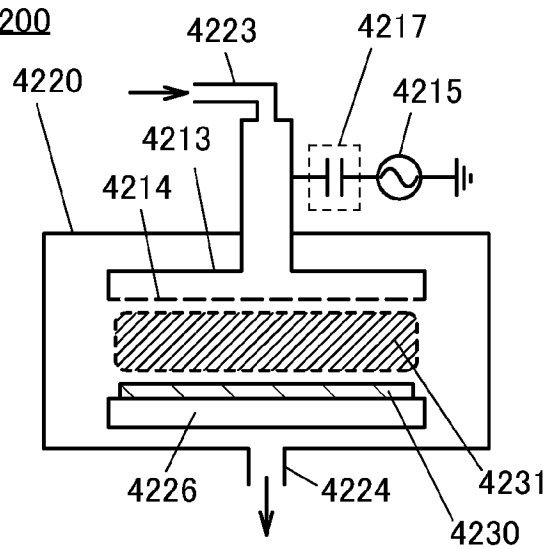

4200
4223
4217
4220
4215
4213
4214
4226
4224
4231
4230

図5C

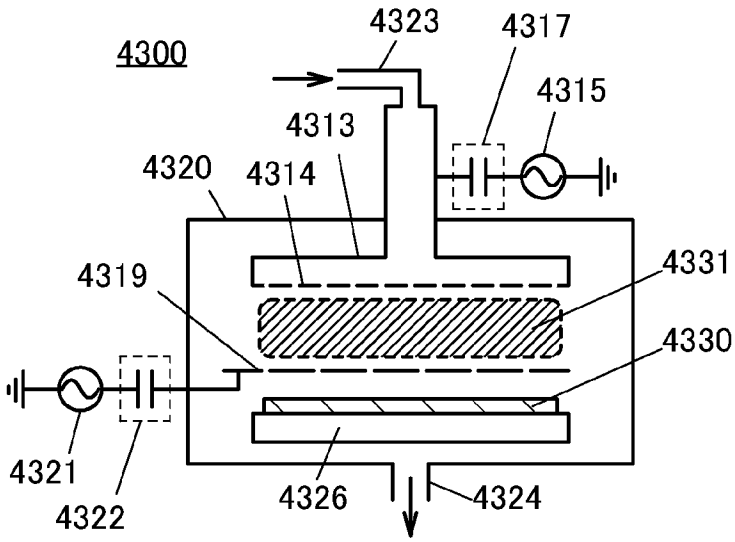

4300
4323
4317
4315
4313
4320
4314
4319
4331
4330
4321
4322
4326
4324

図6

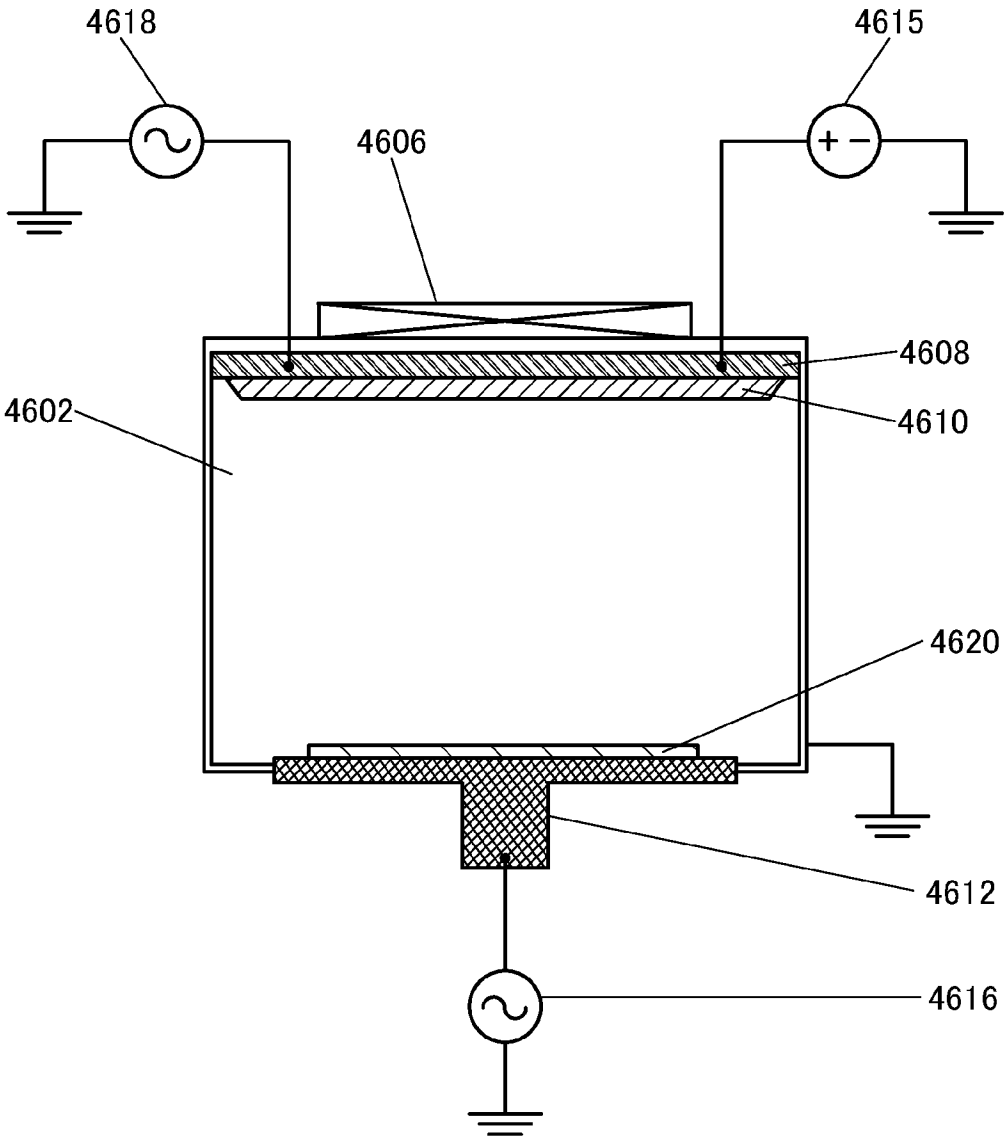


図7A

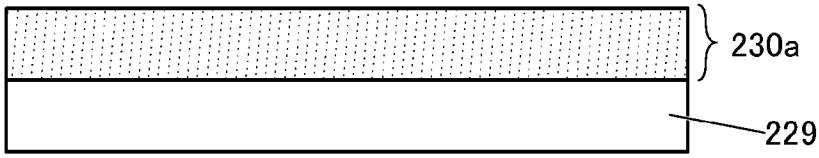


図7B

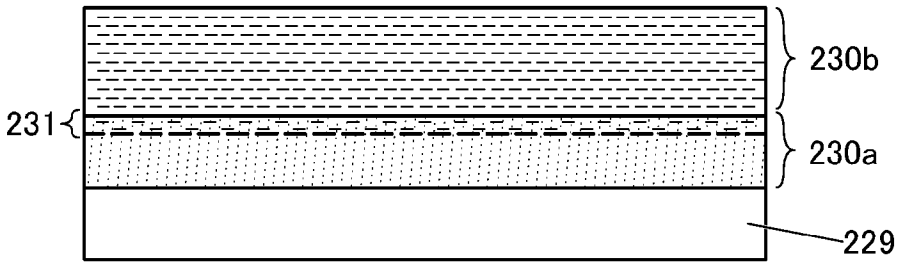


図7C

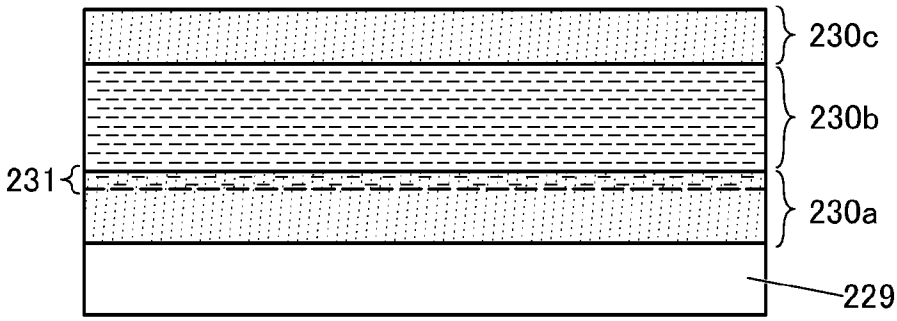


図7D

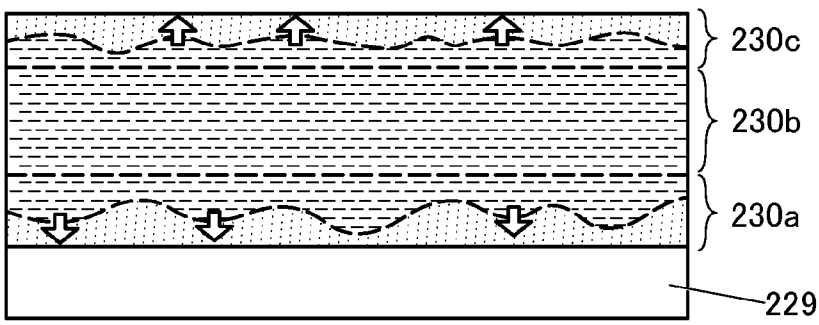


図8A

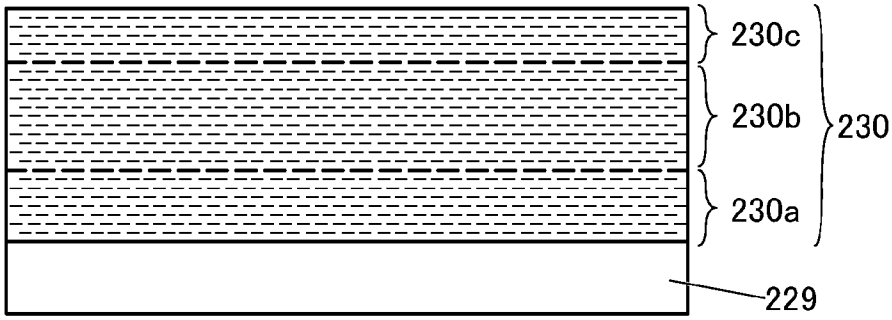


図8B

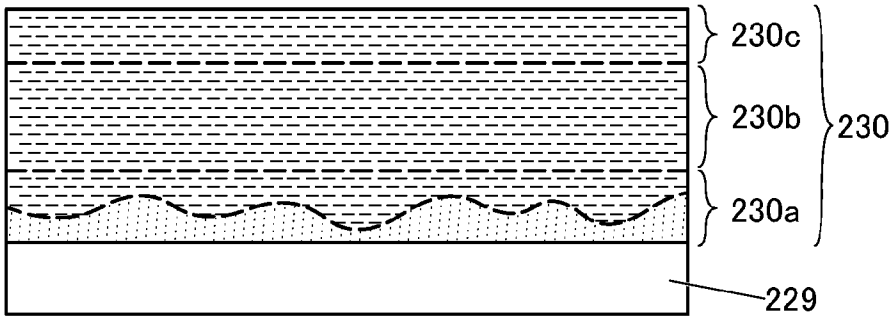


図8C

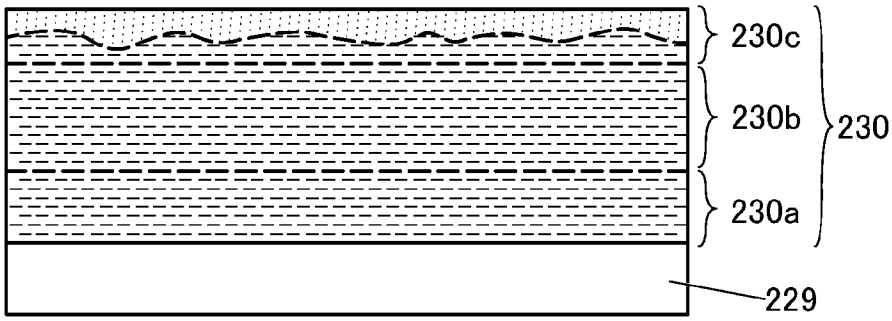


図8D

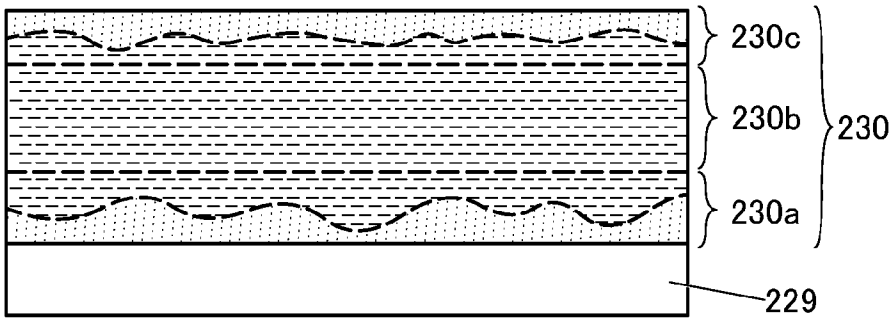


図9A1

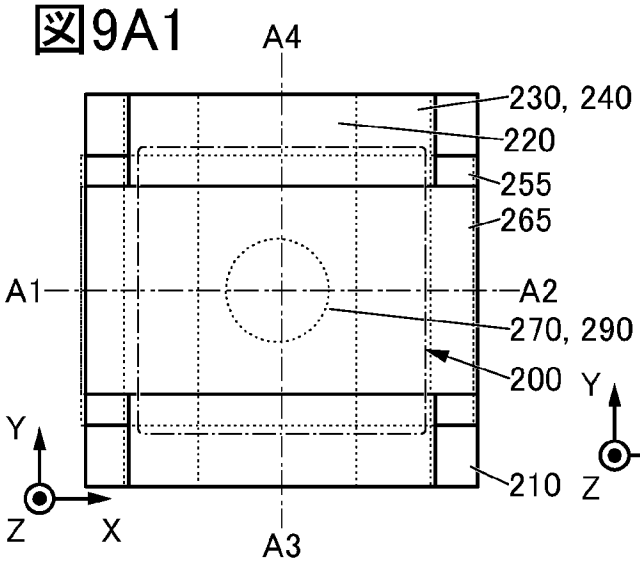


図9A2

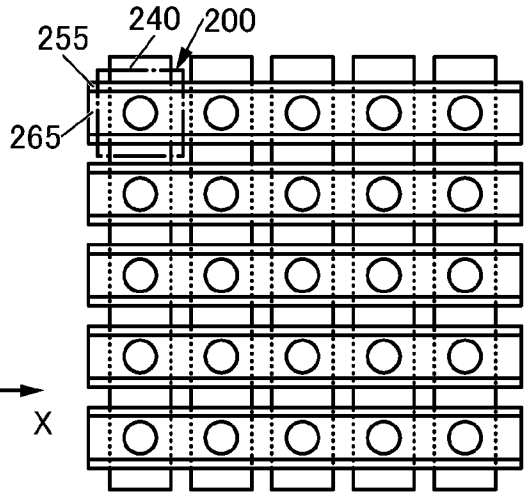


図9B

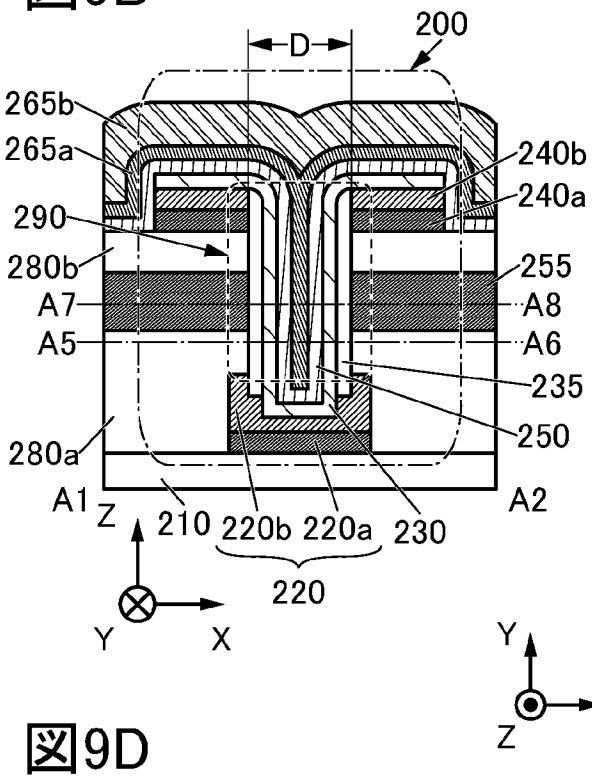


図9C

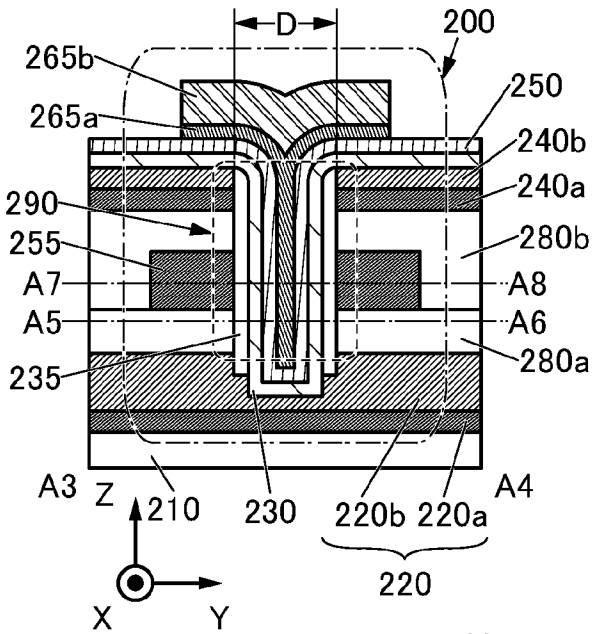


図9D

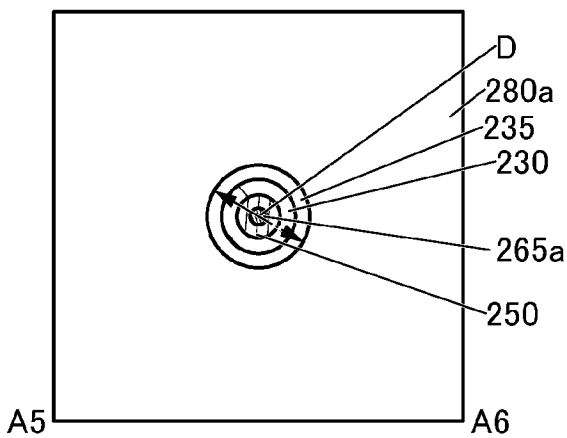


図9E

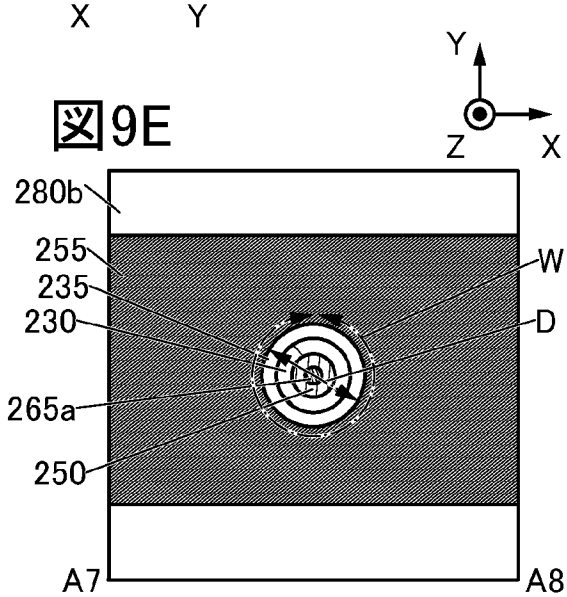


図10A

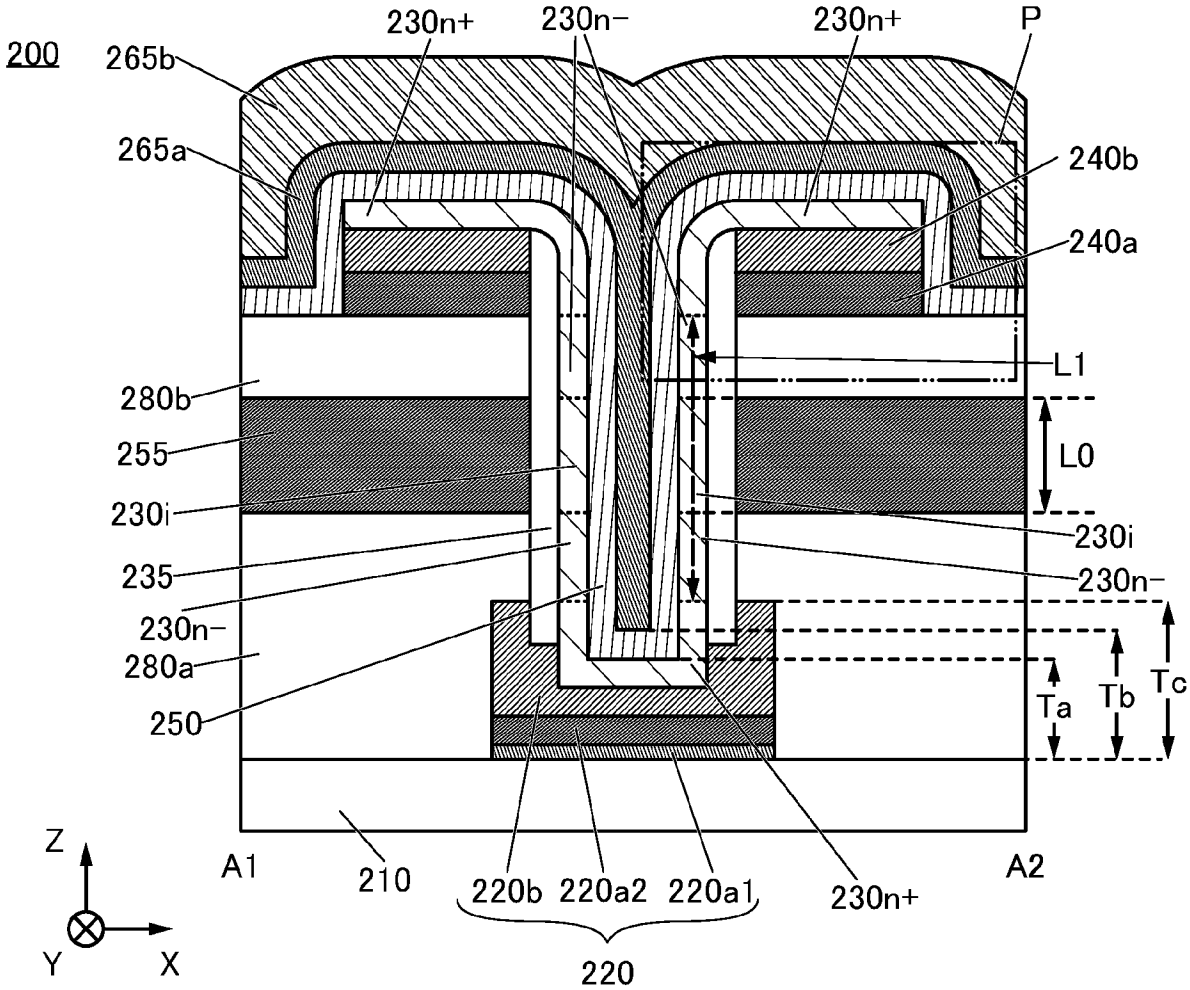


図10B

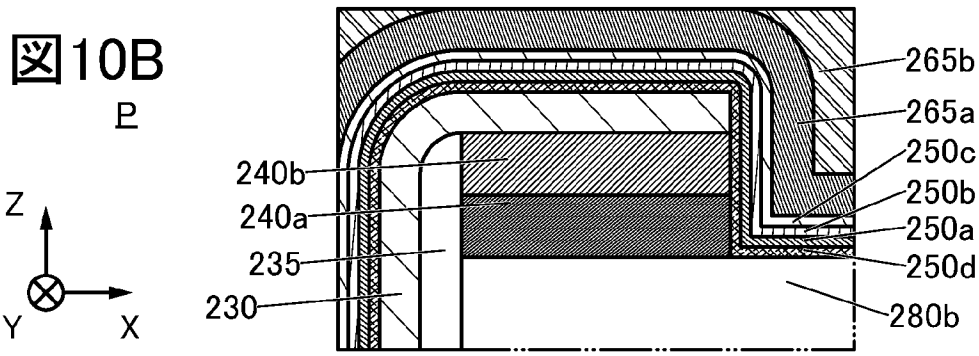


図10C

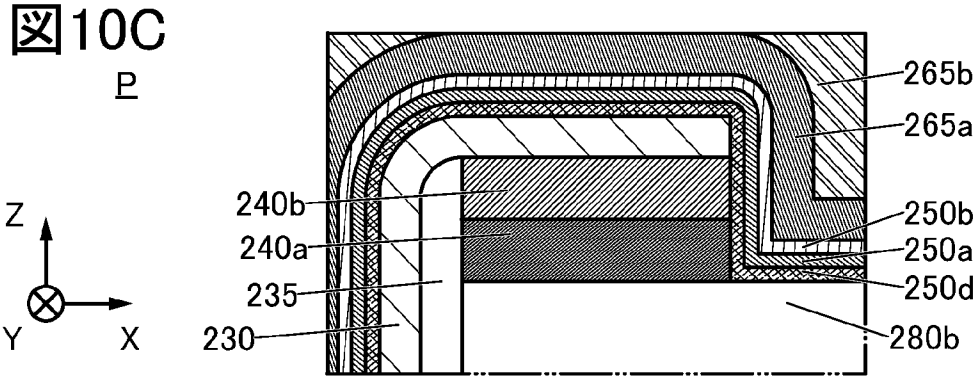


図11A

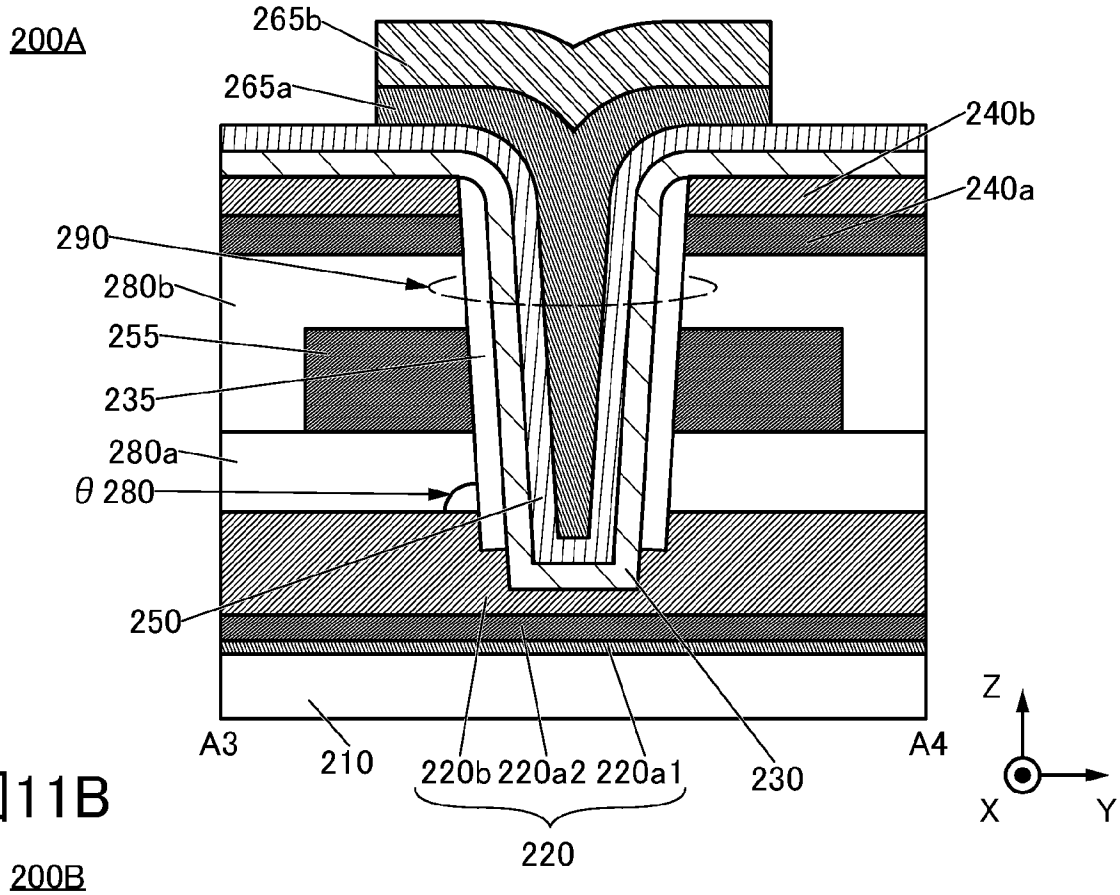

200A
265b
265a
240b
240a
290
280b
255
235
280a
θ 280
250
A3
210
220b 220a2 220a1
230
A4
220
Z
X
Y

図11B

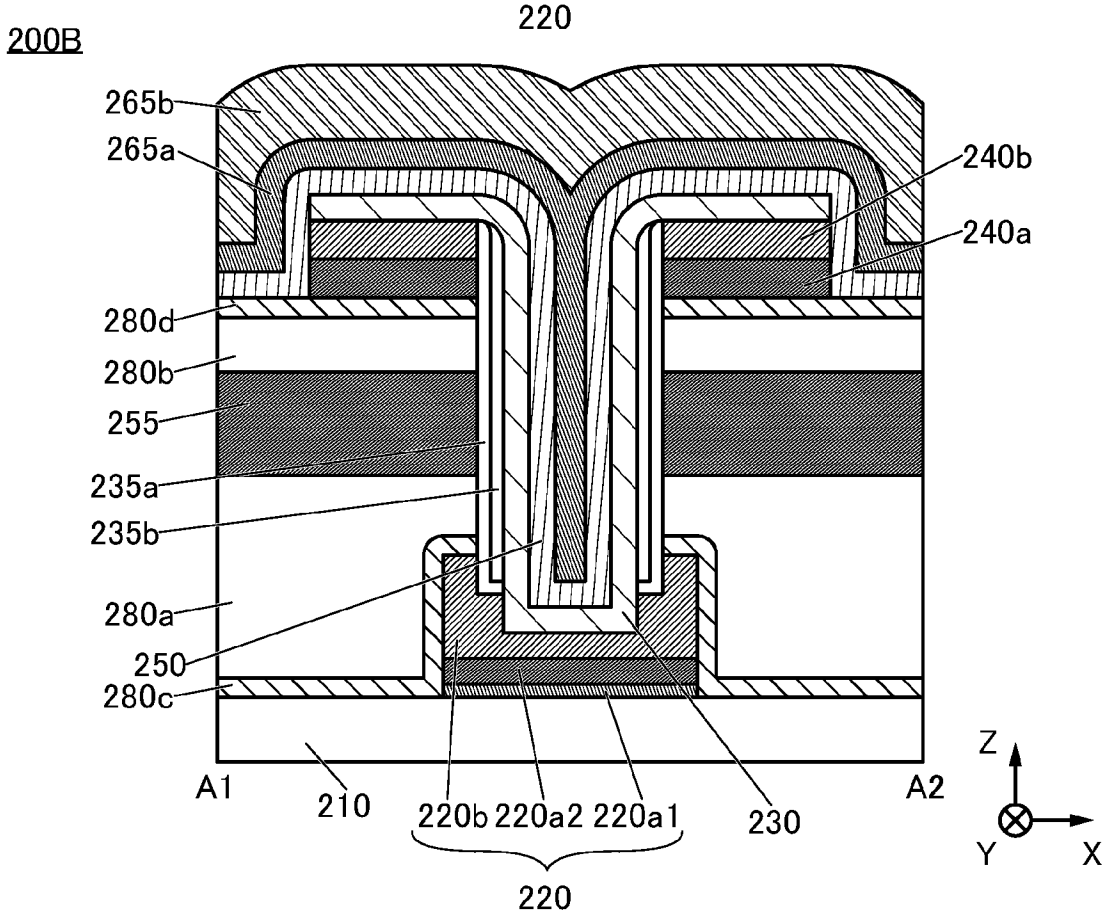

200B
265b
265a
240b
240a
280d
280b
255
235a
235b
280a
250
280c
A1
210
220b 220a2 220a1
230
A2
220
Z
Y
X

図12A

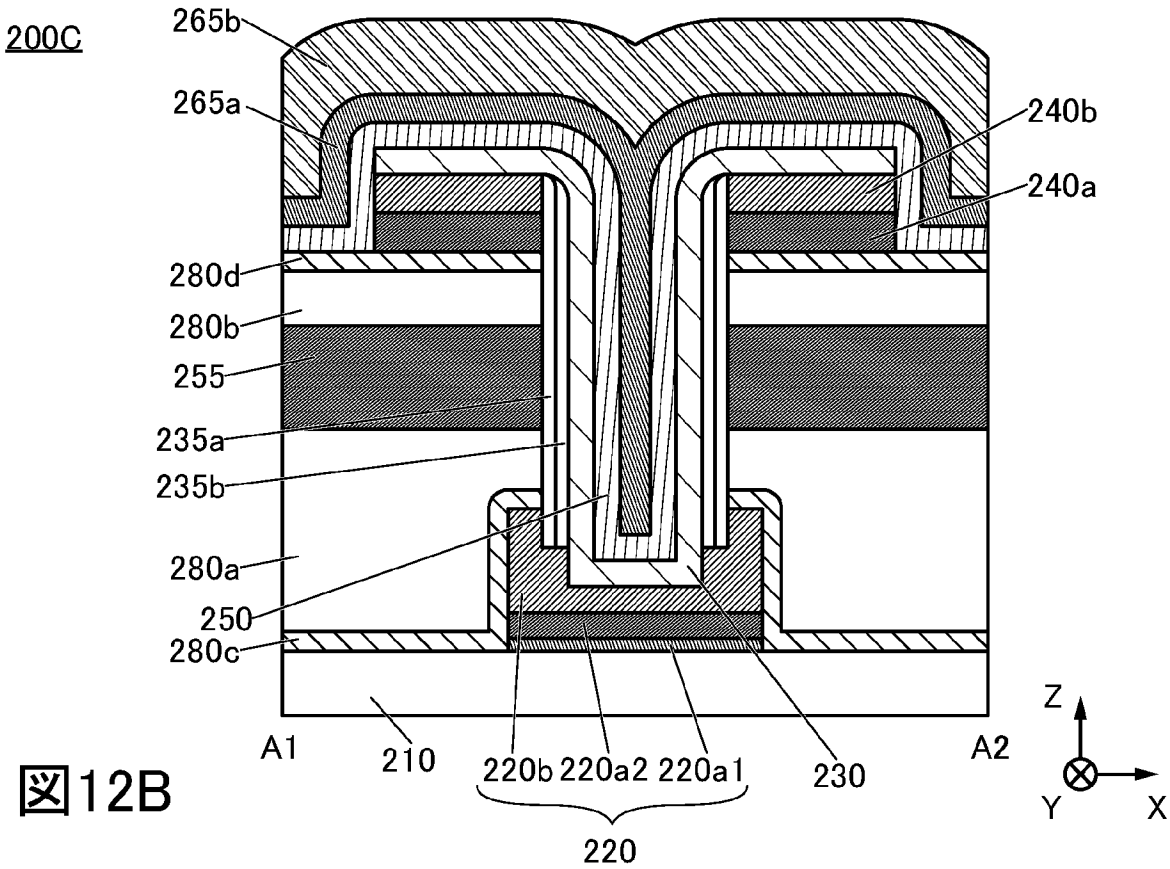

200C
265b
265a
240b
240a
280d
280b
255
235a
235b
280a
250
280c
A1
210
220b
220a2
220a1
230
A2
220
Z
Y
X

図12B

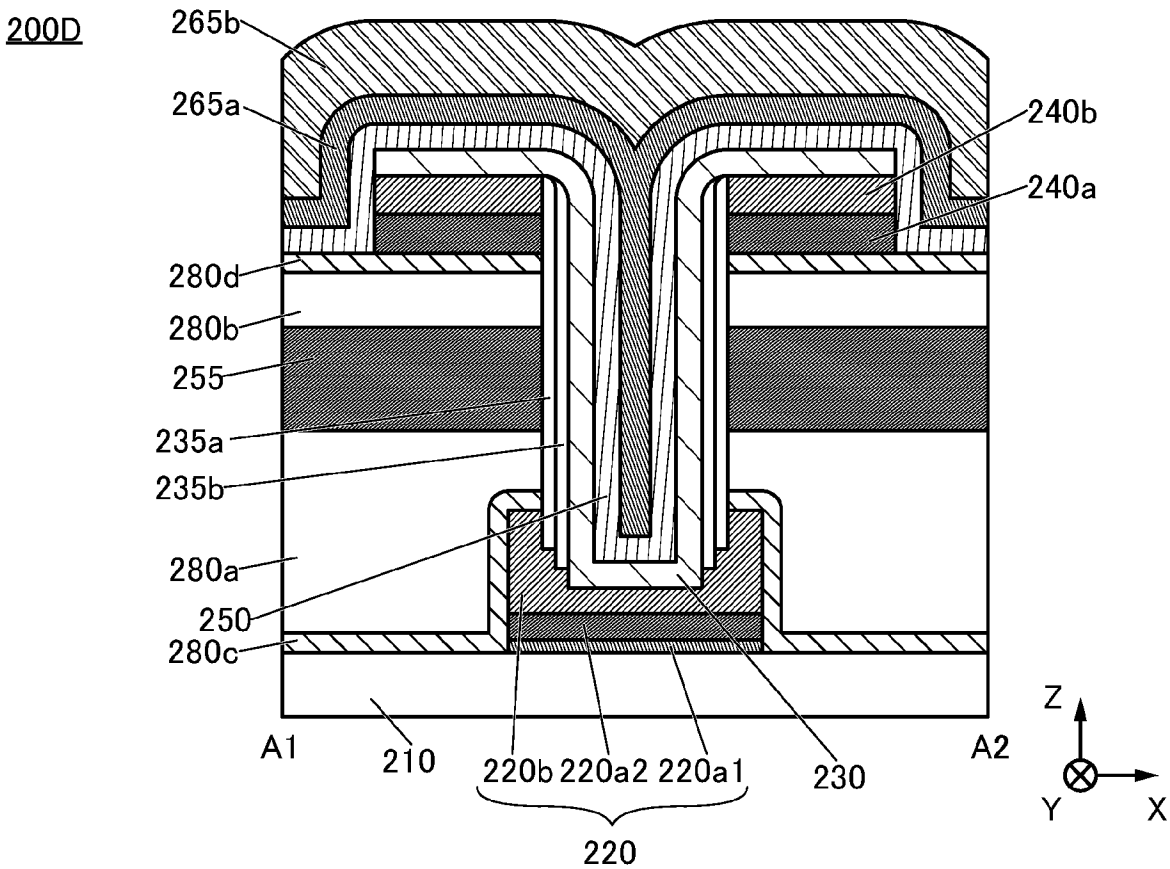

200D
265b
265a
240b
240a
280d
280b
255
235a
235b
280a
250
280c
A1
210
220b
220a2
220a1
230
A2
220
Z
Y
X

図13A

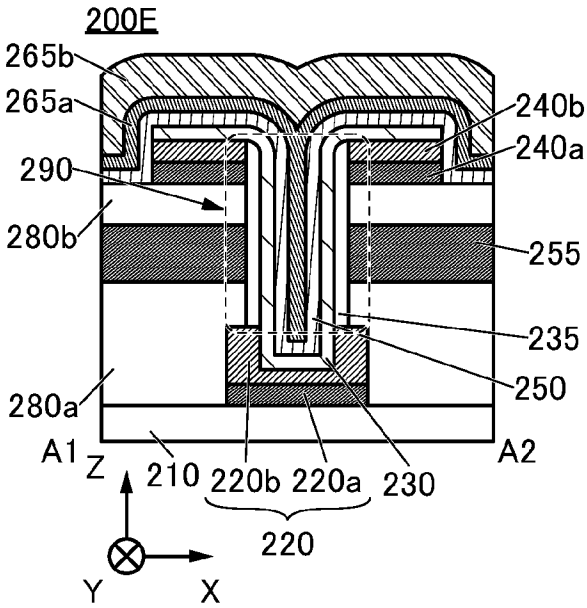


図13B

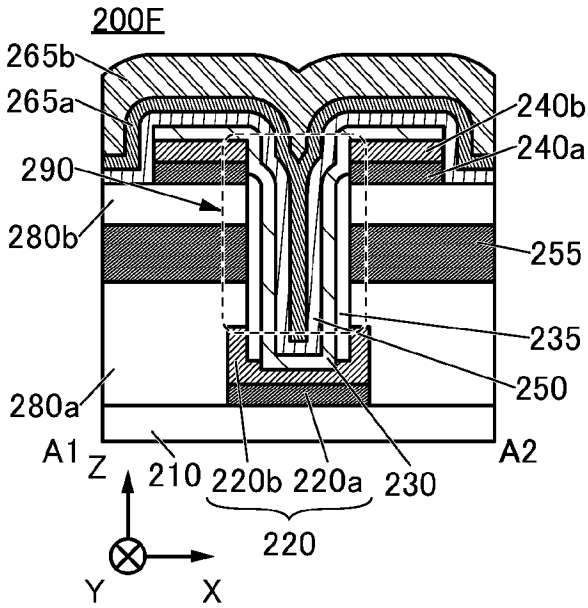


図13C

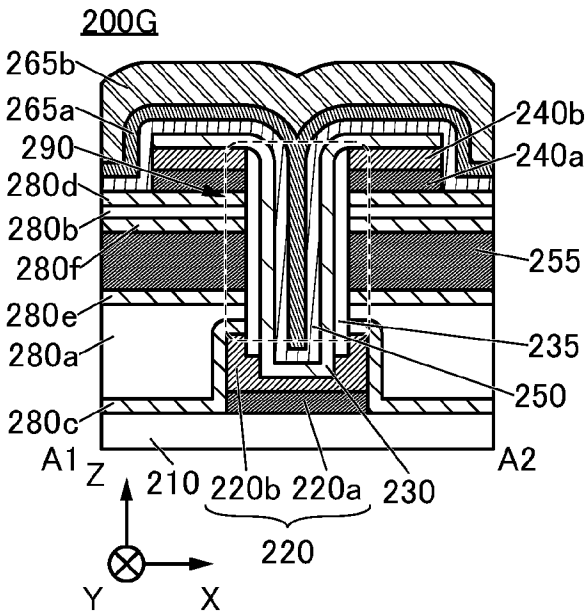


図13D

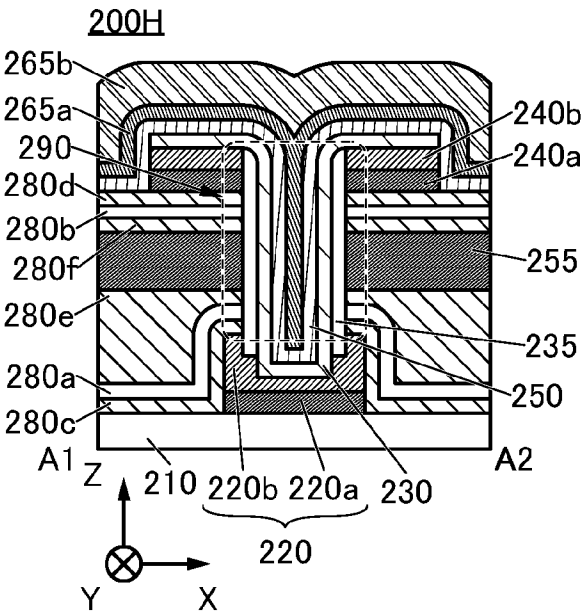


図14A

200I

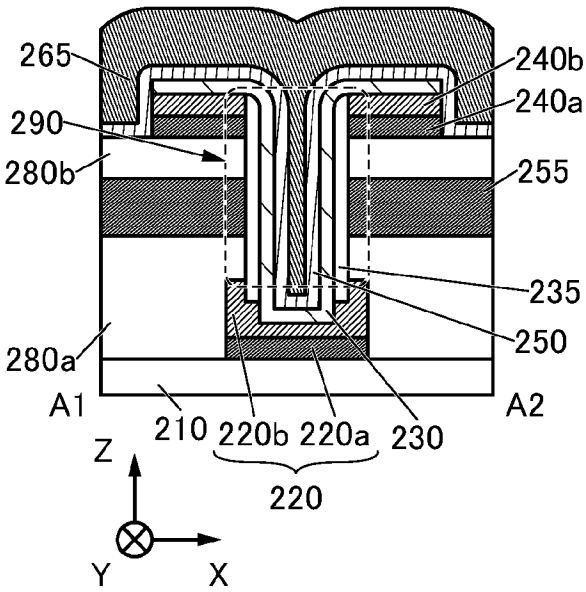


図14B

200J

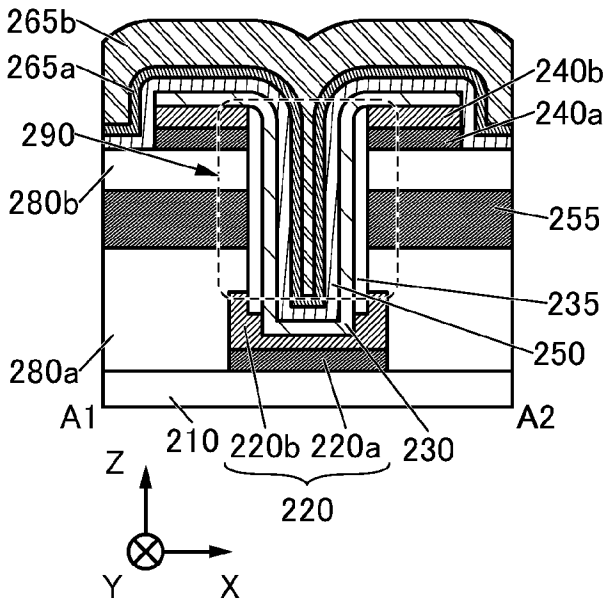


図14C

200K

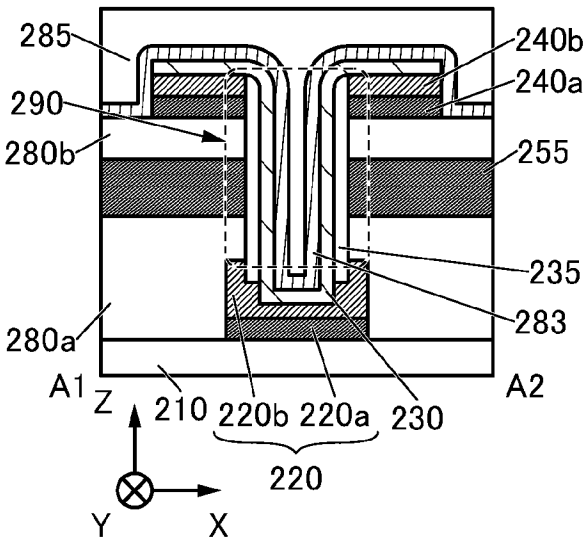


図14D

200L

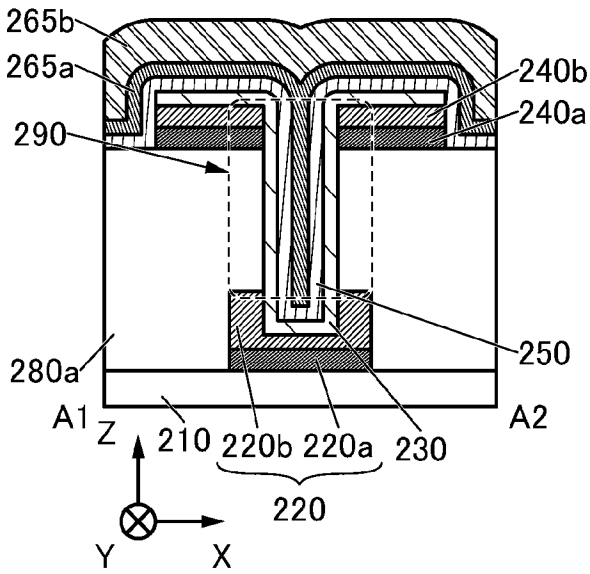


図15A

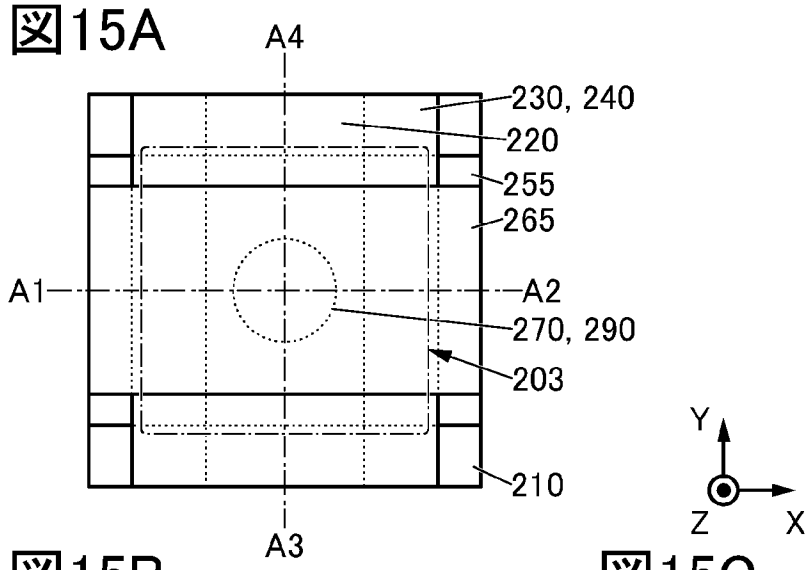


図15B

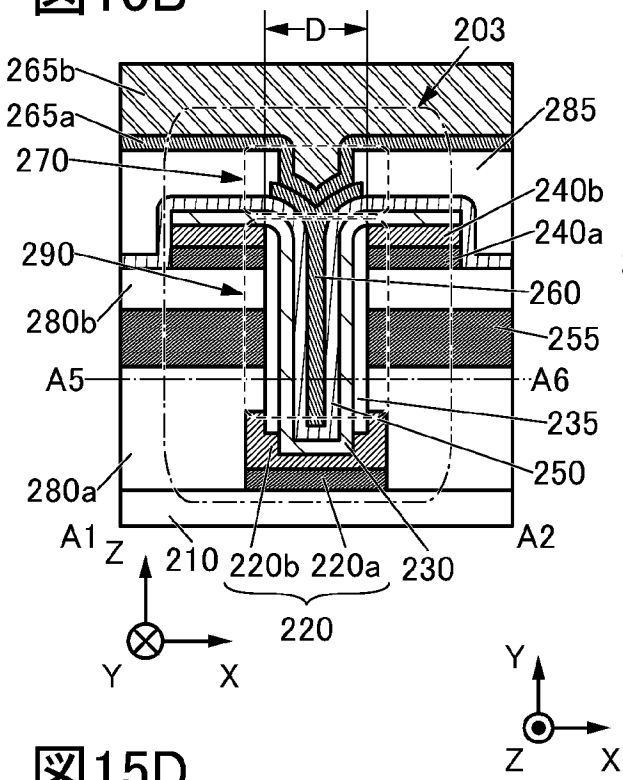


図15C

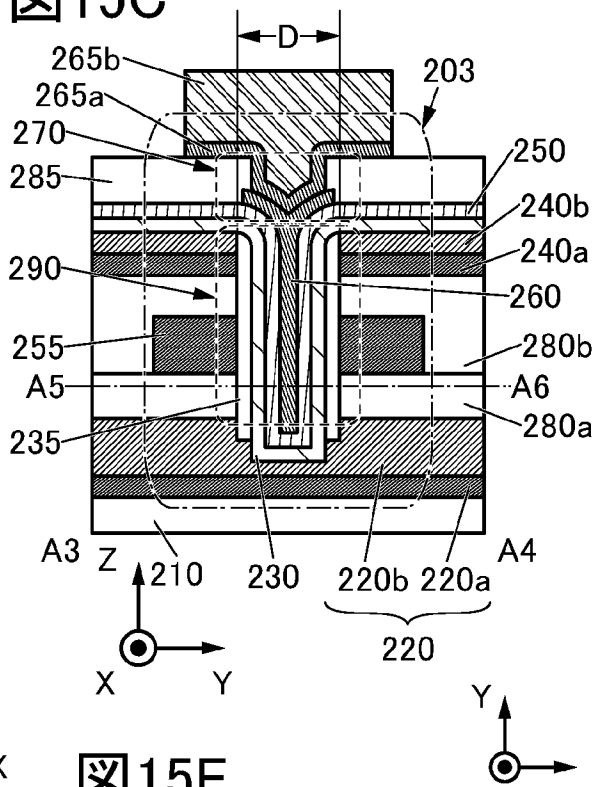


図15D

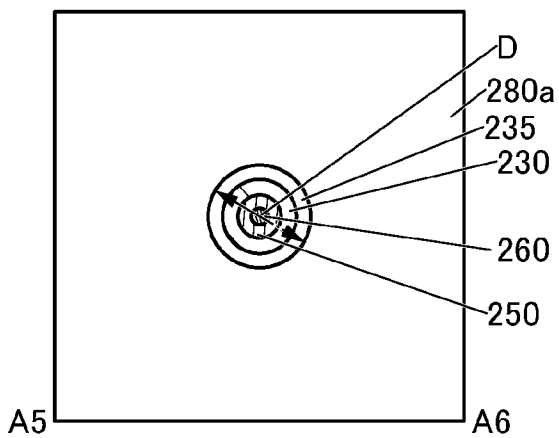


図15E

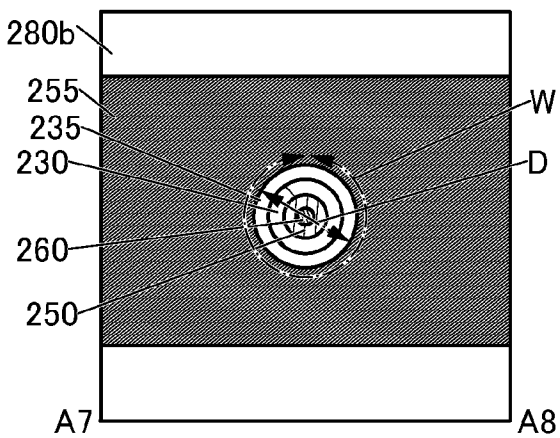


図16A

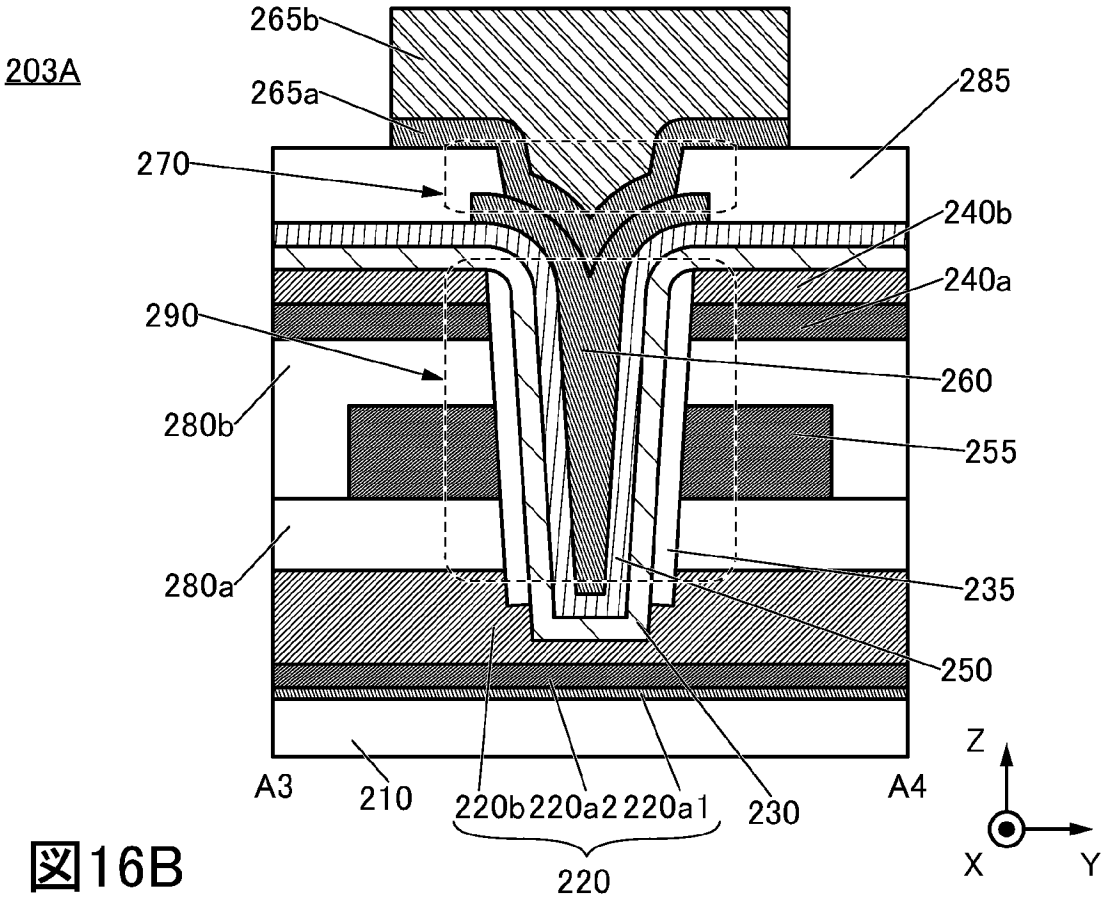

203A
265b
265a
270
285
240b
240a
290
260
280b
255
280a
235
250
A3
210
220b
220a2
220a1
230
A4
220
Z
X
Y

図16B

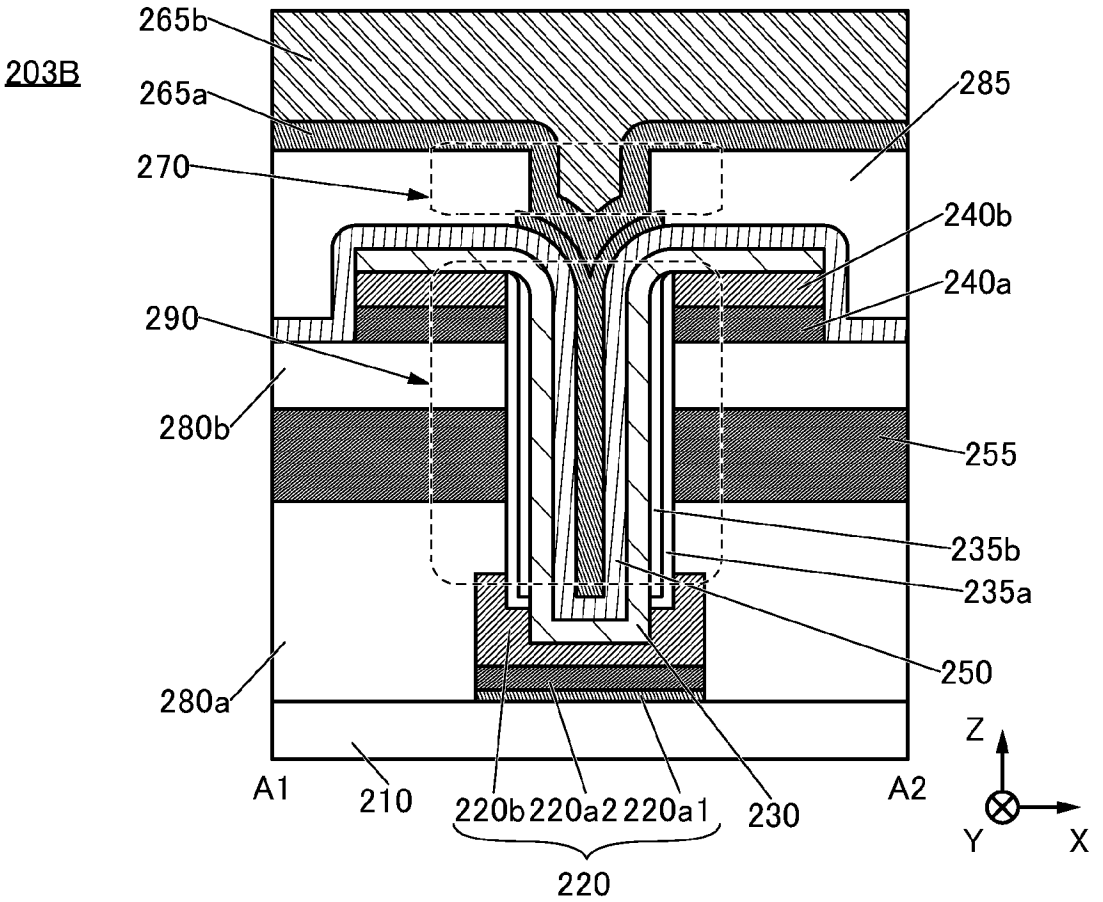

203B
265b
265a
270
285
240b
240a
290
280b
255
235b
235a
250
280a
A1
210
220b
220a2
220a1
230
A2
220
Z
Y
X

図17A

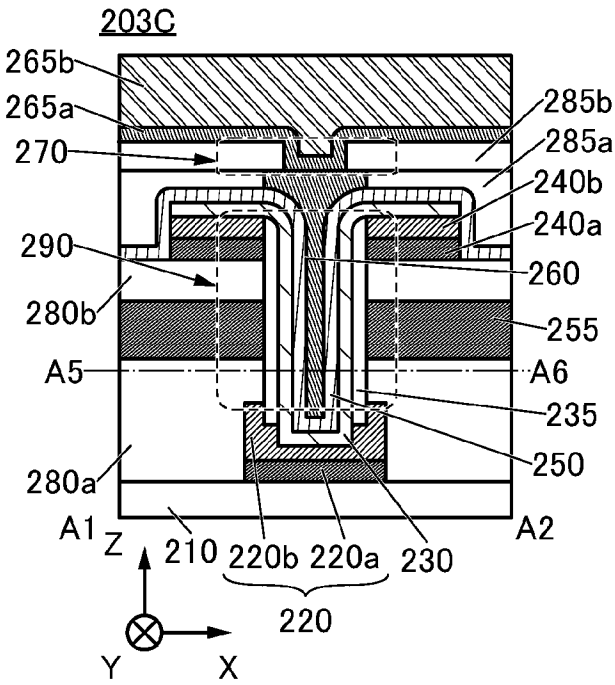


図17B

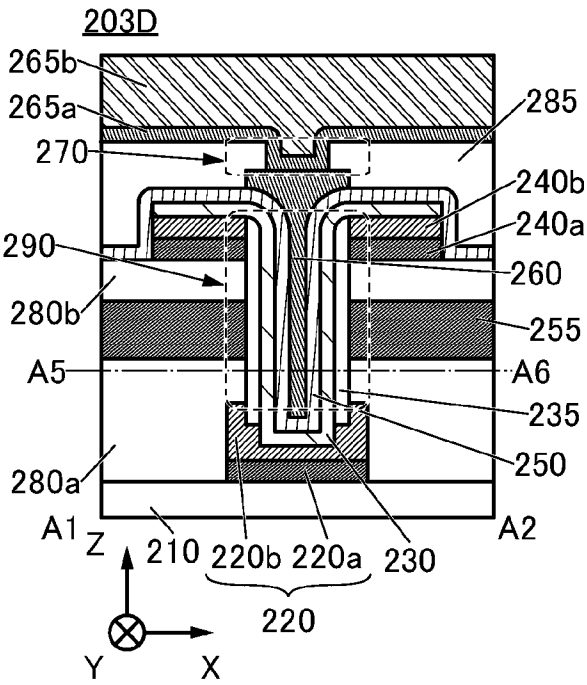


図17C1

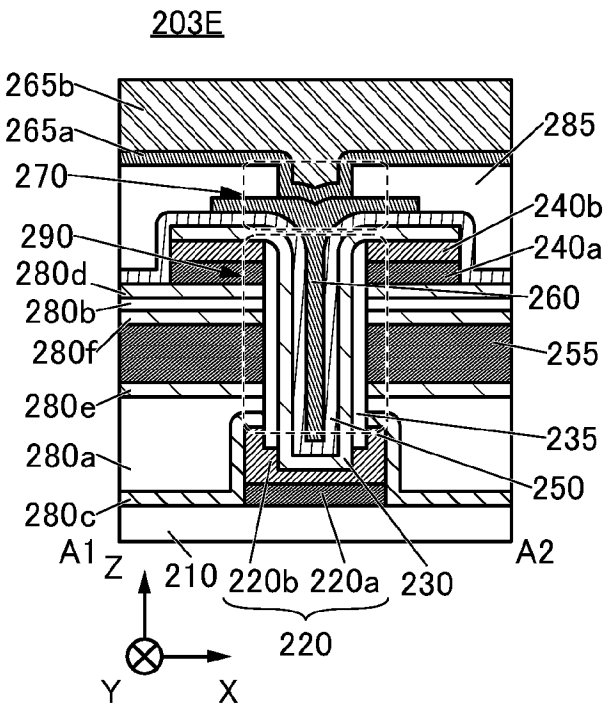


図17C2

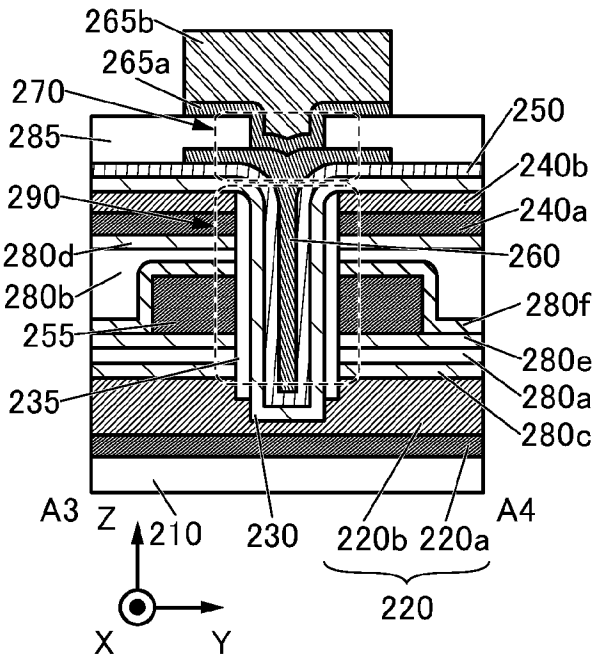


図18A

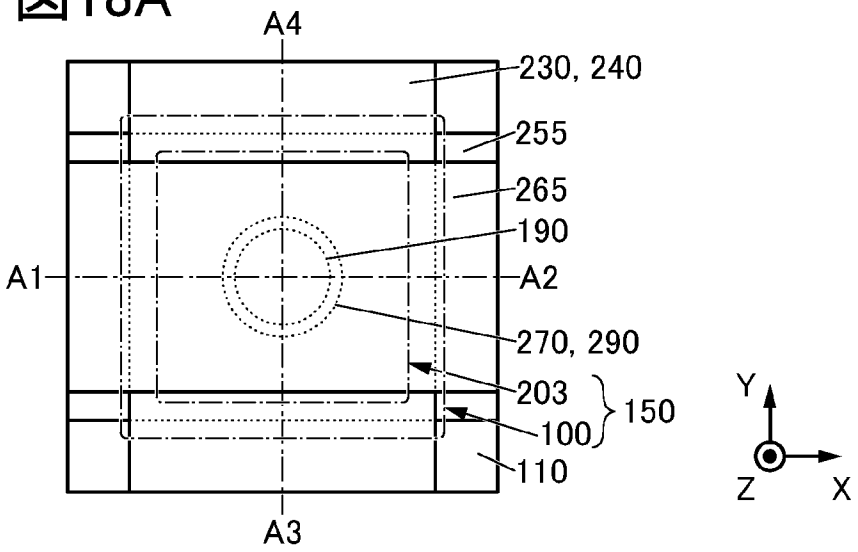


図18B

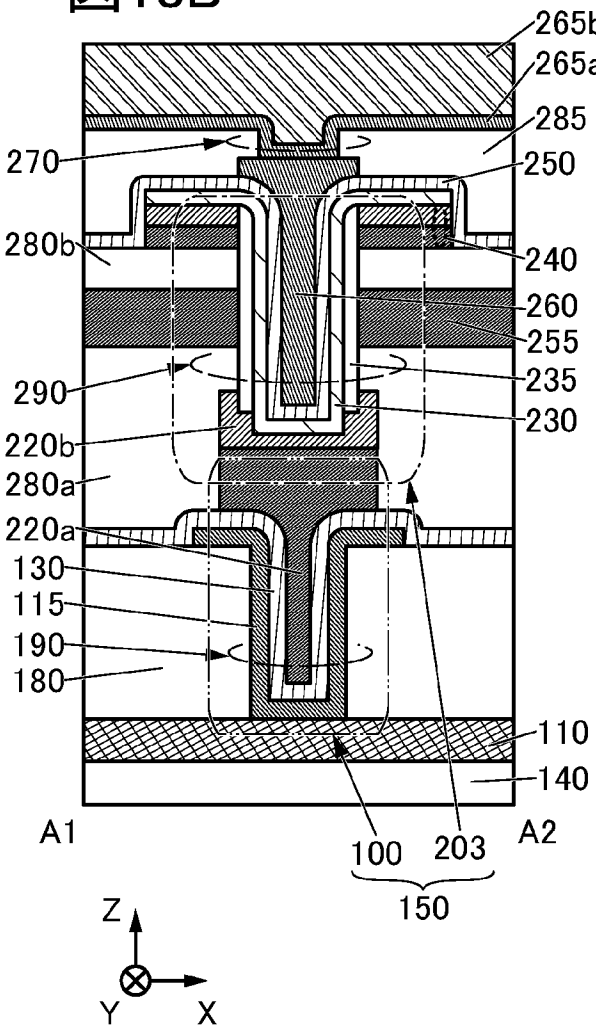


図18C

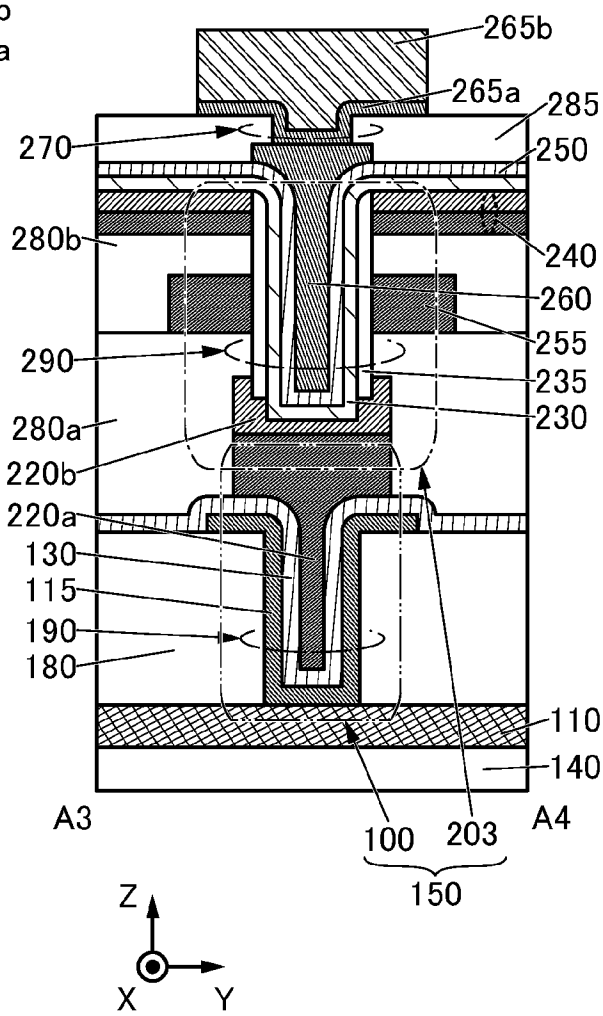


図19A

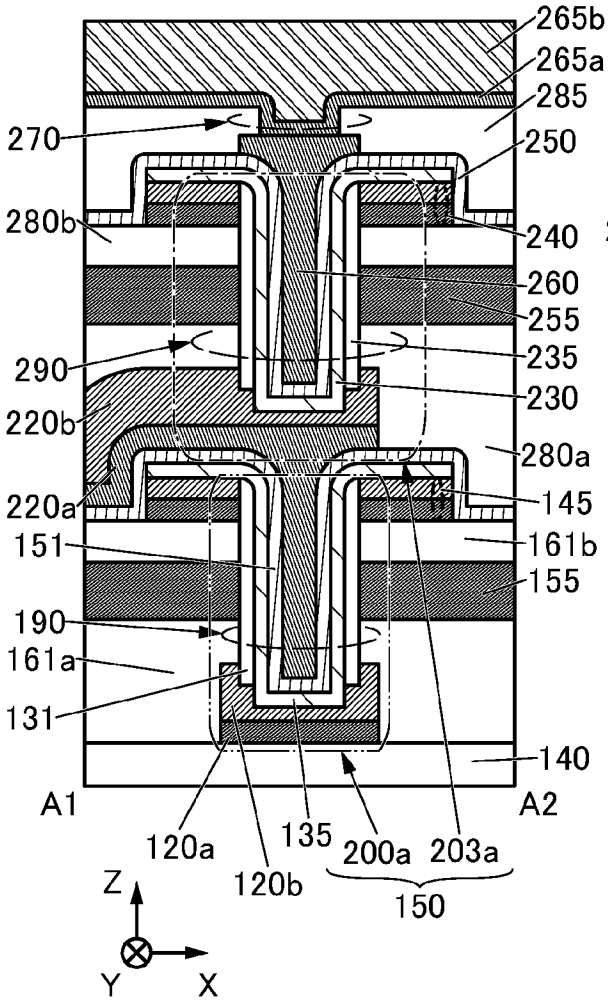

265b
265a
285
270
250
280b
240
260
255
290
235
230
220b
280a
220a
145
151
161b
155
190
161a
131
140
A1
A2
120a
135
200a
203a
120b
150
Z
Y
X

図19B

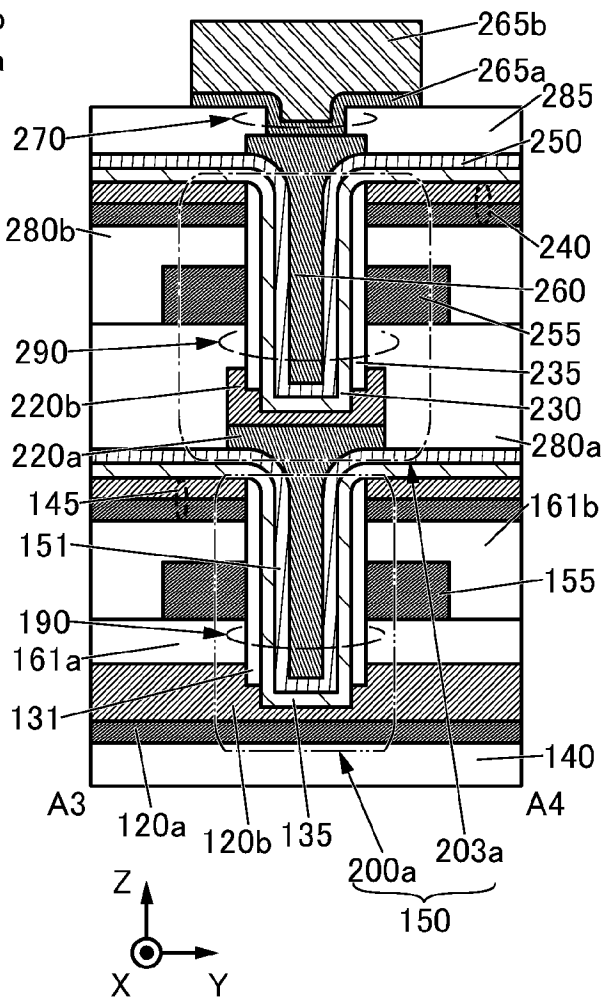

265b
265a
285
270
250
280b
240
260
255
290
235
220b
230
220a
280a
145
161b
151
155
190
161a
131
140
A3
A4
120a
120b
135
200a
203a
150
Z
X
Y

図20A

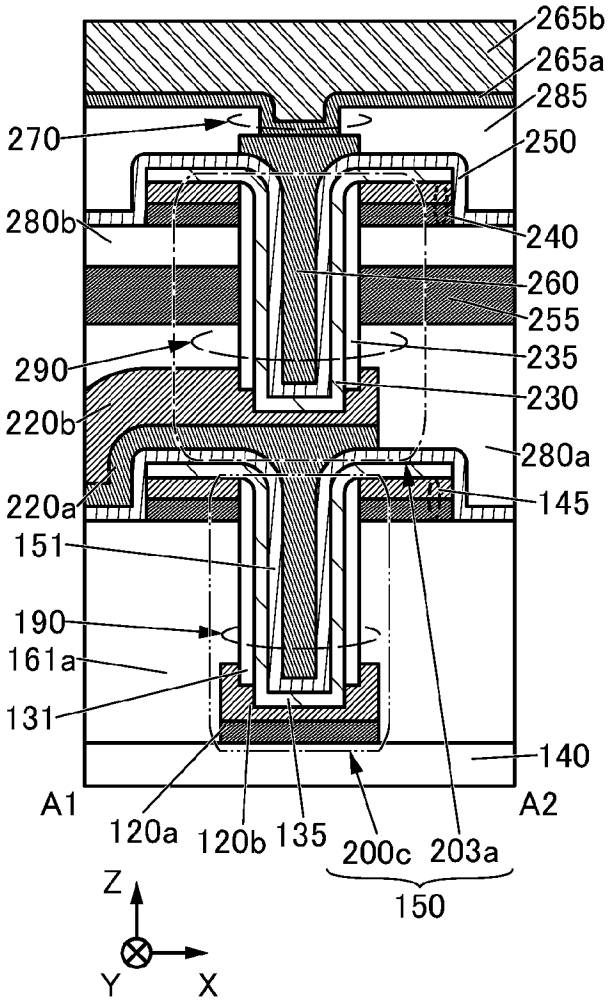

265b
265a
285
270
250
280b
240
260
255
290
235
230
220b
280a
220a
145
151
190
161a
131
140
A1
A2
120a
120b
135
200c
203a
150
Z
Y
X

図20B

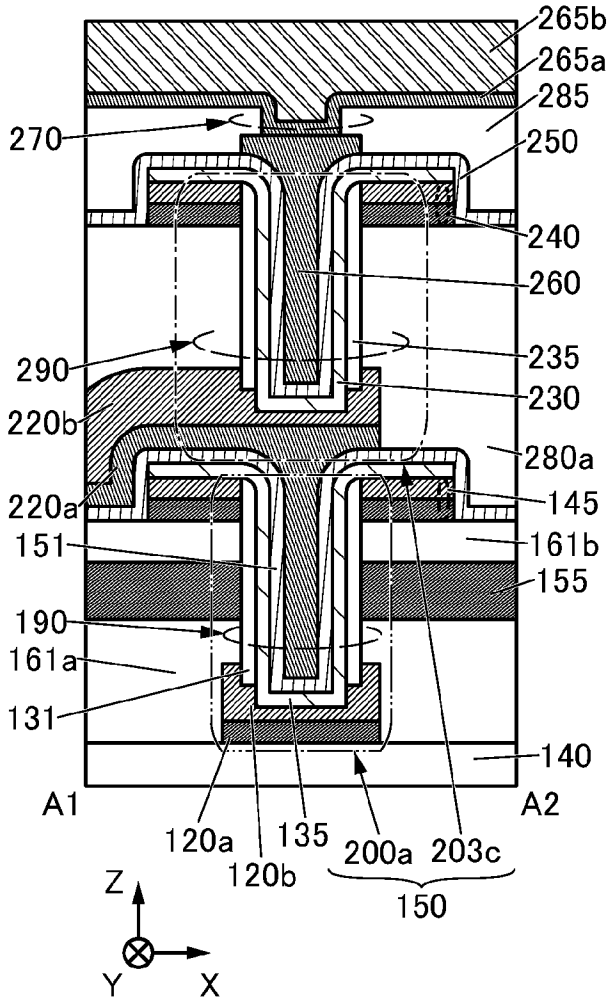

265b
265a
285
270
250
240
260
290
235
230
220b
280a
220a
145
151
161b
155
190
161a
131
140
A1
A2
120a
120b
135
200a
203c
150
Z
Y
X

図21

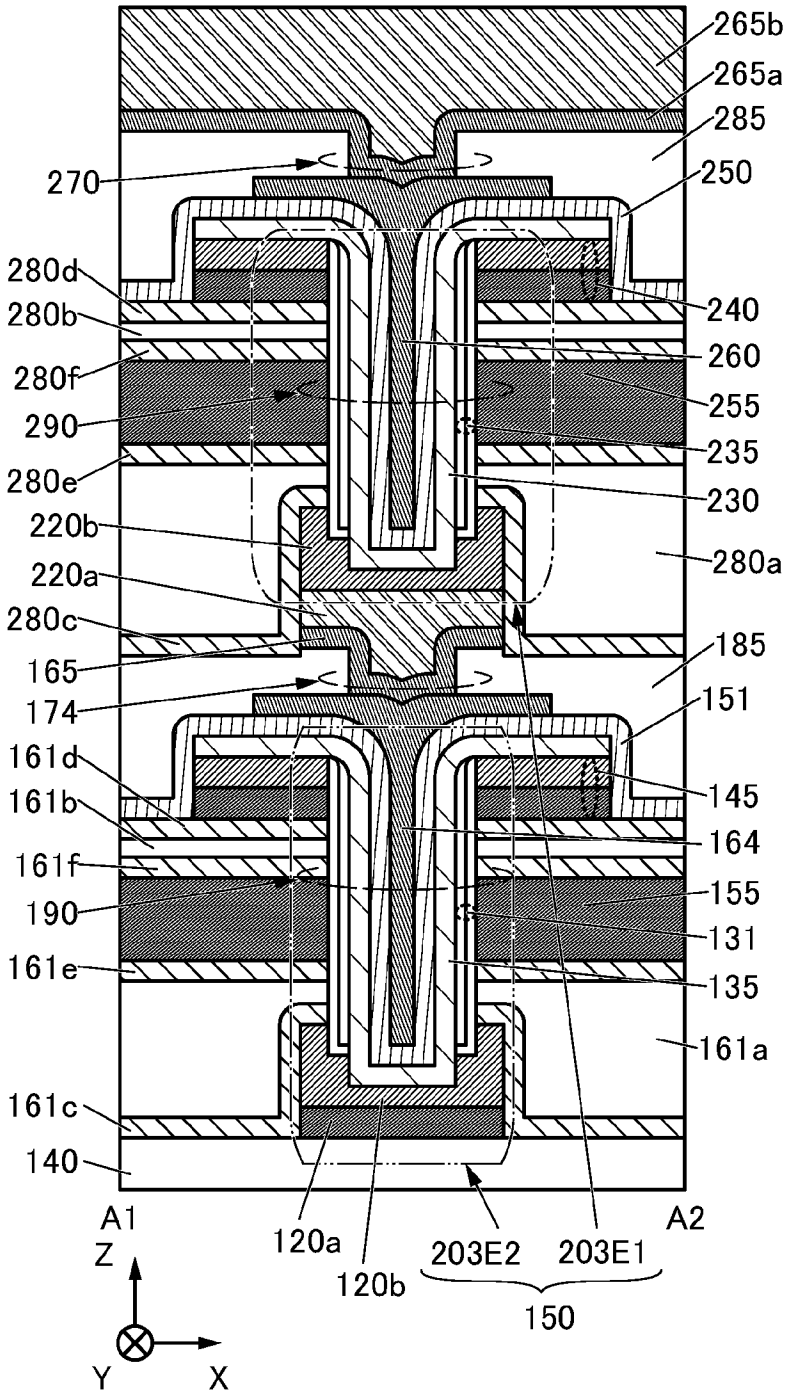

265b
265a
285
270
250
280d
280b
240
280f
260
290
255
235
280e
230
220b
280a
220a
280c
185
165
174
151
161d
161b
145
164
161f
155
190
131
161e
135
161a
161c
140
A1
A2
Z
120a
120b
203E2
203E1
150
Y
X

図22

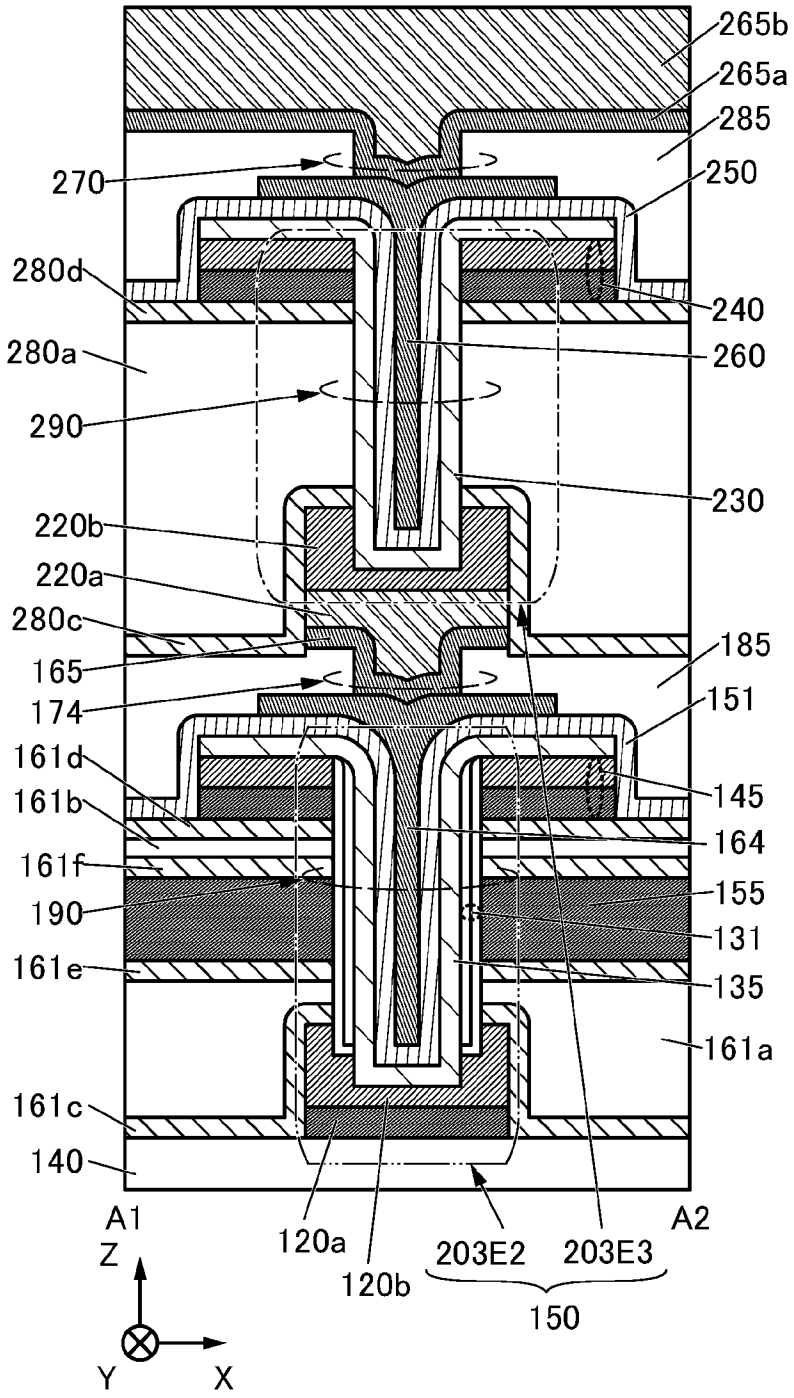

265b
265a
285
270
250
280d
240
280a
260
290
230
220b
220a
280c
185
165
174
151
161d
145
161b
164
161f
155
190
131
161e
135
161a
161c
140
A1
A2
120a
203E2
203E3
120b
150
Z
Y
X

図23

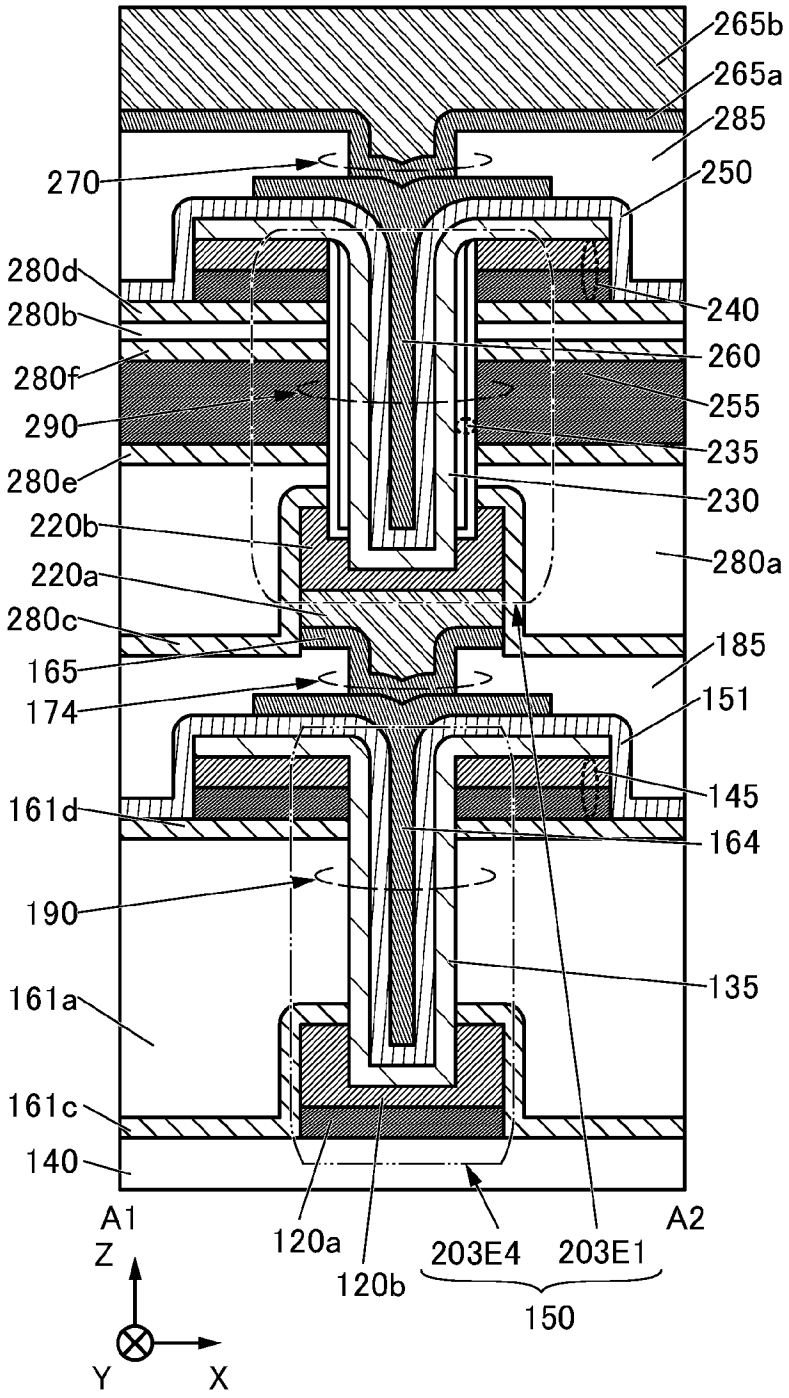

265b
265a
285
270
250
280d
280b
240
280f
260
290
255
235
280e
230
220b
280a
220a
280c
185
165
174
151
145
161d
164
190
135
161a
161c
140
A1
A2
Z
Y
X
120a
120b
203E4
203E1
150

図24

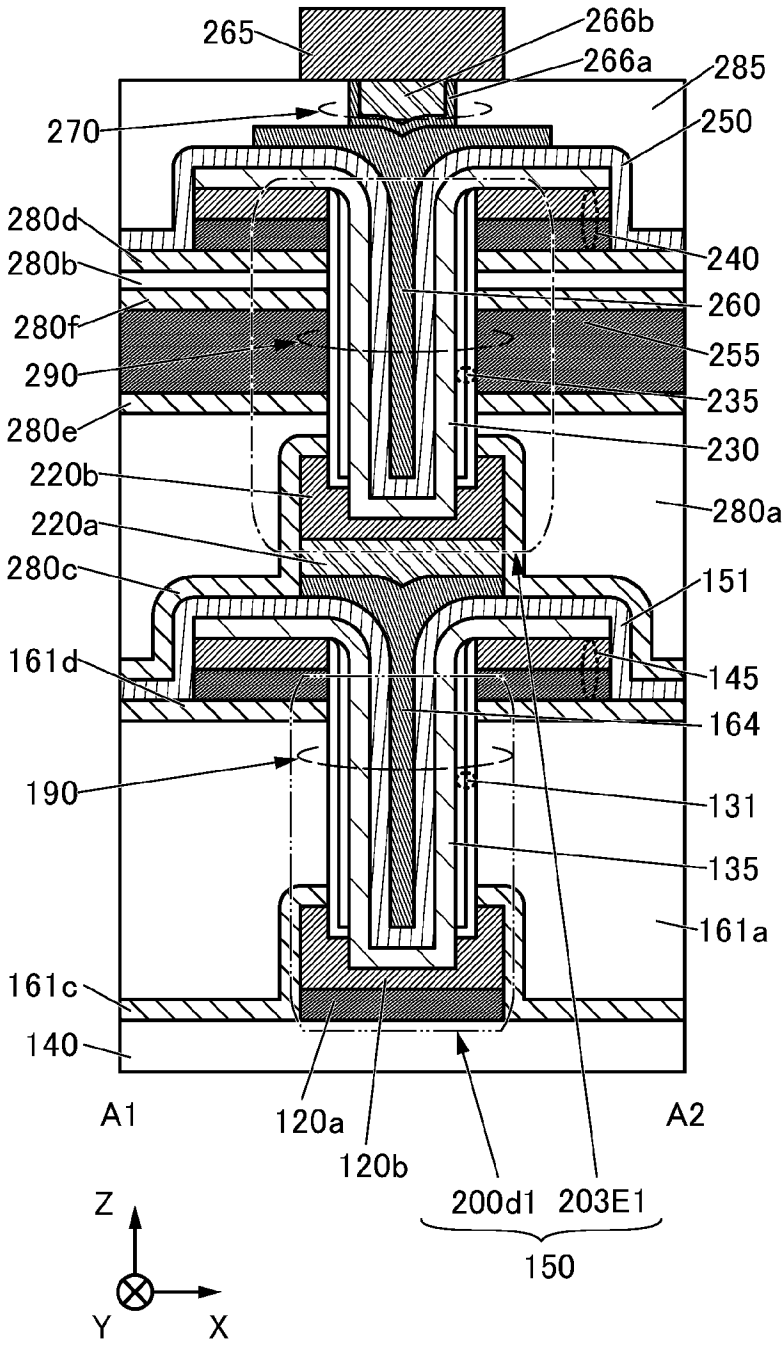

265
266b
266a
285
270
250
280d
280b
240
280f
260
290
255
235
280e
230
220b
280a
220a
280c
151
161d
145
164
190
131
135
161a
161c
140
A1
120a
120b
200d1
203E1
A2
150
Z
Y
X

図25

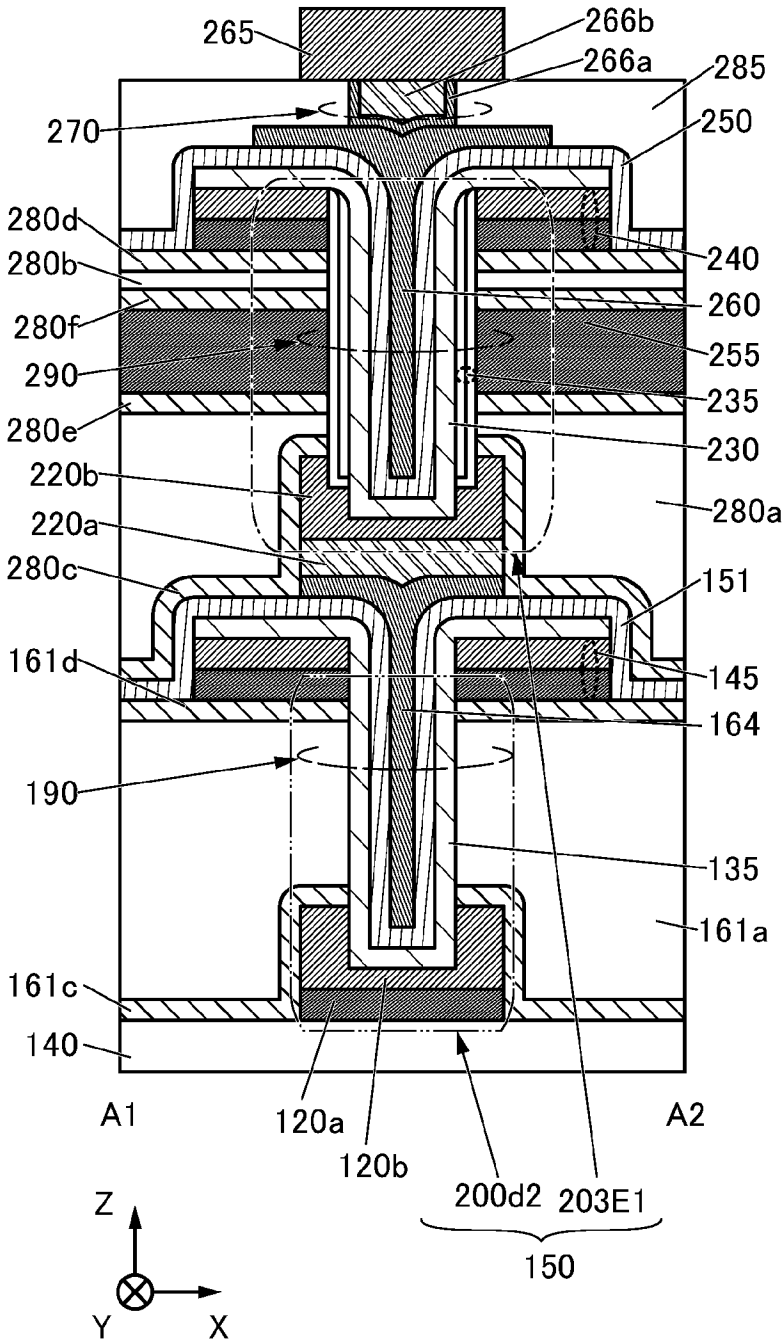

265
266b
266a
285
270
250
280d
280b
240
280f
260
290
255
235
280e
230
220b
280a
220a
280c
151
161d
145
164
190
135
161a
161c
140
A1
120a
120b
200d2
203E1
A2
150
Z
Y
X

図26

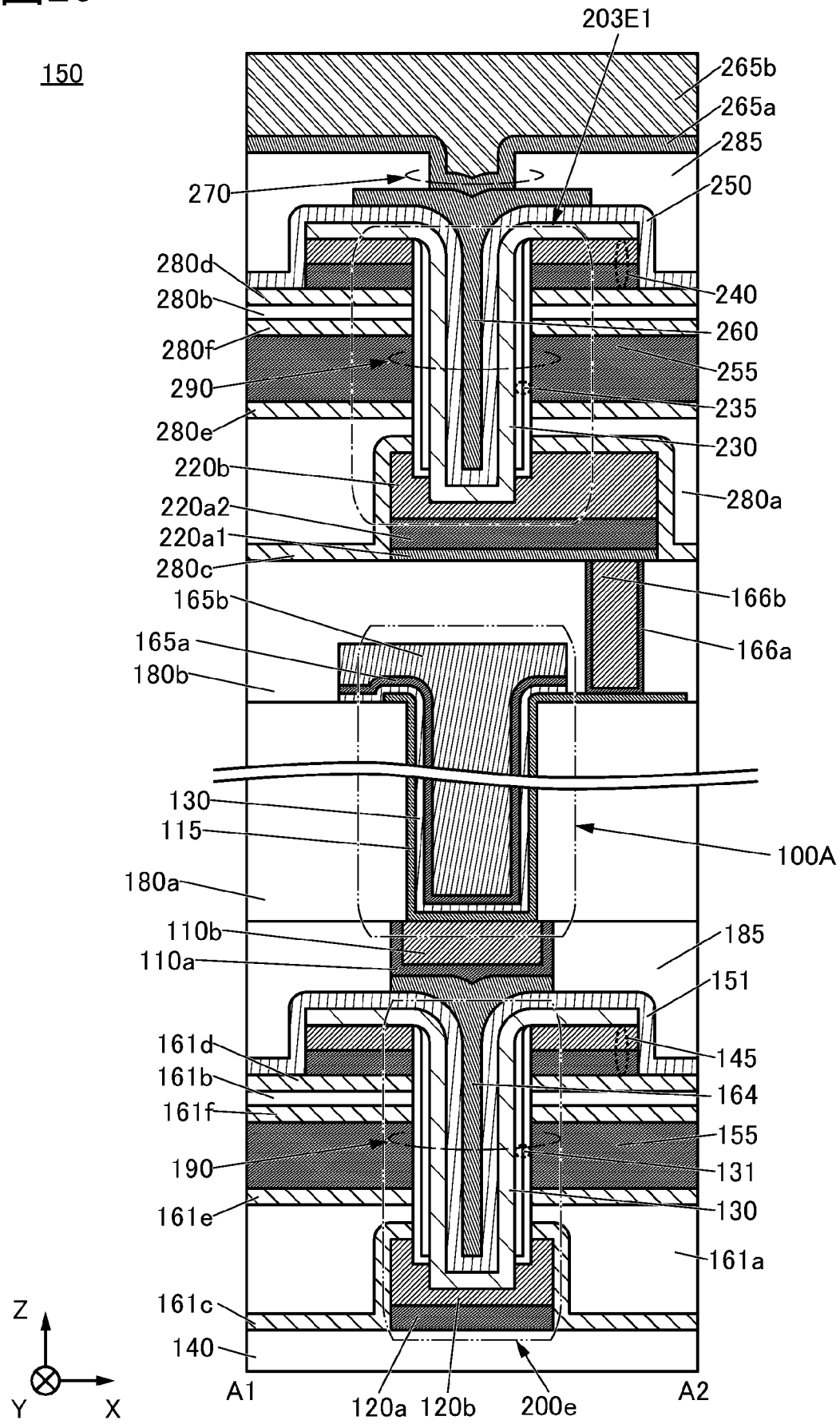

150
203E1
265b
265a
285
270
250
280d
280b
240
280f
260
290
255
235
280e
230
220b
280a
220a2
220a1
280c
166b
165b
165a
166a
180b
130
115
100A
180a
110b
185
110a
151
161d
145
161b
164
161f
155
190
131
161e
130
161a
161c
140
A1
120a
120b
200e
A2
Z
Y
X

図27A

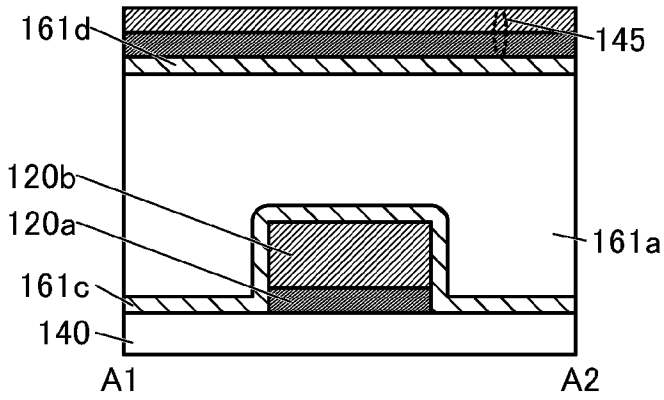


図27B

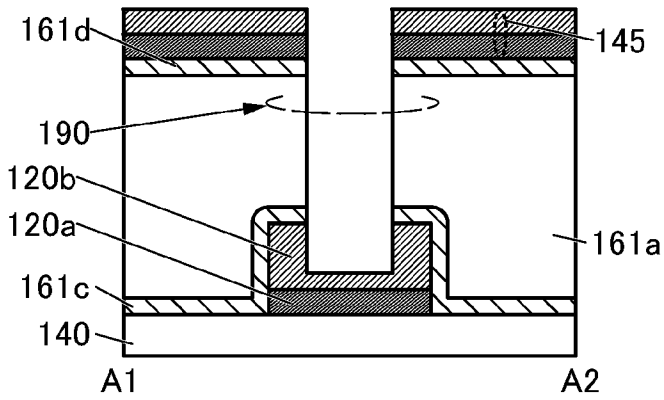


図27C

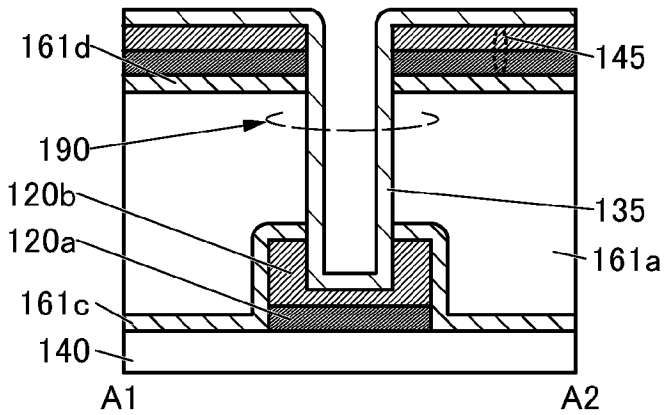


図27D

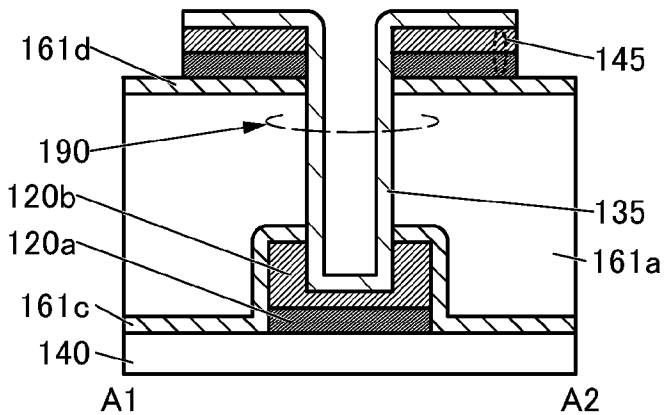


図28A

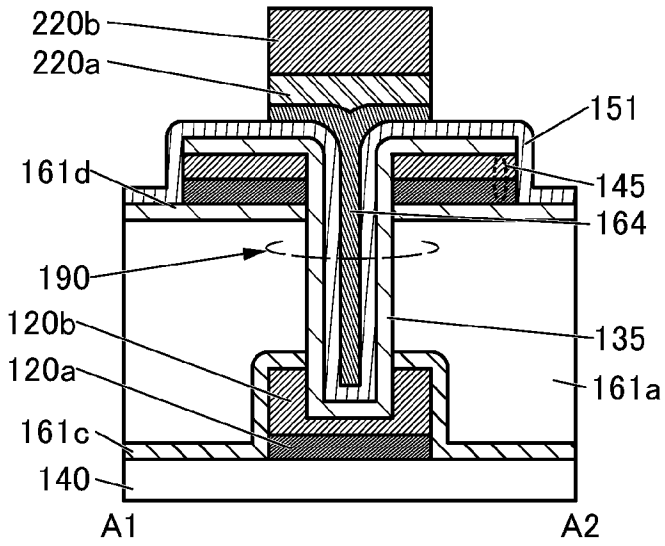

220b
220a
151
161d
145
164
190
120b
135
120a
161a
161c
140
A1
A2

図28B

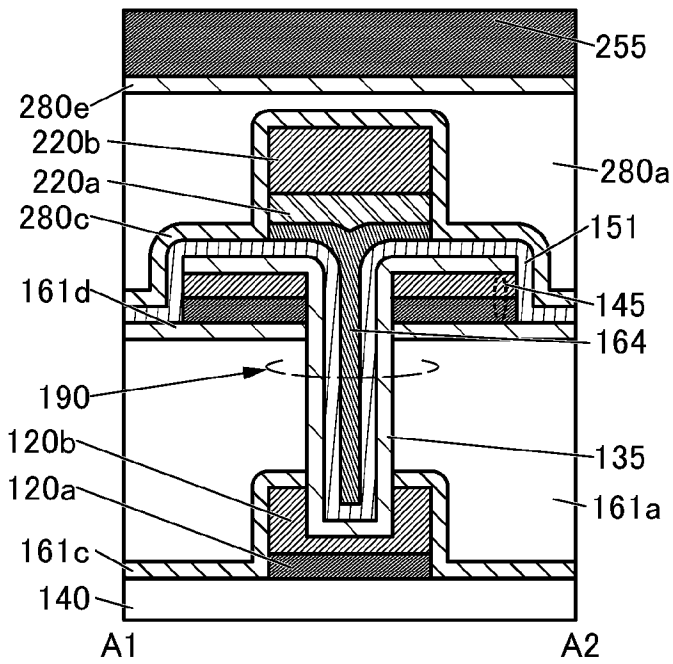

255
280e
220b
280a
220a
280c
151
161d
145
164
190
120b
135
120a
161a
161c
140
A1
A2

図29A

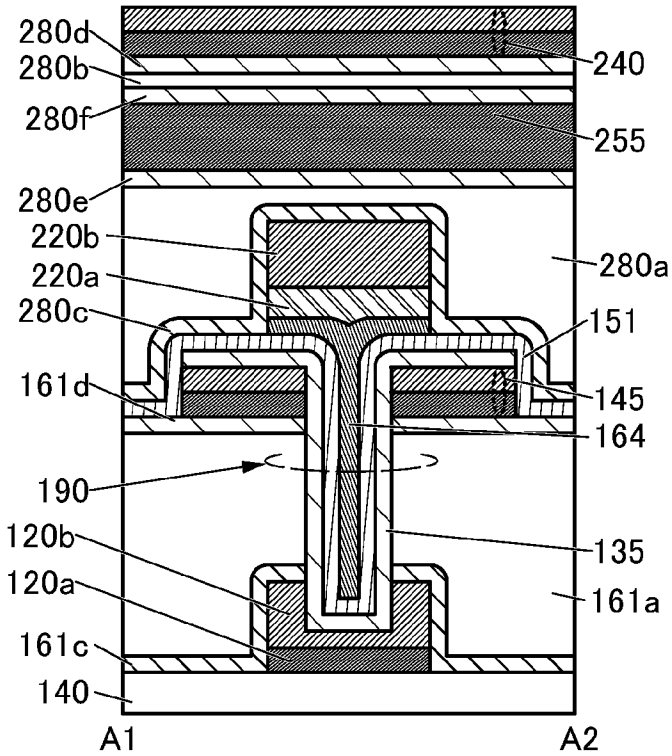

280d
280b
280f
280e
220b
220a
280c
161d
190
120b
120a
161c
140
A1
240
255
280a
151
145
164
135
161a
A2

図29B

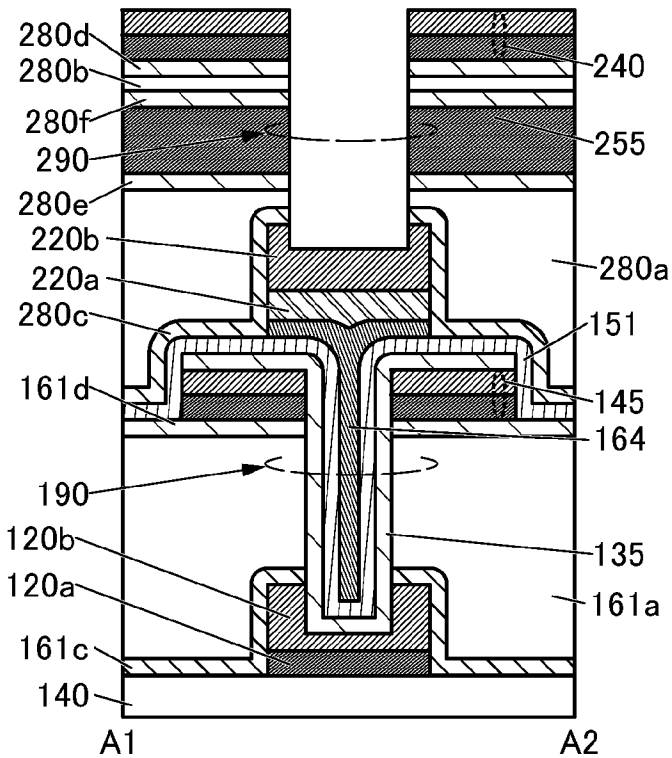

280d
280b
280f
290
280e
220b
220a
280c
161d
190
120b
120a
161c
140
A1
240
255
280a
151
145
164
135
161a
A2

図30A

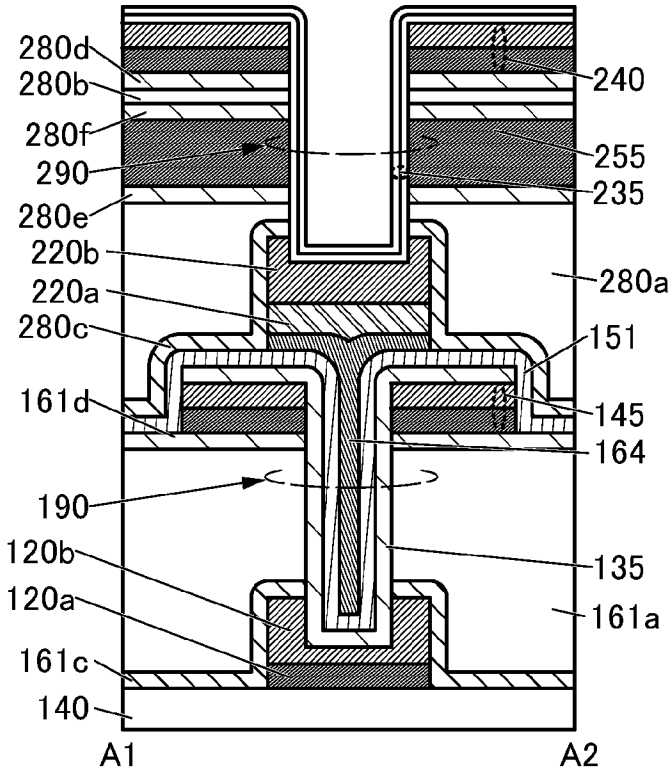

280d
280b
280f
290
280e
220b
220a
280c
161d
190
120b
120a
161c
140
A1
240
255
235
280a
151
145
164
135
161a
A2

図30B

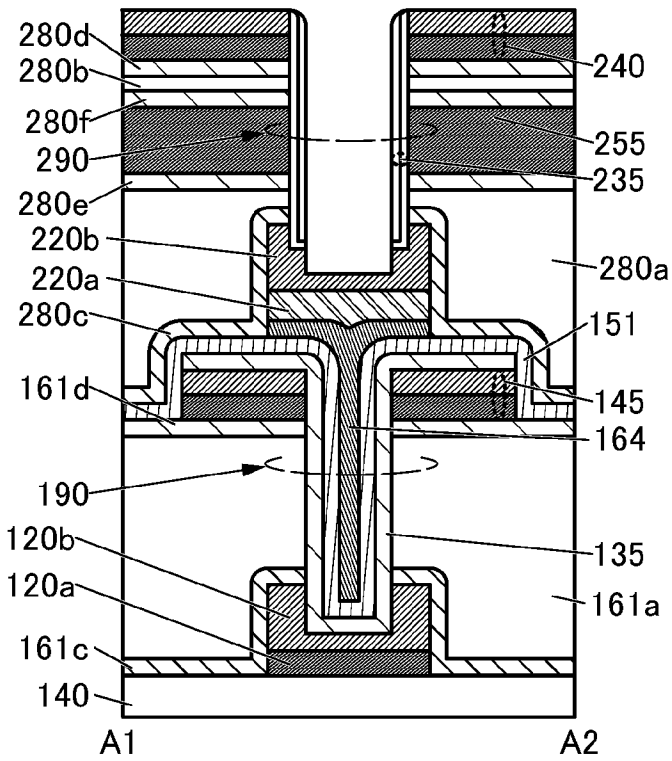

280d
280b
280f
290
280e
220b
220a
280c
161d
190
120b
120a
161c
140
A1
240
255
235
280a
151
145
164
135
161a
A2

図31A

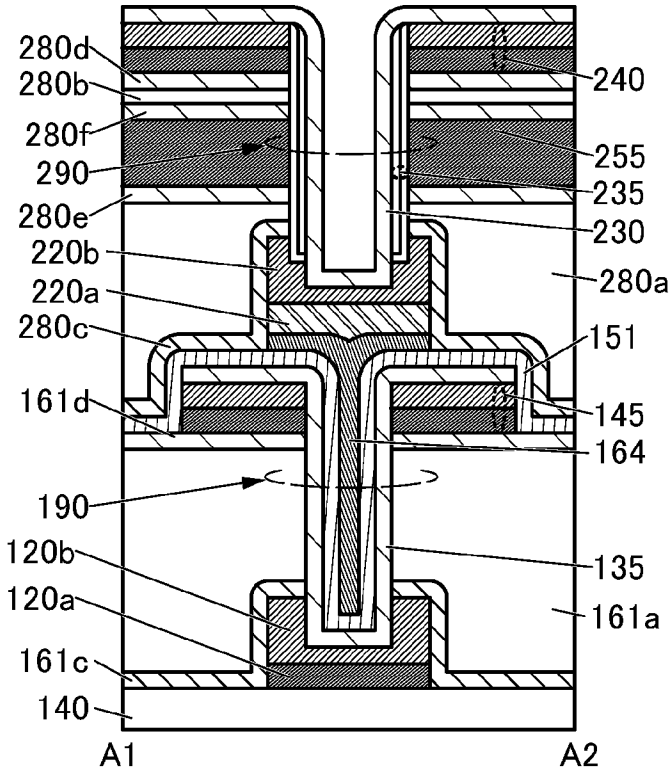

280d
280b
280f
290
280e
220b
220a
280c
161d
190
120b
120a
161c
140
A1
240
255
235
230
280a
151
145
164
135
161a
A2

図31B

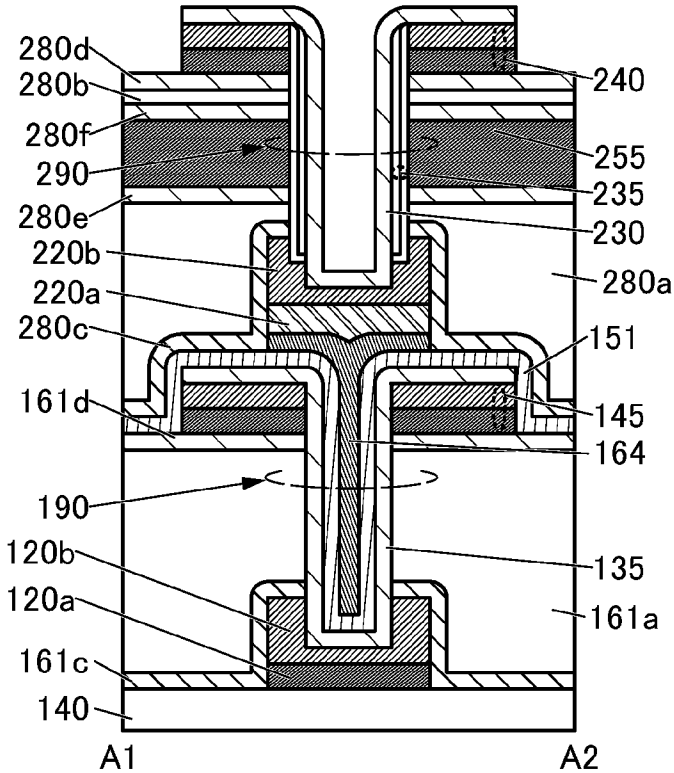

280d
280b
280f
290
280e
220b
220a
280c
161d
190
120b
120a
161c
140
A1
240
255
235
230
280a
151
145
164
135
161a
A2

図32A

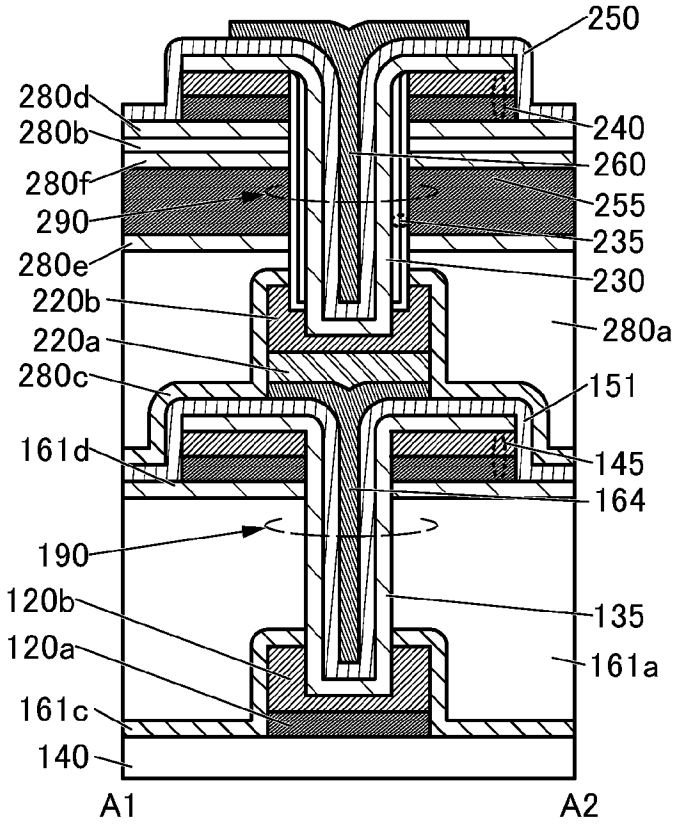

250
280d
280b
240
260
280f
255
290
235
280e
230
220b
280a
220a
280c
151
161d
145
164
190
120b
135
120a
161a
161c
140
A1
A2

図32B

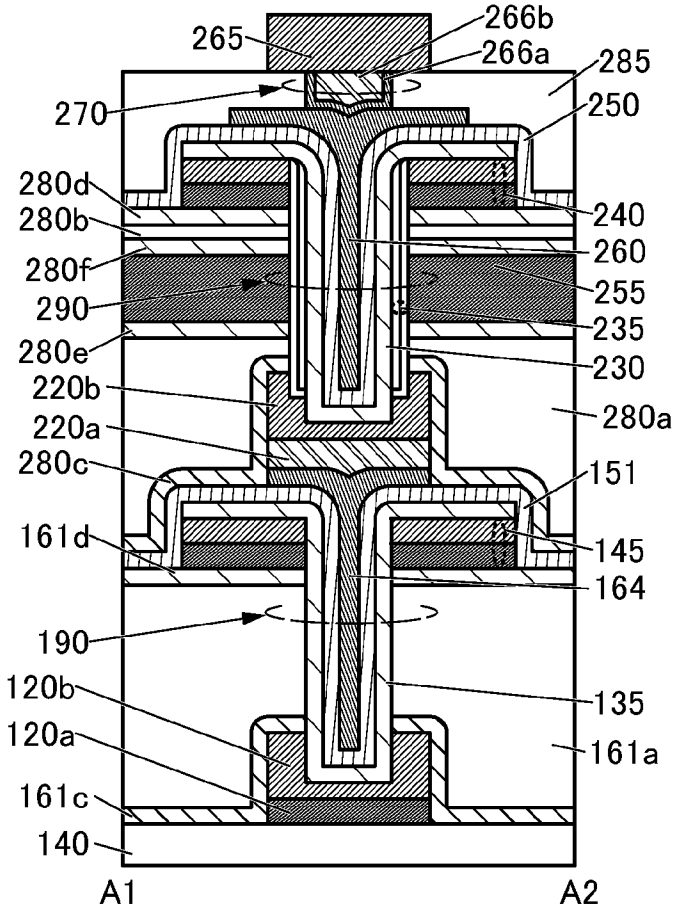

265
266b
266a
285
270
250
280d
280b
240
260
280f
255
290
235
280e
230
220b
280a
220a
280c
151
161d
145
164
190
120b
135
120a
161a
161c
140
A1
A2

図33A

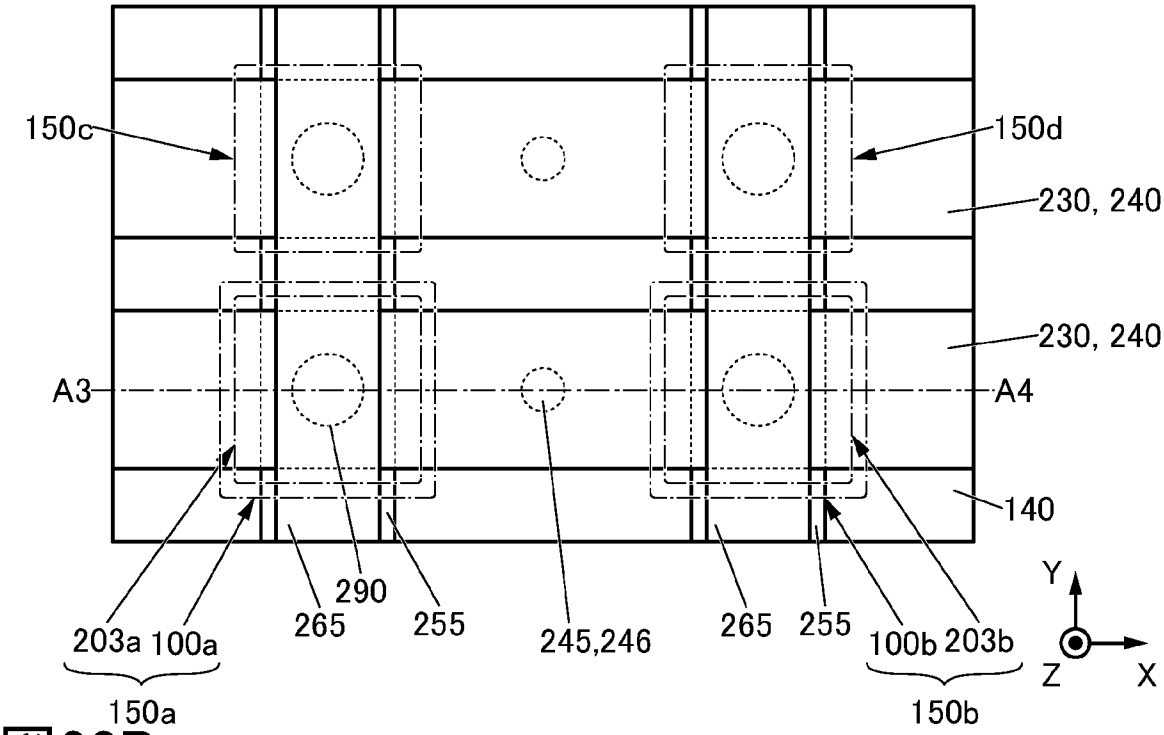

150c
150d
230, 240
230, 240
A3
A4
140
290
265
255
245,246
265
255
203a 100a
100b 203b
150a
150b
Y
Z
X

図33B

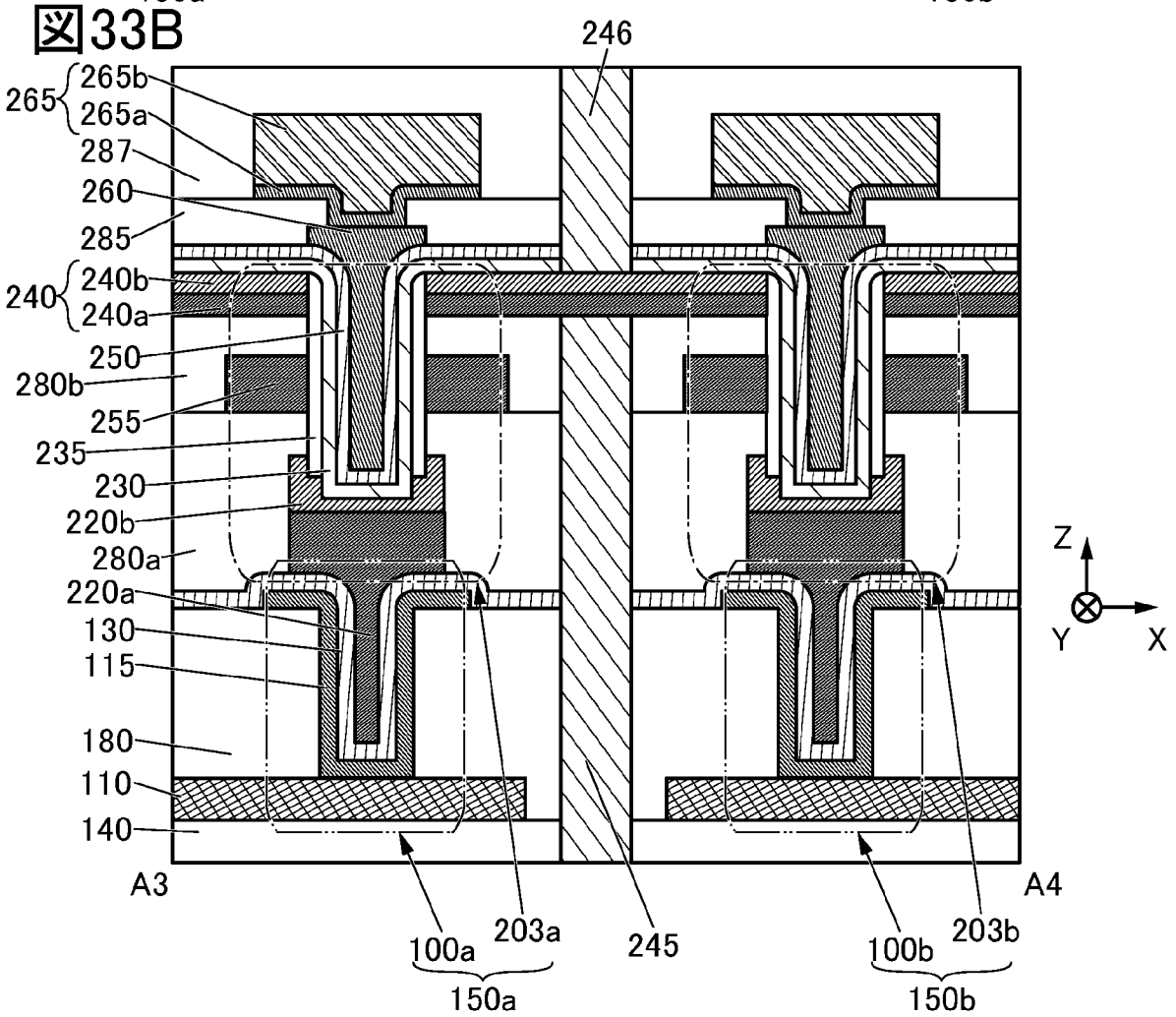

246
265
265b
265a
287
260
285
240
240b
240a
250
280b
255
235
230
220b
280a
220a
130
115
180
110
140
A3
A4
100a
203a
245
100b
203b
150a
150b
Z
Y
X

図34

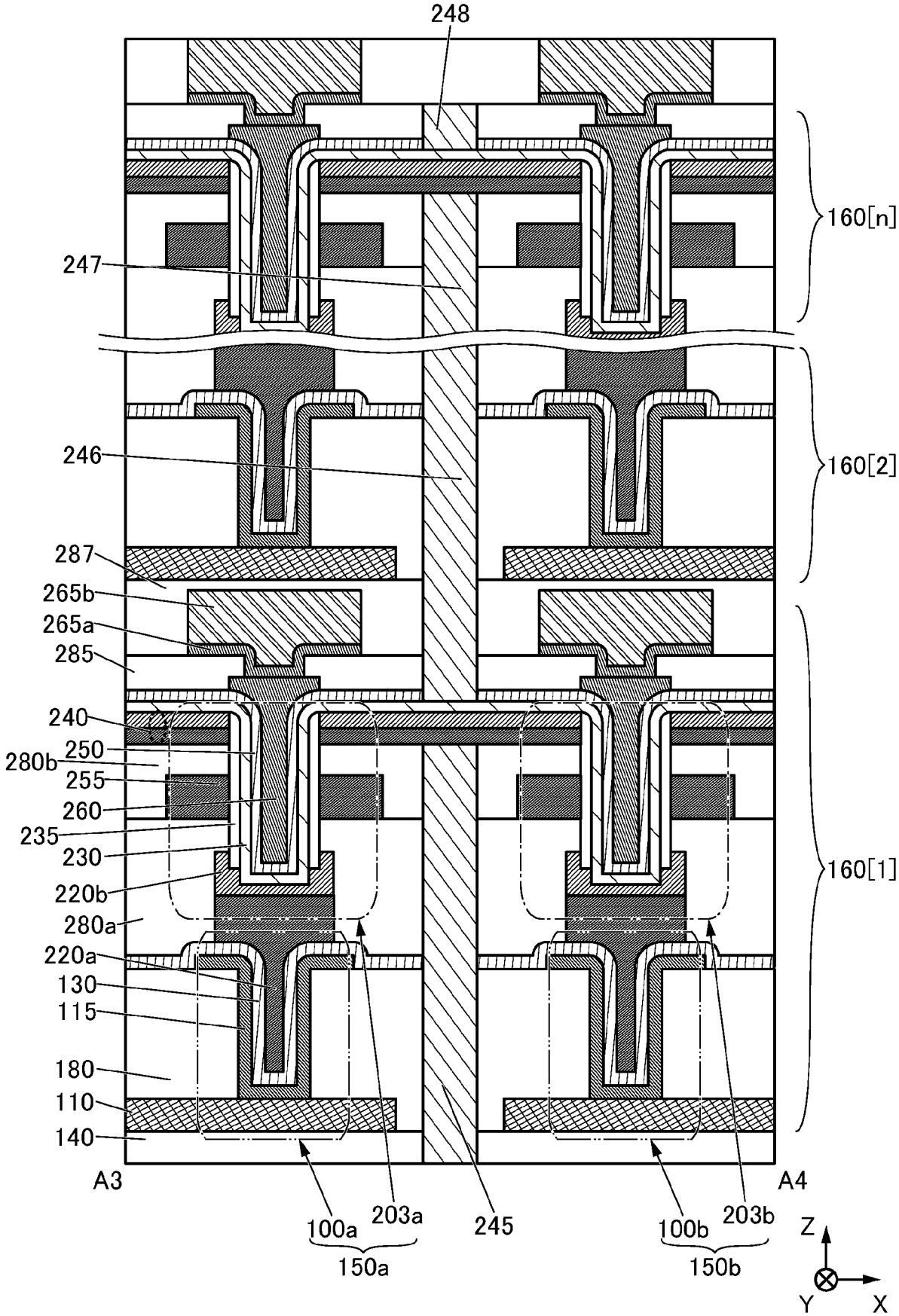

248
160[n]
247
246
160[2]
287
265b
265a
285
240
280b
250
255
260
235
230
220b
280a
220a
130
115
180
110
140
160[1]
A3
A4
100a
203a
245
100b
203b
150a
150b
Z
Y
X

図35

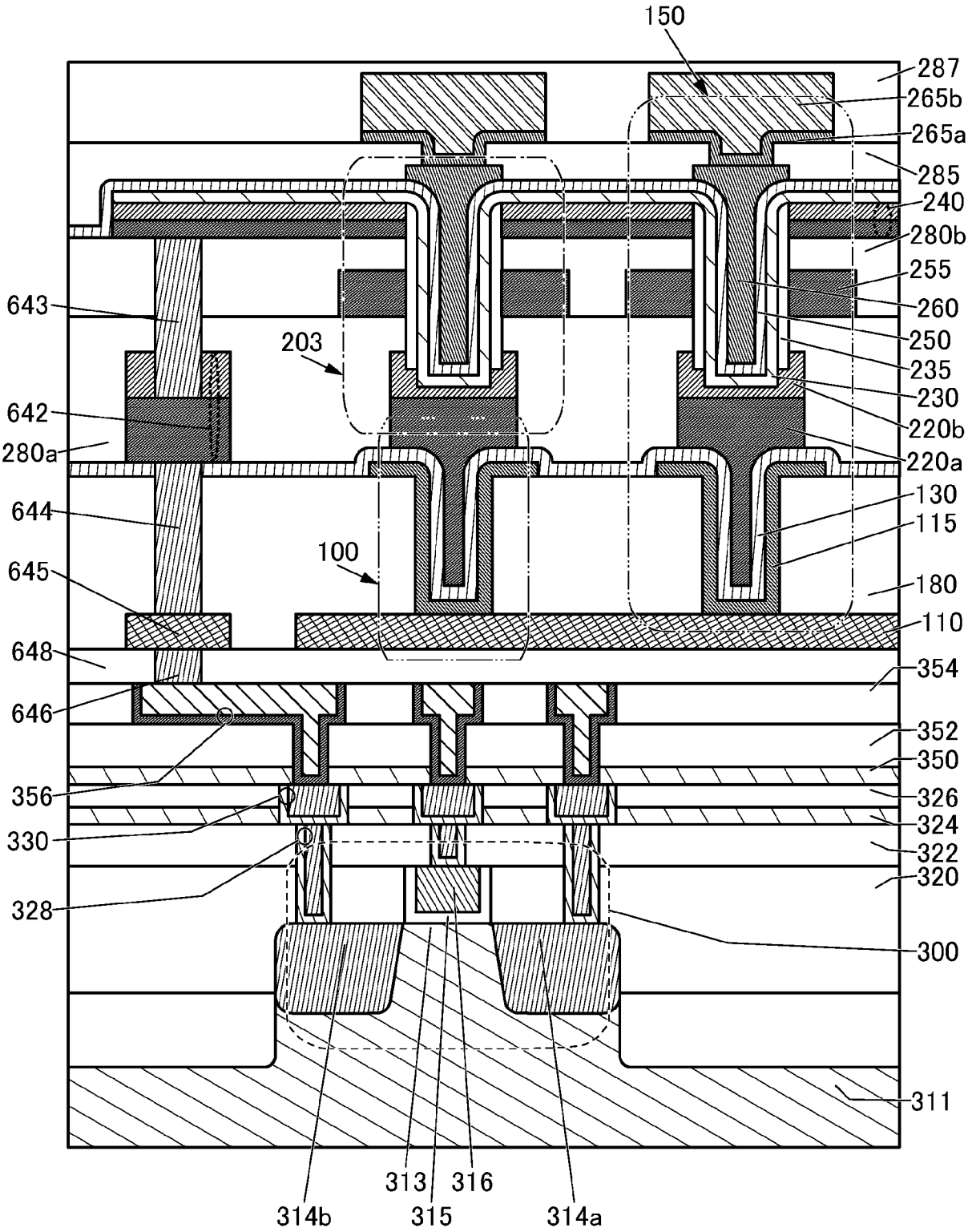

150
287
265b
265a
285
240
280b
255
260
250
235
230
220b
220a
130
115
180
110
354
352
350
326
324
322
320
300
311
643
642
280a
644
645
648
646
356
330
328
203
100
313
316
315
314b
314a

図36

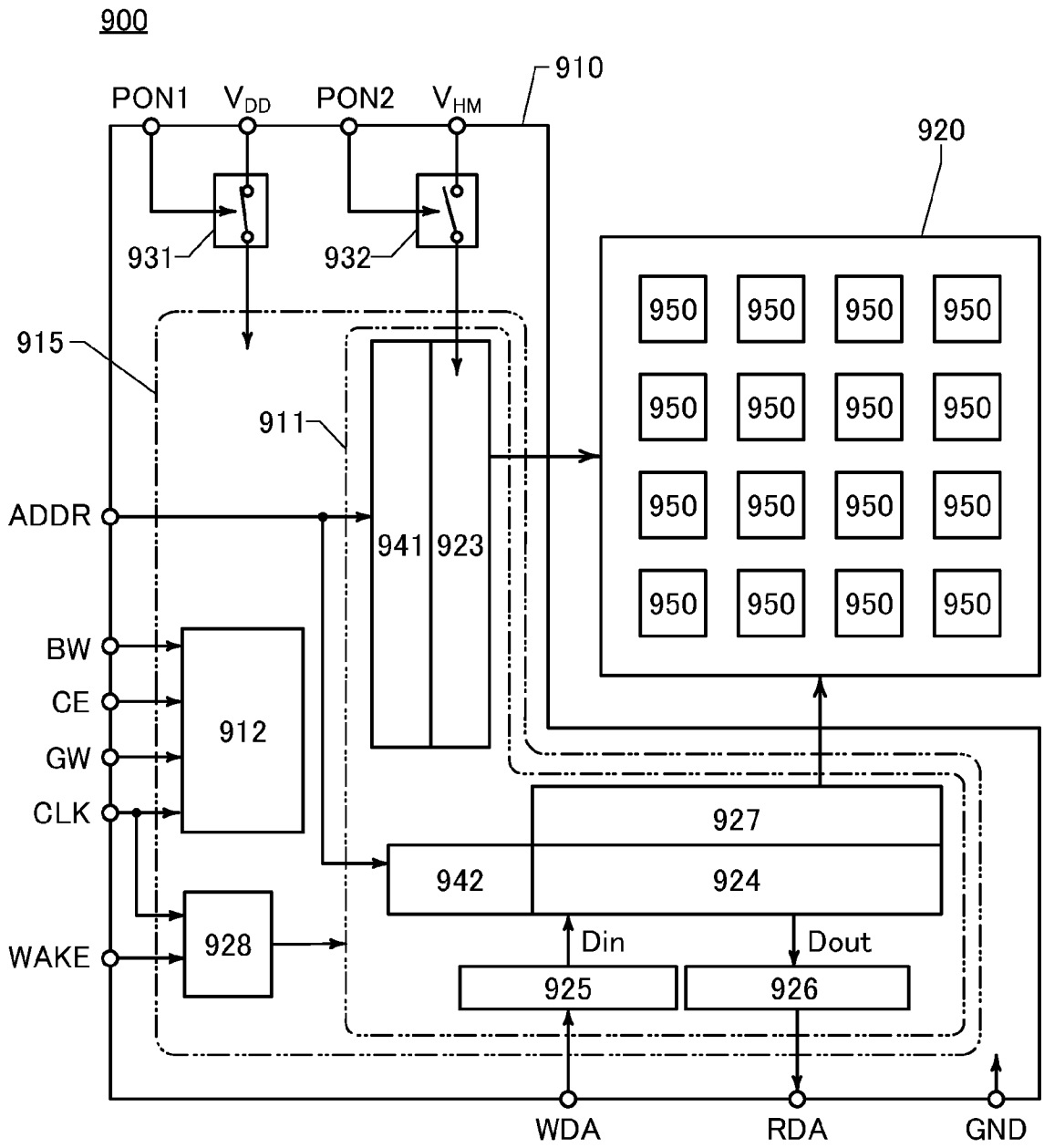

900
910
PON1
V_{DD}
PON2
V_{HM}
920
931
932
915
911
950
ADDR
941
923
BW
CE
GW
CLK
912
927
942
924
Din
Dout
WAKE
928
925
926
WDA
RDA
GND

図37A

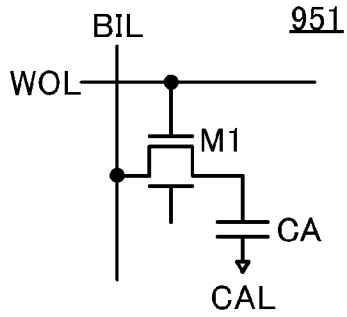


図37B

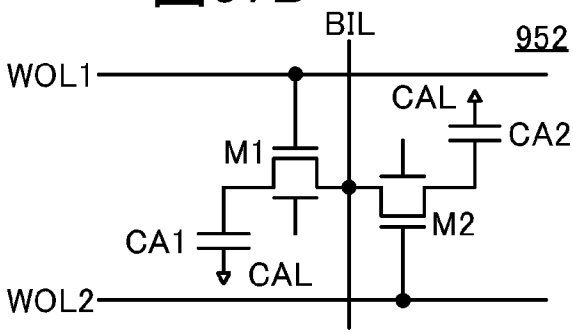


図37C

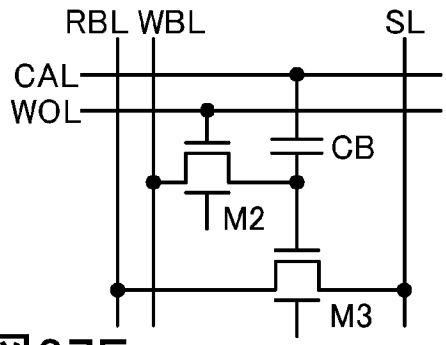


図37D

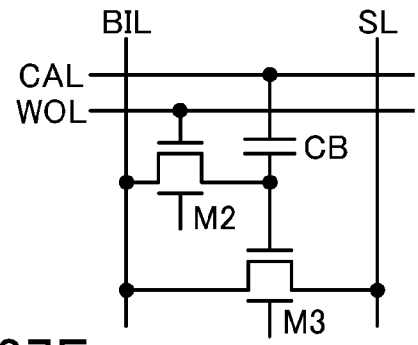


図37E

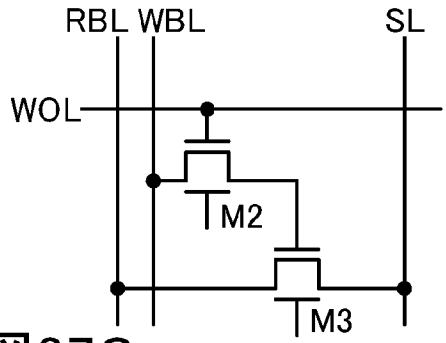


図37F

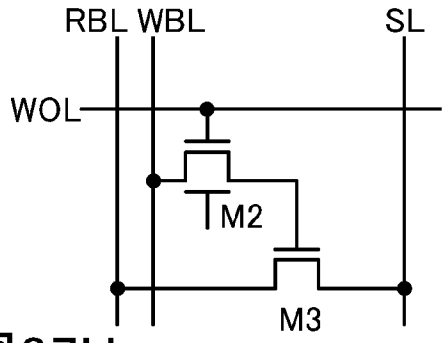


図37G

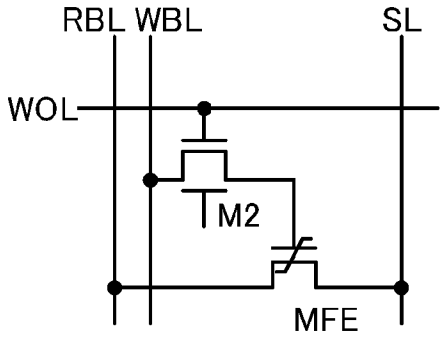


図37H

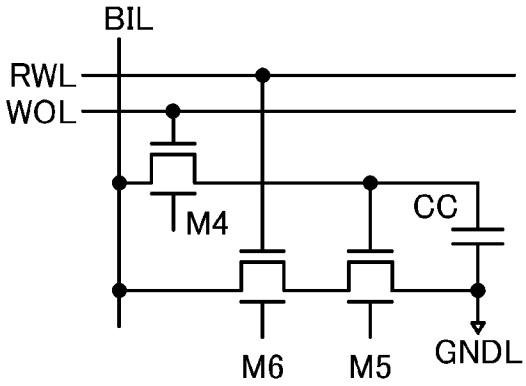


図38A

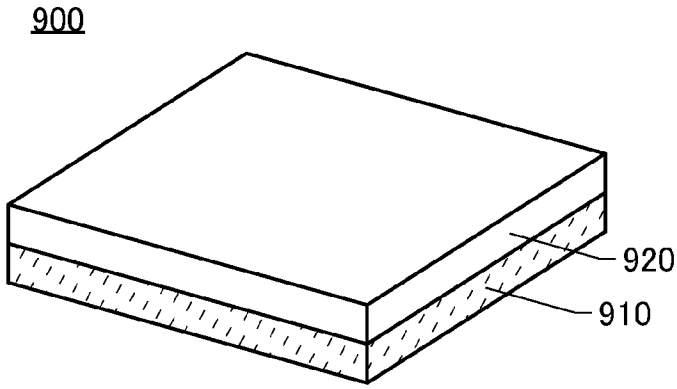


図38B

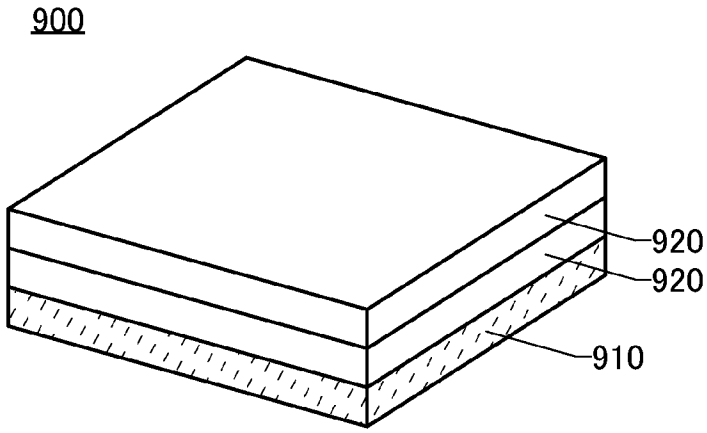


図39

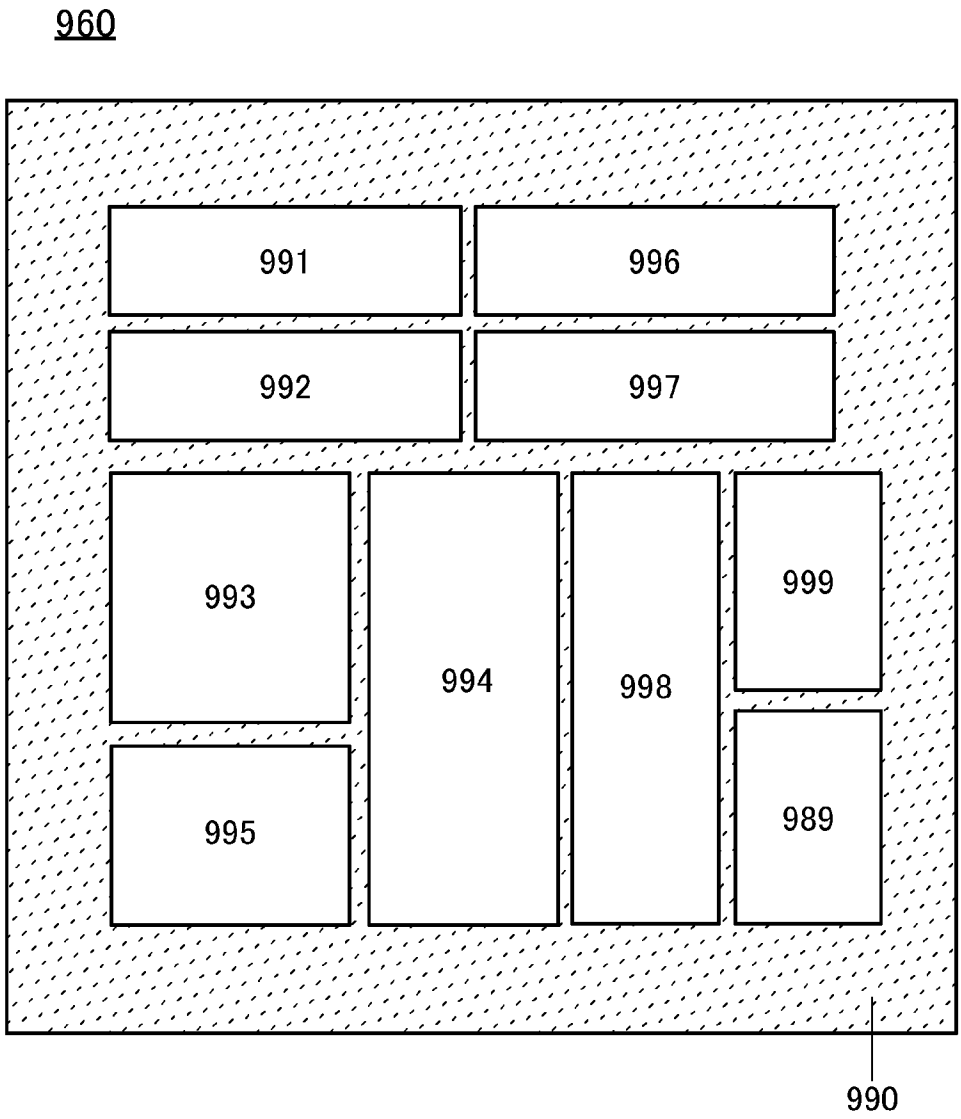


図40A

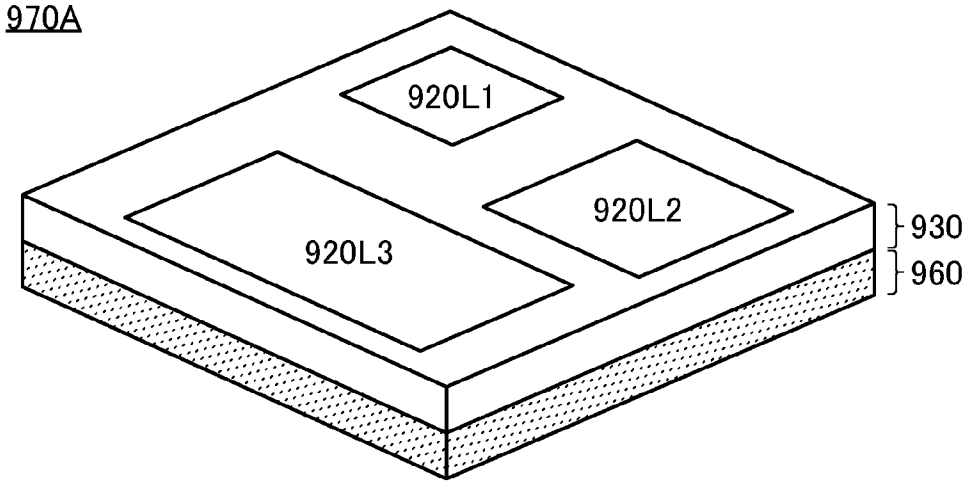

970A
920L1
920L2
920L3
930
960

図40B

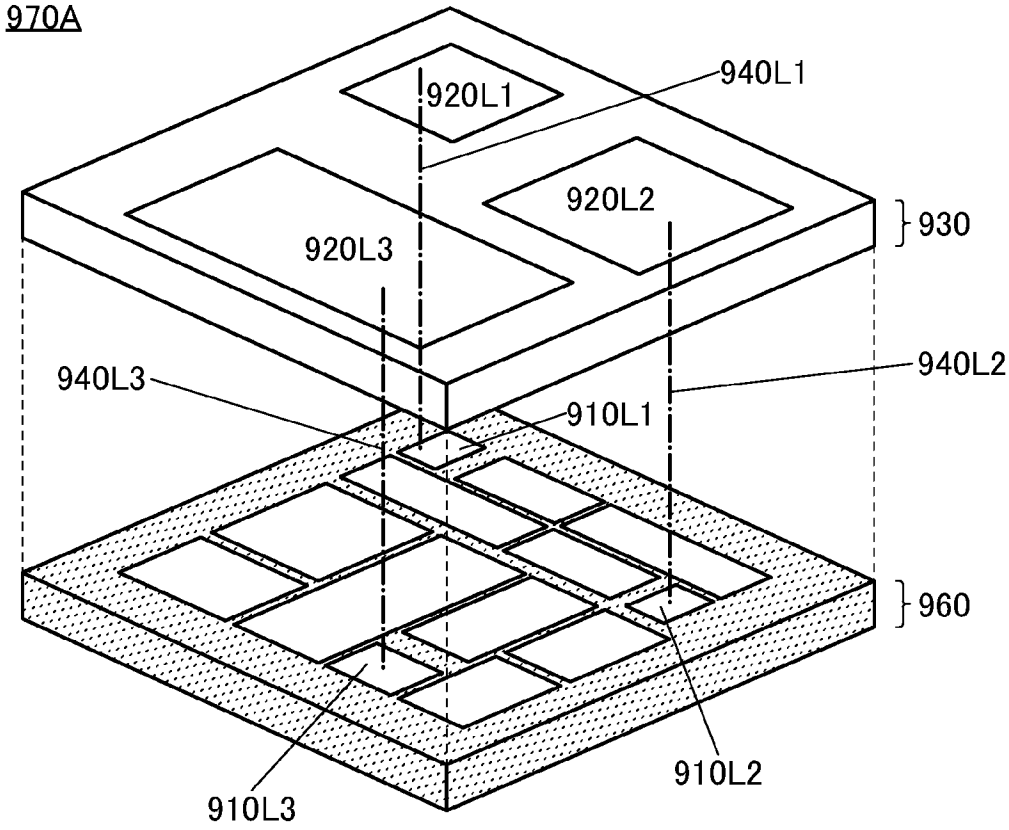

970A
940L1
920L1
920L2
920L3
930
940L2
940L3
910L1
960
910L2
910L3

図41A

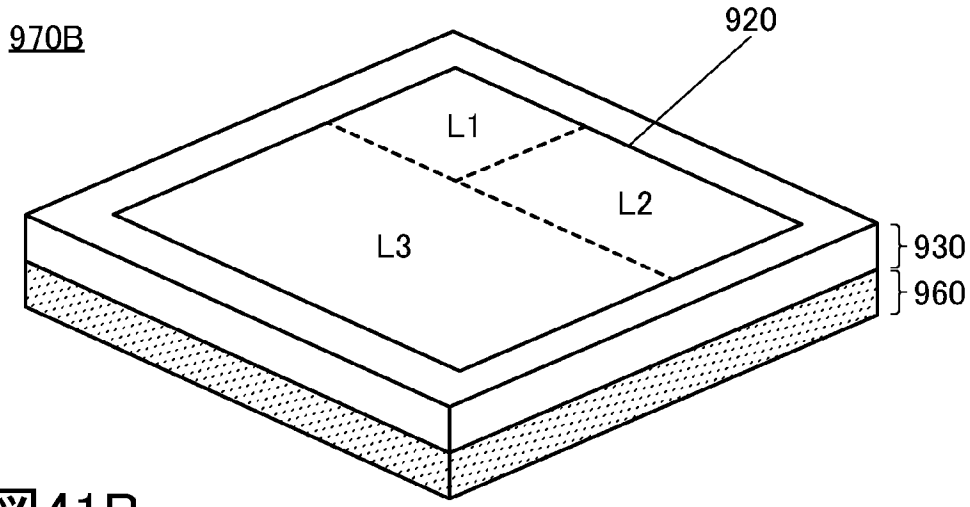

970B
920
L1
L2
L3
930
960

図41B

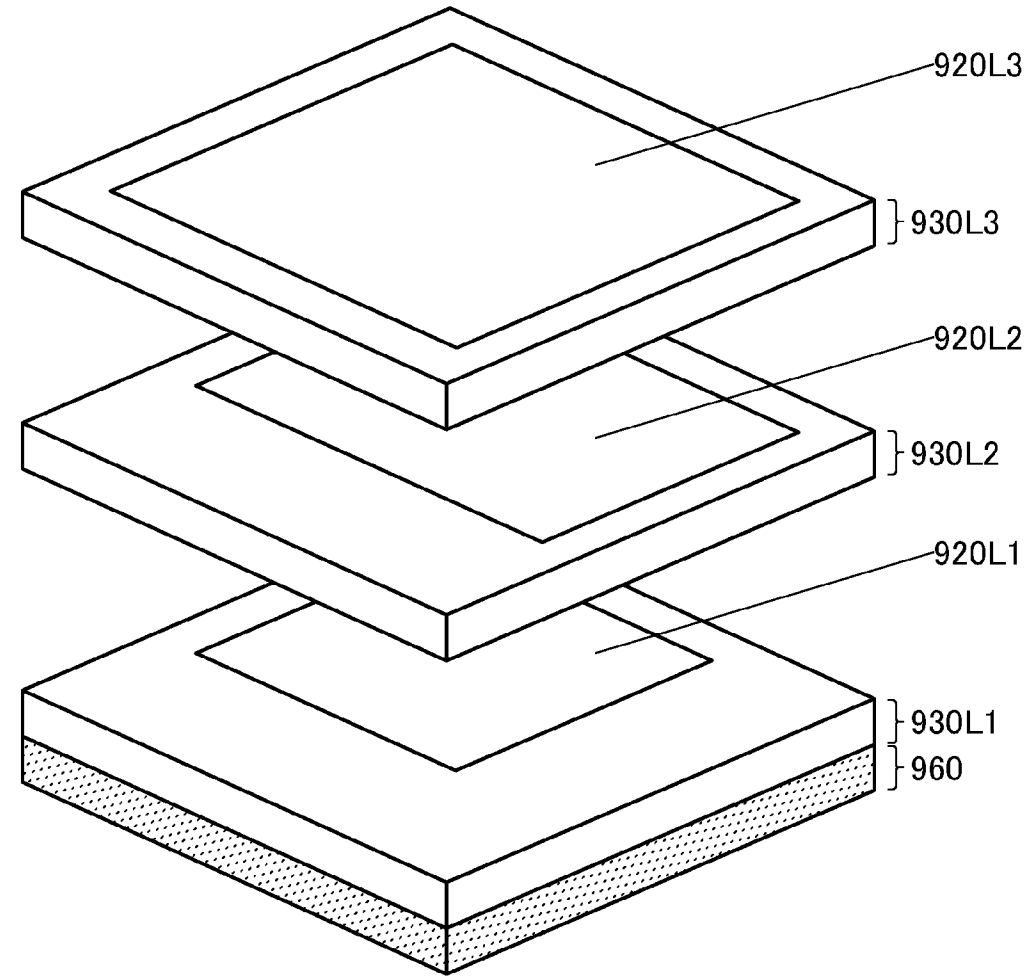

970C
920L3
930L3
920L2
930L2
920L1
930L1
960

図42A

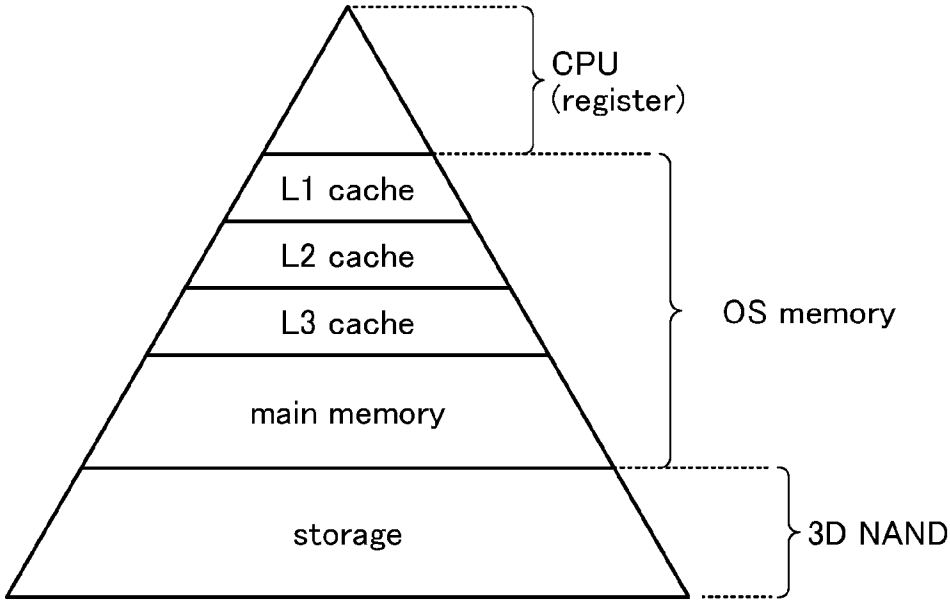

CPU
(register)
L1 cache
L2 cache
L3 cache
main memory
storage
OS memory
3D NAND

図42B

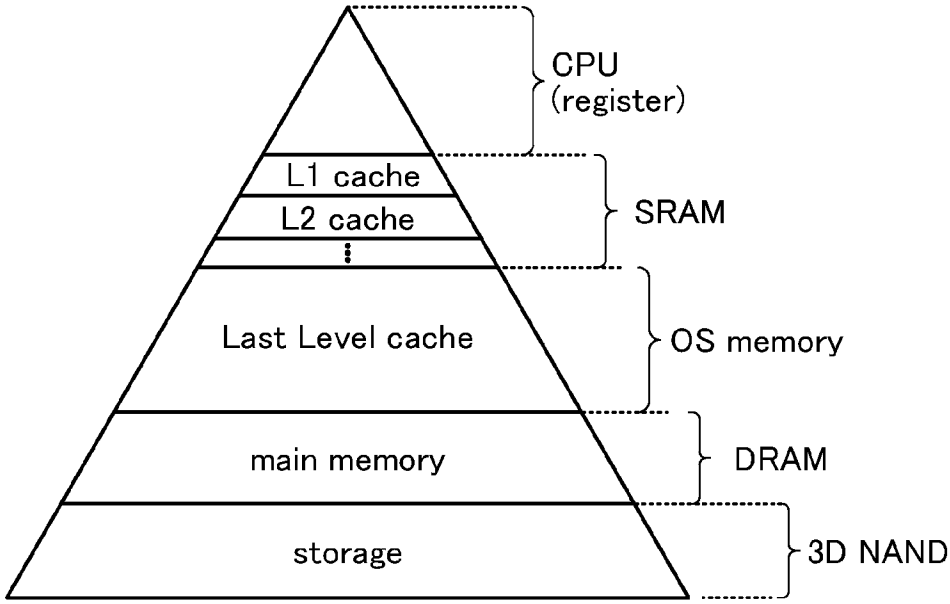

CPU
(register)
L1 cache
L2 cache
Last Level cache
main memory
storage
SRAM
OS memory
DRAM
3D NAND

図43A

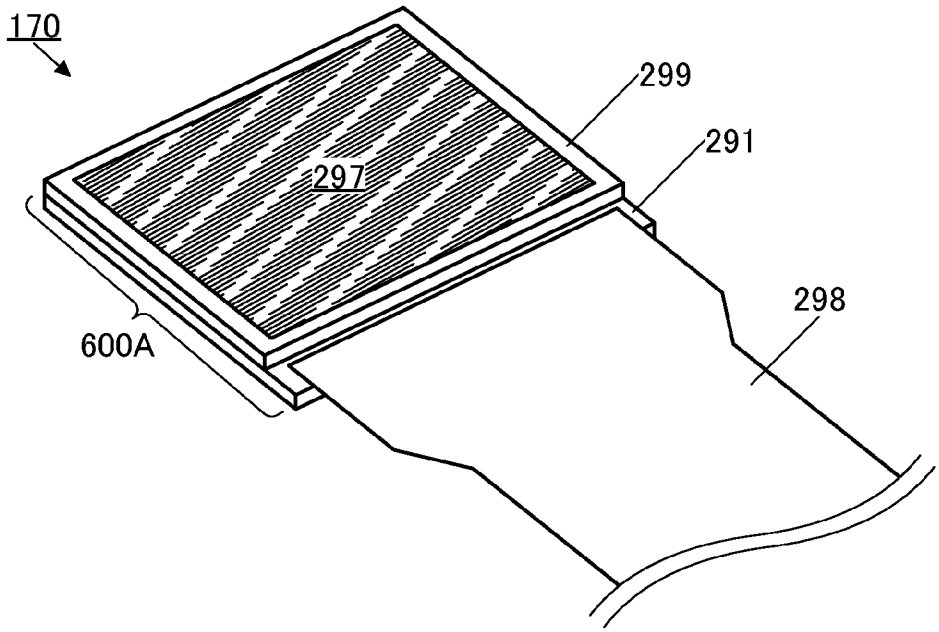

170
299
291
297
298
600A

図43B

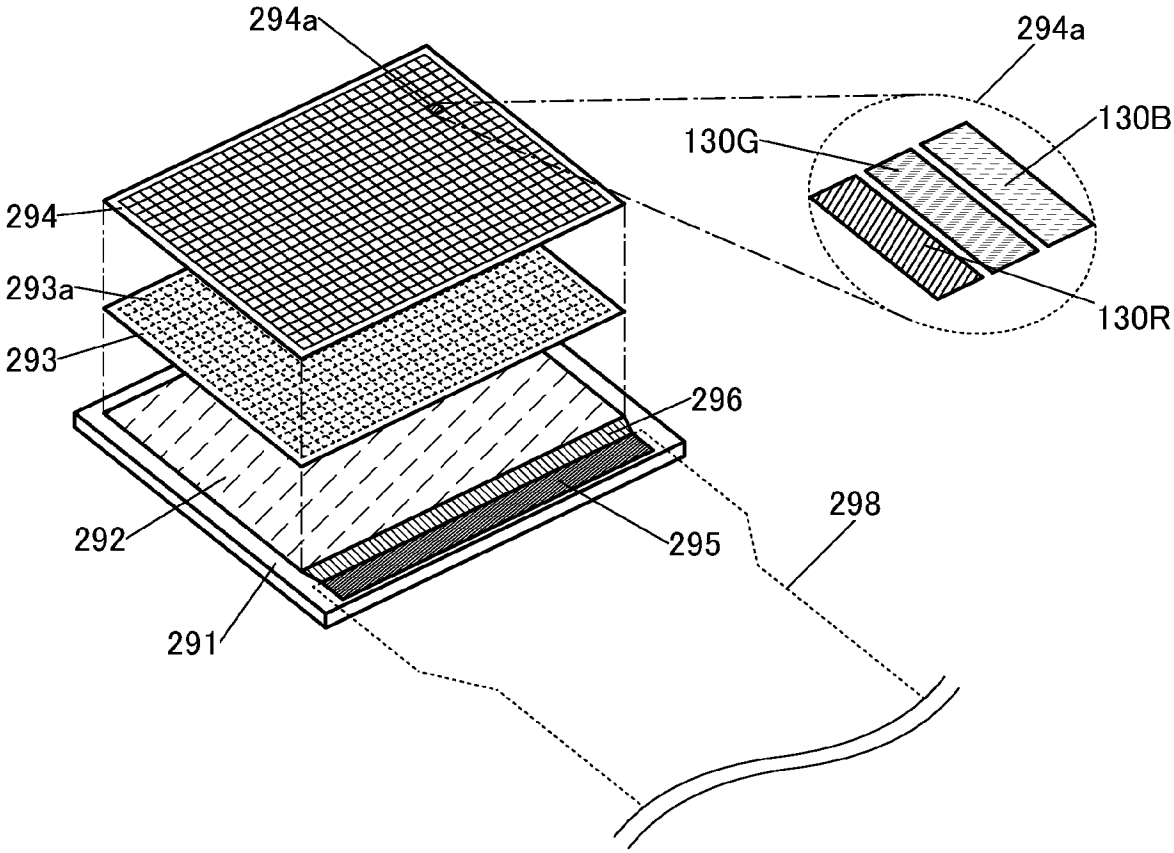

294a
294a
130B
130G
294
293a
293
130R
296
298
292
295
291

図44

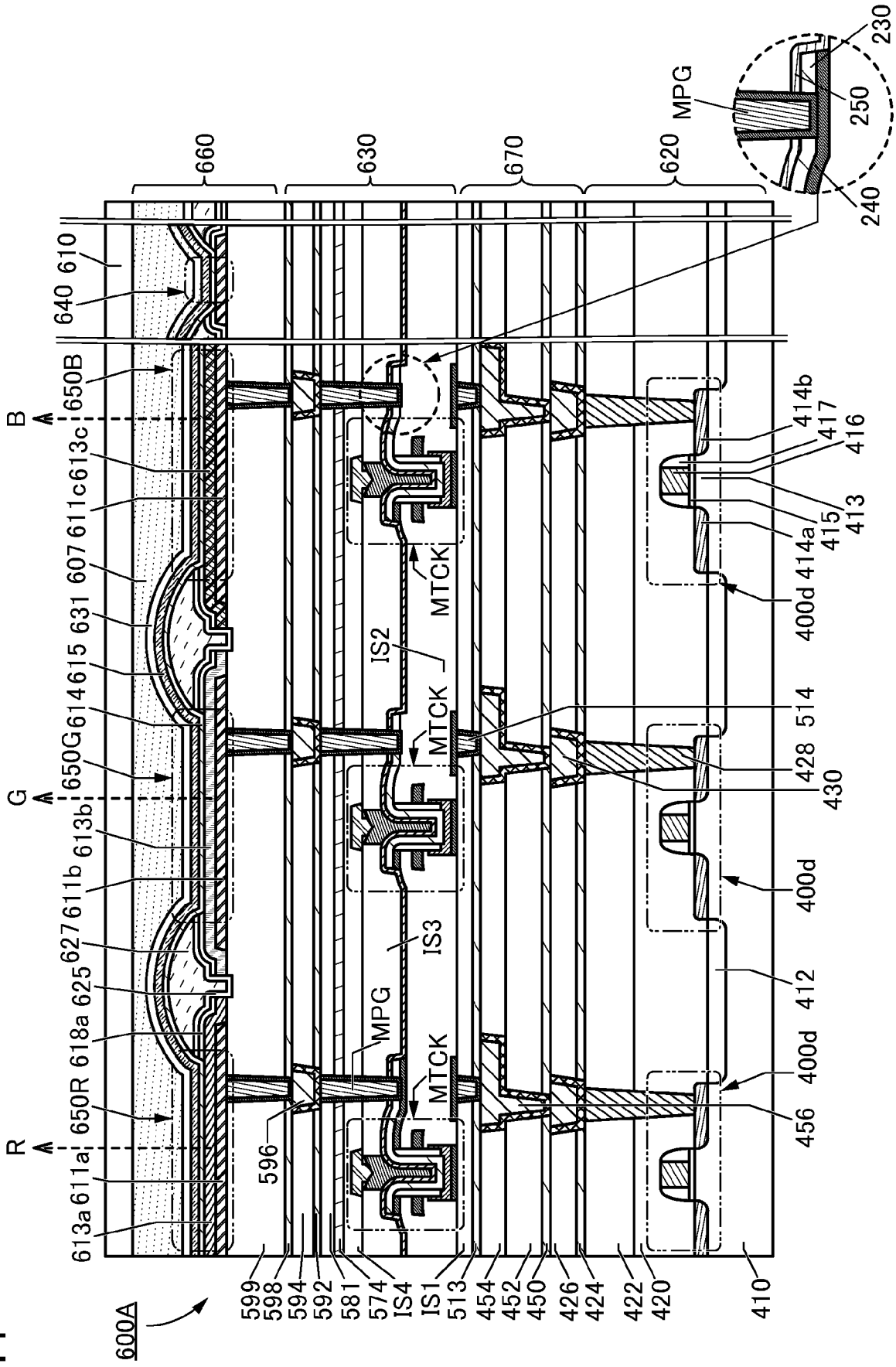

600A
599
598
594
592
581
574
IS4
IS1
513
454
452
450
426
424
422
420
410
613a
611a
650R
618a
625
627
611b
613b
650G
614
615
631
607
611c
613c
650B
640
610
660
630
670
620
596
MPG
MTCK
IS2
IS3
456
400d
412
428
514
430
414a
415
413
414b
417
416
240
250
230

図45

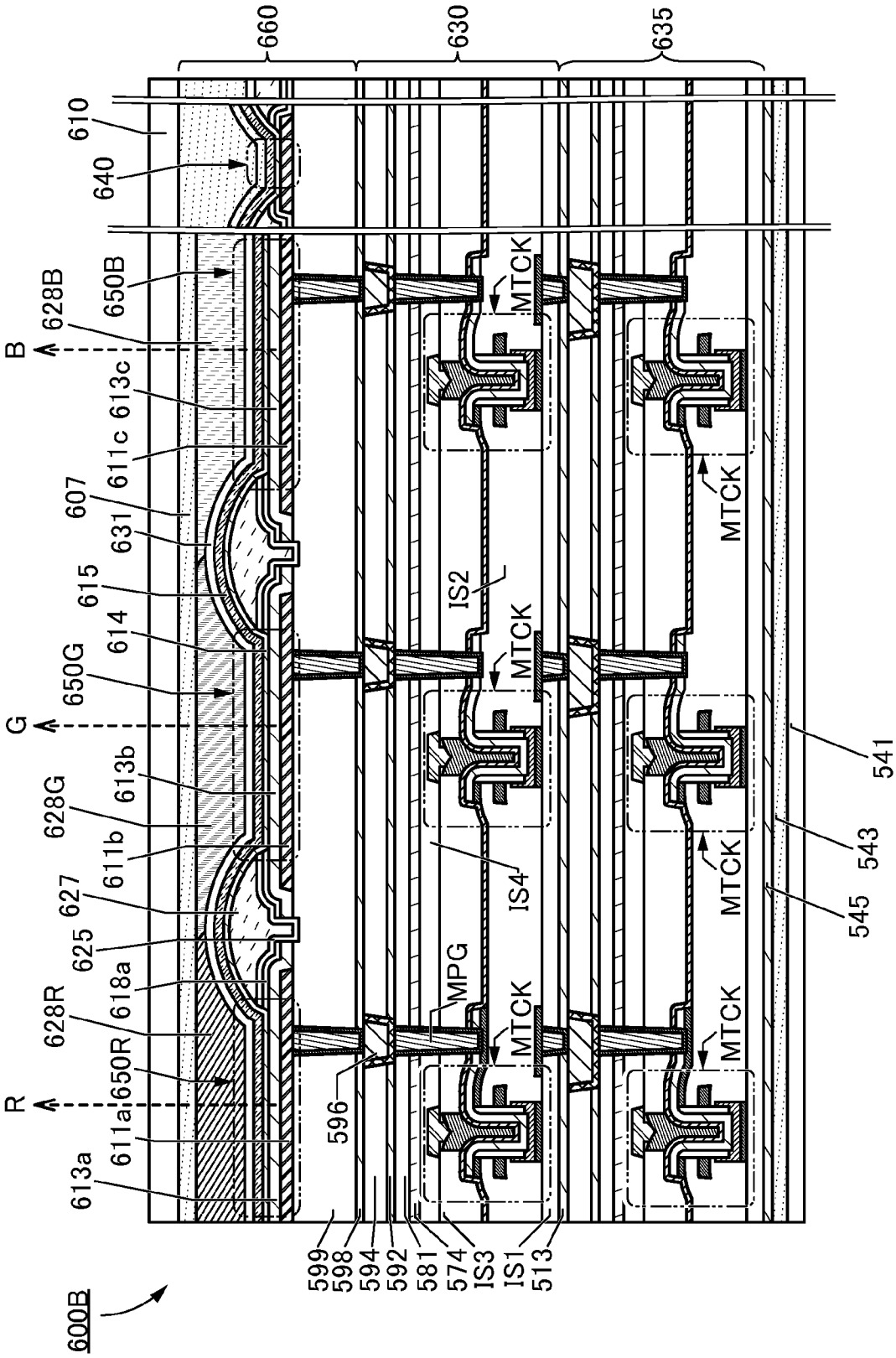

660
630
635
610
640
650B
628B
B
613c
611c
607
631
615
614
650G
G
613b
628G
611b
627
625
618a
628R
650R
R
611a
613a
600B
596
599
598
594
592
581
574
IS3
IS1
513
MTCK
IS2
IS4
MPG
541
543
545

図46A

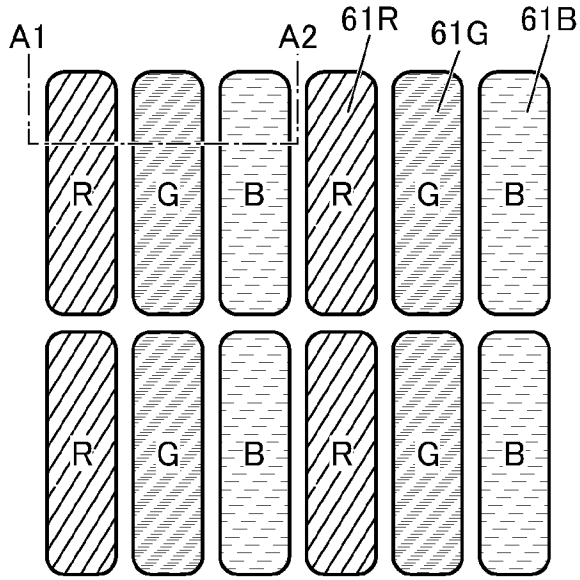


図46B

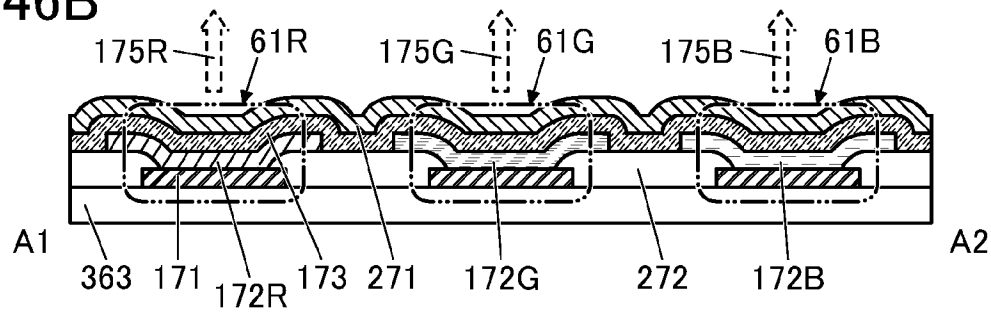


図46C

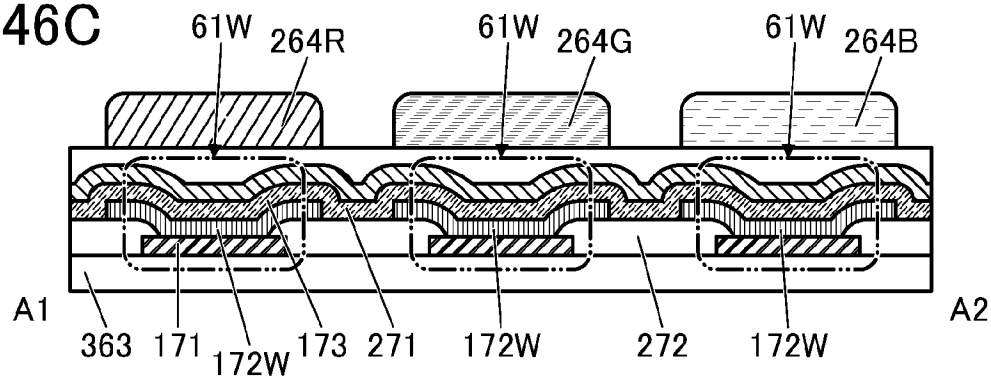


図47A

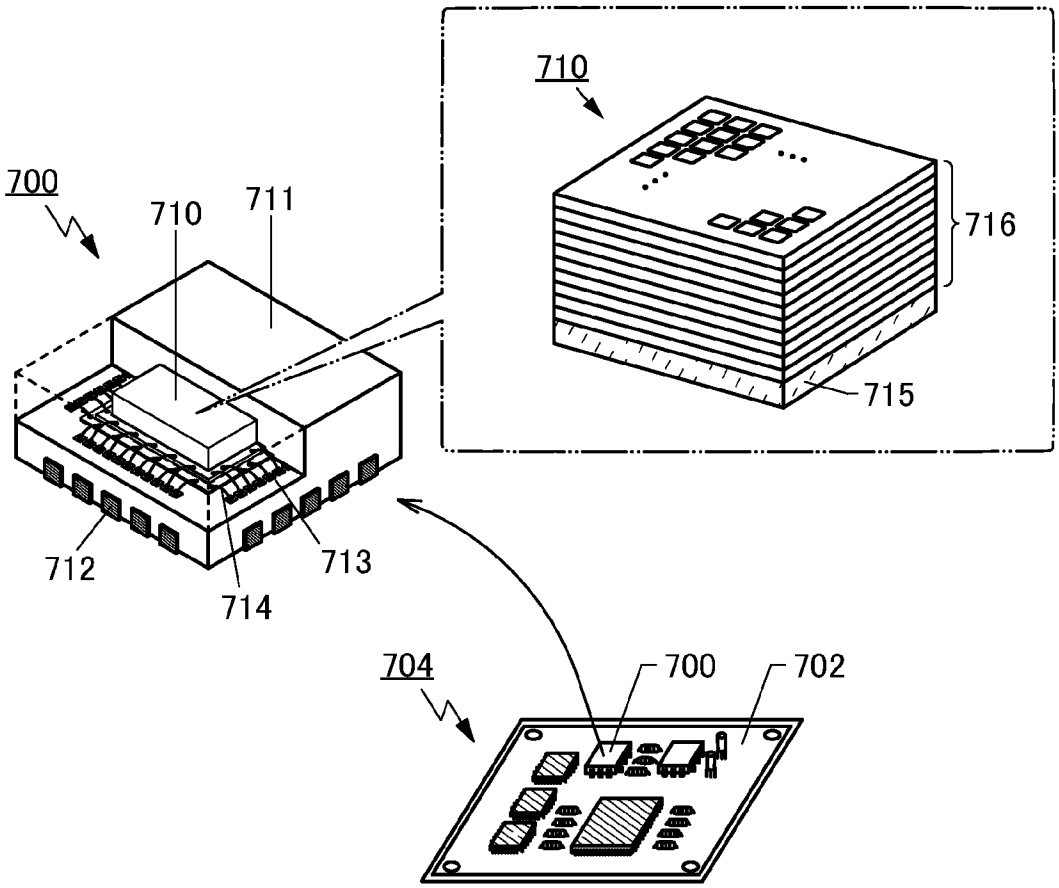

710
700
710
711
716
715
712
713
714
704
700
702

図47B

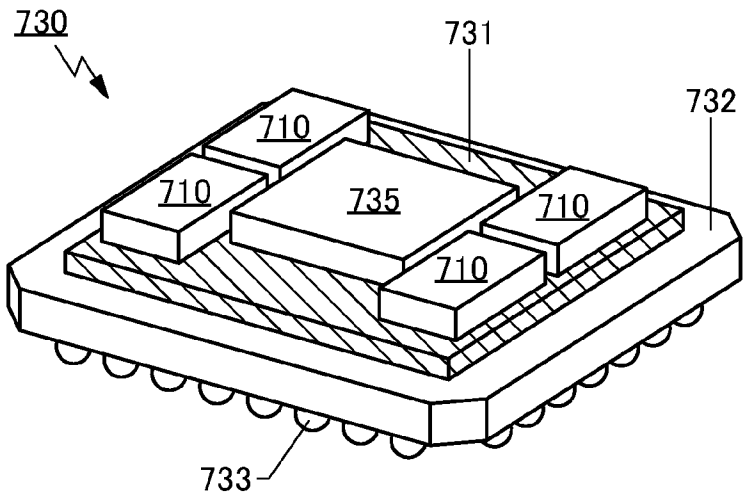

730
731
732
710
710
735
710
710
733

図48A

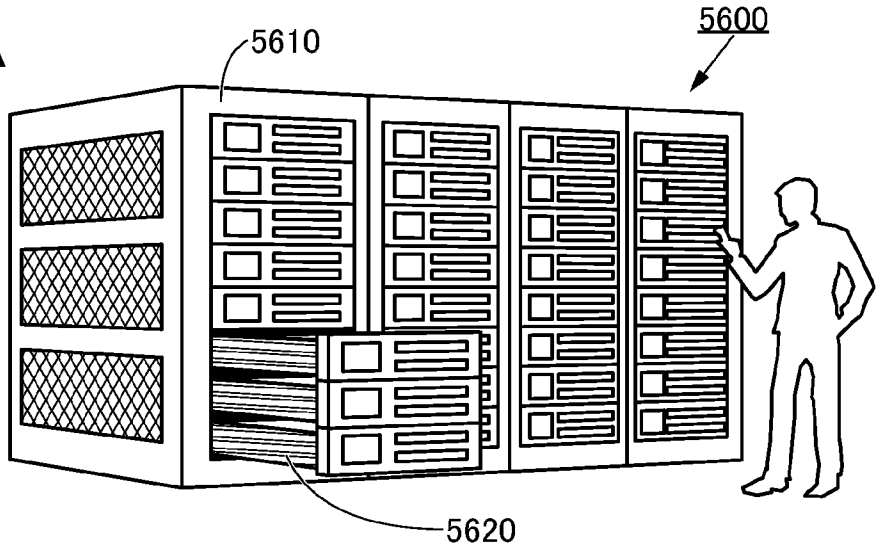


図48B

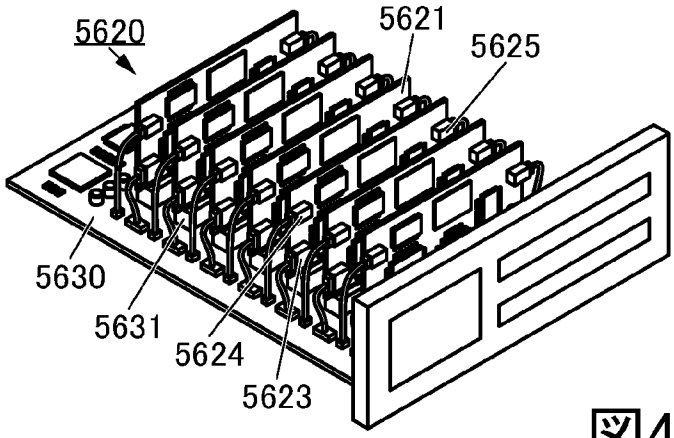


図48C

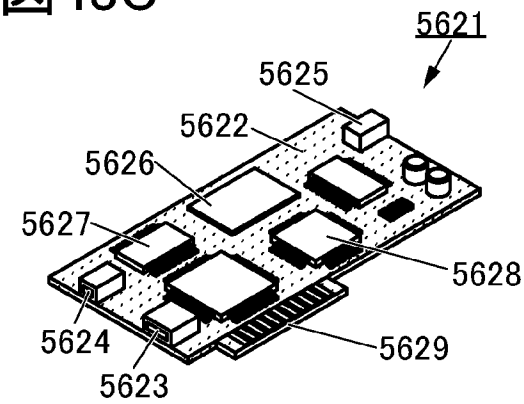


図48D

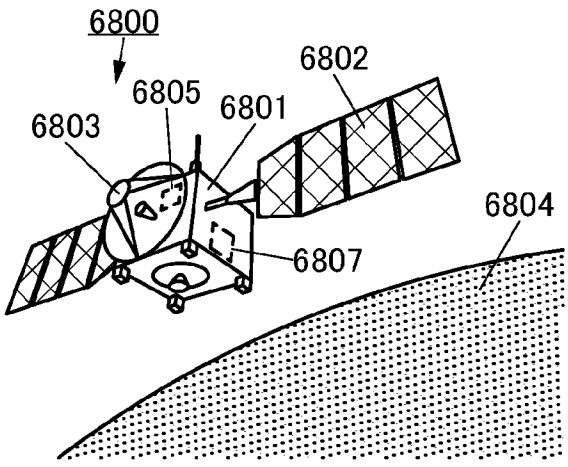


図48E

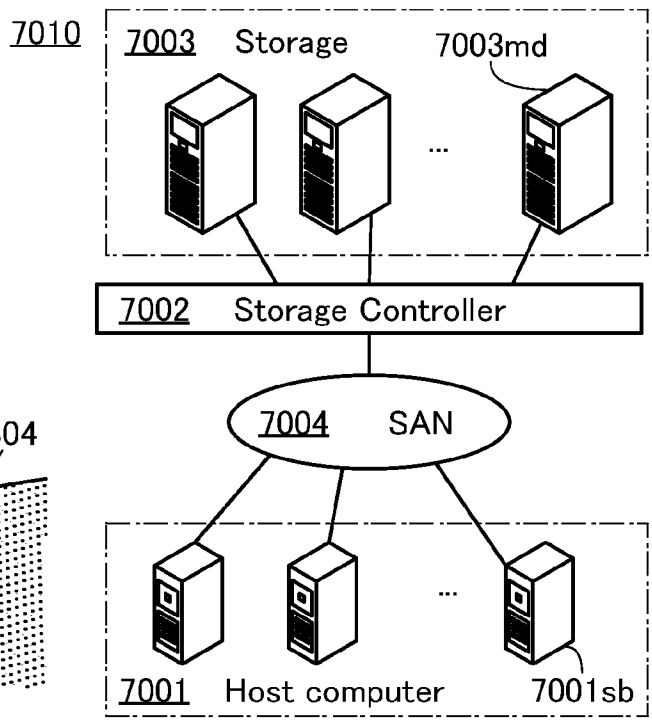


図49A

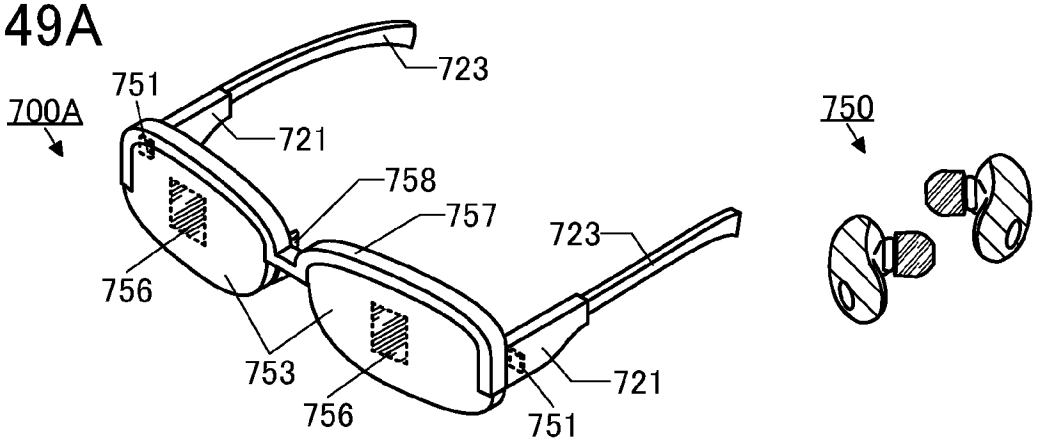


図49B

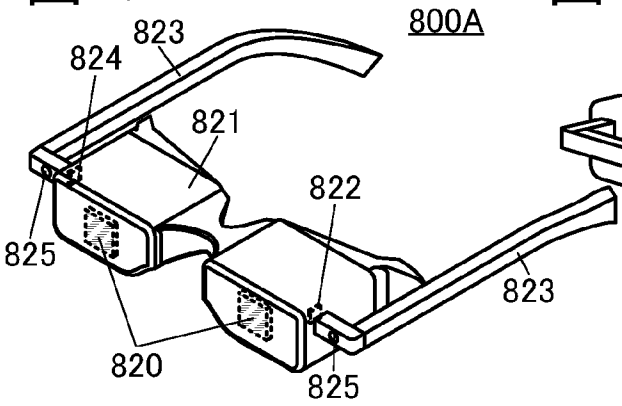


図49C

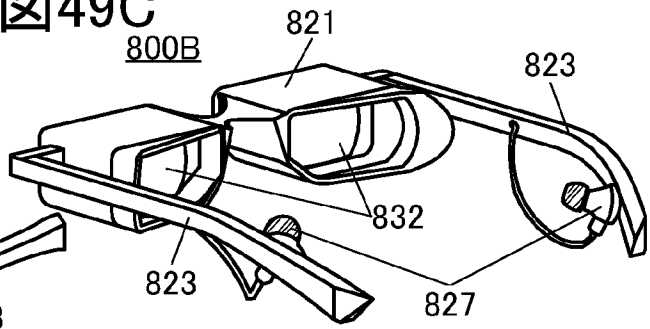


図49D

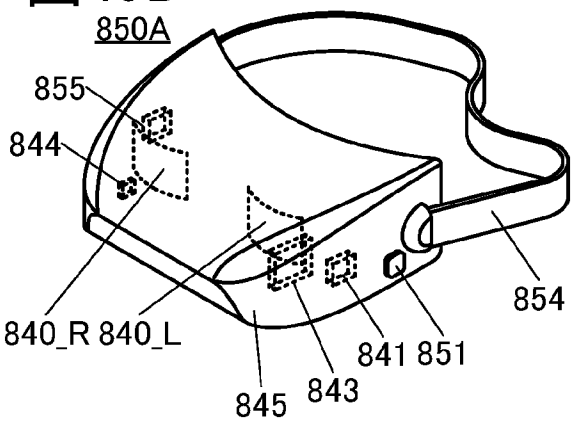


図49E

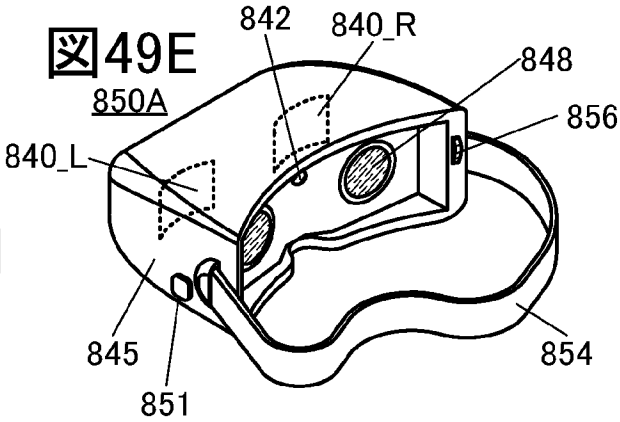


図49F

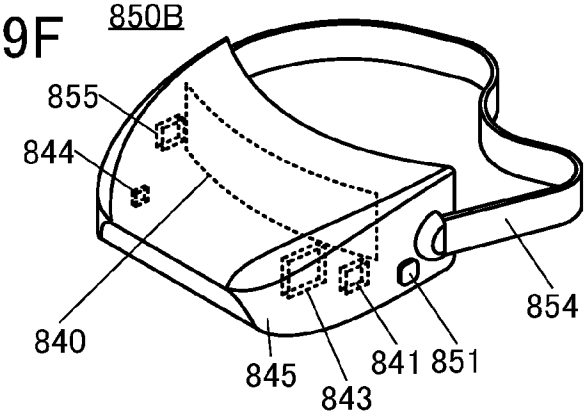


図50A

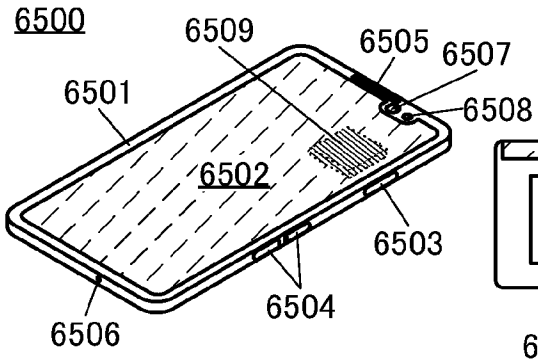


図50C

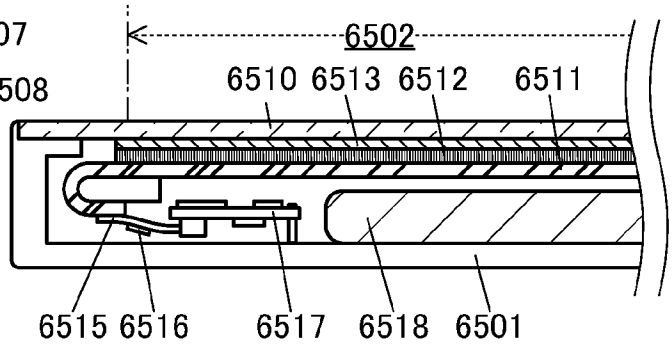


図50B

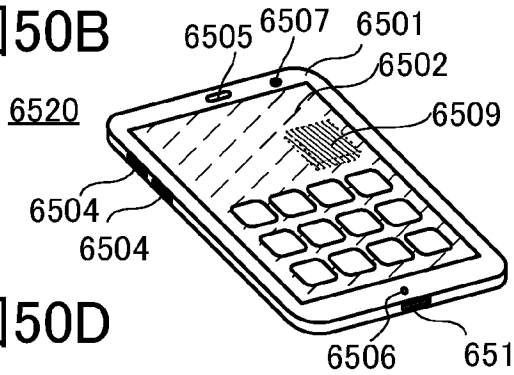


図50D

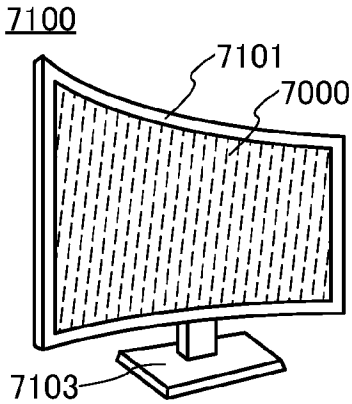


図50E

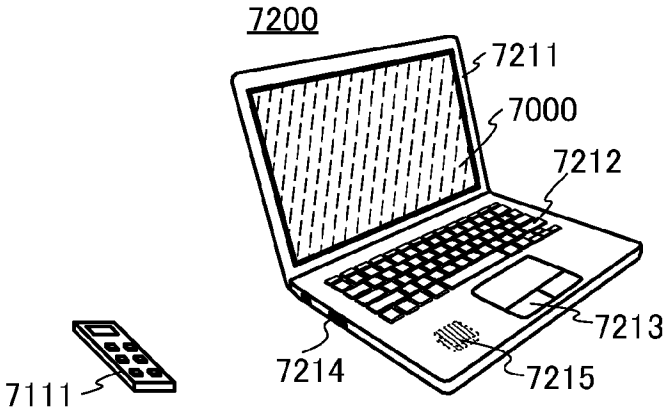


図50F

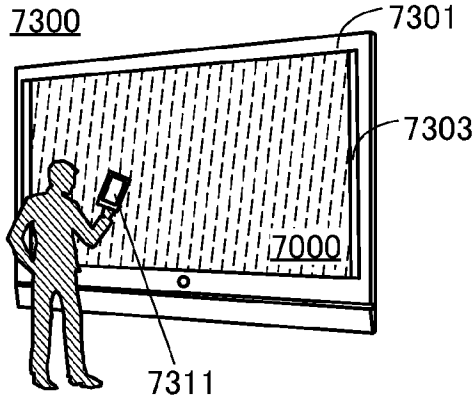


図50G

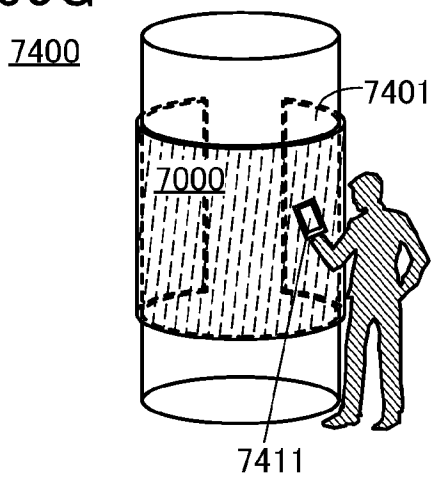


図51A

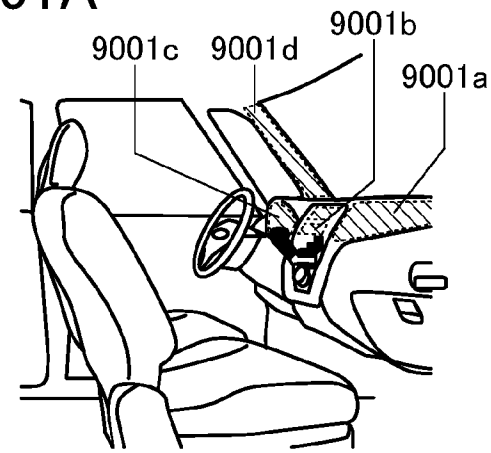


図51B

9200

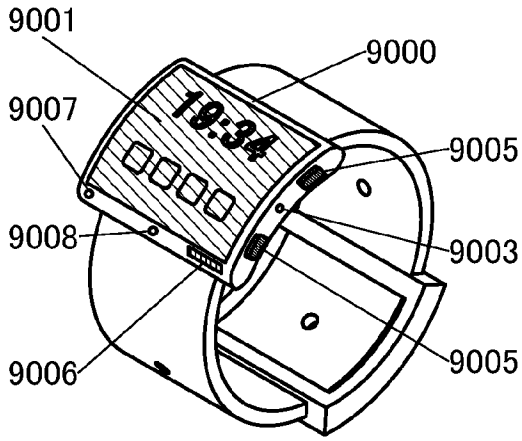


図51C

9201

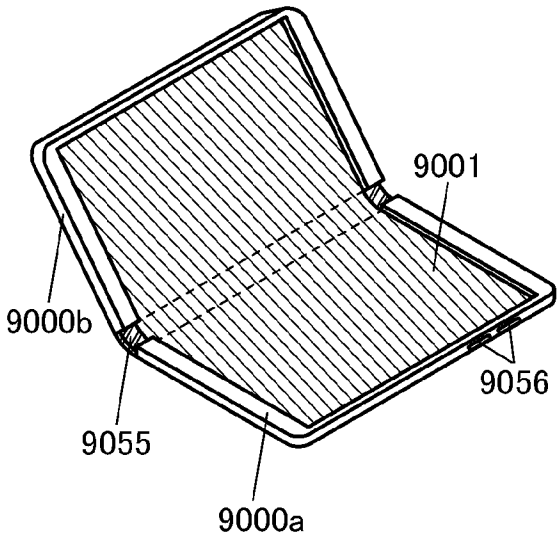


図51D

9202

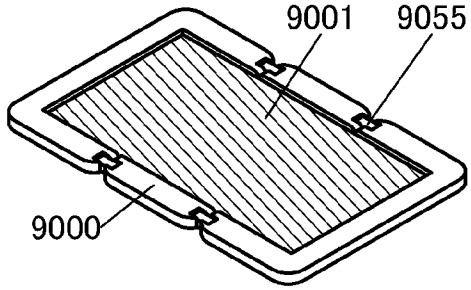


図51E

9202

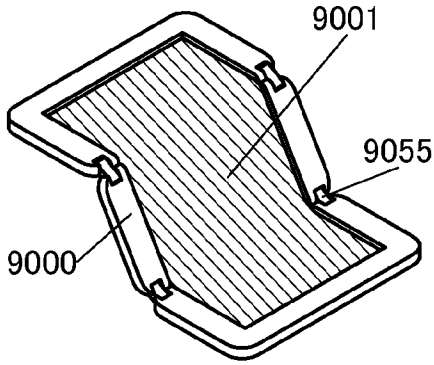
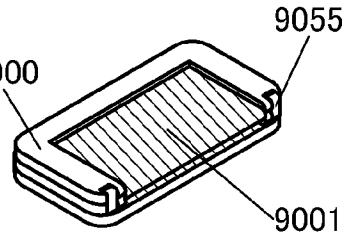


図51F

9202



INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2024/056786

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/31(2006.01)i; ***H01L 21/316***(2006.01)i; ***H01L 21/318***(2006.01)i; ***H01L 21/336***(2006.01)i; ***H01L 21/365***(2006.01)i; ***H01L 21/822***(2006.01)i; ***H01L 21/8234***(2006.01)i; ***H01L 27/04***(2006.01)i; ***H01L 27/088***(2006.01)i; ***H01L 29/786***(2006.01)i; ***H10B 12/00***(2023.01)i; ***H10B 41/70***(2023.01)i; ***H10B 53/30***(2023.01)i

FI: H01L21/31 C; H01L21/31 D; H01L21/316 X; H01L21/316 Y; H01L21/318 B; H01L21/365; H01L27/04 C; H01L27/088 E; H01L27/088 H; H01L27/088 331E; H01L29/78 617J; H01L29/78 617U; H01L29/78 617V; H10B12/00 621C; H10B12/00 671B; H10B12/00 671C; H10B12/00 671Z; H10B12/00 801; H10B41/70; H10B53/30

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/31; H01L21/316; H01L21/318; H01L21/336; H01L21/365; H01L21/822; H01L21/8234; H01L27/04; H01L27/088; H01L29/786; H10B12/00; H10B41/70; H10B53/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2021/038361 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 04 March 2021 (2021-03-04) paragraphs [0131]-[0132], [0137], [0139], [0229], [0301]-[0317], [0345]-[0347], [0359], [0377], fig. 14, A-14D, 15A-15D, 23-25	1-7
Y	JP 2010-199449 A (SONY CORPORATION) 09 September 2010 (2010-09-09) paragraphs [0021]-[0037], [0043]-[0044], [0046]-[0047], [0049], fig. 1, 2	1, 2, 4-7
Y	JP 2007-019145 A (TOKYO ELECTRON LIMITED) 25 January 2007 (2007-01-25) paragraphs [0042]-[0065], fig. 4	3-5

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
03 October 2024	**15 October 2024**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2024/056786

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2020-009960 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 16 January 2020 (2020-01-16) entire text, all drawings	1-7

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2024/056786

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2021/038361 A1	04 March 2021	US 2022/0278235 A1 paragraphs [0172]-[0172], [0177], [0179], [0269], [0341]-[0357], [0385]-[0387], [0399], [0417], fig. 14, A-14D 15A-15D, 23-25 DE 112020004134 T5 CN 114223060 A KR 10-2022-0052972 A TW 202129877 A	
JP 2010-199449 A	09 September 2010	(Family: none)	
JP 2007-019145 A	25 January 2007	US 2007/0010071 A1 paragraphs [0079]-[0111], fig. 4 KR 10-2007-0005507 A CN 1891859 A TW 200721306 A	
JP 2020-009960 A	16 January 2020	(Family: none)	

国際調査報告

国際出願番号
PCT/IB2024/056786

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 21/31(2006.01)i; H01L 21/316(2006.01)i; H01L 21/318(2006.01)i; H01L 21/336(2006.01)i; H01L 21/365(2006.01)i; H01L 21/822(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/04(2006.01)i; H01L 27/088(2006.01)i; H01L 29/786(2006.01)i; H10B 12/00(2023.01)i; H10B 41/70(2023.01)i; H10B 53/30(2023.01)i

FI: H01L21/31 C; H01L21/31 D; H01L21/316 X; H01L21/316 Y; H01L21/318 B; H01L21/365; H01L27/04 C; H01L27/088 E; H01L27/088 H; H01L27/088 331E; H01L29/78 617J; H01L29/78 617U; H01L29/78 617V; H10B12/00 621C; H10B12/00 671B; H10B12/00 671C; H10B12/00 671Z; H10B12/00 801; H10B41/70; H10B53/30

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L21/31; H01L21/316; H01L21/318; H01L21/336; H01L21/365; H01L21/822; H01L21/8234; H01L27/04; H01L27/088; H01L29/786; H10B12/00; H10B41/70; H10B53/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	WO 2021/038361 A1 (株式会社半導体エネルギー研究所) 04.03.2021 (2021-03-04) 段落[0131]-[0132], [0137], [0139], [0229], [0301]-[0317], [0345]-[0347], [0359], [0377], 図14,A-14D 15A-15D, 23-25	1-7
Y	JP 2010-199449 A (ソニー株式会社) 09.09.2010 (2010-09-09) 段落[0021]-[0037], [0043]-[0044], [0046]-[0047], [0049], 図1, 2	1, 2, 4-7
Y	JP 2007-019145 A (東京エレクトロン株式会社) 25.01.2007 (2007-01-25) 段落[0042]-[0065], 図4	3-5
A	JP 2020-009960 A (株式会社半導体エネルギー研究所) 16.01.2020 (2020-01-16) 全文, 全図	1-7

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
- “A” 特に関連のある文献ではなく、一般的技術水準を示すもの
- “D” 国際出願で出願人が先行技術文献として記載した文献
- “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
- “O” 口頭による開示、使用、展示等に言及する文献
- “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
- “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
- “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- “Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- “&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
03.10.2024	15.10.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

長谷川　直也 50 4549

電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/IB2024/056786

引用文献	公表日	パテントファミリー文献	公表日
WO 2021/038361 A1	04.03.2021	US 2022/0278235 A1 段落[0172]-[0172], [0177], [0179], [0269], [0341]-[0357], [0385]-[0387], [0399], [0417], 図14,A-14D 15A-15D, 23-25 DE 112020004134 T5 CN 114223060 A KR 10-2022-0052972 A TW 202129877 A	
JP 2010-199449 A	09.09.2010	（ファミリーなし）	
JP 2007-019145 A	25.01.2007	US 2007/0010071 A1 段落[0079]-[0111], 図4 KR 10-2007-0005507 A CN 1891859 A TW 200721306 A	
JP 2020-009960 A	16.01.2020	（ファミリーなし）	