



(12)发明专利申请

(10)申请公布号 CN 106463473 A

(43)申请公布日 2017.02.22

(21)申请号 201580034451.X

(22)申请日 2015.06.22

(30)优先权数据

2014-131624 2014.06.26 JP

(85)PCT国际申请进入国家阶段日

2016.12.23

(86)PCT国际申请的申请数据

PCT/JP2015/067892 2015.06.22

(87)PCT国际申请的公布数据

W02015/199030 JA 2015.12.30

(71)申请人 凸版印刷株式会社

地址 日本东京

(72)发明人 小林茜 芥川泰人

(74)专利代理机构 北京天昊联合知识产权代理有限公司 11112

代理人 何立波 张天舒

(51)Int.Cl.

H01L 23/12(2006.01)

C09J 201/00(2006.01)

H05K 3/00(2006.01)

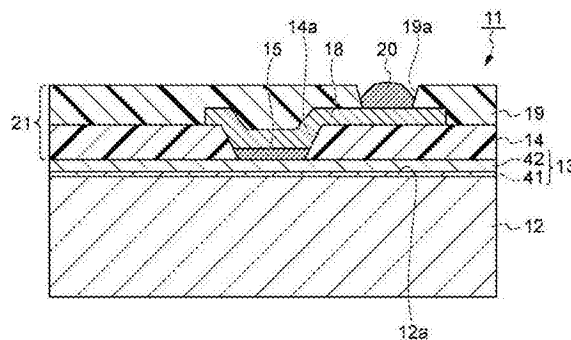
权利要求书2页 说明书11页 附图9页

(54)发明名称

配线基板、半导体装置以及半导体装置的制造方法

(57)摘要

有利于半导体装置的制造效率的改善的配线基板(11)具备:支撑体(12),其具有透明性;粘接层(13),其设置于支撑体(12)的主面(12a)上,并且具有包含通过光的照射而能够分解的第3树脂的剥离层(41)、以及设置于剥离层(41)上且包含第4树脂的保护层(42);以及层叠体(21),其具有第1树脂层(14)、设置于第1树脂层(14)上的第2树脂层(19)、以及至少设置于第1树脂层(14)以及第2树脂层(19)之间的配线图案(18),并设置于粘接层(13)上。由此,能够分别制造半导体芯片(22)和作为外部连接部件的配线基板(11),因此有利于半导体装置(1)的制造效率的改善。



1. 一种配线基板,其具备:
支撑体,其具有透明性;
粘接层,其设置于所述支撑体的主面上;以及
层叠体,其具有第1树脂层、设置于所述第1树脂层上的第2树脂层、以及至少设置于所述第1树脂层以及第2树脂层之间的配线图案,并设置于所述粘接层上,
所述粘接层具有:剥离层,其设置于所述支撑体的所述主面上,并且包含通过光的照射而能够分解的第3树脂;以及保护层,其以相对于所述光而保护所述层叠体方式设置于所述剥离层上,并且包含第4树脂。
2. 根据权利要求1所述的配线基板,其中,
所述支撑体的线膨胀系数大于或等于 $-1\text{ppm}/^{\circ}\text{C}$ 且小于或等于 $10\text{ppm}/^{\circ}\text{C}$ 。
3. 根据权利要求1或者2所述的配线基板,其中,
所述支撑体是玻璃基板。
4. 根据权利要求1至3中任一项所述的配线基板,其中,
所述支撑体的所述主面的最大高度粗糙度大于或等于 $0.01\mu\text{m}$ 且小于或等于 $5\mu\text{m}$ 。
5. 根据权利要求1至4中任一项所述的配线基板,其中,
所述保护层是由所述第4树脂构成的层、或者以所述第4树脂为主要成分的层。
6. 根据权利要求1至5中任一项所述的配线基板,其中,
所述层叠体的厚度大于或等于 0.001mm 且小于或等于 1mm 。
7. 一种半导体装置,其具备:
在权利要求1至6中任一项所述的配线基板中将所述支撑体去除后的所述层叠体;以及
半导体芯片,其在表面设置有凸起电极,经由该凸起电极而与所述层叠体的所述配线图案连接。
8. 根据权利要求7所述的半导体装置,其中,
所述配线图案和所述半导体芯片经由含有焊料的连接端子而相互连接。
9. 根据权利要求7或者8所述的半导体装置,其中,
所述配线图案和所述半导体芯片经由含有金的连接端子而相互连接。
10. 一种半导体装置的制造方法,其具备下述工序:
准备权利要求1至6中任一项所述的配线基板;
将半导体芯片搭载于所述配线基板的所述层叠体,并且将所述半导体芯片与所述配线图案接合;以及
通过经由所述支撑体将光照射至所述粘接层,从而将所述支撑体从所述层叠体剥离。
11. 根据权利要求10所述的半导体装置的制造方法,其中,
所述光是激光。
12. 根据权利要求10或者11所述的半导体装置的制造方法,其中,
还具备下述工序,即,利用封装树脂将与所述配线图案接合后的所述半导体芯片覆盖。
13. 根据权利要求10至12中任一项所述的半导体装置的制造方法,其中,
还具备下述工序,即,在将所述支撑体从所述层叠体剥离的所述工序之后,从所述层叠体将所述粘接层去除。
14. 根据权利要求10至13中任一项所述的半导体装置的制造方法,其中,

还具备下述工序：

在将所述支撑体从所述层叠体剥离的所述工序之后，在所述层叠体设置外部连接端子；以及

将所述层叠体切断而进行单片化。

配线基板、半导体装置以及半导体装置的制造方法

技术领域

[0001] 本发明涉及配线基板、半导体装置以及半导体装置的制造方法。

背景技术

[0002] 近年来,使用半导体芯片以及外部连接部件的半导体装置被用于电子仪器以及汽车等各种各样的领域。下述专利文献1中记载有如下半导体装置的制造方法,即,在半导体芯片上直接形成具有再配线层以及外部连接端子的外部连接部件。在该制造方法中,具有再配线层以及外部连接端子的外部连接部件形成于半导体芯片区域内。通过该制造方法而设置的半导体装置被称为Fan-in型的WLP(Wafer Level Package:晶圆级封装)。

[0003] 另外,下述专利文献2中记载有如下半导体装置的制造方法,即,形成将在支撑基板固定的半导体芯片的周围覆盖的绝缘层,在该半导体芯片上以及该绝缘层上形成具有再配线层以及外部连接端子的外部连接部件。在该制造方法中,在比半导体芯片的外缘靠外侧的周围区域也形成有具有再配线层以及外部连接端子的外部连接部件。通过该制造方法而设置的半导体装置被称为Fan-out型的WLP。

[0004] 专利文献1:日本特开平11-111896号公报

[0005] 专利文献2:日本特开2011-187473号公报

[0006] 专利文献3:日本特开2014-7315号公报

发明内容

[0007] 在上述专利文献1所记载的制造方法中,外部连接部件形成于半导体芯片区域内,因此外部连接端子的数量以及位置受到限制。另外,在专利文献1、2所记载的制造方法中,在实现了单片化的半导体芯片上直接形成外部连接部件,因此半导体装置的制造效率降低。

[0008] 本发明的目的在于提供有利于半导体装置的制造效率的改善的配线基板、改善了制造效率的半导体装置以及制造该半导体装置的方法。

[0009] 本发明的一个方式所涉及的配线基板具备:支撑体,其具有透明性;粘接层,其设置于支撑体的主面上;层叠体,其具有第1树脂层、设置于第1树脂层上的第2树脂层以及至少设置于第1树脂层以及第2树脂层之间的配线图案,并设置于粘接层上,粘接层具有:剥离层,其设置于支撑体的主面上,并且包含通过光的照射而能够进行分解的第3树脂;以及保护层,其以保护层叠体不受光影响的方式设置于剥离层上,并且包含第4树脂。

[0010] 在该配线基板中,半导体装置中的半导体芯片设置有作为用于与外部装置连接的外部连接部件起作用的层叠体。由此,能够分别地对半导体芯片和具有外部连接部件的配线基板进行制造,因此有利于半导体装置的制造效率的改善。另外,在该配线基板中,支撑体具有透明性。由此,通过经由支撑体而对剥离层照射光,从而第3树脂分解,能够减弱剥离层的粘接力。并且,通过将保护层设置于剥离层与层叠体之间,从而能够抑制光的能量传递至层叠体。由此,能够抑制层叠体的第1树脂层以及第2树脂层所包含的树脂被分解。因此,

能够在将半导体芯片和配线基板的层叠体接合之后,容易地将支撑体从层叠体剥离,因此能够实现利用该配线基板而制造的半导体装置的薄型化。

[0011] 另外,支撑体的线膨胀系数可以大于或等于 $-1\text{ppm}/^{\circ}\text{C}$ 且小于或等于 $10\text{ppm}/^{\circ}\text{C}$ 。在该情况下,半导体芯片利用以硅基板等的无机物为主要成分的基板而制造,因此,半导体芯片的线膨胀系数与支撑体的线膨胀系数成为相互接近的值。因此,能够抑制在将半导体芯片搭载至配线基板时产生的位置偏差。

[0012] 另外,支撑体可以是玻璃基板。在该情况下,以低价实现支撑体且提高强度,并且支撑体的大型化变得容易。另外,能够容易地调整支撑体的表面的粗糙度。

[0013] 支撑体的主面的最大高度粗糙度可以大于或等于 $0.01\mu\text{m}$ 且小于或等于 $5\mu\text{m}$ 。在该情况下,设置于支撑体上的层叠体的凹凸变小,因此能够抑制配线图案的断线以及短路等。

[0014] 另外,保护层可以是由第4树脂构成的层、或者是以第4树脂为主要成分的层。在该情况下,针对配线图案能够选择性良好地将保护层去除。由此,能够防止配线图案的蚀刻等,能够确保该配线图案与外部装置的良好连接。因此,利用配线基板制造的半导体装置的成品率提高。

[0015] 另外,层叠体的厚度可以大于或等于 0.001mm 且小于或等于 1mm 。在该情况下,能够利用第1树脂层以及第2树脂层对层叠体的配线图案进行保护,并且能够抑制配线基板的翘曲。

[0016] 另外,本发明的另一方式所涉及的半导体装置具备:在上述段落所述的任意配线基板中将支撑体去除后的层叠体;以及半导体芯片,其在一个表面设置有凸起电极,经由该凸起电极而与层叠体的配线图案连接。在该半导体装置中,分别制造半导体芯片和作为外部连接部件的层叠体,因此半导体装置的制造效率得到改善。另外,通过将配线基板的支撑体从层叠体去除,从而能够实现半导体装置的薄型化。

[0017] 另外,配线图案和半导体芯片可以经由含有焊料的连接端子而相互连接。在该情况下,即使在配线图案和半导体芯片之间产生了位置偏差的情况下,也能够利用含有焊料的连接端子将偏差填埋,能够抑制在半导体芯片与层叠体之间产生的连接不良。

[0018] 另外,配线图案和半导体芯片可以经由含有金的连接端子而相互连接。在该情况下,连接端子的导电性提高,并且该连接端子的腐蚀得到抑制。

[0019] 另外,本发明的另一个方式所涉及的半导体装置的制造方法具备下述工序,即,准备上述段落所述的任意配线基板;将半导体芯片搭载于配线基板的层叠体,并且将半导体芯片与配线图案接合;通过经由支撑体将光照射至粘接层,从而将支撑体从层叠体剥离。

[0020] 根据该半导体装置的制造方法,通过经由支撑体将光照射至剥离层,从而树脂分解,能够减弱剥离层的粘接力。因此,在将半导体芯片和配线基板的层叠体接合之后,能够容易地将支撑体从层叠体剥离,因此能够实现利用该配线基板制造的半导体装置的薄型化。并且,在将半导体芯片搭载于层叠体时使用具有支撑体的配线基板,从而能够容易进行处理。

[0021] 另外,光可以是激光。在该情况下,能够充分施加为了使剥离层内的树脂分解所需的热能,能够有效地减弱剥离层的粘接力。

[0022] 另外,上述半导体装置的制造方法可以还具备下述工序,即,利用封装树脂将与配线图案接合后的半导体芯片覆盖。在该情况下,能够利用封装树脂对半导体芯片进行保护,

并且能够抑制半导体芯片从层叠体脱离。

[0023] 另外,上述半导体装置的制造方法可以还具备下述工序,即,在将支撑体从层叠体剥离的工序之后,从层叠体将粘接层去除。

[0024] 另外,上述半导体装置的制造方法可以还具备下述工序,即,在将支撑体从层叠体剥离的工序之后,在层叠体设置外部连接端子;以及将层叠体切断而进行单片化。

[0025] 发明的效果

[0026] 根据本发明的配线基板、半导体装置、以及制造该半导体装置的方法,能够提供有利于半导体装置的制造效率的改善以及该半导体装置的薄型化的配线基板、使薄型化成为可能且改善了制造效率的半导体装置和制造该半导体装置的方法。

附图说明

[0027] 图1是对利用本实施方式的配线基板制造的半导体装置进行说明的图。

[0028] 图2是对本实施方式的配线基板进行说明的图。

[0029] 图3(a)~图3(c)是对配线基板的制造方法的一个例子进行说明的图。

[0030] 图4(a)~图4(c)是对配线基板的制造方法的一个例子进行说明的图。

[0031] 图5(a)~图5(c)是对半导体装置的制造方法的一个例子进行说明的图。

[0032] 图6(a)~图6(c)是对半导体装置的制造方法的一个例子进行说明的图。

[0033] 图7(a)~图7(c)是对半导体装置的制造方法的一个例子进行说明的图。

[0034] 图8是表示变形例所涉及的配线基板的一部分的图。

[0035] 图9(a)~图9(c)是对实施例的配线基板的制造方法进行说明的图。

[0036] 图10(a)~图10(c)是实施例的配线基板的制造方法进行说明的图。

具体实施方式

[0037] 下面,参照附图对本发明的优选实施方式进行详细说明。此外,在下面的说明中,针对相同要素或者具有相同功能的要素利用相同的标号并省略重复的说明。

[0038] 图1是对利用本实施方式的配线基板制造的半导体装置进行说明的图。如图1所示,半导体装置1具有层叠体21、半导体芯片22、底胶24、模塑树脂25以及多个外部连接端子31。此外,后文中对层叠体21进行详细叙述。

[0039] 半导体芯片22例如是具有在半导体基板表面形成的晶体管或者二极管等的集成电路(IC或者LSI),具有近似长方体形状。用于半导体芯片22的半导体基板采用例如以硅基板(Si基板)、氮化镓基板(GaN基板)、或者碳化硅基板(SiC基板)等无机物为主要成分的基板。在本实施方式中,将硅基板用作半导体基板。利用硅基板形成的半导体芯片22的线膨胀系数(CTE:Coefficient of Thermal Expansion)约为2~4ppm/°C(例如3ppm/°C)。本实施方式中的线膨胀系数设为例如与20°C~260°C的温度范围内的温度的上升对应地变化的长度。

[0040] 在半导体芯片22的表面22a设置有凸起电极(也称为凸极)23。半导体芯片22经由该凸起电极23而与在层叠体21的一侧的主面21a露出的配线图案(未图示)电连接。凸起电极23例如由Au、Ag、Cu、Al等金属或者这些金属的合金、对Cu实施镀Au等之后的金属复合体、或者Sn、Sn-Pb、Sn-Ag、Sn-Cu、Sn-Ag-Cu、Sn-Bi或者Au系等的焊料形成。凸起电极23可以配

置于半导体芯片22的整个区域内,也可以配置于半导体芯片22的周围区域。作为将配线基板11(未图示)和半导体芯片22相互连接的方式,例如能举出引线键合方式或者倒装芯片方式。在本实施方式中,从安装面积的缩小化以及作业的效率化的角度出发,通过倒装芯片方式将半导体芯片22以及层叠体21相互连接。

[0041] 底胶24是用于将半导体芯片22固定并封装于层叠体21上的粘接剂。作为底胶24,例如使用向环氧树脂、聚氨酯树脂、硅树脂、聚酯树脂、氧杂环丁烷树脂(oxetane resin)以及马来酰亚胺树脂之中的1种或者混合了上述树脂的大于或等于2种的树脂添加了二氧化硅、氧化钛、氧化铝、氧化镁或者氧化锌等作为填料而得到的材料。底胶24可以为液态,也可以为薄膜状。

[0042] 模塑树脂25是用于将半导体芯片22覆盖而进行封装及保护的封装树脂。作为模塑树脂25,例如使用向环氧树脂、聚氨酯树脂、硅树脂、聚酯树脂、氧杂环丁烷树脂、以及马来酰亚胺树脂之中的1种或者混合了上述树脂的大于或等于2种的树脂添加了二氧化硅、氧化钛、氧化铝、氧化镁、或者氧化锌等作为填料而得到的材料。

[0043] 外部连接端子31设置于层叠体21的另一侧的主面21b上。外部连接端子31经由设置于层叠体21内的配线图案而与半导体芯片22电连接。外部连接端子31例如由Sn、Sn-Pb、Sn-Ag、Sn-Cu、Sn-Ag-Cu、或者Sn-Bi等的焊料形成。在外部连接端子31由焊料形成的情况下,可以在形成外部连接端子31之前对配线图案在层叠体21的另一侧的主面21b露出的部分例如实施镀Ni、镀Au、或者镀Sn,也可以实施预焊接处理,还可以实施OSP(Organic Solderability Preservative)等有机覆膜处理。

[0044] 图2是对本实施方式的配线基板进行说明的图。如图2所示,配线基板11具有支撑体12、粘接层(粘接剂层)13以及层叠体21。层叠体21具有第1树脂层14、连接焊盘15、配线图案18、第2树脂层19以及连接端子20。层叠体21的厚度例如可以大于或等于0.001mm且小于或等于1mm,也可以大于或等于0.01mm且小于或等于0.8mm,也可以大于或等于0.03mm且小于或等于0.5mm,也可以大于或等于0.001mm且小于或等于0.8mm,也可以大于或等于0.001mm且小于或等于0.5mm,也可以大于或等于0.01mm且小于或等于0.8mm,也可以大于或等于0.01mm且小于或等于0.5mm。由于层叠体21的厚度大于或等于0.001mm,从而能够利用第1树脂层14以及第2树脂层19对设置于层叠体21的配线图案18进行保护。由于层叠体21的厚度小于或等于1mm,从而能够抑制因支撑体12与层叠体21之间的线膨胀系数等的差而引起的配线基板11的翘曲。此外,本说明书中的层叠体21的厚度是指从粘接层13的上表面至第2树脂层19或者配线图案18的最上表面为止的厚度方向上的距离。即,“厚度”设为沿着相对于配线基板11的主面垂直的方向的长度。

[0045] 支撑体12例如是由具有使光透过的性质(透明性)的材料构成的基板。支撑体12的主面12a例如为近似矩形形状、近似圆形形状、或者近似椭圆形状等。从支撑体12透过的光的波长范围例如可以大于或等于300nm且小于或等于2000nm,也可以大于或等于300nm且小于或等于1100nm。支撑体12可以具有例如使激光之类的特定的波长的光透过的性质。支撑体12例如采用玻璃基板。作为玻璃,例如采用石英玻璃、硅硼酸盐玻璃、无碱玻璃、钠玻璃或者蓝宝石玻璃等。玻璃的线膨胀系数优选为接近上述的半导体芯片22的线膨胀系数的值,例如大于或等于-1ppm/°C且小于或等于10.0ppm/°C(或者大于或等于0.5ppm/°C且小于或等于5.0ppm/°C)。基于JIS B 0601:2013的支撑体12的主面12a的最大高度粗糙度Rz例如可

以大于或等于 $0.01\mu\text{m}$ 且小于或等于 $5\mu\text{m}$,也可以大于或等于 $0.1\mu\text{m}$ 且小于或等于 $3\mu\text{m}$ 。由于支撑体12的主面12a的最大高度粗糙度 R_z 大于或等于 $0.01\mu\text{m}$,从而能够抑制准备支撑体12的成本的增加。由于支撑体12的主面12a的最大高度粗糙度 R_z 小于或等于 $5\mu\text{m}$,从而能够抑制因主面12a的凹凸引起的配线图案18的断线以及短路等。

[0046] 粘接层13是用于使支撑体12和层叠体21相互粘接的层。粘接层13具有在支撑体12的主面12a上设置的剥离层41、以及设置于剥离层41上的保护层42。

[0047] 剥离层41含有通过光的照射而能够分解的树脂(第3树脂)。本实施方式中的光为激光,因此作为剥离层41所含有的树脂,使用通过照射激光能够进行热分解的树脂。作为剥离层41所含有的树脂,例如采用环氧树脂、聚氨酯树脂、硅树脂、聚酯树脂、氧杂环丁烷树脂、以及马来酰亚胺树脂之中的1种或者混合了上述树脂的大于或等于2种而得到的树脂等。剥离层41的厚度例如为 $1\mu\text{m}\sim 10\mu\text{m}$ 。

[0048] 保护层42构成为相对于从外部经由支撑体12照射的光而保护层叠体21。作为保护层42,例如采用环氧树脂、聚氨酯树脂、硅树脂、聚酯树脂、氧杂环丁烷树脂、以及马来酰亚胺树脂之中的1种或者混合了上述树脂的大于或等于2种而得到的树脂(第4树脂)等。保护层42可以设为由上述树脂构成的层、或者以上述树脂为主要成分的层。从相对于光而保护层叠体21的角度出发,使保护层42的厚度充分大于剥离层41的厚度,例如为 $20\mu\text{m}\sim 100\mu\text{m}$ 。

[0049] 第1树脂层14是设置于粘接层13上的树脂层,具有开口部14a。第1树脂层14例如含有环氧树脂、聚酰亚胺、马来酰亚胺树脂、聚对苯二甲酸乙二醇酯、聚苯醚、液晶聚合物、或者硅等的树脂材料以及它们的复合材料。另外,第1树脂层14中可以包括无机填料或者有机填料。第1树脂层14例如可以含有将环氧树脂以及玻璃纤维组合而成的材料。作为第1树脂层14,可以使用例如由环氧类的绝缘性树脂等构成的阻焊。第1树脂层14的厚度例如为 $0.5\mu\text{m}\sim 30\mu\text{m}$ 。

[0050] 连接焊盘15是例如由Au等金属构成的导电层,设置于第1树脂层14的开口部14a内。连接焊盘15可以在开口部14a内与粘接层13接触。连接焊盘15的厚度例如为 $0.001\mu\text{m}\sim 3\mu\text{m}$ 。

[0051] 配线图案18是例如由Au、Cu、Ni等金属构成的导电层,设置于第1树脂层14以及连接焊盘15上。配线图案18经由第1树脂层14的开口部14a而与连接焊盘15电连接。配线图案18的厚度例如为 $1\mu\text{m}\sim 20\mu\text{m}$ 。

[0052] 第2树脂层19是设置于第1树脂层14、连接焊盘15以及配线图案18上的树脂层,具有开口部19a。第2树脂层19例如含有环氧树脂、聚酰亚胺、马来酰亚胺树脂、聚对苯二甲酸乙二醇酯、聚苯醚、液晶聚合物、或者硅等树脂材料以及它们的复合材料。另外,第2树脂层19中可以含有无机填料或者有机填料。第2树脂层19可以含有例如将环氧树脂以及玻璃纤维组合而成的材料。作为第2树脂层19,可以采用例如由环氧类的绝缘性树脂等构成的阻焊。设置于第2树脂层19的开口部19a设置为不与第1树脂层14的开口部14a重叠,而将配线图案18的一部分露出。第2树脂层19的厚度例如为 $0.5\mu\text{m}\sim 30\mu\text{m}$ 。

[0053] 连接端子20是在第2树脂层19的开口部19a内设置的端子,配线图案18设置为容易与半导体芯片22的凸起电极23电连接。连接端子20例如由共晶焊料或者无铅焊料(Sn-Ag、Sn-Cu、Sn-Ag-Cu、或者Sn-Bi等)形成。连接端子20可以是在由各种金属构成的导电层上设置有共晶焊料或者无铅焊料的端子。另外,可以通过对开口部19a实施Ni、Au、Sn等的镀覆处

理、或者实施OSP等的有机覆膜处理而形成连接端子20。另外,连接端子20可以通过对配线图案18实施镀金而形成。在该情况下,连接端子20的导电性提高,并且连接端子20的腐蚀得到抑制。在半导体芯片22的凸起电极23是金突起焊盘(例如利用Au、含Au的合金、或者对表面实施镀Au后的金属复合体得到的金凸极、或者由Au系的焊料形成的凸极)的情况下,该凸起电极23与实施了镀金后的连接端子的接合性提高。

[0054] 下面,参照图3(a)~(c)以及图4(a)~(c)对本实施方式所涉及的配线基板的制造方法进行说明。图3(a)~(c)以及图4(a)~(c)是对配线基板的制造方法的一个例子进行说明的图。

[0055] 首先,如图3(a)所示,在支撑体12的主面12a上形成包含剥离层41以及保护层42在内的粘接层13。剥离层41例如通过印刷法、真空压制法、真空层压法、辊压层压法、旋转涂敷法、模具涂敷法、幕式涂敷法、辊涂法、或者光刻法等公知的方法而形成。另外,保护层42通过印刷法、真空压制法、真空层压法、辊压层压法、旋转涂敷法、模具涂敷法、幕式涂敷法、辊涂法、或者光刻法等以及将上述方法组合后的方法而形成。

[0056] 然后,如图3(b)所示,在粘接层13上设置第1树脂层14之后,在该第1树脂层14形成开口部14a。而且,在该开口部14a内形成连接焊盘15。第1树脂层14例如通过印刷法、真空压制法、真空层压法、辊压层压法、旋转涂敷法、模具涂敷法、幕式涂敷法、辊涂法、或者光刻法等公知的方法而形成。例如通过对第1树脂层14照射激光、或者进行光刻而将第1树脂层14的一部分去除,由此形成开口部14a。例如通过镀覆处理而设置连接焊盘15。也可以不设置连接焊盘15。

[0057] 然后,如图3(c)所示,在第1树脂层14以及连接焊盘15上设置晶种层16。晶种层16经由第1树脂层14的开口部14a而与连接焊盘15连接。晶种层16例如通过化学镀(electroless plating)、溅射法或者CVD法等而形成。另外,可以通过在第1树脂层14粘贴由Cu等构成的导体箔而形成晶种层16。晶种层16例如由Cu层、镀Ni后的Cu层、镀Au后的Cu层、镀锡(plated with solder)后的Cu层、Al层、或者Ag/Pd合金层等而形成。在本实施方式中,从成本、电特性以及制造容易性的角度出发而采用Cu层。

[0058] 然后,如图4(a)所示,在晶种层16上设置具有开口部17a的抗蚀剂17。而且,在通过开口部17a而露出的晶种层16的一部分,例如实施电镀处理而使该一部分加厚。这里,将晶种层16的较薄的区域设为第1区域16a,将较厚的区域设为第2区域16b。第1区域16a是存在于第1树脂层14以及抗蚀剂17之间的区域。第2区域16b例如由Cu层、镀Ni后的Cu层、镀Au后的Cu层、镀锡后的Cu层、Al层、或者Ag/Pd合金层等而形成。在本实施方式中,从成本、电特性、以及制造容易性的角度出发而采用Cu层。另外,作为抗蚀剂17,例如采用负性或者正性的光致抗蚀剂。

[0059] 然后,如图4(b)所示,通过将抗蚀剂17以及晶种层16的第1区域16a去除而形成配线图案18。例如可以通过剥离(lift-off)而将抗蚀剂17从第1树脂层14上去除,也可以通过蚀刻而将抗蚀剂17去除。例如通过湿蚀刻或者干蚀刻而将第1区域16a去除。通过将第1区域16a去除而使得第2区域16b成为配线图案18。可以对第2区域16b的一部分和第1区域16a同时进行蚀刻。即,通过半添加法而形成本实施方式中的配线图案18。半添加法是指如下方法,即,形成Cu层等晶种层,在晶种层上形成具有期望图案的抗蚀剂,通过电解电镀法等而使晶种层的露出的部分实现厚膜化,在将抗蚀剂去除之后,对薄的晶种层进行蚀刻而获得

配线图案。

[0060] 另外,如图4(b)所示,在形成配线图案18之后,在第1树脂层14以及配线图案18上形成第2树脂层19,在第2树脂层19的一部分形成开口部19a。第2树脂层19例如通过印刷法、真空压制法、真空层压法、辊压层压法、旋转涂敷法、模具涂敷法、幕式涂敷法、辊涂法、或者光刻法等公知的方法而形成。例如通过对第2树脂层19照射激光、或者进行光刻而将第2树脂层19的一部分去除,由此形成开口部19a。通过形成开口部19a而使得配线图案18的一部分露出。

[0061] 最后,如图4(c)所示,在开口部19a内形成连接端子20。例如通过将共晶焊料或者无铅焊料供给至开口部19a内而设置连接端子20。由此,形成具有支撑体12、粘接层13和包含第1树脂层14、连接焊盘15、配线图案18、第2树脂层19以及连接端子20在内的层叠体21的配线基板11。

[0062] 下面,参照图5(a)~(c)、图6(a)~(c)、以及图7(a)~(c),对利用本实施方式所涉及的配线基板而制造半导体装置的方法进行说明。图5(a)~(c)、图6(a)~(c)以及图7(a)~(c)是对半导体装置的制造方法的一个例子进行说明的图。

[0063] 首先,如图5(a)所示,准备具有支撑体12、粘接层13以及层叠体21的配线基板11。配线基板11与由图2或者图4(c)所示的配线基板11等同。

[0064] 然后,如图5(b)所示,在配线基板11搭载多个半导体芯片22。具体而言,在配线基板11的层叠体21的一侧的主面21a上通过倒装芯片方式而搭载半导体芯片22。在将半导体芯片22搭载于配线基板11时,将半导体芯片22的凸起电极23和配线基板11的连接端子20(参照图2)相互连接。另外,预先在半导体芯片22以及配线基板11之间设置底胶24,由此对半导体芯片22以及配线基板11进行固定及封装。可以在将半导体芯片22搭载于配线基板11之后,将底胶24供给至半导体芯片22以及配线基板11之间。另外,也可以预先使底胶24附着于半导体芯片22或者配线基板11,在将半导体芯片22搭载于配线基板11的同时使基于底胶24的封装完毕。例如,通过对底胶24实施通过加热或者光照射实现的硬化处理而进行基于底胶24的半导体芯片22以及配线基板11的固定及封装。也可以不设置底胶24。

[0065] 然后,如图5(c)所示,在层叠体21的一侧的主面21a上形成模塑树脂25。此时,利用模塑树脂25对半导体芯片22进行埋设。例如通过传递模塑法或者灌封法(potting)等公知的方法而形成模塑树脂25。可以以利用模塑树脂25进行封装的方式将半导体芯片22覆盖。

[0066] 然后,如图6(a)所示,经由支撑体12而对粘接层13照射激光L。可以遍及支撑体12整体地照射激光L,也可以对支撑体12的期望的位置照射激光L。在本实施方式中,从使粘接层13内的剥离层41的树脂可靠地分解的角度出发,使激光L一边直线地往返一边对支撑体12整体进行照射。激光L例如可以具有大于或等于300nm且小于或等于2000nm的波长,也可以具有大于或等于300nm且小于或等于1500nm的波长,还可以具有大于或等于300nm且小于或等于1100nm的波长。作为射出激光L的装置的一个例子,能够举出将1064nm的波长的光射出的YAG激光器装置、532nm的波长的倍频YAG激光器(second harmonic YAG laser)装置、或者将780~1300nm的波长的光射出的半导体激光器装置等。支撑体12具有透明性,使得激光L透过。因而,从支撑体12透过的激光L的能量被粘接层13吸收。吸收的激光L的能量在粘接层13内变换为热能。利用该热能使剥离层41的树脂达到热分解温度而进行热分解。由此,剥离层41将支撑体12和层叠体21粘接的力减弱。

[0067] 然后,如图6(b)所示,将支撑体12从层叠体21剥离。将支撑体12从层叠体21剥离的方法可以是手动方法,也可以使用机械而进行。然后,将粘接层13(更具体而言,为保护层42)从层叠体21去除。在残存有剥离层41的情况下,将具有剥离层41以及保护层42的粘接层13去除。例如,通过在将胶带粘贴于层叠体21的另一侧的主面21b之后进行剥落,从而将在另一侧的主面21b上残存的粘接层13从层叠体21去除。另外,可以将另一侧的主面21b浸渍于高锰酸钾水溶液以及氢氧化钠水溶液的混合溶液等而将粘接层13去除,也可以通过对另一侧的主面21b喷射该混合溶液而将粘接层13去除。另外,可以将另一侧的主面21b浸渍于丙酮或者甲乙酮等有机溶剂而将粘接层13去除,也可以通过对另一侧的主面21b喷射该有机溶剂而将粘接层13去除。另外,可以保持使粘接层13残存于另一侧的主面21b的状态不变,但在该情况下需要利用激光等形成用于设置外部连接端子31的开口部。由此,如图6(c)所示,从层叠体21将支撑体12以及粘接层13去除。

[0068] 然后,如图7(a)所示,在层叠体21的另一侧的主面21b上形成多个外部连接端子31。具体而言,在相当于层叠体21的连接焊盘15(参照图2)的部分形成外部连接端子31。例如通过焊锡球搭载法等而形成外部连接端子31。

[0069] 然后,如图7(b)所示,在将切割胶带33粘贴于模塑树脂25之后,将位于各半导体芯片22之间的区域的层叠体21以及模塑树脂25切断而进行单片化。例如利用切割锯或者激光等而将层叠体21以及模塑树脂25切断。由此,如图7(c)所示,制造利用配线基板11而形成的半导体装置1。

[0070] 在以上说明的本实施方式所涉及的配线基板11中,半导体装置1的半导体芯片22具有作为用于与外部装置连接的外部连接部件而起作用的层叠体21。由此,能够分别制造半导体芯片22以及具有外部连接部件的配线基板11,因此有利于半导体装置1的制造效率的改善。另外,在该配线基板11中,支撑体12具有透明性。由此,通过经由支撑体12对剥离层41照射光而使得树脂分解,能够减弱剥离层41的粘接力。因此,能够在将半导体芯片22和配线基板11的层叠体21接合之后容易地将支撑体12从层叠体21剥离,能够实现利用该配线基板11而制造的半导体装置1的薄型化。在此基础上,粘接层13具有剥离层41以及保护层42,并且保护层42设置于剥离层41与层叠体21之间,从而能够抑制光(例如激光)的能量传递至层叠体21。因此,能够抑制层叠体21的第1树脂层14以及第2树脂层19所含有的树脂分解。并且,通过利用具有支撑体12的配线基板11制造半导体装置1,从而能够容易地进行配线基板11的处理。

[0071] 另外,支撑体12的线膨胀系数可以大于或等于 $-1\text{ppm}/^{\circ}\text{C}$ 且小于或等于 $10\text{ppm}/^{\circ}\text{C}$ 。在该情况下,半导体芯片22由硅基板等以无机物为主要成分的基板制造,因此半导体芯片22的线膨胀系数和支撑体12的线膨胀系数成为相互接近的值。因此,能够抑制将半导体芯片22搭载于配线基板11时产生的位置偏差。因此,能够抑制半导体芯片22无法搭载于配线基板11的情况、以及将半导体芯片22和配线基板11接合的部分受到破坏的情况。

[0072] 另外,支撑体12可以是玻璃基板。在该情况下,能够以低价实现支撑体12且提高强度,并且能够容易地实现支撑体12的大型化。另外,能够容易地调整支撑体12的表面的粗糙度。

[0073] 支撑体12的主面12a的最大高度粗糙度 R_z 可以大于或等于 $0.01\mu\text{m}$ 且小于或等于 $5\mu\text{m}$ 。在该情况下,设置于支撑体12上的层叠体21的凹凸变小,因此能够抑制配线图案18的断

线以及短路等。

[0074] 另外,保护层42可以是由树脂构成的层、或者以树脂为主要成分的层。在该情况下,能够相对于连接焊盘15而选择性良好地将保护层42去除。由此,能够防止连接焊盘15的蚀刻等,能够确保该连接焊盘15与外部连接端子31的良好的连接。因此,半导体装置1的成品率提高。

[0075] 另外,层叠体21的厚度可以大于或等于0.001mm且小于或等于1mm。在该情况下,能够利用第1树脂层14以及第2树脂层19而保护层叠体21的配线图案18,并且能够抑制配线基板11的翘曲。

[0076] 另外,光可以是激光L。在该情况下,能够充分增加为了使剥离层41内的树脂分解所需的热能,能够有效地减弱剥离层41的粘接力。另外,激光L经由支撑体12而对剥离层41进行照射,因此能够有效地减弱剥离层41的粘接力而不会由激光L对半导体芯片22造成损伤。

[0077] 另外,利用本实施方式所涉及的配线基板11制造的半导体装置1具有:支撑体12被去除后的层叠体21;以及半导体芯片22,其在表面22a设置有凸起电极23,经由该凸起电极23而与层叠体21的配线图案18连接。在该半导体装置1中,分别制造半导体芯片22和作为外部连接部件的层叠体21,因此半导体装置1的制造效率得到改善。另外,通过将配线基板11的支撑体12从层叠体21去除,能够实现半导体装置1的薄型化。

[0078] 另外,配线图案18和半导体芯片22可以经由含有焊料的连接端子20而相互连接。在该情况下,即使在配线图案18与半导体芯片22之间产生位置偏差的情况下,也能够利用连接端子20所含有的焊料而将偏差填埋,能够抑制在半导体芯片22与层叠体21之间产生的连接不良。

[0079] 图8是表示变形例所涉及的控制配线的一部分的图。如图8所示,粘接层13A的剥离层41A可以含有铜、镍、金、银、钛、铬、铝等金属以及这些金属的金属氧化物。该金属以及金属氧化物例如是分散于剥离层41A的颗粒51。在剥离层41A内分散的颗粒51与剥离层41A的树脂相比更容易吸收激光等的光的能量。被颗粒51吸收的光能变换为热能,该热能被传递至剥离层41A内,由此能够促进剥离层41A内的树脂的分解。由此,即使减少照射至配线基板11的光的能量的总量,也能够充分地弱化剥离层41A的粘接力,因此能够进一步抑制光的能量向层叠体21传递。因此,能够适当地抑制层叠体21的第1树脂层14以及第2树脂层19所包含的树脂进行分解。此外,剥离层41A内所包含的金属或者金属氧化物也可以不是颗粒,而是碎片等。

[0080] 本发明所涉及的配线基板、半导体装置以及半导体装置的制造方法并不限于上述的实施方式,还能够进行各种各样的变形。例如,还可以将上述实施方式以及变形例适当组合。另外,层叠于层叠体21的半导体芯片22还可以在单片化的配线基板11的区域搭载多个。另外,还可以在层叠体21搭载半导体芯片22以外的部件(例如电容器等无源部件)。

[0081] 另外,例如第1树脂层14的开口部14a和第2树脂层19的开口部19a可以相互重叠。并且,例如也可以不设置层叠体21中的连接端子20。

[0082] 另外,配线基板11中的配线图案18不限于通过半添加法而形成,还可以通过例如减数法(subtractive method)或者全添加法等公知的方法而形成。这里,减数法是指在Cu层等的导体层上形成具有期望的图案的抗蚀剂并对不需要的导体层进行蚀刻之后,将

抗蚀剂剥离而获得配线图案的方法。另外,全添加法是下述方法,即,首先使化学镀催化剂吸附于树脂层上,将期望的图案的抗蚀剂形成于树脂层上。然后,在使该抗蚀剂作为绝缘膜而残留的状态下使催化剂活性化,利用化学镀使Cu等的导体在抗蚀剂开口部内析出。然后,将抗蚀剂去除而获得期望的配线图案。

[0083] 另外,也可以在第2树脂层19上形成新的配线图案和第3树脂层。即,层叠体21可以具有3层树脂层。并且,还能够通过反复进行上述的配线图案以及树脂层的形成,从而形成层叠有多层配线图案以及树脂层的层叠体21。

[0084] 实施例

[0085] 利用下面的实施例更详细地说明本发明,但本发明并不限于这些例子。

[0086] (配线基板)

[0087] 在实施例中,首先,如图9(a)所示,在支撑体12的主面12a上按顺序形成了剥离层41以及保护层42。作为支撑体12,使用了玻璃(0A-10G(“日本電気硝子株式会社”制)、厚度1.1mm)。支撑体12的线膨胀系数约为4ppm/°C。支撑体12的主面12a上的剥离层41利用3M Light-To-Heat-Conversion (LTHC) Release Coating(“住友スリーエム株式会社”制)而形成。保护层42利用3M UV-Curable Adhesive LC-5200(“住友スリーエム株式会社”制)而形成。剥离层41以及保护层42都利用旋转涂敷法而形成。

[0088] 然后,如图9(b)所示,在保护层42上设置了第1树脂层14,之后在该第1树脂层14形成了开口部14a。第1树脂层14通过真空层压法而形成在保护层42上。作为第1树脂层14,使用了ABF-GX-T31(“味の素ファインテクノ株式会社”制)。开口部14a通过激光照射而设置。然后,在该开口部14a内利用镀Au而形成了连接焊盘15。

[0089] 然后,如图9(c)~图10(b)所示,在形成了连接焊盘15之后,利用半添加法形成了配线图案18。配线图案18的材料设为Cu。另外,在形成了配线图案18之后,形成第2树脂层19,将开口部19a设置于第2树脂层19。第2树脂层19通过真空层压法而形成于第1树脂层14以及配线图案18上。作为第2树脂层19,使用了ABF-GX-T31(“味の素ファインテクノ株式会社”制)。开口部19a通过激光照射而设置。

[0090] 最后,如图10(c)所示,通过在开口部19a内实施OSP处理而形成连接端子20A,由此得到具有层叠体21的配线基板11A。由第1树脂层14、第2树脂层19以及配线图案18构成的层叠体21的厚度约为0.07mm。

[0091] (半导体装置)

[0092] 然后,在得到的配线基板11A搭载了半导体芯片22。半导体芯片22使用了具有凸起电极23的结构,该凸起电极23在Cu接线柱的前端形成了Sn-3.5Ag焊料层。另外,半导体芯片22的线膨胀系数约为3ppm/°C。对配线基板11A预先供给了底胶24。在进行了半导体芯片22的凸起电极23与配线基板11A的连接端子20的对位之后,使半导体芯片22压接于配线基板11A,并进行了加热。然后,利用传递模塑法使用模塑树脂25而将包含半导体芯片22在内的配线基板11A的上表面密封。然后,从配线基板11A的支撑体12侧,使1064nm的YAG激光器一边直线往复一边对支撑体整体进行照射,将支撑体12从配线基板11A去掉。并且,在对层叠体21以及保护层42粘贴了胶带之后将该胶带剥落,由此将保护层42从配线基板11A去除。然后,在层叠体21对Sn-3Ag-0.5Cu焊锡球进行搭载,形成了外部连接端子31。将该结构体粘贴于切割胶带,并进行切割,由此得到图1所示的半导体装置1。

[0093] (基于X线透视装置进行的观察)

[0094] 针对以上述方式制作的半导体装置1,利用X线透视装置(“株式会社ユニハイシステム”制,XVA-160a)进行了观察。对半导体装置1进行观察的结果,在半导体芯片22的凸起电极23与配线基板11A的连接端子20之间,产生了相对于设计值大约 $2\mu\text{m}$ 的位置偏差。这里,作为在半导体装置的形成中使用的配线基板的支撑体,在使用了树脂之中线膨胀系数较低的聚酰亚胺制的支撑体的情况下,通常在半导体芯片的凸起电极与该配线基板的连接端子之间会产生相对于设计值大约 $15\mu\text{m}$ 的位置偏差。这种由于支撑体的材质而引起的位置偏差的不同可以认为是下述原因,即,聚酰亚胺制的支撑体的线膨胀系数约为 $12\sim 50\text{ppm}/^\circ\text{C}$,与半导体芯片的线膨胀系数(大约 $2\sim 4\text{ppm}/^\circ\text{C}$)差异较大。因此,确认到下述情况,即,与使用树脂制的支撑体相比,在对配线基板使用了玻璃制的支撑体的情况下,在半导体芯片与配线基板之间产生的位置偏差变小。

[0095] 工业实用性

[0096] 根据本发明的配线基板、半导体装置、以及制造该半导体装置的方法,能够有利于半导体装置的制造效率的改善以及该半导体装置的薄型化,或者能够改善半导体装置的薄型化以及制造效率。

[0097] 标号的说明

[0098] 1…半导体装置,11、11A…配线基板,12…支撑体,13、13A…粘接层,14…第1树脂层,15…连接焊盘,16…晶种层,17…抗蚀剂,18…配线图案,19…第2树脂层,20、20A…连接端子,21…层叠体,22…半导体芯片,23…凸起电极,24…底胶,25…模塑树脂,31…外部连接端子,33…切割胶带,41…剥离层,42…保护层,L…激光。

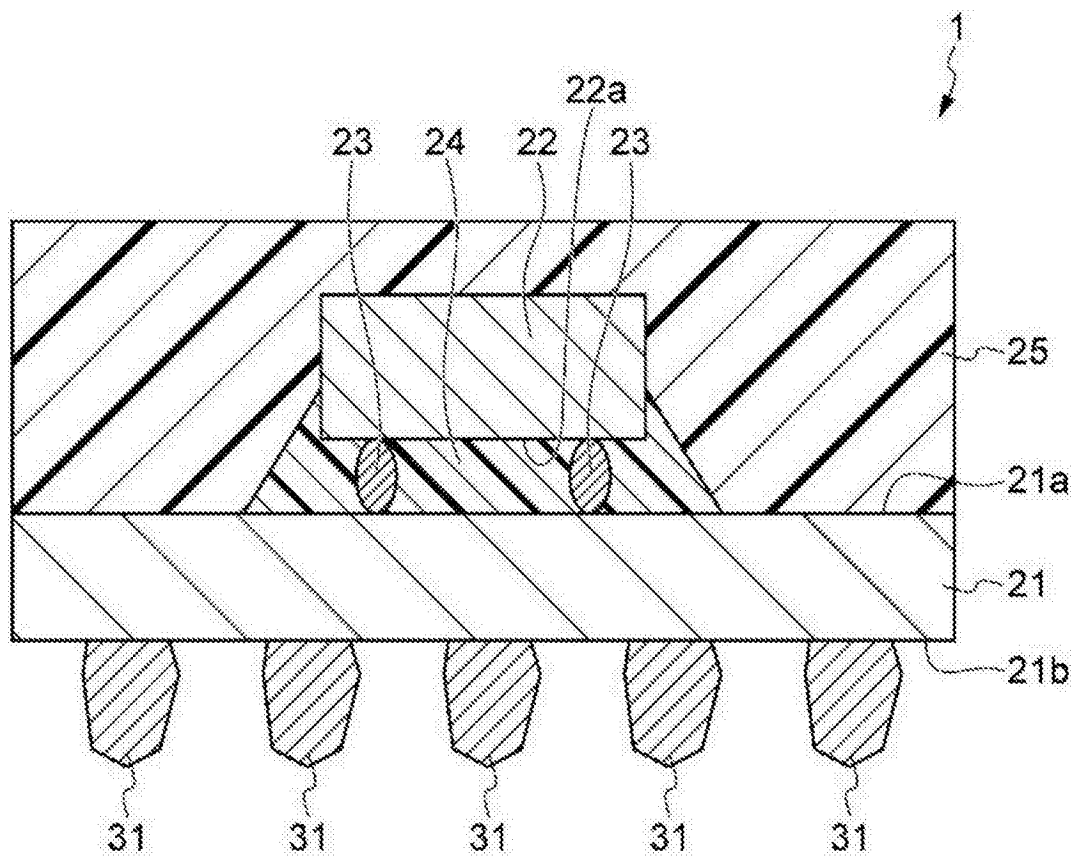


图1

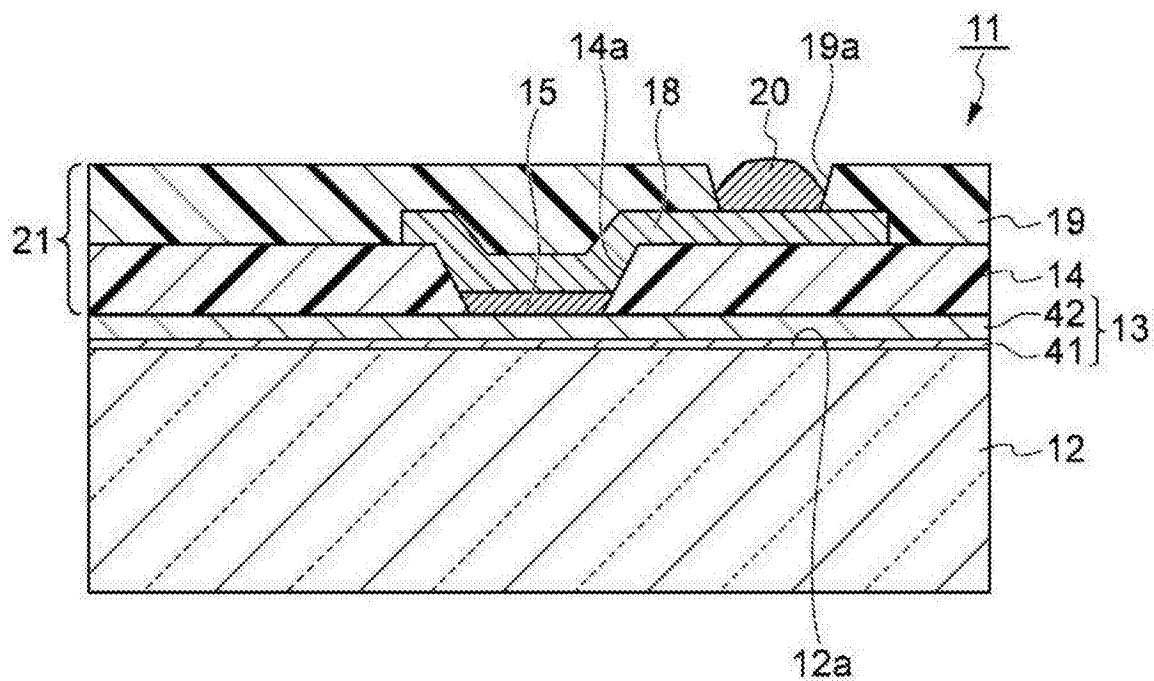
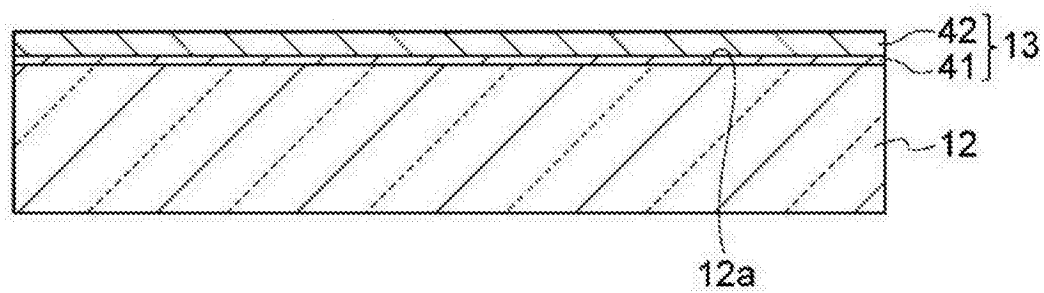
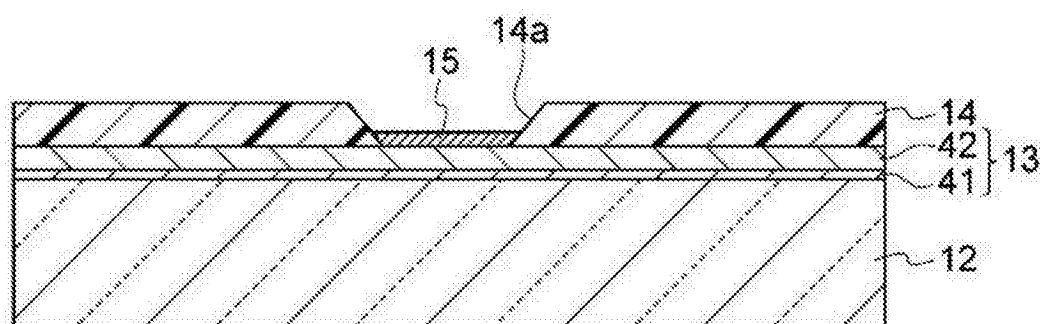


图2

(a)



(b)



(c)

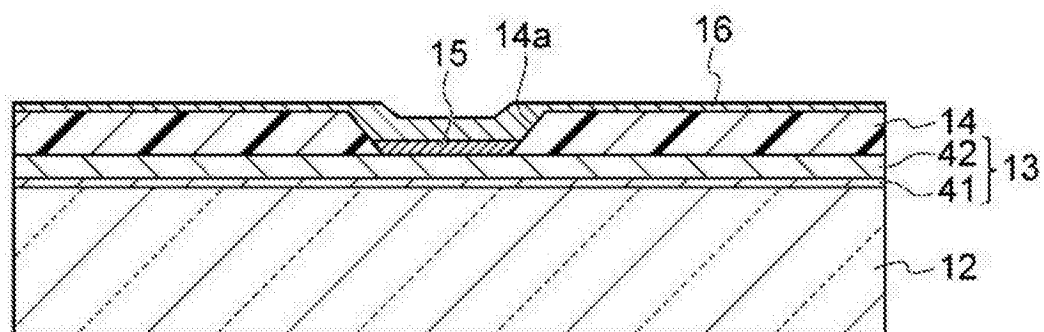


图3

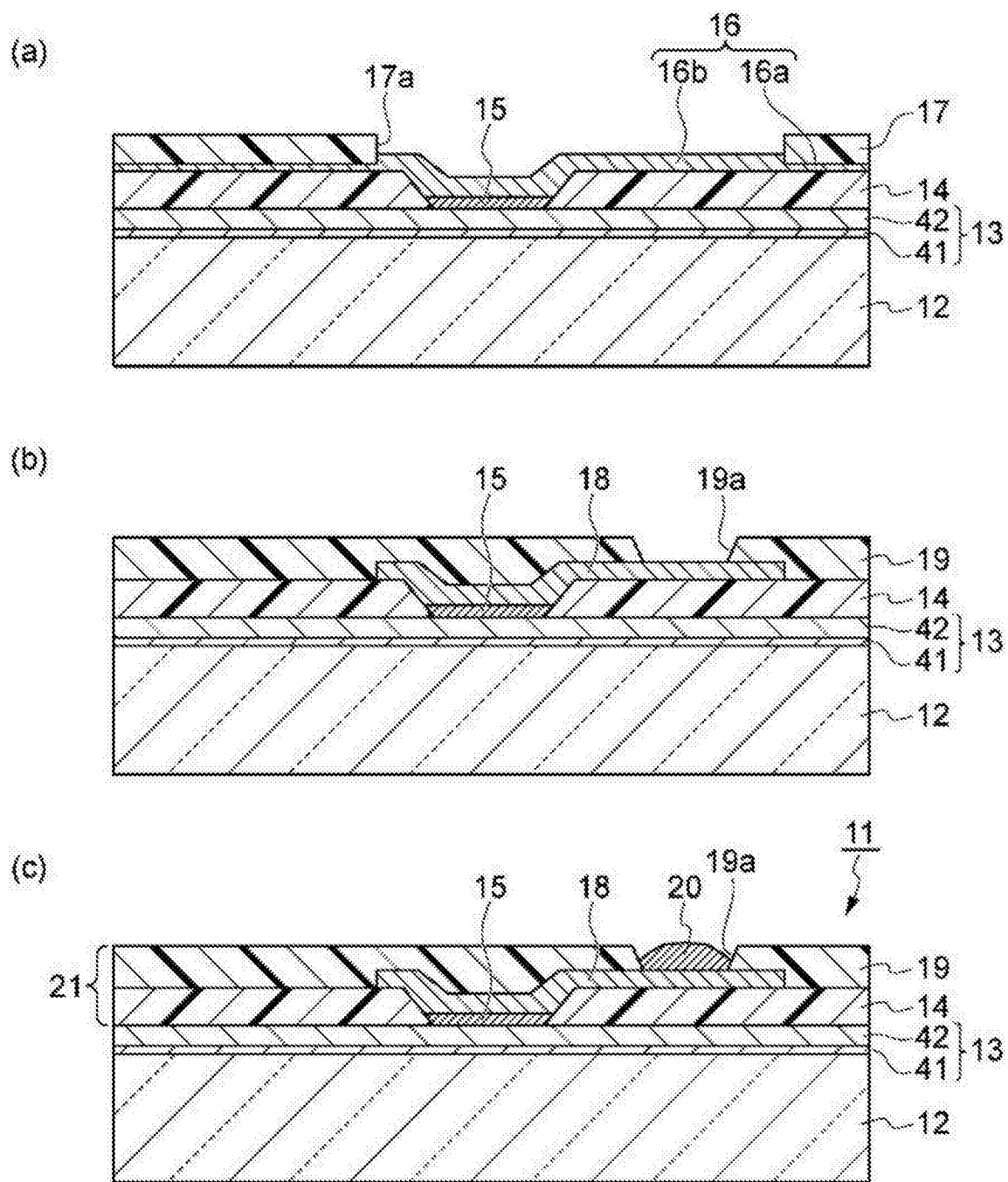


图4

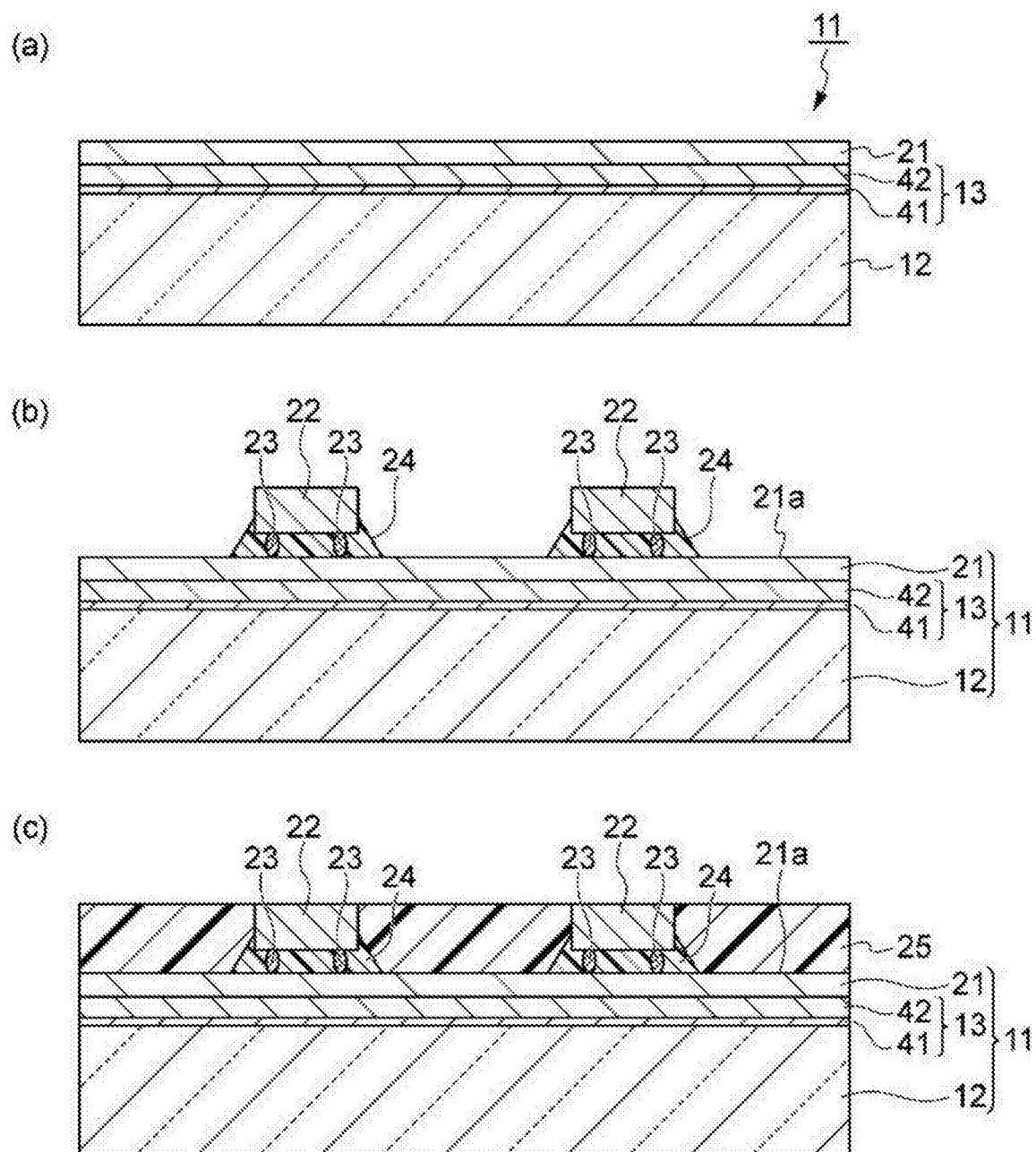


图5

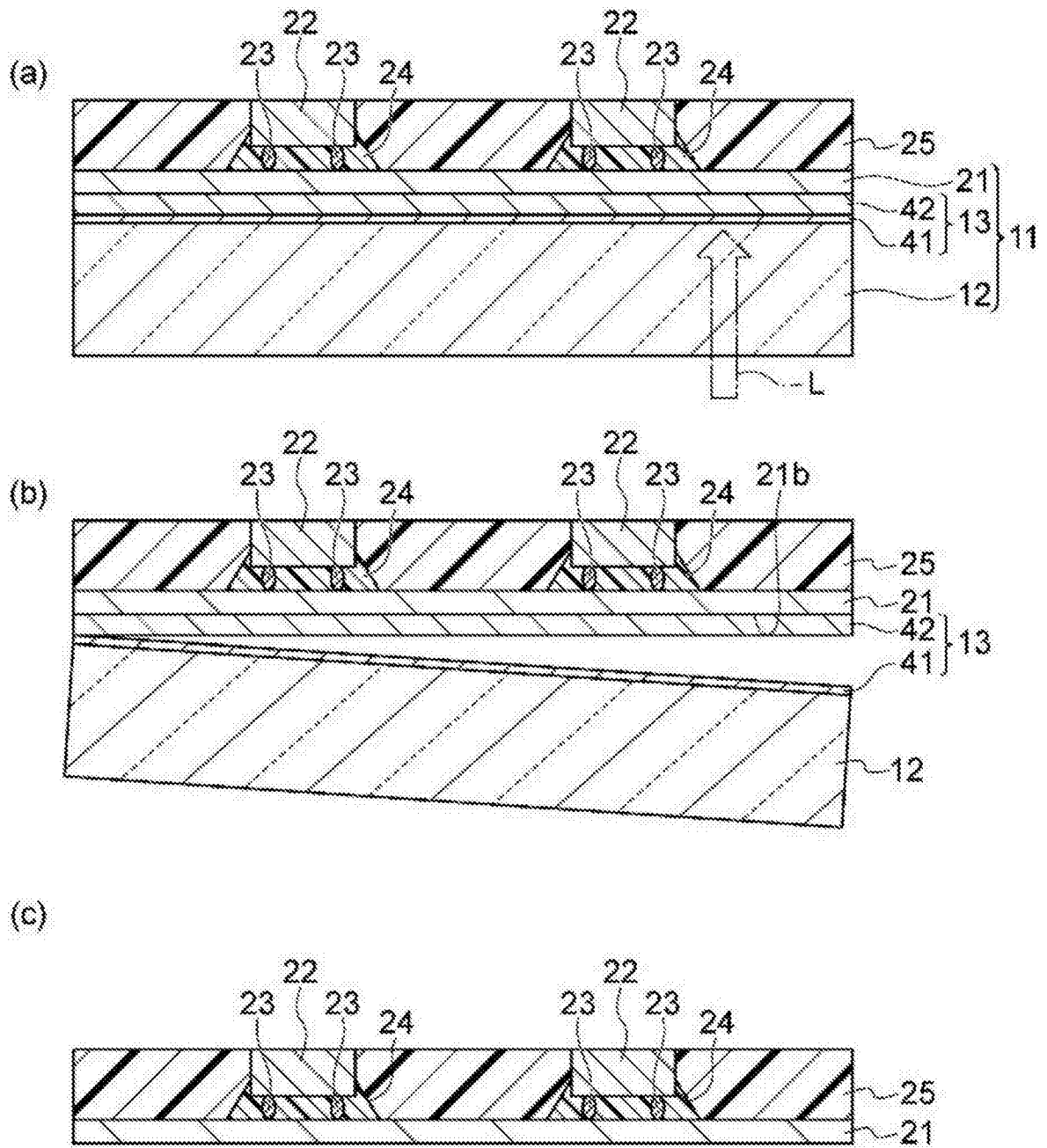


图6

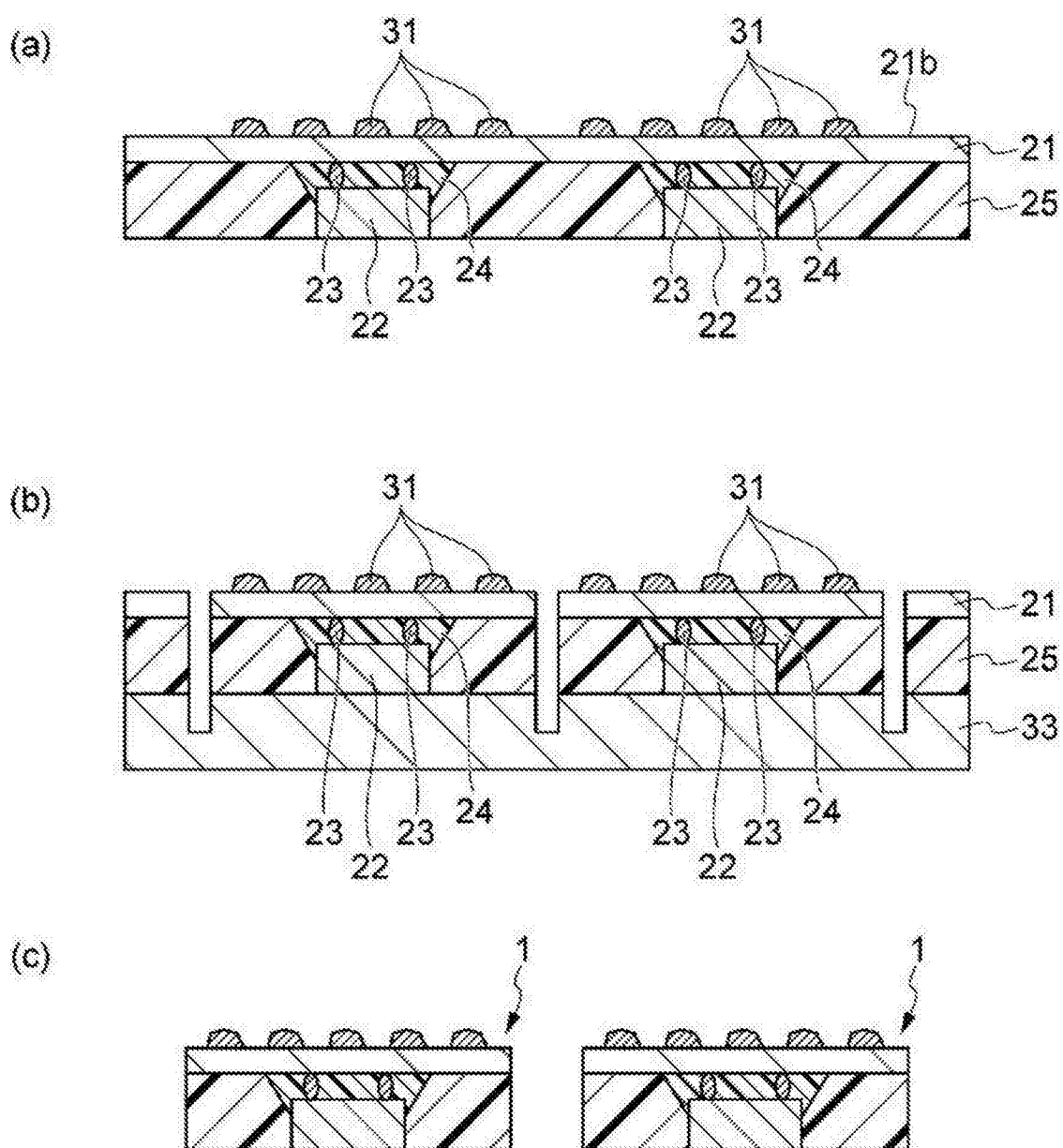


图7

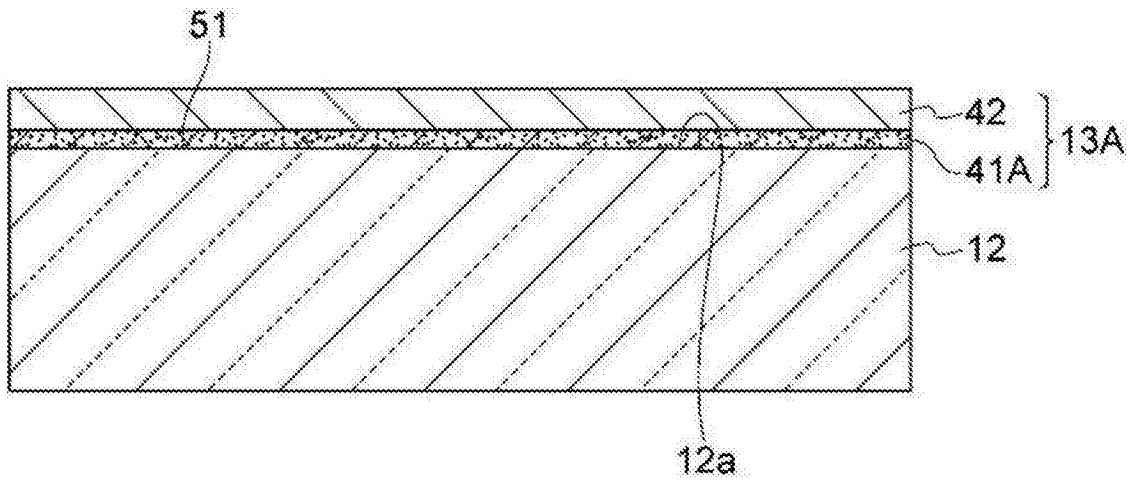
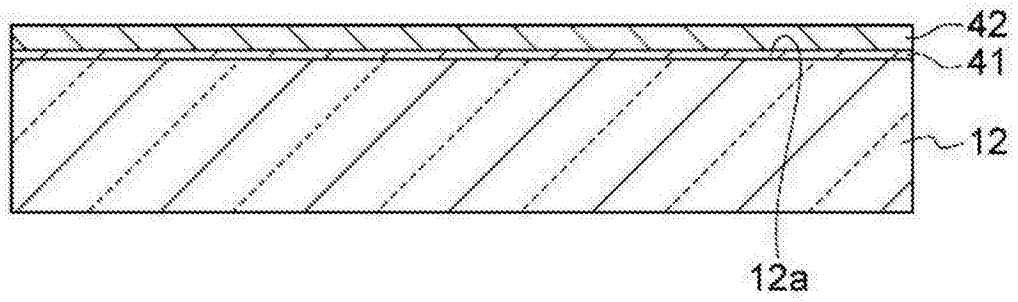
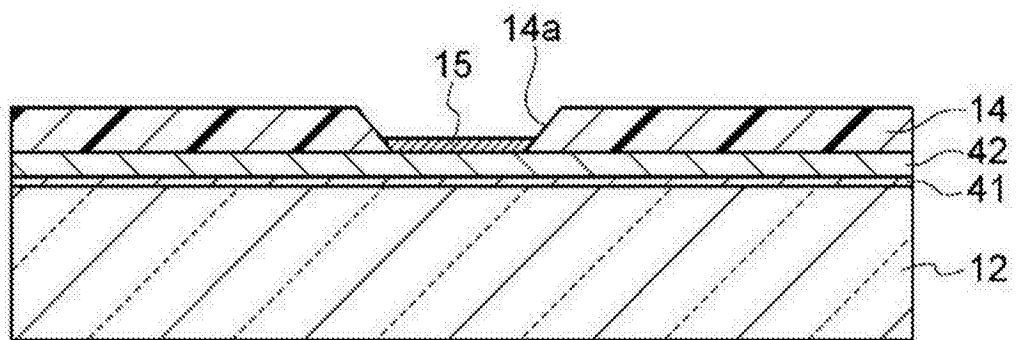


图8

(a)



(b)



(c)

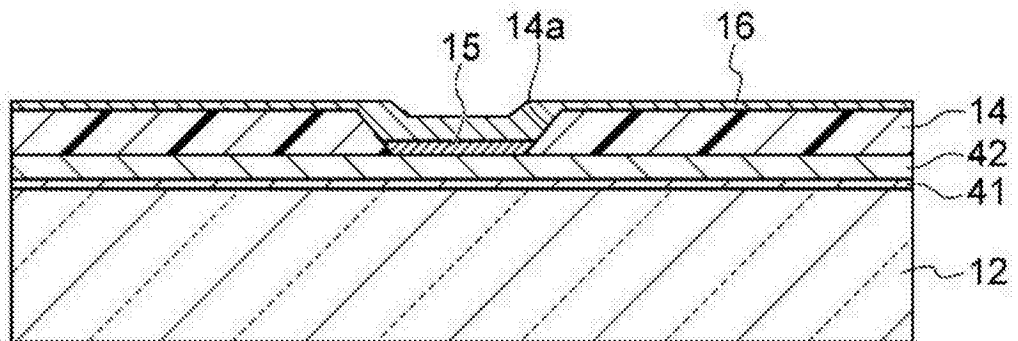


图9

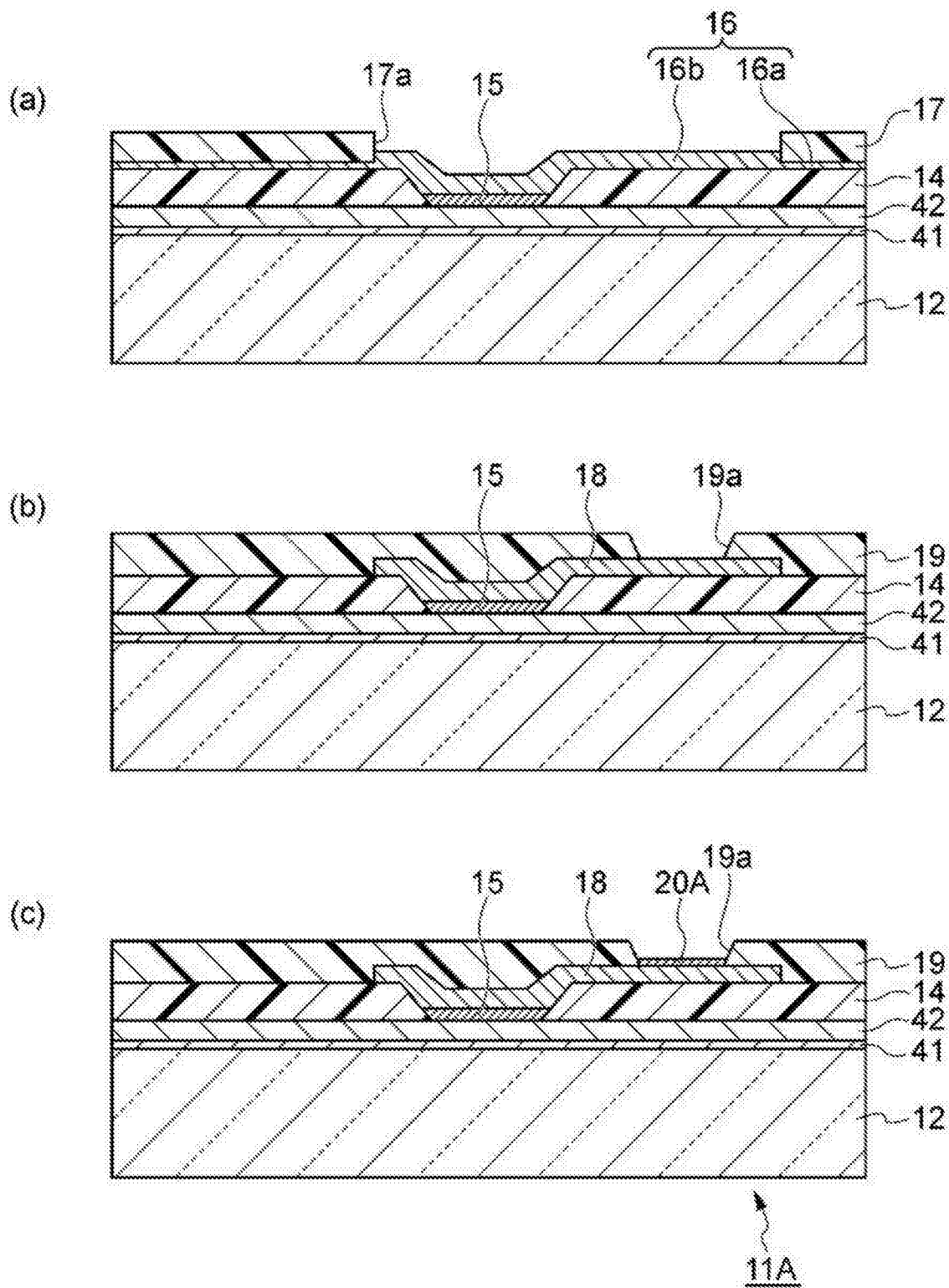


图10