

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成22年5月20日(2010.5.20)

【公開番号】特開2007-201437(P2007-201437A)

【公開日】平成19年8月9日(2007.8.9)

【年通号数】公開・登録公報2007-030

【出願番号】特願2006-342689(P2006-342689)

【国際特許分類】

H 01 L	27/10	(2006.01)
H 01 L	21/8247	(2006.01)
H 01 L	27/115	(2006.01)
H 01 L	27/105	(2006.01)
H 01 L	29/788	(2006.01)
H 01 L	29/792	(2006.01)
H 01 L	21/8244	(2006.01)
H 01 L	27/11	(2006.01)
H 01 L	29/786	(2006.01)
H 01 L	51/05	(2006.01)
H 01 L	45/00	(2006.01)
H 01 L	27/28	(2006.01)

【F I】

H 01 L	27/10	4 3 1
H 01 L	27/10	4 3 4
H 01 L	27/10	4 4 8
H 01 L	29/78	3 7 1
H 01 L	27/10	4 6 1
H 01 L	27/10	3 8 1
H 01 L	29/78	6 1 3 B
H 01 L	29/28	1 0 0 A
H 01 L	45/00	A
H 01 L	27/10	4 4 9

【手続補正書】

【提出日】平成22年4月2日(2010.4.2)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電気素子と、リセット素子と、ラッチ素子とを含む記憶素子を有する不揮発性記憶装置を搭載し、前記リセット素子により前記ラッチ素子へ情報が格納され、前記電気素子が電気的に導通しているか、絶縁しているか、に応じて、前記ラッチ素子に格納される前記情報が決まることを特徴とする半導体装置。

【請求項2】

P型トランジスタと、電気素子と、ラッチ素子とを含む記憶素子を有する不揮発性記憶装置を有し、

前記P型トランジスタのゲートは、リセット端子に電気的に接続され、

前記 P 型トランジスタのソースは、電源端子に電気的に接続され、
前記 P 型トランジスタのドレインは、出力端子と前記ラッチ素子に電気的に接続され、
前記電気素子の一方の端子は、接地端子に電気的に接続され、他方の端子は、前記出力端子と前記ラッチ端子に電気的に接続され、

前記 P 型トランジスタが電気的に導通することにより前記ラッチ素子に情報が格納され、

前記ラッチ素子に前記情報が格納された状態で、前記 P 型トランジスタが電気的に絶縁することにより前記電気素子と前記出力端子とが電気的に導通しているか、または絶縁しているかに応じて、前記出力端子から出力される情報が決定されることを特徴とする半導体装置。

【請求項 3】

P 型トランジスタと、N 型トランジスタと、電気素子と、ラッチ素子とを含む記憶素子を有する不揮発性記憶装置を有し、

前記 P 型トランジスタのゲートと前記 N 型トランジスタのゲートは、リセット端子に電気的に接続され、

前記 P 型トランジスタのソースは、電源端子に電気的に接続され、
前記 P 型トランジスタのドレインは、前記電気素子の一方の端子に電気的に接続され、
前記 N 型トランジスタのソースは、接地端子に電気的に接続され、
前記 N 型トランジスタのドレインは、前記電気素子の他方の端子に電気的に接続され、
前記電気素子の一方の端子または他方の端子は、前記ラッチ素子と前記出力端子に電気的に接続され、

前記 P 型トランジスタ及び前記 N 型トランジスタの一方が電気的に導通することにより前記ラッチ素子に情報が格納され、

前記ラッチ素子に前記情報が格納された状態で、前記 P 型トランジスタ及び前記 N 型トランジスタの一方が電気的に絶縁することにより前記電気素子と前記出力端子とが電気的に導通しているか、または絶縁しているかに応じて、前記出力端子から出力される情報が決定されることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一において、前記電気素子は、レーザー描画により切断することで電気的に絶縁されることを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至 3 のいずれか一において、前記電気素子は、過電流を印加し破壊することで電気的に絶縁されることを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至 3 のいずれか一において、前記電気素子は、第 1 のダイオードと、第 2 のダイオードとを含み、前記第 1 のダイオード及び前記第 2 のダイオードの少なくとも一方に過電流を印加し破壊することで電気的に導通されることを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至 3 のいずれか一において、前記電気素子は、相変化により電気抵抗値が変化する相変化メモリであることを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至 3 のいずれか一において、前記電気素子は、浮遊ゲートを有する不揮発性メモリトランジスタであることを特徴とする半導体装置。

【請求項 9】

請求項 1 乃至 3 のいずれか一において、前記電気素子は、MONOS 構造を有するメモリトランジスタであることを特徴とする半導体装置。

【請求項 10】

電気抵抗と、前記電気抵抗に電気的に接続されるリセット素子と、前記リセット素子と前記電気抵抗に電気的に接続されるラッチ素子と、を含む記憶素子を有する不揮発性記憶装置を有し、

前記リセット素子によって情報が前記ラッチ素子に格納され、

前記情報は、前記電気抵抗が電気的に導通しているか、または絶縁しているかに応じて決定され、

前記電気抵抗は、レーザ描画により切断されることによって電気的に絶縁されることを特徴とする半導体装置。

【請求項 1 1】

電気抵抗と、リセット素子と、ラッチ素子と、を含む記憶素子を有する不揮発性記憶装置を有し、

前記リセット素子の第1端子は、第1配線に電気的に接続され、

前記電気抵抗の第1端子は、第2配線に電気的に接続され、

前記リセット素子の第2端子は、前記電気抵抗の第2端子と第3配線に電気的に接続され、

前記ラッチ素子の第1端子および第2端子は、前記第3配線に電気的に接続され、

前記電気抵抗は、レーザ描画により切断されることによって電気的に絶縁されることを特徴とする半導体装置。

【請求項 1 2】

第1のダイオードと、第2のダイオードと、リセット素子と、ラッチ素子と、を含む記憶素子を有する不揮発性記憶装置を有し、

前記リセット素子の端子は、第1配線に電気的に接続され、

前記ラッチ素子の第1端子および第2端子は、前記第1配線に電気的に接続され、

前記第2のダイオードは、前記第1のダイオードを介して前記第1配線に電気的に接続され、

前記第1のダイオード及び前記第2のダイオードの少なくとも一方は、過電流が印加されることによって電気的に導通されることを特徴とする半導体装置。

【請求項 1 3】

第1のダイオードと、前記第1のダイオードに電気的に接続される第2のダイオードと、前記第1のダイオード及び前記第2のダイオードに電気的に接続されるリセット素子と、前記リセット素子、前記第1のダイオード及び前記第2のダイオードに電気的に接続されるラッチ素子と、を含む記憶素子を有する不揮発性記憶装置を有し、

前記リセット素子によって情報が前記ラッチ素子に格納され、

前記情報は、前記第1のダイオード及び前記第2のダイオードの少なくとも一方が電気的に導通しているか、または絶縁しているかに応じて決定され、

前記第1のダイオード及び前記第2のダイオードの少なくとも一方は、過電流が印加されることによって電気的に導通されることを特徴とする半導体装置。

【請求項 1 4】

請求項1、10乃至13のいずれか一において、前記リセット素子に、絶縁表面を有する基板上に形成された半導体薄膜を活性層とする薄膜トランジスタが用いられることを特徴とする半導体装置。

【請求項 1 5】

請求項1乃至14のいずれか一において、前記ラッチ素子に、絶縁表面を有する基板上に形成された半導体薄膜を活性層とする薄膜トランジスタが用いられることを特徴とする半導体装置。

【請求項 1 6】

請求項14または15において、前記絶縁表面を有する基板は、ガラス基板、石英基板、プラスチック基板またはSOI基板であることを特徴とする半導体装置。

【請求項 1 7】

請求項1乃至16のいずれか一において、前記ラッチ素子は、第1のインバータ及び第2のインバータを有することを特徴とする半導体装置。