

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-198975

(P2012-198975A)

(43) 公開日 平成24年10月18日(2012.10.18)

|                                  |                       |             |
|----------------------------------|-----------------------|-------------|
| (51) Int.Cl.                     | F I                   | テーマコード (参考) |
| <b>G 1 1 C 11/4091 (2006.01)</b> | G 1 1 C 11/34 3 5 3 E | 5 M O 2 4   |
| <b>G 1 1 C 11/407 (2006.01)</b>  | G 1 1 C 11/34 3 5 4 D |             |
| <b>G 1 1 C 11/401 (2006.01)</b>  | G 1 1 C 11/34 3 6 2 H |             |

審査請求 有 請求項の数 10 O L 外国語出願 (全 13 頁)

|              |                              |          |                         |
|--------------|------------------------------|----------|-------------------------|
| (21) 出願番号    | 特願2011-273544 (P2011-273544) | (71) 出願人 | 507088071               |
| (22) 出願日     | 平成23年12月14日 (2011.12.14)     |          | ソイテック                   |
| (31) 優先権主張番号 | 1152256                      |          | フランス 3 8 1 9 0 ベルナン パルク |
| (32) 優先日     | 平成23年3月18日 (2011.3.18)       |          | テクノロジー デ フォンティエヌ        |
| (33) 優先権主張国  | フランス (FR)                    |          | シュマン デ フランク (番地なし)      |
|              |                              | (74) 代理人 | 110001243               |
|              |                              |          | 特許業務法人 谷・阿部特許事務所        |
|              |                              | (72) 発明者 | リチャード フェラン              |
|              |                              |          | フランス 2 9 7 7 0 エスキビアン ヴ |
|              |                              |          | イレッジ デ シュゲンスー (番地なし)    |
|              |                              | (72) 発明者 | ゲルハルト エンデルス             |
|              |                              |          | ドイツ ディー 8 2 1 4 0 オルヒング |
|              |                              |          | フェーウルスシュトラッセ 1 4 ジー     |

最終頁に続く

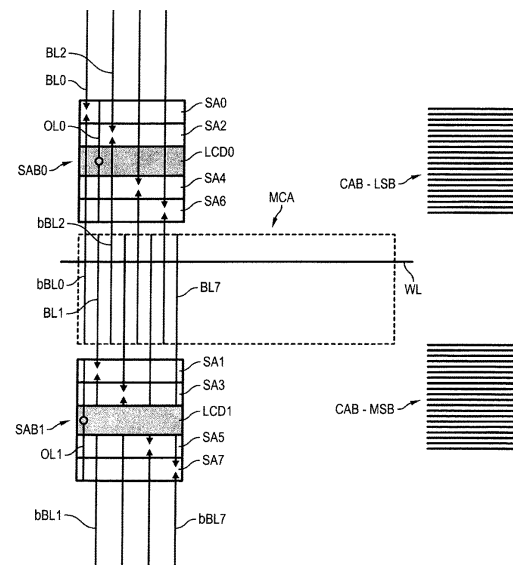
(54) 【発明の名称】 ローカル列デコーダに関連付けられた互い違いに配置されたセンスアンプを有する半導体メモリ

## (57) 【要約】

【課題】本発明は、少ししか列アドレスバスを必要としない半導体メモリを提供する。

【解決手段】本発明は、半導体メモリであって、ビット線と、メモリセルアレイと、少なくとも1組のセンスアンプバンクであって、各センスアンプは、交互の配列により、対応するビット線に接続されていることによって、ビット線と平行な各センスアンプバンクの組で利用可能なスペースに相互接続することを備え、各センスアンプバンクは、センスアンプバンクの少なくとも1つのセンスアンプを選択する、少なくとも1つのローカル列デコーダを備え、前記ローカル列デコーダは、ビット線と平行な利用可能な相互接続スペース内に走っている出力線によってセンスアンプバンクの少なくとも1つのセンスアンプと電氣的に結合されたことを特徴とする半導体メモリに関するものである。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

半導体メモリであって、

それぞれが交差する複数のビット線及び複数のワード線と、

前記ビット線及び前記ワード線のクロスポイントで列と行に整列された複数のメモリセルによって形成されたメモリセルアレイと、

前記メモリセルアレイの反対側に整列された少なくとも 1 組のセンスアンプバンクであって、各センスアンプバンクの組は、ビット線の長手方向に互い違いに配置された複数のセンスアンプを備え、各センスアンプは、交互の配列により、対応するビット線に接続されていることによって、ビット線は、1 組の第 1 のバンクのセンスアンプに電気的に結合されたビット線と、1 組の第 2 のバンクのセンスアンプに電気的に結合されたビット線との間を横方向へ行ったり来たりして、ビット線の交互配列が、ビット線と平行な各センスアンプバンクの組で利用可能なスペースに相互接続することとを備え、

各センスアンプバンクは、センスアンプバンクの少なくとも 1 つのセンスアンプを選択する、少なくとも 1 つのローカル列デコーダを備え、前記ローカル列デコーダは、センスアンプと共に互い違いに配置され、ビット線と平行な利用可能な相互接続スペース内に走っている出力線によってセンスアンプバンクの少なくとも 1 つのセンスアンプと電気的に結合されたことを特徴とする半導体メモリ。

## 【請求項 2】

各センスアンプバンクは、前記センスアンプバンクの各センスアンプに電気的に結合した単一のローカル列デコーダを備えたことを特徴とする請求項 1 に記載の半導体メモリ。

## 【請求項 3】

各センスアンプバンクは、複数のローカル列デコーダを備えたことを特徴とする請求項 1 に記載の半導体メモリ。

## 【請求項 4】

前記ローカル列デコーダは、NOR ゲート又は NAND ゲートであることを特徴とする請求項 1 から 3 のいずれかに記載の半導体メモリ。

## 【請求項 5】

前記ローカル列デコーダは、複数のデコーダセクションを備え、各デコーダセクションは、前記センスアンプバンクのそれぞれのセンスアンプと電気的に結合されたことを特徴とする請求項 1 から 4 のいずれかに記載の半導体メモリ。

## 【請求項 6】

前記センスアンプバンクは、SOI 基板上に実装され、デコーダセクションは、接地とデコーダセクションの第 1 の入力との間に連続して 2 つのコンプリメンタリダブルゲートトランジスタを有している擬似インバータを備え、各ダブルゲートトランジスタは、第 1 のゲートと第 2 のゲートを有し、トランジスタの第 1 のゲートは、トランジスタの第 2 のゲートが第 1 の入力の補完に電気的に結合されている場合、デコーダセクションの第 2 の入力に電気的に結合され、デコーダセクションの出力は、2 つのトランジスタのひと続きの関連の midpoint に供給されていることを特徴とする請求項 5 に記載の半導体メモリ。

## 【請求項 7】

前記ローカル列デコーダの第 1 の入力線は、第 1 の入力線によって第 1 の列アドレスバスに接続され、前記ローカル列デコーダの第 2 の入力線は、第 2 の入力線によって第 2 の列アドレスバスに接続され、第 1 及び第 2 の入力線は、利用できる相互接続のスペース内に走ることを特徴とする請求項 1 から 6 のいずれかに記載の半導体メモリ。

## 【請求項 8】

第 1 の入力線は、メタルー 0 線及びメタルー 1 バスである第 1 の列アドレスバスであることを特徴とする請求項 7 に記載の半導体メモリ。

## 【請求項 9】

第 2 の入力線は、メタルー 0 線及びメタルー 1 バスである第 2 の列アドレスバスであることを特徴とする請求項 7 または 8 に記載の半導体メモリ。

## 【請求項 10】

第2の入力線は、メタルー0線であり、第2の列アドレスバスは、ビット線の長手方向へ走っているメタルー2バス及びメタルー2バスに電氣的に結合されたメタルー1バスを備え、ワード線の横方向へ走っているメタルー1バスを備えたことを特徴とする請求項7または8に記載の半導体メモリ。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体のメモリに関し、より詳細には、ローカル列デコーダが互い違いに配置されたセンスアンプに関連付けられているDRAM（ダイナミックランダムアクセスメモリ）に関する。

10

## 【背景技術】

## 【0002】

従来、DRAMは、大きな数のセルのバイナリフォーム（例えば“1”又は“0”）のデータを蓄えている集積回路である。データはセル内に位置するキャパシタ上の電荷としてセルの中に蓄積する。典型的に、ハイ論理レベルが電源電圧とおよそ同じであり、ロー論理レベルが接地とおよそ同じである。

## 【0003】

従来のDRAMのセルはアレイ状に整列されているので、個々のセルがアドレス指定され、アクセスされる。アレイはセルの行として及び列としてみなすことができる。各列は共通の制御信号により列のセルに相互に接続するワード線を含む。同様に、各行は、各列において1個のセルと電氣的に結合したビット線を含む。このように、ワード線及びビット線を、アレイの各セルへ個別的にアクセスするために、制御することができる。

20

## 【0004】

セルからデータを読み出すため、セルのキャパシタはセルに関連付けられたワード線の選択によりアクセスされる。選択されたセルのビット線とペアになる補完的なビット線は、平衡電圧まで平衡に保たれる。この平衡電圧（ $V_{eq}$ ）は、高い $V_{dd}$ と低い $V_{ss}$ （一般的に接地した）の論理レベルの間で典型的に中間である。したがって、従来、ビット線は電源電圧の2分の1（ $V_{dd}/2$ ）に平衡に保たれる。ワード線が選択されたセルのために活性化される場合、選択されたセルのキャパシタはビット線上に格納された電圧を放電し、それにより、ビット線上の電圧を変更する。その後、従来、センスアンプと呼ばれた差動増幅器は1組になっているビット線上の電圧の差を検知し増幅するために使用される。

30

## 【0005】

図1は、従来のメモリアーキテクチャを表わし、メモリアレイのメモリセルからデータ項目を正確に読むために、アドレス指定されたメモリマトリックスAMのセルから読み出した電流は、センスアンプアレイSAAのセンスアンプSA0-SA7において、リファレンスメモリマトリックスRMのセルから読み出した電流と比較され、特に、組立て工程での不規則性による未知のオフセット値を補う。

## 【0006】

40

メモリの表面積を縮小するために、積み重ねの技術（いわゆる「互い違いに配置された」技術）は、従来、センスアンプとセルの間でピッチ差を、考慮に入れていた。図1の場合には一般的には4または8である、いくつかのセンスアンプSA0-SA7は、センスアンプSA2と電氣的に結合したビット線BL2およびbBL2（BL2の補完）のように、ビット線の長手方向で、互いに背後で、交互に配置される。

## 【0007】

図1のアーキテクチャは、ビット線およびその補完は、すべての互い違いに配置されたセンスアンプ上を走ることになる。これは、センスアンプの100%を確かにカバーするメタルー0（メタルはビット線に使用する）として利用可能なスペースの過密に結びつく。

## 【0008】

50

さらに、メモリの特定のセルのアドレス指定は、メタルトラック（一般的にはメタルー1トラック）から構築された行／列アドレスバスを必要とする。64列アドレスバスを使用して、センスアンプアレイのセンスアンプをデコーダするとき、約100のメタルー1トラックが、電源、制御コマンド、I/O及びデコーダ（この最後のグループ用の64トラック）のために存在する必要がある。しかし、近い将来、特にセンスアンプで、DRAMのコア回路の多くの中心がそこに必要となる。確かに、FDSOI（完全空乏型シリコンオンインシュレータ）技術の導入又はHigh-k／メタルゲートの導入と共に、装置はより小さくなりメタル線は制限要因になるが、それほど大きくない装置のサイズになる。それ故、100のメタルー1トラックはあまりに多いことが理解される。

#### 【0009】

図2は、利用可能スペースの過密を制限することを助ける別のメモリアーキテクチャを示す。このアーキテクチャでは、センスアンプアレイは、互い違いに配置されたセンスアンプバンクSABe、SABoの組に分割され、ビット線は交互配列を採用することによって、第1のバンクSAB0の組のセンスアンプSA0、SA2に電氣的に結合したビット線BL0、bBL0、BL2、bBL2と、第2のバンクSAB1の組のセンスアンプSA1と電氣的に結合したビット線BL1、bBL1との間を、ワード線WLの横方向に、ビット線は行ったり来たりする。ビット線の交互配列は、組になっている平行なビット線の各センスアンプバンクにおいて連結する利用可能なスペースをもたらす。例としてバンクSABeを挙げれば、連結するスペースはビット線BL0、bBL0とビット線BL2、bBL2との間で利用可能である。例としてバンクSABoを挙げれば、連結するスペースはビット線BL1、bBL1の前で利用可能である。この交互配列と一体となって、メタルー0はセンスアンプの50%のみカバーする。センスアンプ上の緩和された制約と共に、配置がより容易になる。

#### 【0010】

しかしながら、このアーキテクチャはメモリセルアレイとサブアレイに分割する必要があり、その結果、上端及び下端にあるサブアレイが半分だけの使用になる。

#### 【0011】

さらに、64列アドレスバスCABを使用すると（32バスはセンスアンプセクションのそれぞれのために設けられる）、約140のメタルー1トラックは引き出す必要がある（センスアンプセクションごとに約70）。図2のアーキテクチャもそれゆえ、多くの列アドレスバスになる。

#### 【発明の概要】

#### 【0012】

本発明は、上記で言及した短所を被らない半導体メモリを提供することが目的であり、本発明は、特に、少ししか列アドレスバスを必要としない半導体メモリである。この点において、本発明は、それぞれが交差する複数のビット線及び複数のワード線と、ビット線及びワード線のクロスポイントで列と行に整列された複数のメモリセルによって形成されたメモリセルアレイと、メモリセルアレイの反対側に整列された少なくとも1組のセンスアンプバンクであって、各センスアンプバンクの組は、ビット線の長手方向に互い違いに配置された複数のセンスアンプを備え、各センスアンプは、交互の配列により、対応するビット線に接続されていることによって、ビット線は、1組の第1のバンクのセンスアンプに電氣的に結合されたビット線と、1組の第2のバンクのセンスアンプに電氣的に結合されたビット線との間を横方向へ行ったり来たりして、ビット線の交互配列が、ビット線と平行な各センスアンプバンクの組で利用可能なスペースに相互接続することとを備え、各センスアンプバンクは、センスアンプバンクの少なくとも1つのセンスアンプを選択する、少なくとも1つのローカル列デコーダを備え、ローカル列デコーダは、センスアンプと共に互い違いに配置され、ビット線と平行な利用可能な相互接続スペース内に走っている出力線によってセンスアンプバンクの少なくとも1つのセンスアンプと電氣的に結合されたことを特徴とする半導体メモリを提案する。

#### 【0013】

他に、有利で、しかし限定されないこのメモリの側面は以下の通りである。

- 各センスアンプバンクは、前記センスアンプバンクの各センスアンプと電氣的に結合した単一のローカル列デコーダを備えたこと
- 各センスアンプバンクは、複数のローカル列デコーダを備えたこと、
- 前記ローカル列デコーダは、NORゲート又はNANDゲートであること、
- 前記ローカル列デコーダは、複数のデコーダセクションを備え、各デコーダセクションは、前記センスアンプバンクのそれぞれのセンスアンプと電氣的に結合されたこと、
- 前記センスアンプバンクは、SOI基板上に実装され、デコーダセクションは、接地とデコーダセクションの第1の入力との間に連続して2つのコンプリメンタリダブルゲートトランジスタを有している擬似インバータを備え、各ダブルゲートトランジスタは、第1のゲートと第2のゲートを有し、トランジスタの第1のゲートは、トランジスタの第2のゲートが第1の入力の補完に電氣的に結合されている場合、デコーダセクションの第2の入力に電氣的に結合され、デコーダセクションの出力は、2つのトランジスタのひと続きの関連の midpoint に供給されていること、
- 前記ローカル列デコーダの第1の入力は、第1の入力線によって第1の列アドレスバスに接続され、前記ローカル列デコーダの第2の入力は、第2の入力線によって第2の列アドレスバスに接続され、第1及び第2の入力線は、利用できる相互接続のスペース内に走ること
- 第1の入力線は、メタルー0線及びメタルー1バスである第1の列アドレスバスであること、
- 第2の入力線は、メタルー0線及びメタルー1バスである第2の列アドレスバスであること、
- 第2の入力線は、メタルー0線であり、第2の列アドレスバスは、ビット線の長手方向へ走っているメタルー2バス及びメタルー2バスに電氣的に結合されたメタルー1バスを備え、ワード線の横方向へ走っているメタルー1バスを備えたこと、である。

【図面の簡単な説明】

【0014】

本発明の他の態様、目的及び効果は、例による方法、及び付随する図面での言及と共に与えられる、それについての望ましい本実施例の以下の詳細な説明を読むことで、より明白になるだろう。

【図1】既に上記で論じた従来のDRAMのアーキテクチャの図である。

【図2】既に上記で論じた、ビット線が交互配列されている、別の従来のDRAMのアーキテクチャの図である。

【図3】本発明の実施例によるDRAMの概略図である。

【図4】本発明の第1の実施例によるDRAMの列アドレス指定の図である。

【図5】本発明の第2の実施例によるDRAMの列アドレス指定の図である。

【図6a】本発明の様々な可能な実施例を表した図である。

【図6b】本発明の様々な可能な実施例を表した図である。

【図6c】本発明の様々な可能な実施例を表した図である。

【図7】本発明の可能な実施例において、ローカル列デコーダとして使用されることができ、FD SOI上のNORゲートを表わした図である。

【発明を実施するための形態】

【0015】

図3に関して、本発明は半導体メモリを提供し、特に、複数のビット線BL0、bBL0、BL1、bBL1、BL2、bBL2、...BL7、bBL7及び互いに交差する複数のワード線WLを備えるDRAMを提供する。メモリは、当該ビット線と当該ワード線とのクロスポイントで行と列に整列された複数のメモリセルによりできたメモリセルアレイMCAをさらに備えるメモリである。メモリは、少なくとも1組のセンスアンプバンクSAB0、SAB1をさらに備え、これらセンスアンプバンクは、メモリセルアレイMCAの反対側に整列された1組のセンスアンプバンクをさらに備える。1組の各センスアン

バンクは、ビット線の長手方向に互い違いに配置された複数のセンスアンプ S A 0、S A 2、S A 4、S A 6；S A 1、S A 3、S A 5、S A 7 をさらに備える。1 組のセンスアンプバンクはメモリセルアレイ M C A の反対側に並べられている。

#### 【0016】

図 3 は 4 つの互い違いに配置されたセンスアンプを有する各バンクをさらに備える単一の組のセンスアンプバンク S A B 0、S A B 1 を表わす。約 128 組のような、より多くの組のセンスアンプバンクにも本発明が適用され、例えば、2 又は 8 の互い違いに配置されたセンスアンプのような、センスアンプバンクの中の異なる数の互い違いに配置されたセンスアンプにも適用されることが理解されるだろう。

#### 【0017】

各センスアンプは、交互配列により対応するビット線に電氣的に結合されており、したがって、ビット線は、第 1 のバンクの組のセンスアンプに電氣的に結合されたビット線と、第 2 のバンクの組のセンスアンプと電氣的に結合したビット線との間をワード線の横方向へ行ったり来たりする。ワード線方向にある、連続的なビット線の 1 例としてビット線 b B L 0、B L 1 及び b B L 2 を挙げると、ビット線 b B L 0 はセンスアンプバンク S A B 0 の上端のセンスアンプ S A 0 と電氣的に結合しており、ビット線 B L 1 はセンスアンプバンク S A B 1 の下端のセンスアンプ S A 1 と電氣的に結合しており、ビット線 b B L 2 はセンスアンプバンク S A B 0 の上端のセンスアンプ S A 2 と電氣的に結合している。この交互配列の結果、ビット線 B L 1 は、センスアンプバンク S A B 0 の上端を越えず、それによって、ビット線 b B L 0 と b B L 2 との間で利用可能な連結スペースを離れることになる。同様に、ビット線 b B L 0 及び b B L 2 は、センスアンプバンク S A B 1 の下端を越えず、連結スペースはビット線 b B L 1、b B L 1 の両側が利用可能になる。さらに、特に、利用可能な連結スペースは図のメタルー 0 線のため、利用可能な自由なスペースになる。

#### 【0018】

本発明は、センスアンプバンク内に列デコーダのロジックを配置することによってセンスアンプをローカルにデコードすることをさらに提供する。より詳細には、各センスアンプバンク S A B 0、S A B 1 は、センスアンプバンクの少なくとも 1 つのセンスアンプを選択する、少なくとも 1 つのローカル列デコーダ L C D 0、L C D 1 を備えている。ローカル列デコーダ L C D 0、L C D 1 は、出力線 O L 0、O L 1 によってバンクのセンスアンプと共に交互に配置され、バンクの少なくとも 1 つのセンスアンプに電氣的に結合しており、典型的には、メタルー 0 線は、出力線 O L 0 に対するセンスアンプバンク S A B 0 の上端を越えてビット線 B L 0 と B L 2 との間の利用可能な相互接続スペース又は出力線 O L 1 に対するセンスアンプバンク S A B 1 の下端を越えてビット線 B L 1 の前に利用可能な相互接続スペースのように、ビット線と平行な利用可能な相互接続スペースを超えている。

#### 【0019】

ローカル列デコーダのピッチは、センスアンプの最大のピッチであると思われる（図の例の 8 メモリ列）。望ましい本発明の実施例では、ローカル列デコーダは複数入力論理ゲートであり、例えば、2 入力ゲートであるが、特に、その入力の 1 つの組から特定の値を、生成する、N O R ゲート又は N A N D ゲートのような、ゲートである。N O R ゲートはセンスアンプが N 型パスゲートを有しているとき典型的に実装され、N A N D ゲートはセンスアンプが P 型パスゲートを有されている場合、実装されるとわかるだろう。すべての 2 入力機能が 8 列ピッチに合致するとき、配置は比較的容易となる。

#### 【0020】

図 3 及び図 6 a に示すように、ローカル列デコーダは、L C D 1 のように、バンクのすべてのセンスアンプと電氣的に結合することができる。バンクがこれらの図による例示では、4 つのセンスアンプとみなすとき、ローカル列デコーダ L C D 1 は、4 つのセンスアンプ S A 1、S A 3、S A 5、S A 7 をデコードすることを許可する。同じワードの 4 つの連続ビットゆえに、同じアドレスを共有する。

## 【0021】

望ましくは、センスアンプバンクは奇数の互い違いに配置されたセンスアンプを備え、ローカル列デコーダは、それぞれの側面の等しい数のセンスアンプを有するため、バンクの中央に位置する。

## 【0022】

代わりに、センスアンプバンクは、複数のローカル列デコーダを備えることができる。センスアンプバンク内の複数のローカル列デコーダの可能な配列は図6bで示されており、そこには、センスアンプバンクは2つのローカル列デコーダLCD3、LCD5を備えており、各ローカル列デコーダはバンクのセンスアンプの半分と電氣的に結合することが示されている。図6bの互い違いに配置された配列において、各ローカル列デコーダLCD3、LCD5は、互いに電氣的に結合された2つの直接的に隣り合ったセンスアンプSA1、SA3、SA5、SA7を有する。この配列によれば、同じワードの2つの連続ビットは同じアドレスを共有する。しかしローカル列デコーダのアドレスも全く同じにできたため、同じワードの4つの連続ビットは同じアドレスを共有する。

## 【0023】

もう1つの変形では、ローカル列デコーダは複数のデコーダセクションを備えることができ、図6cに示すような、2つのデコーダセクションLCD7、LCD9のようにそれぞれのセンスアンプと電氣的に結合している各セクションを備えることができる。図6の配列では、ローカル列デコーダは中心に配置され、2つのセクションを備える。ローカル列デコーダの第1のデコーダセクションLCD9は、上端及び下端にあるセンスアンプSA1、SA7に電氣的に結合している。このため、ローカル列デコーダの第2のデコーダセクションLCD7が、中間にあるセンスアンプSA3、SA5と電氣的に結合されている。デコーダセクションのアドレスがアプリケーション次第で、同じであったり異なったりすることができるのがわかるだろう。デコーダセクションの累積するピッチがセンスアンプのピッチを下回ったままの場合だけ、そのような配置が可能になることが理解されるだろう（図の例の8メモリ列）。

## 【0024】

この点において、出願人が2つのトランジスタのみ有するFD SOI（完全空乏型シリコンオンインシュレータ）上のNOR2ゲートを前もって、設計していたことがわかる。そのようなNOR2ゲートは、このように4つのメモリ列だけ図に描かれている。そのような設計によれば、2つのデコーダセクションは、それ故に8メモリ列のピッチを有するセンスアンプと共に互い違いに配置されたローカル列デコーダ内に組み込まれることができる。当然のことながら、そのようなNOR2FD SOIゲートは、2010年9月8日に出願された欧州特許出願番号10175849、8号において記載がある。このNOR2FD SOIゲートは図7で示された擬似インバータ構造で使用し、入力A及びBに言及される。擬似インバータ構造のトランジスタは、埋め込まれた酸化層のSOI基板の下、フロント制御ゲート及びバック制御ゲートを有する二重ゲートFD SOIトランジスタであり、バックゲートは、P型トランジスタのソースに適用される入力信号Aと補完的である信号A#によって制御されている。当然のことながら、SOI FinFETsもFD SOIトランジスタの場所で使われることができる。

## 【0025】

当然のことながら、そのようなローカル列デコーダのバックゲートはセンスアンプを強化するために使用することができ、特に、センスアンプのトランジスタのドライブが、メモリセルでデータがやがて回復するために不十分なとき、使用することができる。この効果はセンスアンプの両側にさらに均整のとれた、不整合を含んでいない。

## 【0026】

FD SOIトランジスタはばらつきが少ないことを示すことで、FD SOIもまた利点が明らかになる。バルク基板上の本発明の実装と比較してトランジスタの長さや幅を減らすことができ、センスアンプ領域は2から2.5に分割できる。

## 【0027】

10

20

30

40

50

いずれにせよ、当然のことながら、ローカル列デコーダは、例えば複数入力論理ゲートのような、例えば2入力ゲートのような、例えば図7の擬似インバータ構造のような、二重ゲートトランジスタを使用することができる。各二重ゲートトランジスタは、S e O I基板（S O I（シリコンオンインシュレータ））の埋め込まれた絶縁体の層の下のパック制御ゲート有する二重ゲートトランジスタである。各二重ゲートトランジスタは、フィン型の独立した二重ゲートトランジスタにもなり得る。平行に配置された2つの単一のゲートトランジスタからなることもできる。

#### 【0028】

したがって、当然のことながら、本発明はすべての技術に実施することができる。バルク、部分空乏シリコンオンインシュレータ（P D S O I）、完全空乏シリコンオンインシュレータ（F D S O I）、F i n F E T s及び独立したダブルゲートトランジスタの他の型も一緒である。上記で示すように、バルクと比べて機能ごとの領域がより小さくなる余地があるという有利な点を、強化するという利点を、F D S O Iは示す。

#### 【0029】

図4は、2つのセンスアンプバンクがワード線の方角で連続していることを示す。各バンクは、中心で互い違いに配置されており、すべてのセンスアンプバンクと電氣的に結合されているローカル列デコーダL C D 0 0、L C D 0 1を備える。図4の例では、各ローカル列デコーダは、2入力N O Rゲートとして実装されている。N O Rゲートの第1の入力は、第1の列アドレスバスC A B－L S Bと電氣的に結合しており、例えば、C A B－L S Bは、利用可能な相互接続スペース内に走る第1の入力線I 1 0、I 1 1によって、最下位ビットへアドレスを指定する。第1と第2の入力線I 1 0、I 1 1及びI 2 0、I 2 1は、望ましくは、ビット線によって、左の自由なスペース内に走っているメタルー0線である。

#### 【0030】

もし、従来の回路のアーキテクチャが最初に、図1又は図2のようなバンク内の各センスアンプをデコーダするために、例えば64バスが必要であるとする、本発明により提案された新しい機構は同じ機能を実行するため、16バスだけのC A B－L S B、C A B－M S B（8の最下位ビット－L S B－、8の最上位ビット－M S B－）を必要とする。当然のことながら、これらのバスC A B－L S B及びC A B－M S Bは、センスアンプバンクの中の対応するローカル列デコーダへ列選択信号を出力するように構成されたメイン列デコーダと電氣的に結合している。図1の既存技術のアーキテクチャで、必要な100のトラックと比べて、これらの16バスは、約40から45のメタルー1トラックに対応する。このように、バスの制約は、かなり最小化されており、トランジスタの領域の制約と同値であると考えられる。

#### 【0031】

図4に表されている第1の実施例によれば、第1及び第2の列アドレスバスC A B－L S B、C A B－M S Bは、ワード線の横側の方角へ走っているメタルー1バスである。第1のM S BバスM S B 0はワード線の方角で第1の8つの連続したセンスアンプバンクと電氣的に結合する。このとき、これら8つの各バンクに電氣的に結合されたL S Bバスを、第1のL S BバスL S B 0から第8のL S BバスL S B 7に達するまで連続して変化させる。8つの第1のセンスアンプバンクが、アドレス指定されると、M S Bバスはそのとき、第1のM S BバスM S B 0からM S BバスM S B 1へ変化しており、すべてのL S BバスL S B 0からL S B 7は、再度連続して使用される。この工程は64センスアンプバンクについて繰り返される。

#### 【0032】

図5に表されている別の実施例によれば、第1の列アドレスバスC A B－L S Bは、ワード線の横側の方角へ走っているメタルー1バスである。このため、第2の列アドレスバスC A B－M S Bが、ビット線の長手方角へ走っている一連のメタルー2バスM 2 0、M 2 1、...、M 2 7を備え、一連の各メタルー2バスと電氣的に結合しているワード線の横方角へ走っているメタルー1バスM 1 0、M 1 1、...、M 1 7を備える。



## 【0033】

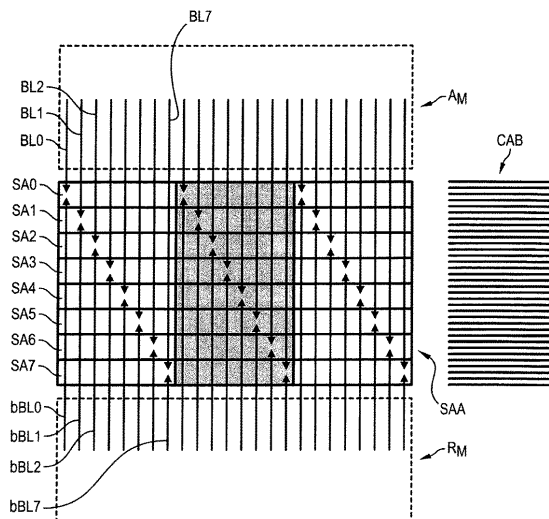
図5の実施例では、メタルー2バスは、8倍のセンスアンプバンク（64メモリセル）のピッチに相当する距離を置いて互いに配置される。メタルー2バスM20及びメタルー1バスM10は、第1の8つのセンスアンプバンクにアドレスを指定するために使用される。そして、メタルー1バスM10は、第1の8つのセンスアンプバンクのローカル列デコーダ第2の入力I21、I22と電氣的に結合される。同様に、メタルー2バスM21及びメタルー1バスM11は、9から16のセンスアンプバンクにアドレスを指定するために使用される。そして、メタルー1バスM11は、9から16のセンスアンプバンクのローカル列デコーダの第2の入力と電氣的に結合される。この工程は64センスアンプバンクについて繰り返される。

10

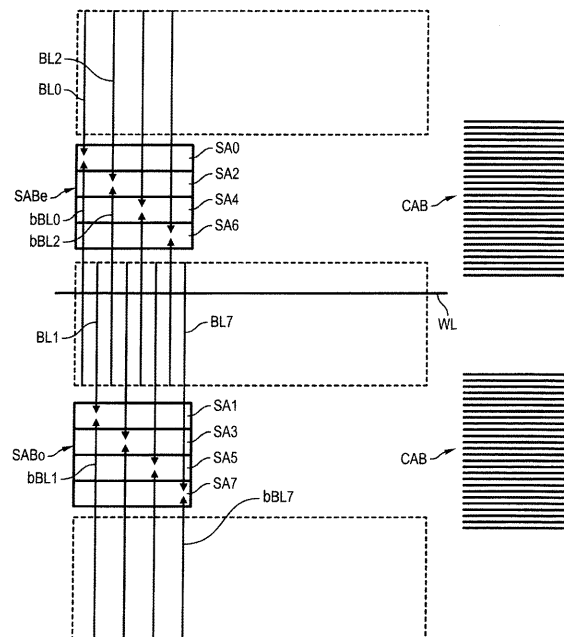
## 【0034】

本発明は、列デコーダ回路の大部分はオンピッチ領域と一体とすることができ、メモリの周辺にはもはや一体とする必要がないという利点を、最後に示す。すなわち、オンピッチ回路となり、それ自身が領域内でとても小さくなり、もっと少ない消費とより早いスピードを有することになる。

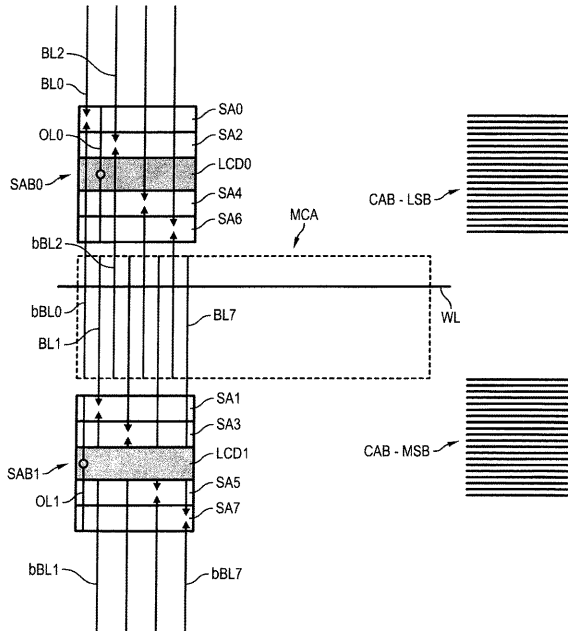
【図1】



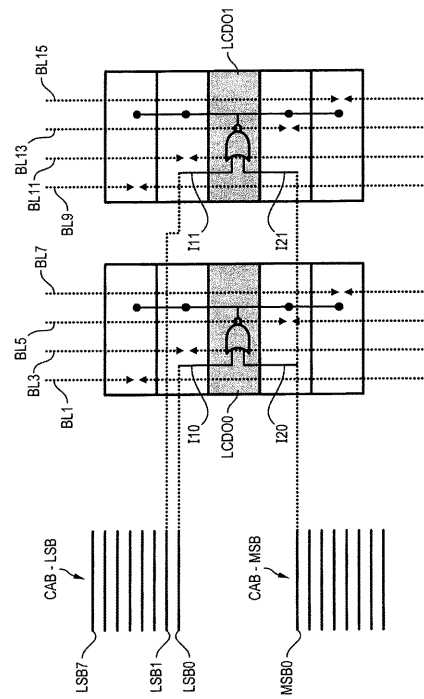
【図2】



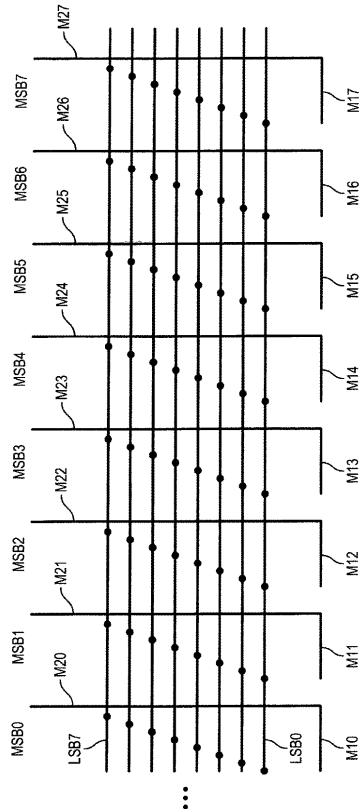
【図 3】



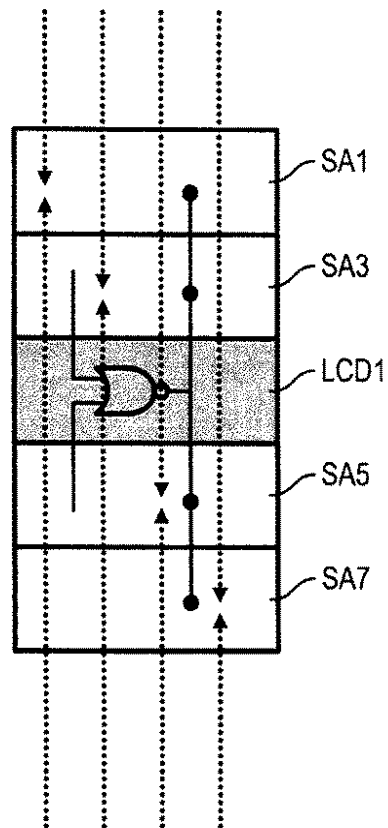
【図 4】



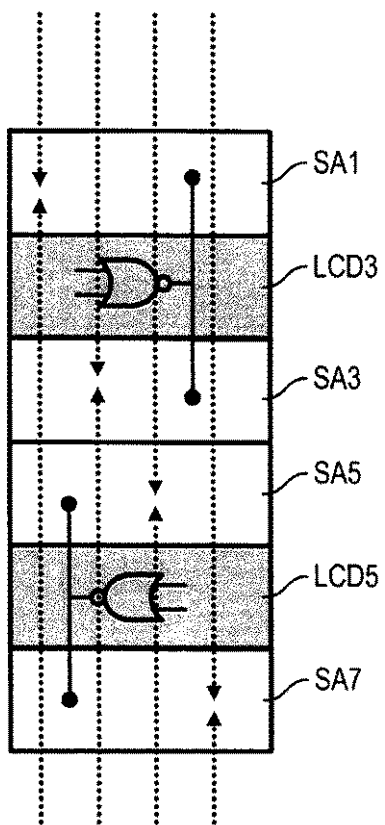
【図 5】



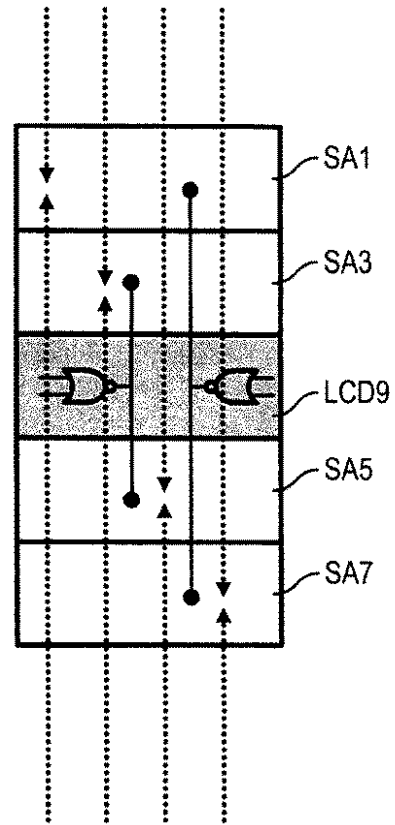
【図 6 a】



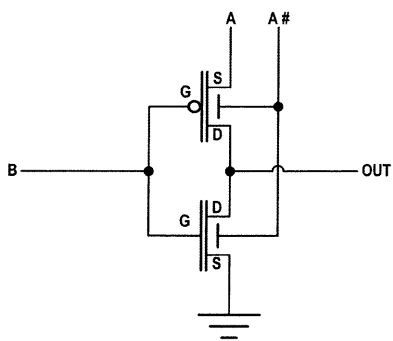
【図 6 b】



【図 6 c】



【図 7】



---

フロントページの続き

(72)発明者 カルロス マズレ

フランス 3 8 1 9 0 ベルナン シュマン ドゥ バス ベルナン 1 4 3 レジデンス シダ  
ックス 6 4 イー

Fターム(参考) 5M024 AA53 AA62 BB07 BB14 CC74 CC79 CC85 CC93 LL01 PP01  
PP02 PP03

【外国語明細書】  
2012198975000001.pdf