



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년08월23일
(11) 등록번호 10-1298949
(24) 등록일자 2013년08월16일

- (51) 국제특허분류(Int. C1.)
H01L 33/08 (2010.01) *H01L 29/786* (2006.01)
- (21) 출원번호 10-2006-0073835
(22) 출원일자 2006년08월04일
심사청구일자 2011년08월02일
(65) 공개번호 10-2007-0017073
(43) 공개일자 2007년02월08일
(30) 우선권주장
JP-P-2005-00228678 2005년08월05일 일본(JP)
- (56) 선행기술조사문헌
JP08111516 A*
JP2003255850 A*
JP2005037930 A*
JP2005114916 A*
- *는 심사관에 의하여 인용된 문헌

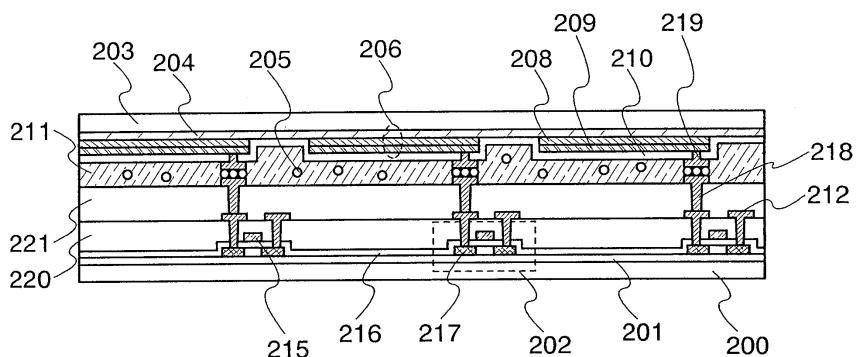
- (73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398
(72) 발명자
나카무라, 오사무
일본, 가나가와Ken 243-0036, 아쓰기시, 하세,
398, 가부시키가이샤 한도오따이 에네루기 켄큐쇼
내
허구치, 미유키
일본, 가나가와Ken 243-0036, 아쓰기시, 하세,
398, 가부시키가이샤 한도오따이 에네루기 켄큐쇼
내
(뒷면에 계속)
(74) 대리인
장훈

전체 청구항 수 : 총 16 항

심사관 : 구영희

(54) 발명의 명칭 **발광 장치 및 발광 장치 제조 방법****(57) 요 약**

발광 장치 형성시 포인트 결합 및 라인 결합을 방지함으로써 수율을 개선시킨다. 상이한 기판들 위에 제공되는 발광 소자 및 이 발광 소자의 구동 회로는 전기적으로 접속된다. 즉, 발광 소자 및 이 발광 소자의 구동 회로는 우선 상이한 기판들 위에 형성되고 나서 전기적으로 접속된다. 발광 소자 및 이 발광 소자의 구동 회로를 상이한 기판들 위에 제공함으로써, 발광 소자를 형성하는 단계 및 이 발광 소자의 구동 회로를 형성하는 단계는 별도로 수행될 수 있다. 그러므로, 각 단계의 자유도들이 증가될 수 있고, 이 처리는 유연하게 변화될 수 있다. 게다가, 발광 소자를 형성하기 위한 표면상의 단차들(불규칙들)은 종래 기술에서보다 감소될 수 있다.

대 표 도 - 도1

(72) 발명자

와타나베, 야스코

일본, 가나가와켄 243-0036, 아쓰기시, 하세, 398,
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

아라이, 야수유키

일본, 가나가와켄 243-0036, 아쓰기시, 하세, 39
8, 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

특허청구의 범위

청구항 1

제 1 기판;

상기 제 1 기판 위의 발광 소자;

상기 발광 소자 위의 절연막;

제 2 기판;

상기 제 2 기판 위의 반도체 층을 포함하는 트랜지스터로서, 상기 트랜지스터는 상기 제 1 기판과 대향하도록 설치된, 상기 트랜지스터; 및

상기 반도체 층의 위에서 상기 반도체 층의 표면과 접하는 배선으로서, 상기 표면은 상기 제 1 기판과 대향하는, 상기 배선을 포함하고,

상기 제 1 기판 위의 상기 절연막에 의해 덮이는 상기 발광 소자는 상기 배선에 전기적으로 접속되는, 발광 장치.

청구항 2

제 1 기판;

상기 제 1 기판 위의 발광 소자;

상기 발광 소자 위의 절연막;

제 2 기판; 및

상기 발광 소자를 구동하기 위한 구동 트랜지스터와 배선을 포함하는 상기 제 2 기판 위의 화소 회로로서, 상기 화소 회로는 상기 제 1 기판과 대향하도록 설치된, 상기 화소 회로를 포함하고,

상기 구동 트랜지스터는 반도체 층을 포함하고,

상기 배선은 상기 반도체 층의 위에서 상기 반도체 층의 표면과 접하도록 설치되고, 상기 표면은 상기 제 1 기판에 대향하고,

상기 배선은 상기 제 1 기판 위의 상기 절연막에 의해 덮이는 상기 발광 소자에 전기적으로 접속되는, 발광 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제 2 기판은, 상기 발광 소자를 덮도록 상기 발광 소자가 형성되는 상기 제 1 기판의 표면과 대향하도록 설치된, 발광 장치.

청구항 4

삭제

청구항 5

제 1 표면 및 상기 제 1 표면의 배면인 제 2 표면을 갖는 제 1 기판;

상기 제 1 기판의 상기 제 1 표면 위의 발광 소자;

상기 발광 소자 위의 절연막;

제 2 기판;

상기 발광 소자를 구동하는 상기 제 2 기판 위의 화소 회로로서, 상기 제 2 기판은 상기 제 1 기판의 상기 제 2 표면과 대향하도록 설치된, 상기 화소 회로; 및

상기 발광 소자를 덮도록 상기 제 1 기판의 상기 제 1 표면과 대향하도록 설치된 제 3 기판을 포함하고,
상기 제 1 기판 위의 상기 절연막에 의해 덮이는 상기 발광 소자는 상기 제 2 기판 위에 설치된 상기 화소 회로
에 전기적으로 접속되는, 발광 장치.

청구항 6

제 1 표면 및 상기 제 1 표면의 배면인 제 2 표면을 갖는 제 1 기판;

상기 제 1 기판의 상기 제 1 표면 위의 발광 소자;

상기 발광 소자 위의 절연막;

제 2 기판;

상기 발광 소자를 구동하는 상기 제 2 기판 위의 화소 회로로서, 상기 제 2 기판은 상기 제 1 기판의 제 2 표면
과 대향하도록 설치된, 상기 화소 회로; 및

상기 발광 소자를 덮도록 상기 제 1 기판의 제 1 표면과 대향하도록 설치된 제 3 기판을 포함하고,

상기 화소 회로는 상기 발광 소자를 구동하기 위한 구동 트랜지스터를 포함하고,

상기 제 2 기판 위에 설치된 상기 구동 트랜지스터는 상기 제 1 기판 위의 상기 절연막에 의해 덮이는 상기 발
광 소자에 전기적으로 접속되는, 발광 장치.

청구항 7

삭제

청구항 8

제 1 항에 있어서,

상기 제 2 기판 위의 이미지 센서를 더 포함하는, 발광 장치.

청구항 9

제 1 항에 있어서,

상기 제 1 기판 위의 이미지 센서를 더 포함하는, 발광 장치.

청구항 10

제 1 항에 있어서,

상기 제 1 기판 위의 이미지 센서를 더 포함하고,

상기 이미지 센서는 비정질 반도체 막을 포함하고;

상기 반도체 층은 결정질 반도체를 포함하는, 발광 장치.

청구항 11

제 1 기판;

상기 제 1 기판 위의 발광 소자의 제 1 전극;

상기 발광 소자의 상기 제 1 전극 위에 형성되는 발광 물질을 함유하는 층;

발광 물질을 함유하는 상기 층 위의 절연막;

상기 제 1 기판과 대향하도록 설치된 제 2 기판;

상기 발광 소자를 구동하기 위한 반도체 층을 포함하는 상기 제 2 기판 위의 트랜지스터;

상기 트랜지스터 위의 층간 절연막; 및

상기 층간 절연막 위의 상기 반도체 층의 표면에 전기적으로 접속되는 전극으로서, 상기 표면은 상기 제 1 기판에 대향하는, 상기 전극을 포함하고;

상기 전극은 발광 물질을 함유하는 상기 층에 전기적으로 접속되는, 발광 장치.

청구항 12

삭제

청구항 13

삭제

청구항 14

제 5 항에 있어서,

상기 제 1 기판 및 상기 제 2 기판은 이방성 도전막에 의해 서로 부착됨으로써, 상기 발광 소자는 상기 화소 회로에 전기적으로 접속되는, 발광 장치.

청구항 15

제 2 항 또는 제 6 항에 있어서,

상기 제 1 기판 및 상기 제 2 기판은 이방성 도전막에 의해 서로 부착됨으로써, 상기 발광 소자는 상기 구동 트랜지스터에 전기적으로 접속되는, 발광 장치.

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

제 1 항에 있어서,

상기 제 1 기판 및 상기 제 2 기판의 각각은 투광성 기판인, 발광 장치.

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

제 1 항에 있어서,

상기 제 1 기판의 수는 하나이고, 상기 제 2 기판의 수는 2개 이상인, 발광 장치.

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

제 1 항에 있어서,

상기 제 1 기판의 수는 2개 이상이고, 상기 제 2 기판의 수는 하나인, 발광 장치.

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

제 1 항, 제 2 항, 제 5 항, 제 6 항 또는 제 11 항 중 어느 한 항에 있어서,

상기 제 1 기판의 수 및 상기 제 2 기판의 수는 2개 이상인, 발광 장치.

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

청구항 50

삭제

청구항 51

삭제

청구항 52

삭제

청구항 53

제 1 기판 위에 발광 소자를 형성하는 단계;

상기 발광 소자 위에 절연막을 형성하는 단계;

제 2 기판 위에 반도체 층을 포함하는 트랜지스터를 형성하는 단계;

상기 반도체 층의 위에서 상기 반도체 층의 표면과 접하는 배선을 형성하는 단계로서, 상기 표면은 상기 제 1 기판과 대향하는, 상기 배선을 형성하는 단계; 및

상기 제 1 기판 및 상기 제 2 기판이 서로 대향하도록 상기 제 1 기판 및 상기 제 2 기판을 서로 부착시킴으로써, 상기 발광 소자를 상기 배선에 전기적으로 접속시키는 단계를 포함하는, 발광 장치 제조 방법.

청구항 54

삭제

청구항 55

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0045] 본 발명은 발광 장치 및 이의 제조 방법에 관한 것이다.
- [0046] 종래, 발광 소자들을 갖는 발광 장치는 다음 단계들, 1) 반도체 공정을 이용함으로써 유리 기판과 같은 기판 위의 발광 소자들을 구동하는 반도체 회로(semiconductor circuit)를 형성하는 단계, 2) 상기 반도체 회로 위에 절연막(insulating film)(평탄화 막(planarizing film))을 형성하는 단계, 및 3) 상기 절연막 위에 발광 소자들을 형성하는 단계를 통해서 형성된다. 즉, 발광 소자들을 구동하는 반도체 회로 및 발광 소자들은 하부로부터 순서대로 기판 위에 층들을 적층함으로써 형성된다.
- [0047] 종래의 제조 공정을 통해서 제조된 발광 장치가 발광 소자들을 구동하는 반도체 회로 위에 절연막 및 상기 절연막 위에 발광 소자들을 갖기 때문에, 상기 발광 소자들 아래의 층에 형성되는 소자들 또는 배선들로부터 야기되는 단차들(steps)(불규칙들)이 존재한다(참조 1: 일본 특허 공개 H8-234683). 그러므로, 발광 소자들을 형성하는 영역이 제한되었다.
- [0048] 게다가, 발광 소자들 아래의 층에 형성되는 소자들 또는 배선들로부터 야기되는 단차들로 인해 커버리지 결함(coverage defect)이 발생되는 경우가 있을 수 있다. 이와 같은 커버리지 결함은 포인트 결함(point defect), 라인 결함(line defect) 등을 야기할 수 있다.

발명이 이루고자 하는 기술적 과제

- [0049] 본 발명의 목적은 발광 장치를 형성시 포인트 결함 및 라인 결함을 방지하여 수율을 개선시키고자 하는 것이다. 본 발명의 또 다른 목적은 단차가 없는 평坦면을 최대한 효율적으로 이용함으로써 발광 소자를 형성하는 것이다.

발명의 구성 및 작용

- [0050] 본 발명의 발광 장치는 다른 기판들 위에 형성되지만 전기적으로 접속되는 발광 소자 및 상기 발광 소자의 구동 회로를 포함한다. 즉, 다른 기판들 위에 발광 소자 및 상기 발광 소자의 구동 회로를 제공한 후, 이들은 전기적으로 접속된다.
- [0051] 발광 소자가 능동 매트릭스 발광-소자 장치 및 수동 매트릭스 발광-장치를 포함하고, 본 발명의 발광 장치가 이를 중 어느 하나에 적용될 수 있다는 점에 유의하라.
- [0052] 게다가, 발광 소자는 유기 EL 소자 및 무기 EL 소자를 포함하고, 이들 중 어느 하나는 본 발명에서 사용될 수 있다.
- [0053] 본 발명의 발광 장치는, 발광 소자가 형성되는 제 1 기판, 및 발광 소자를 구동하는 화소 회로(pixel circuit)가 형성되는 제 2 기판을 포함하고, 상기 제 2 기판은 상기 제 1 기판과 대향하도록 설치된다. 상기 발광 소자는 상기 화소 회로에 전기적으로 접속된다.
- [0054] 본 발명의 발광 장치는, 발광 소자가 형성되는 제 1 기판, 및 상기 발광 소자를 구동하는 화소 회로가 형성되는

제 2 기판을 포함하고, 상기 제 2 기판은 밀봉 기판으로서 기능하고 상기 발광 소자가 형성되는 상기 제 1 기판의 표면과 대향하도록 설치된다. 상기 발광 소자는 상기 화소 회로에 전기적으로 접속된다.

[0055] 본 발명의 발광 장치는 발광 소자가 형성되는 제 1 기판, 상기 발광 소자를 구동하는 화소 회로가 형성되고 상기 발광 소자가 형성되지 않는 제 1 기판의 표면과 대향하도록 설치되는 제 2 기판, 및 밀봉 기판으로서 기능하고 상기 발광 소자가 형성되지 않는 상기 제 1 기판의 표면과 대향하도록 설치되는 제 3 기판을 포함한다. 상기 발광 소자는 상기 화소 회로에 전기적으로 접속된다.

[0056] 본 발명의 발광 장치는, 발광 소자가 형성되는 제 1 기판, 및 상기 발광 소자를 구동하는 로우 구동기(row driver) 및 칼럼 구동기(column driver)가 형성되는 제 2 기판을 포함하고, 상기 제 2 기판은 밀봉 기판으로서 기능하고 상기 제 1 기판과 대향하도록 설치된다. 상기 발광 소자는 상기 로우 구동기 또는 상기 칼럼 구동기에 전기적으로 접속된다.

[0057] 본 발명의 발광 장치는, 발광 소자가 형성되는 제 1 기판, 및 이미지 센서와 상기 발광 소자를 구동하는 화소 회로가 형성되는 제 2 기판을 포함하고, 상기 제 2 기판은 상기 제 1 기판과 대향하도록 설치된다. 상기 발광 소자는 상기 화소 회로에 전기적으로 접속된다.

[0058] 본 발명의 발광 장치는, 발광 소자 및 이미지 센서가 형성되는 제 1 기판, 및 상기 발광 소자를 구동하는 화소 회로가 형성되는 제 2 기판을 포함하고, 상기 제 2 기판은 상기 제 1 기판과 대향하도록 설치된다. 상기 발광 소자는 상기 화소 회로에 전기적으로 접속된다.

[0059] 본 발명의 발광 장치는 제 1 기판 및 상기 제 1 기판과 대향하도록 설치되는 제 2 기판을 포함한다. 발광 소자의 제 1 전극은 상기 제 1 기판 위에 형성되고, 발광 물질(light-emitting substance)을 함유하는 층은 상기 발광 소자의 상기 제 1 전극 위에 형성된다. 상기 발광 소자를 구동하는 구동 트랜지스터(driving transistor)는 상기 제 2 기판 위에 형성되며, 충간 절연막(interlayer insulating film)은 상기 구동 트랜지스터 위에 형성되고, 상기 구동 트랜지스터의 소스 영역 또는 드레인 영역에 전기적으로 접속되는 전극은 상기 충간 절연막 위에 형성된다. 상기 구동 트랜지스터의 소스 영역 또는 드레인 영역에 전기적으로 접속되는 전극은 발광 물질을 함유하는 층에 전기적으로 접속된다.

[0060] 본 발명의 발광 장치의 기판은 가요성(flexible)일 수 있다. 이 경우에, 상기 발광 장치의 기판은 $100\mu\text{m}$ 이하, 또는 바람직하게는 20 내지 $50\mu\text{m}$ 의 두께를 갖도록 형성될 수 있다.

[0061] 본 발명의 발광 장치는, 발광 소자가 형성되는 제 1 기판, 및 상기 발광 소자를 구동하는 화소 회로를 포함하는 막을 포함하고, 상기 막은 상기 제 1 기판과 대향하도록 설치된다. 상기 발광 소자는 상기 화소 회로에 전기적으로 접속된다. 이 경우에는, 상기 제 1 기판은 $100\mu\text{m}$ 이하, 또는 바람직하게는 20 내지 $50\mu\text{m}$ 의 두께를 갖도록 형성될 수 있다.

[0062] 본 발명의 발광 장치의 제조 방법은, 제 1 기판 위에 발광 소자를 형성하는 단계, 제 2 기판 위의 상기 발광 소자를 구동하는 화소 회로를 형성하는 단계, 및 상기 제 1 기판과 상기 제 2 기판이 서로 대향하도록 상기 제 1 기판과 제 2 기판을 서로 부착시킴으로써, 상기 발광 소자를 상기 화소 회로에 전기적으로 접속시키는 단계를 포함한다.

[0063] 본 발명의 발광 장치의 제조 방법은, 제 1 기판 위에 발광 소자를 형성하는 단계, 제 2 기판 위에 박리층(separation layer)을 형성하는 단계, 상기 박리층 위에 상기 발광 소자를 구동하는 화소 회로를 포함하는 층을 형성하는 단계, 상기 제 2 기판으로부터 상기 발광 소자를 구동하는 상기 화소 회로를 포함하는 층을 분리하는 단계, 및 상기 제 1 기판과 상기 발광 소자를 구동하는 상기 화소 회로를 포함하는 층이 서로 대향하도록 상기 제 1 기판과 상기 발광 소자를 구동하는 상기 화소 회로를 포함하는 층을 서로 부착시킴으로써, 상기 발광 소자를 상기 화소 회로에 전기적으로 접속시키는 단계를 포함한다.

[0064] 본 발명의 발광 장치의 제조 방법은, 제 1 기판 위에 발광 소자를 형성하는 단계, 제 2 기판 위의 상기 발광 소자를 구동하는 화소 회로를 포함한 층을 형성하는 단계, 상기 제 2 기판이 더욱 얇게 되도록 처리하는 단계, 및 상기 제 1 기판과 상기 제 2 기판이 서로 대향하도록 상기 제 1 기판과 상기 제 2 기판을 서로 부착시킴으로써 상기 발광 소자를 상기 화소 회로에 전기적으로 접속시키는 단계를 포함한다. 이 경우에, 상기 제 2 기판은 자신을 얇게 하는 처리에 의해 $100\mu\text{m}$ 이하의 두께를 갖도록 처리될 수 있다.

[0065] 본 발명에서, 발광 소자 및 상기 발광 소자의 구동 회로는 다른 기판 위에 형성됨으로, 상기 발광 소자를 형성하는 단계 및 상기 발광 소자의 구동 회로를 형성하는 단계는 별도로 수행된다. 그러므로, 각 단계의 자유도는

증가될 수 있고, 이 공정은 유연하게 변경될 수 있다. 종래의 발광 장치가 우선 발광 소자의 구동 회로 위에 평탄화 막을 형성하고 나서 그 위에 발광 소자를 형성함으로써 제조되지만, 본 발명의 발광 장치는 발광 소자와 밸광 소자의 구동 회로를 다른 기판들 위에 별도로 형성함으로써 제조된다. 그러므로, 발광 소자를 형성하기 위한 기판상의 단자들(불규칙들)이 종래 기술에 비해 감소될 수 있다. 따라서, 발광 소자 형성시 발생되는 포인트 결함 및 라인 결함과 같은 결함들은 감소될 수 있다. 따라서, 발광 장치 형성시 수율이 개선될 수 있다.

[0066] 본 발명을 실행하는 실시예 모드들 및 실시예들이 후술될 것이다.

[0067] [실시예 모드 1]

[0068] 이 실시예 모드에서, 제 1 기판 위에 형성되는 발광 소자 및 제 2 기판 위에 형성되는 트랜지스터가 전기적으로 접속되는 능동 매트릭스 발광 장치의 제 1 예가 설명된다. 즉, 본 발명의 제 1 기판을 갖는 발광 장치가 능동 매트릭스 발광 장치인 제 1 예가 설명된다.

[0069] 도 10은 능동 매트릭스 발광 장치를 개요적으로 도시한 것이다. 도 10에 도시된 바와 같이, 능동 매트릭스 발광 장치는 소스 신호선들(S1 내지 Sx), 게이트 신호선들(G1 내지 Gy), 화소부(601), 소스 신호선 구동 회로(602) 및 게이트 신호선 구동 회로(603)를 포함한다.

[0070] 도 11은 화소부(601)의 등가 회로도를 도시한 것이다. 이 화소부(601)에서, 소스 신호선들(S1 내지 Sx), 전원 선들(V1 내지 Vx), 및 게이트 신호들(G1 내지 Gy)에 의해 둘러싸여 지도록 형성되는 다수의 화소들(604)은 매트릭스로 배열된다.

[0071] 도 12는 화소(604)의 확대도이다. 이 화소(604)은 화소를 선택하는 스위칭 트랜지스터(605)(지금부터, 스위칭 트랜지스터라 칭함), 발광 소자(607), 이 발광 소자(607)를 구동하는 트랜지스터(606)(지금부터 구동 트랜지스터라 칭함), 및 커패시터(608)를 포함한다.

[0072] 스위칭 트랜지스터(605)의 게이트 전극은 게이트 신호선(G)(G1 내지 Gx)에 접속되고, 스위칭 트랜지스터(605)의 소스 또는 드레인 영역 중 어느 한 영역은 소스 신호선(S)(S1 내지 Sx)에 접속되는 반면에, 다른 한 영역은 구동 트랜지스터(606)의 게이트 전극 및 커패시터(608)의 제 1 전극에 접속된다.

[0073] 커패시터(608)는 스위칭 트랜지스터(605)가 선택되지 않을 때(오프 상태) 구동 트랜지스터(606)의 게이트 전압(게이트 전극 및 소스 영역 간의 전위 차)을 유지하기 위하여 제공된다. 이 실시예 모드가 커패시터(608)를 갖는 구성을 도시하지만, 본 발명은 이에 제한되지 않고 커패시터(608)가 없는 구성이 또한 사용될 수 있다.

[0074] 구동 트랜지스터(606)의 소스 영역 또는 드레인 영역 중 한 영역은 전원선(V)(V1 내지 Vx)에 접속되는 반면에, 다른 한 영역은 발광 소자(607)의 한 전극에 접속된다. 전원선(V)은 커패시터(608)의 제 2 전극에 접속된다.

[0075] 카운터 전위는 발광 소자(607)의 다른 전극에 공급되는 반면에, 전원 소스는 전원선(V)에 공급된다. 전원 전위 및 카운터 전위는 본 발명의 발광 장치의 외부 IC 등에 제공되는 전원으로부터 공급된다.

[0076] 스위칭 트랜지스터(605) 및 구동 트랜지스터(606) 각각은 n-채널 트랜지스터 또는 p-채널 트랜지스터 중 어느 하나일 수 있다. 그러나, 구동 트랜지스터(606)의 소스 또는 드레인 영역이 발광 소자(607)의 애노드에 접속될 때 구동 트랜지스터(606)는 p-채널 트랜지스터가 바람직하다. 다른 한편으로, 구동 트랜지스터(606)의 소스 또는 드레인 영역이 발광 소자(607)의 캐소드에 접속될 때 구동 트랜지스터(606)는 n-채널 트랜지스터가 바람직하다.

[0077] 스위칭 트랜지스터(605) 및 구동 트랜지스터(606) 각각은 이중-게이트 구조 또는 삼중-게이트 구조와 같은 다중-게이트 구조뿐만 아니라 단일-게이트 구조를 가질 수 있다.

[0078] 이 실시예 모드에서 상술된 구성을 갖는 능동 매트릭스 발광 장치에서, 발광 소자(607)는 제 1 기판 위에 형성되는 반면에, 발광 소자(607)를 구동하는 화소 회로(609)는 제 2 기판 위에 형성된다. 그 후, 발광 소자(607) 및 이 발광 소자(607)를 구동하는 화소 회로(609)는 전기적으로 접속된다. 즉, 발광 소자(607)는 제 1 기판 위에 형성되는 반면에, 화소 회로(609)에 포함되는 소스 신호 라인들(S1 내지 Sx), 게이트 신호 라인들(G1 내지 Gy), 전원 라인들(V1 내지 Vx), 스위칭 트랜지스터(605), 구동 트랜지스터(606), 및 커패시터(608)는 제 2 기판 위에 형성된다. 그 후, 발광 소자(607) 및 구동 트랜지스터(606)는 전기적으로 접속된다.

[0079] 도 1은 이 실시예 모드의 발광 장치의 부분 단면도를 도시한 것이다. 도 1은 화소 회로(609)에 포함되는 트랜지스터들이 박막 트랜지스터들인 경우를 도시한 것이다.

- [0080] 도 1에서, 다수의 발광 소자들(206)이 형성되는 제 1 기판(203), 및 다수의 박막 트랜지스터들(202)이 형성되는 제 2 기판(200)은 서로 대향하도록 설치된다. 이 실시예 모드에서, 제 2 기판(200)이 발광 소자들이 형성되는 제 1 기판(203)의 표면과 대향하도록 제 1 기판(203) 및 제 2 기판(200)은 서로 부착된다. 따라서, 제 2 기판(200)은 밀봉 기판으로서 기능한다.
- [0081] 도 1의 발광 소자(206)는 도 12의 발광 소자(607)에 대응한다. 게다가, 도 1의 박막 트랜지스터(202)는 도 12의 구동 트랜지스터(606)에 대응한다.
- [0082] 제 2 기판 위에 형성되는 박막 트랜지스터들의 구조는 도 1에 도시된 구조로 제한되지 않고, 임의의 공지된 구조의 박막 트랜지스터가 사용될 수 있다는 점에 유의하라.
- [0083] 게다가, 도 1이 화소 회로(609)에 포함되는 각 트랜지스터가 박막 트랜지스터인 경우를 도시하지만, 이는 박막 트랜지스터 이외의 트랜지스터일 수 있다. 예를 들어, 제 2 기판(200) 위의 화소 회로는 제 2 기판(200)으로서 반도체 기판을 이용함으로써 그리고 반도체 기판상에 MOS 트랜지스터 등을 형성함으로써 형성될 수 있다.
- [0084] 도 1의 단면도는 구동 트랜지스터(606)가 제 2 기판(200) 위에 형성되는 일부만을 도시하였지만, 구동 트랜지스터(606)(예를 들어, 스위칭 트랜지스터(605) 및 커패시터(608))이외의 화소 회로(609)내에 포함되는 소자들은 또한 제 2 기판(200) 위에 형성된다.
- [0085] 제 1 기판(203) 및 제 2 기판(200) 각각은 유리 기판, 석영 기판, 또는 투광성 수지 기판과 같은 투광성 기판일 수 있다.
- [0086] 발광 소자(206)로부터 방출된 광은 제 1 기판(203)의 방향으로만 이동하는 구조를 갖도록 발광 소자(206)를 형성하는 경우에, 제 2 기판(200)은 반드시 투광성 기판이 될 필요는 없다는 점에 유의하라. 따라서, 제 2 기판(200)은 투광성을 갖지 않는 수지 기판, 반도체 기판, 세라믹 기판, 또는 금속 기판과 같은 광을 투과하지 않는 기판일 수 있다.
- [0087] 발광 소자(206)로부터 방출된 광이 제 2 기판(200)의 방향으로만 이동하는 구조를 갖도록 발광 소자(206)를 형성하는 경우에, 제 1 기판(203)은 반드시 투광성 기판이 될 필요는 없다. 따라서, 제 1 기판(203)은 투광성을 갖지 않는 수지 기판, 반도체 기판, 세라믹 기판, 또는 금속 기판과 같은 광을 투과하지 않는 기판일 수 있다.
- [0088] 게다가, 제 1 기판(203) 및 제 2 기판(200)은 상술된 기판들일 수 있지만 가요성을 가질 정도로 충분히 얇게 형성될 수 있다.
- [0089] 제 1 기판(203) 위에 형성되는 발광 소자(206)는 제 1 전극(204), 발광 물질을 함유하는 층(208), 및 제 2 전극(209)을 포함한다.
- [0090] 제 1 전극(204)은 모든 발광 소자들을 위한 공통 전극으로서 제 1 기판(203) 위에 형성된다. 그 후, 발광 물질을 함유하는 층(208)은 제 1 전극(204) 위에 형성되고, 제 2 전극(209)은 발광 물질을 함유하는 층(208) 위에 형성된다. 절연막(210)은 제 2 전극(209) 위에 형성되고, 제 2 전극(209)에 전기적으로 접속되는 전극(219)은 절연막(210) 위에 형성된다.
- [0091] 발광 소자(206)로부터 방출된 광이 제 1 기판(203)의 방향으로만 이동하는 구조를 갖도록 발광 소자(206)를 형성하는 경우에, 제 1 전극(204)은 투광성 도전막으로 형성된다. 이 경우에, 제 1 전극(204)은 산화인듐 및 산화아연의 혼합물인 예를 들어 인듐 주석 산화물(ITO) 또는 IZO(인듐 아연 산화물)과 같은 투광성 도전막을, 광을 투과하도록 충분히 얇게 형성되는 금속막을 이용하여 형성될 수 있는 반면에, 제 2 전극(209)은 알루미늄 막(알루미늄 합금 막 및 첨가제를 함유하는 알루미늄 막을 포함)과 같은 금속막을 이용하여 형성될 수 있다.
- [0092] 발광 소자(206)로부터 방출되는 광이 제 2 기판(200)의 방향으로만 이동하는 구조를 갖도록 발광 소자(206)를 형성하는 경우에, 제 2 전극(209)은 투광성 도전막으로 형성된다. 이 경우에, 제 1 전극(204)은 예를 들어 알루미늄 막(알루미늄 합금막 및 첨가제를 함유하는 알루미늄 막을 포함)과 같은 금속막을 이용하여 형성될 수 있는 반면에, 제 2 전극(209)은 예를 들어 인듐 주석 산화물(ITO) 또는 산화인듐 및 산화아연의 혼합물인 IZO(인듐 아연 산화물)과 같은 투광성 도전막, 광을 투과하도록 충분히 얇게 형성되는 금속막, 등을 이용하여 형성될 수 있다.
- [0093] 발광 소자(206)로부터 방출되는 광이 제 1 기판(203) 및 제 2 기판(200)의 두 방향들로 이동하는 구조를 갖도록 발광 소자(206)를 형성하는 경우에, 제 1 전극(204) 및 제 2 전극(209) 각각은 투광성 도전막으로 형성된다. 예를 들어, 제 1 전극(204) 및 제 2 전극(209)은 인듐 주석 산화물(ITO) 또는 산화인듐 및 산화아연의 혼합물인

IZO(인듐 아연 산화물)과 같은 투광성 도전막, 광을 투과하도록 충분히 얇게 형성되는 금속막, 등을 이용하여 형성될 수 있다.

- [0094] 제 1 전극(204) 및 제 2 전극(209)을 위한 재료들은 일 함수들(work functions)을 고려하여 선택될 필요가 있다. 제 1 전극(204) 또는 제 2 전극(209) 중 어느 한 전극이 화소 회로의 기판에 따라서 애노드 또는 캐소드로서 작용할 수 있다.
- [0095] 발광 물질을 함유하는 층(208)은 전압이 발광 재료에 가해질 때 발광하는 발광 재료를 함유하는 층이고, 공지된 층 구조를 가질 수 있다. 발광 소자가 유기 EL 소자일 때, 다음 층 구조들이 예들로서 제공될 수 있다. 예를 들어, 제 1 전극(204)이 애노드로서 사용될 때, HIL(정공 주입 층), HTL(정공 수송층), EML(발광층), ETL(전자 수송층) 및 EIL(전자 주입층)이 제 1 전극(204) 위에 이 순서로 형성될 수 있다. 다른 한편으로, 제 1 전극(204)이 캐소드로서 사용될 때, EIL(전자 주입 층), ETL(전자 수송층), EML(발광층), HTL(정공 수송층) 및 HIL(정공 주입층)이 제 1 전극(204) 위에 이 순서로 형성될 수 있으며, 또는 대안적으로, ETL(전자 수송층), EML(발광층), 및 HTL(정공 수송층)이 이 전극(204) 위에 이 순서로 형성될 수 있다.
- [0096] 발광 물질을 함유하는 층(208)에 포함되는 발광 물질로서, 일종 여기 상태(singlet excited state)로부터 기저 상태(형광 재료)로 리턴시 에너지 변환을 통해서 광을 방출시키는 재료, 및 삼중 여기 상태로부터 기저 상태(인광 재료)로 리턴시 에너지 변환을 통해서 광을 방출시키는 재료가 있다. 발광 물질들 중 어느 한 물질은 본 발명의 발광 장치를 위한 발광 재료로서 사용될 수 있다.
- [0097] 발광 소자(206)를 구동하는 박막 트랜지스터(구동 트랜지스터)(202)는 제 1 기판(203)과 대향하도록 설치되는 제 2 기판(200) 위에 형성된다. 도 1에서, 박막 트랜지스터(202)는 하지막(base film)(201)을 갖는 제 2 기판 위에 형성된 반도체 막(217), 게이트 절연막(216), 및 게이트 전극(215)을 포함하는데, 상기 하지막은 상기 반도체 막과 상기 제 2 기판 간에 삽입되어 있다.
- [0098] 제 1 층간 절연막(220)은 박막 트랜지스터(202) 위에 형성되고, 상기 박막 트랜지스터(202)의 반도체 막(217)에 전기적으로 접속되는 전극(212)은 제 1 층간 전연막(220) 위에 형성된다. 그 후, 제 2 층간 절연막(221)은 전극(212) 위에 형성되고, 상기 전극(212)에 전기적으로 접속되는 전극(218)은 제 2 층간 절연막(221) 위에 형성된다. 따라서, 이 전극(218)은 박막 트랜지스터(202)에 전기적으로 접속된다.
- [0099] 상술된 구조들을 갖는 제 1 기판(203) 및 제 2 기판(200)은 이방성 도전막(anisotropic conductive film; 211)에 의해서 서로에 부착된다. 이방성 도전막(211)으로서, ACP(이방성 도전 페이스트), ACF(이방성 도전막), 등이 예들로서 제공될 수 있다. 제 1 기판(203) 및 제 2 기판(200)을 이방성 도전막(211)에 의해 서로 부착함으로써, 전극들(218, 219)은 이방성 도전막(211)에 포함되는 도전 입자(205)를 통해서 전기적으로 접속된다. 즉, 제 1 기판(203) 위에 형성되는 발광 소자(206) 및 제 2 기판(200) 위에 형성되는 박막 트랜지스터(202)는 전기적으로 접속된다.
- [0100] 도 1은 이방성 도전막(211)에 의해 제 1 기판(203) 및 제 2 기판(200)이 서로에 부착됨으로써 전극들(218, 219)이 전기적으로 접속되는 예를 도시하지만, 전극들(218, 219)을 전기적으로 접속시키는 방법은 특히 이에 제한되지 않고, 임의의 공지된 접속 방법이 사용될 수 있다. 예를 들어, 전극들(218, 219)은 NCP(비도전 페이스트) 또는 초음파들에 의한 공용 결합(eutectic bonding)에 의해 전기적으로 접속될 수 있다.
- [0101] 게다가, 스페이서는 제 1 기판(203) 및 제 2 기판(200)이 서로에 부착될 때 적절하게 제 1 기판(203) 및 제 2 기판(200) 간에 제공될 수 있다.
- [0102] 도 1이 발광 소자(206)의 제 1 전극(204) 및 전원 간의 접속을 특별히 도시하지 않지만, 화소부(601) 주위 또는 소스 신호선 구동 회로(602) 및 게이트 신호선 구동 회로(603)의 외부 영역 내 제 1 전극(204)에 전기적으로 접속되는 접속 단자를 제공함으로써 그리고 IC 등 내에 제공된 외부 전원에 접속 단자를 접속시킴으로써, 카운터 전위는 제 1 전극(204)에 공급된다.
- [0103] 도 12에 도시된 화소 회로(609)가 각 화소에 제공된 발광 소자를 구동하는 화소 회로의 예로서 사용되는 경우가 상술되었지만, 이 구조는 이로 제한되지 않는다. 도 12에 도시된 화소 회로(609)의 구조는 단지 예시를 위한 것임으로, 이 실시예 모드는 각종 다른 화소 회로들에서 구현될 수 있다.
- [0104] 도 12에 도시된 화소 회로(609)는 발광 소자(607)가 발광 소자(607)를 구동하는 박막 트랜지스터로서 구동 트랜지스터(606)에 접속되는 회로 구성을 갖는다. 따라서, 발광 소자(607) 및 구동 트랜지스터(606)는 이방성 도전막을 통해서 전기적으로 접속된다. 따라서, 본 발명을 다른 화소 회로 구성들에 적용시, 발광 소자에 접속되어

야 하는 소자는 이방성 도전막을 통해서 발광 소자에 전기적으로 접속되는 것만이 필요로 된다. 대부분의 화소 회로들에서, 발광 소자에 접속되는 소자는 발광 소자를 구동하는 박막 트랜지스터이다. 따라서, 대부분의 경우들에, 발광 소자 및 상기 발광 소자를 구동하는 트랜지스터는 이방성 도전막을 통해서 전기적으로 접속된다.

- [0105] 도 1에 도시된 단면 구조를 갖는 발광 장치의 제 1 기판(203) 위의 구성요소들의 제조 단계들이 후술된다.
- [0106] 우선, 도 24a에 도시된 바와 같이, 제 1 전극(204)은 제 1 기판(203) 위에 형성된다. 제 1 전극(204)은 발광 소자의 구조에 따라서 적절하게 선택되는 상술된 재료들로 형성될 수 있다.
- [0107] 그 후, 도 24b에 도시된 바와 같이, 발광 물질을 함유하는 층(208)은 금속 마스크를 이용하는 증착에 의해 제 1 전극(204) 위에 형성된다. 그 후, 제 2 전극(209)은 금속 마스크를 이용하는 증착에 의해 발광 물질을 함유하는 층(208) 위에 형성된다. 발광 물질을 함유하는 층(208) 및 제 2 전극(209)을 형성하는 방법으로서, 금속 마스크를 이용하는 방법 이외에도 잉크-젯 방법, 인쇄, 등이 사용될 수 있다.
- [0108] 도 24c에 도시된 바와 같이, 제 2 전극(209)을 노출시키는 개구를 갖는 절연막(210)은 제 1 전극(204), 발광 물질을 함유하는 층(208) 및 제 2 전극(209) 위에 형성된다. 절연막(210)은 무기 재료(예를 들어, 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 또는 DLC 막), 감광성 또는 비감광성 유기 재료(예를 들어, 폴리아미드, 아크릴, 폴리아미드 아미드, 폴리아미드, 또는 벤조시클로부텐), 또는 실록산(실리콘(Si) 및 산소(O)의 결합으로 골격 구조(skeletal structure)를 갖는 재료)를 이용하여 단층 구조 또는 적층 구조 중 어느 한 구조를 갖도록 형성될 수 있다. 실록산의 치환기로서, 적어도 수소를 함유하는 유기 그룹(예를 들어, 알킬 그룹 또는 방향족 탄화수소)이 사용된다. 대안적으로, 플루오르 그룹이 치환기로서 사용될 수 있으며, 또는, 플루오르 그룹 및 적어도 수소를 함유하는 유기 그룹 둘 다가 치환기로서 사용될 수 있다. 특히, 질화 실리콘, 산화질화 실리콘, DLC 막 등이 사용될 때, 수분, 산소 및 이외 다른 불순물들이 외부로부터 발광 소자(206)로 침입하는 것을 방지할 수 있다.
- [0109] 그 후, 도 24d에 도시된 바와 같이, 전극(219)은 제 2 전극(209)에 전기적으로 접속되도록 형성된다.
- [0110] 제 2 전극(209)에 전기적으로 접속되는 전극(219)을 형성하는 방법으로서, 도 24c 및 도 24d와 관련하여 설명된 방법 이외에도 다음 방법이 사용될 수 있다.
- [0111] 도 24b에 도시된 상태가 상술된 제조 단계들을 통해서 얻어진 후, 절연막(210)은 도 25a에 도시된 바와 같이 제 1 전극(204), 발광 물질을 함유하는 층(208), 및 제 2 전극(209) 위에 형성되고 나서, 도전막(230)은 1 내지 수십 μm 또는 바람직하게는 10 내지 20 μm 의 두께를 갖도록 절연막(210) 위에 형성된다. 도전막(230)은 예를 들어 납땜 또는 Au 페이스트, Ag 페이스트 Cu 페이스트, Ni 페이스트 또는 Al 페이스트와 같은 도전 재료를 이용하는 스크린 인쇄에 의해 형성될 수 있다.
- [0112] 그 후, 도 25b에 도시된 바와 같이, 도전막(230)은 레이저로 조사된다. 이 때, 레이저 출력은 도전막(230)이 절연막(210)을 통하여 제 2 전극(209)에 도달되도록 조정된다. 따라서, 제 2 전극(209)에 전기적으로 접속되는 전극(219)은 도 25c에 도시된 바와 같이 형성된다.
- [0113] 이 실시예 모드는 적절하게는 다른 실시예 모드들에 설명된 기술들과 결합하여 구현될 수 있다.
- [0114] [실시예 모드 2]
- [0115] 이 실시예 모드에서, 제 1 기판 위에 형성된 발광 소자 및 제 2 기판 위에 형성되는 트랜지스터가 전기적으로 접속되는 능동 매트릭스 발광 장치의 제 2 예가 설명된다. 즉, 본 발명의 제 1 구조를 갖는 발광 장치가 능동 매트릭스 발광 장치인 경우의 제 2 예가 설명된다.
- [0116] 이 실시예 모드에서 발광 장치는 실시예 모드 1에 도시된 단면 구조와 상이한 단면 구조를 갖는 발광 소자를 갖는다. 실시예 모드 1에서처럼 화소 회로의 예시적인 구성으로서 도 12에 도시된 화소 회로(609)를 이용하여 설명이 행해진다는 점에 유의하라.
- [0117] 이 실시예 모드에서 도시된 발광 장치에서, 제 2 기판 위의 구성요소들의 구조는 실시예 모드 1의 구조와 유사하므로, 제 2 기판의 설명은 생략되고, 실시예 모드 1의 구성요소들과 동일한 구성요소들에는 동일한 참조 번호들이 병기된다.
- [0118] 이 실시예 모드에서, 화소 회로(609)에 포함되는 트랜지스터들은 실시예 모드 1에서처럼 박막 트랜지스터를 이외의 트랜지스터들일 수 있다. 예를 들어, 제 2 기판 위의 화소 회로는 제 2 기판으로서 반도체 기판을 이용하고 MOS 트랜지스터 등을 반도체 기판상에 형성함으로써 형성될 수 있다.

- [0119] 도 2는 이 실시예 모드에서 발광 장치의 부분 단면도를 도시한 것이다. 도 2에서, 다수의 발광 소자들(306)이 형성된 제 1 기판(303), 및 다수의 박막 트랜지스터들(202)이 형성되는 제 2 기판(200)이 서로에 대향하도록 설치된다. 이 실시예 모드에서, 제 2 기판(200)이 발광 소자들이 형성되는 제 1 기판(303)의 표면에 마주보도록 제 1 기판(303) 및 제 2 기판(200)은 서로 부착된다는 점에 유의하라. 따라서, 제 2 기판(200)은 밀봉 기판으로서 기능한다.
- [0120] 도 2의 발광 소자(306)는 도 12의 발광 소자(607)에 대응한다. 게다가, 도 2의 박막 트랜지스터(202)는 도 12의 구동 트랜지스터(606)에 대응한다.
- [0121] 제 1 기판(303) 및 제 2 기판(200) 중 어느 한 기판이 유리 기판, 석영 기판 또는 투광성 수지 기판과 같은 투광성 기판일 수 있다. 발광 소자(306)로부터 방출된 광이 제 1 기판(303)의 방향으로만 이동하는 구조를 갖도록 발광 소자(306)를 형성하는 경우에, 제 2 기판(200)은 반드시 투광성 기판이 될 필요는 없다는 점에 유의하라. 따라서, 제 2 기판(200)은 투광성을 갖지 않는 수지 기판, 반도체 기판, 세라믹 기판, 또는 금속 기판과 같이 광을 투과하지 않는 기판일 수 있다.
- [0122] 발광 소자(306)로부터 방출된 광이 제 2 기판(200)의 방향으로만 이동하는 구조를 갖도록 발광 소자(306)를 형성하는 경우에, 제 1 기판(203)은 반드시 투광성 기판이 될 필요는 없다. 따라서, 제 1 기판(303)은 투광성을 갖지 않는 수지 기판, 반도체 기판, 세라믹 기판, 또는 금속 기판과 같은 광을 투과하지 않는 기판일 수 있다.
- [0123] 게다가, 제 1 기판(303) 및 제 2 기판(200)은 상술된 기판들일 수 있지만 가요성을 가질 정도로 충분히 얇게 형성될 수 있다.
- [0124] 제 1 기판(303) 위에 형성되는 발광 소자(306)는 제 1 전극(304), 발광 물질을 함유하는 층(308), 및 제 2 전극(309)을 포함한다.
- [0125] 제 1 전극(304)은 제 1 기판(303) 위에 형성된다. 그 후, 제 1 절연막(307)은 제 1 전극(304)의 에지들을 커버하도록 제 1 기판(303) 위에 형성된다. 그 후, 발광 물질을 함유하는 층(308)은 제 1 전극(304) 위에 형성되고, 제 2 전극(309)은 발광 물질을 함유하는 층(308) 위에 형성된다. 발광 물질을 함유하는 층(308) 및 제 2 전극(309)은 제 1 절연막(307) 위에 부분적으로 형성된다. 그 후, 제 2 절연막(310)은 제 2 전극(309) 위에 형성되고, 제 2 전극(309)에 전기적으로 접속되는 전극(319)은 제 1 절연막(307) 위에 위치되는 제 2 절연막(310) 위에 형성된다.
- [0126] 제 1 전극(304) 및 제 2 전극(309) 등을 위하여 사용되는 물질들은 실시예 모드 1에서 설명된 물질들로부터 선택된다. 게다가, 발광 물질을 함유하는 층(308)은 실시예 모드 1에서 설명된 바와 같은 공지된 층 구조를 가질 수 있다.
- [0127] 상술된 구조들을 갖는 제 1 기판(303) 및 제 2 기판(200)은 이방성 도전막(211)에 의해 서로에 부착된다. 이방성 도전막(211)으로서, ACP(이방성 도전 페이스트), ACF(이방성 도전막), 등이 예들로서 제공될 수 있다. 제 1 기판(303) 및 제 2 기판(200)을 이방성 도전막(211)에 의해 서로 부착함으로써, 전극들(218, 319)은 이방성 도전막(211)에 포함되는 도전 입자(205)를 통해서 전기적으로 접속된다. 즉, 제 1 기판(303) 위에 형성되는 발광 소자(306) 및 제 2 기판(200) 위에 형성되는 박막 트랜지스터(202)는 전기적으로 접속된다.
- [0128] 도 2는 이방성 도전막(211)에 의해 제 1 기판(303) 및 제 2 기판(200)이 서로에 부착됨으로써 전극들(218, 319)이 전기적으로 접속되는 예를 도시하지만, 전극들(218, 319)을 전기적으로 접속시키는 방법은 특히 이에 제한되지 않고, 임의의 공지된 접속 방법이 사용될 수 있다. 예를 들어, 전극들(218, 319)은 NCP(비도전 페이스트) 또는 초음파들에 의한 공용 결합에 의해 전기적으로 접속될 수 있다.
- [0129] 게다가, 스페이서는 제 1 기판(303) 및 제 2 기판(200)이 서로에 부착될 때 적절하게 제 1 기판(303) 및 제 2 기판(200) 간에 제공될 수 있다.
- [0130] 도 2가 발광 소자(306)의 제 1 전극(304) 및 전원 간의 접속을 특별히 도시하지 않지만, 화소부(601) 주위 또는 소스 신호선 구동 회로(602) 및 게이트 신호선 구동 회로(603)의 외부 영역 내 제 1 전극(204)에 전기적으로 접속되는 접속 단자를 제공함으로써 그리고 IC 등 내에 제공된 외부 전원에 접속 단자를 접속시킴으로써, 카운터 전위는 제 1 전극(304)에 공급된다.
- [0131] 도 12에 도시된 화소 회로(609)가 각 화소에 제공된 발광 소자를 구동하는 화소 회로의 예로서 사용되는 경우가 상술되었지만, 이 구조는 이로 제한되지 않는다. 도 12에 도시된 화소 회로(609)의 구조는 단지 예시를 위한

것임으로, 이 실시예 모드는 각종 다른 화소 회로들에서 구현될 수 있다.

- [0132] 도 12에 도시된 화소 회로(609)는 발광 소자(607)가 발광 소자(607)를 구동하는 박막 트랜지스터로서 구동 트랜지스터(606)에 접속되는 회로 구성을 갖는다. 따라서, 발광 소자(607) 및 구동 트랜지스터(606)는 이방성 도전막을 통해서 전기적으로 접속된다. 따라서, 본 발명을 다른 화소 회로 구성들에 적용시, 발광 소자에 접속되어야 하는 소자는 이방성 도전막을 통해서 발광 소자에 전기적으로 접속되는 것만이 필요로 된다. 대부분의 화소 회로들에서, 발광 소자에 접속되는 소자는 발광 소자를 구동하는 박막 트랜지스터이다. 따라서, 대부분의 경우들에, 발광 소자 및 상기 발광 소자를 구동하는 트랜지스터는 이방성 도전막을 통해서 전기적으로 접속된다.
- [0133] 도 2에 도시된 단면 구조를 갖는 발광 장치의 제 1 기판(303) 위의 구성요소들의 제조 단계들이 후술된다.
- [0134] 우선, 도 26a에 도시된 바와 같이, 제 1 전극(304)은 제 1 기판(303) 위에 형성되고 나서, 제 1 절연막(307)은 제 1 전극(304)의 에지들을 커버하도록 형성된다.
- [0135] 제 1 전극(304)은 발광 소자의 구조에 따라서 적절하게는 실시예 모드 1에 서술된 재료들을 선택함으로써 형성될 수 있다.
- [0136] 제 1 절연막(307)은 무기 재료(예를 들어, 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 또는 DLC 막), 감광성 또는 비감광성 유기 재료(예를 들어, 폴리아미드, 아크릴, 폴리아미드 아미드, 레지스트 또는 벤조시클로부텐), 또는 실록산(실리콘(Si) 및 산소(O)의 결합으로 골격 구조를 갖는 재료)를 이용하여 단층 구조 또는 적층 구조 중 어느 한 구조를 갖도록 형성될 수 있다. 실록산의 치환기로서, 적어도 수소를 함유하는 유기 그룹(예를 들어, 알킬 그룹 또는 방향족 탄화수소)이 사용된다. 대안적으로, 플루오르 그룹이 치환기로서 사용될 수 있으며, 또는, 폴루오르 그룹 및 적어도 수소를 함유하는 유기 그룹 둘 다가 치환기로서 사용될 수 있다. 제 1 절연막(307)은 곡률 반경이 연속적으로 변화하는 형상을 갖는 것이 바람직하다. 이와 같은 형상을 형성함으로써, 발광 물질을 함유하는 층(308)을 갖는 제 1 절연막(307) 및 제 2 전극(309)의 커버리지가 개선될 수 있다.
- [0137] 다음에, 도 26b에 도시된 바와 같이, 발광 물질을 함유하는 층(308)은 금속 마스크를 이용하는 증착에 의해 제 1 전극(304) 및 제 1 절연막(307) 위에 형성되고 나서, 제 2 전극(309)은 금속 마스크를 이용하는 증착에 의해 발광 물질을 함유하는 층(308) 위에 형성된다. 발광 물질을 함유하는 층(308) 및 제 2 전극(309)을 형성하는 방법으로서, 금속 마스크를 사용하는 방법 이외에 잉크-젯 방법, 인쇄 등이 사용될 수 있다.
- [0138] 도 26c에 도시된 바와 같이, 제 2 절연막(310)은 제 2 전극(309) 및 제 1 절연막(307) 위에 형성된다. 제 2 절연막(310)은 무기 재료(예를 들어, 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 또는 DLC 막), 감광성 또는 비감광성 유기 재료(예를 들어, 폴리아미드, 아크릴, 폴리아미드 아미드, 레지스트 또는 벤조시클로부텐), 또는 실록산(실리콘(Si) 및 산소(O)의 결합으로 골격 구조를 갖는 재료)를 이용하여 단층 구조 또는 적층 구조 중 어느 한 구조를 갖도록 형성될 수 있다. 실록산의 치환기로서, 적어도 수소를 함유하는 유기 그룹(예를 들어, 알킬 그룹 또는 방향족 탄화수소)이 사용된다. 대안적으로, 폴루오르 그룹이 치환기로서 사용될 수 있으며, 또는, 폴루오르 그룹 및 적어도 수소를 함유하는 유기 그룹 둘 다가 치환기로서 사용될 수 있다. 특히, 질화 실리콘, 산화질화 실리콘, DLC 막 등이 사용될 때, 수분, 산소 및 이외 다른 불순물들이 외부로부터 발광 소자(306)로 침입하는 것을 방지할 수 있다.
- [0139] 그 후, 도 26d에 도시된 바와 같이, 도전막(320)은 1 내지 수십 μm 또는 바람직하게는 10 내지 20 μm 의 두께를 갖도록 제 1 절연막(307) 위에 위치되는 제 2 절연막(310) 위에 형성된다. 이 도전막(320)은 예를 들어 납땜 또는 Au 페이스트, Ag 페이스트, Cu 페이스트, Ni 페이스트 또는 Al 페이스트와 같은 도전 재료를 이용하는 스크린 인쇄에 의해 형성될 수 있다.
- [0140] 그 후, 도전막(320)은 레이저로 조사된다. 이때, 레이저 출력은 도전막(320)이 제 2 절연막(310)을 통과하고 제 1 절연막(307)이 제 2 전극(309)에 도달되도록 조정된다. 따라서, 제 1 전극(304)에 전기적으로 접속되는 전극(319)은 도 27c에 도시된 바와 같이 형성된다.
- [0141] 이 실시예 모드는 적절하게는 다른 실시예 모드들에 설명된 기술들과 결합하여 구현될 수 있다.
- [0142] [실시예 모드 3]
- [0143] 이 실시예 모드에서, 제 1 기판 위에 형성된 발광 소자 및 제 2 기판 위에 형성되는 트랜지스터가 전기적으로 접속되는 능동 매트릭스 발광 장치의 제 3 예가 설명된다. 즉, 본 발명의 제 1 구조를 갖는 발광 장치가 능동

매트릭스 발광 장치인 경우의 제 3 예가 설명된다.

- [0144] 이 실시예 모드에서 발광 장치는 실시예 모드들 1 및 2에 도시된 단면 구조와 상이한 단면 구조를 갖는 발광 소자를 갖는다. 실시예 모드들 1 및 2에서처럼 화소 회로의 예시적인 구성으로서 도 12에 도시된 화소 회로(609)를 이용하여 설명이 행해진다는 점에 유의하라.
- [0145] 이 실시예 모드에서 도시된 발광 장치에서, 제 2 기판 위의 구성요소들의 구조는 실시예 모드 1의 구조와 유사함으로, 제 2 기판의 설명은 생략되고, 실시예 모드 1의 구성요소들과 동일한 구성요소들에는 동일한 참조 번호들이 병기된다.
- [0146] 이 실시예 모드에서, 화소 회로(609)에 포함되는 트랜지스터들은 실시예 모드 1에서처럼 박막 트랜지스터들 이외의 트랜지스터들일 수 있다. 예를 들어, 제 2 기판 위의 화소 회로는 제 2 기판으로서 반도체 기판을 이용하고 MOS 트랜지스터 등을 반도체 기판 위에 형성함으로써 형성될 수 있다.
- [0147] 도 3은 이 실시예 모드에서 발광 소자의 부분 단면도를 도시한 것이다. 도 3에서, 다수의 발광 소자들(306)이 형성된 제 1 기판(403) 및 다수의 박막 트랜지스터들(202)이 형성되는 제 2 기판(200)이 서로에 대향하도록 설치된다. 게다가, 제 3 기판(420)은 제 1 기판(403)과 대향하도록 설치된다.
- [0148] 실시예 모드들 1 및 2 각각이 발광 소자가 형성되는 제 1 기판의 표면이 제 2 기판과 대향하도록 설치되는 구조를 도시하지만, 이 실시예 모드는 발광 소자가 형성되지 않는 제 1 기판의 표면이 제 2 기판과 대향하도록 설치된 구조를 도시한다. 따라서, 밀봉 기능을 갖는 제 3 기판(420)은 발광 소자들이 형성되는 제 1 기판(403)의 표면과 대향하도록 설치되어 발광 소자들이 형성되는 제 1 기판(403)의 표면을 밀봉한다.
- [0149] 도 3의 발광 소자(406)는 도 12의 발광 소자(607)에 대응한다. 게다가, 도 3의 박막 트랜지스터(202)는 도 12의 구동 트랜지스터(606)에 대응한다.
- [0150] 구동 트랜지스터(606)가 제 2 기판(200) 위에 형성되는 일부분만을 도 3의 단면도가 도시하지만, 구동 트랜지스터(606)(예를 들어, 스위칭 트랜지스터(605) 및 커패시터(608))이외의 화소 회로(609)에 포함되는 소자들은 또한 제 2 기판(200) 위에 형성된다.
- [0151] 제 1 기판(403), 제 2 기판(200), 및 제 3 기판(420) 각각은 유리 기판, 석영 기판, 또는 투광성 수지 기판과 같은 투광성 기판일 수 있다. 이 실시예 모드에서, 제 1 기판(403)은 바람직하게는 $100\mu\text{m}$ 보다 두껍게 되지 않도록, 더욱 바람직하게는 20 내지 $50\mu\text{m}$ 의 범위에 있도록 형성되는데, 그 이유는 발광 소자의 전극들 중 한 전극에 전기적으로 접속되는 전극이 발광 소자가 형성되지 않는 제 1 기판(403)의 측면 상에 형성되기 때문이다.
- [0152] 발광 소자(406)로부터 방출되는 광이 제 3 기판(420)의 방향으로만 이동하는 구조를 갖도록 발광 소자(406)를 형성하는 경우에, 제 1 기판(403) 및 제 2 기판(200)은 반드시 투광성 기판이 될 필요는 없다는 점에 유의하라. 따라서, 제 1 기판(402) 및 제 2 기판(200) 각각은 투광성을 갖지 않는 수지 기판, 반도체 기판, 세라믹 기판, 또는 금속 기판과 같은 광을 투과하지 않는 기판일 수 있다.
- [0153] 발광 소자(406)로부터 방출된 광이 제 2 기판(200)의 방향으로만 이동하는 구조를 갖도록 발광 소자(406)를 형성하는 경우에, 제 3 기판(420)은 반드시 투광성 기판이 될 필요는 없다. 따라서, 제 3 기판(420)은 투광성을 갖지 않는 수지 기판, 반도체 기판, 세라믹 기판, 또는 금속 기판과 같은 광을 투과하지 않는 기판일 수 있다.
- [0154] 게다가, 제 1 기판(403) 및 제 2 기판(200)은 상술된 기판들일 수 있지만 가요성을 가질 정도로 충분히 얇게 형성될 수 있다.
- [0155] 제 1 기판(403) 위에 형성되는 발광 소자(406)는 제 1 전극(404), 발광 물질을 함유하는 층(408), 및 제 2 전극(209)을 포함한다.
- [0156] 제 1 절연막(407)은 제 1 전극(404)의 에지들을 커버하도록 형성된다. 그 후, 발광 물질을 함유하는 층(408)은 제 1 전극(404) 및 제 1 절연막(407) 위에 형성되고, 제 2 전극(409)은 발광 물질을 함유하는 층(408) 위에 형성된다. 따라서, 발광 물질을 함유하는 층(408) 및 제 2 전극(409)은 제 1 절연막(407) 위에 부분적으로 형성된다. 제 2 전극(409)이 모든 발광 소자들을 위한 공통 전극으로서 형성된다.
- [0157] 제 1 전극(404)에 전기적으로 접속되는 전극(419)은 발광 소자(406)가 형성되지 않는 제 1 기판(403)의 측면 상에 형성된다.
- [0158] 제 1 기판(403)은 제 3 기판(420)에 의해 밀봉된다. 도 3에서, 밀봉 기능을 갖는 제 3 기판(420)은 접착제

(411)에 의해 제 1 기판(403)에 부착되어, 제 3 기판(420)이 발광 소자(406)가 형성되는 제 1 기판(403)의 표면과 대향하도록 한다. 도 3이 제 1 기판(403) 및 제 3 기판(420) 간의 전체 캡에 형성되는 접착제(411)에 의해 제 1 기판(403) 및 제 3 기판(420)이 서로 부착되는 경우를 도시하지만, 다른 공지된 밀봉 방법들이 또한 사용될 수 있다.

[0159] 제 1 전극(404) 및 제 2 전극(409) 등을 위하여 사용되는 재료들이 실시예 모드 1에서 서술된 재료들로부터 선택될 수 있다는 점에 유의하라. 게다가, 발광 물질을 함유하는 층(408)은 실시예 모드 1에서 서술된 바와 같은 공지된 층 구조를 가질 수 있다.

[0160] 상술된 구조들을 갖는 제 1 기판(403) 및 제 2 기판(200)은 이방성 도전막(211)에 의해서 서로에 부착된다. 이 방성 도전막(211)으로서, ACP(이방성 도전 페이스트), ACF(이방성 도전막), 등이 예들로서 제공될 수 있다. 제 1 기판(403) 및 제 2 기판(200)을 이방성 도전막(211)에 의해 서로 부착함으로써, 전극들(218, 419)은 이방성 도전막(211)에 포함되는 도전 입자(205)를 통해서 전기적으로 접속된다. 즉, 제 1 기판(403) 위에 형성되는 발광 소자(406) 및 제 2 기판(200) 위에 형성되는 박막 트랜지스터(202)는 전기적으로 접속된다.

[0161] 도 3은 이방성 도전막(211)에 의해 제 1 기판(403) 및 제 2 기판(200)이 서로에 부착됨으로써 전극들(218, 419)이 전기적으로 접속되는 예를 도시하지만, 전극들(218, 419)을 전기적으로 접속시키는 방법은 특히 이에 제한되지 않고, 임의의 공지된 접속 방법이 사용될 수 있다. 예를 들어, 전극들(218, 419)은 NCP(비도전 페이스트) 또는 초음파들에 의한 공용 결합에 의해 전기적으로 접속될 수 있다.

[0162] 게다가, 스페이서는 제 1 기판(403) 및 제 2 기판(200)이 서로에 부착될 때 적절하게 제 1 기판(403) 및 제 2 기판(200) 간에 제공될 수 있다.

[0163] 도 3이 발광 소자(406)의 제 1 전극(404) 및 전원 간의 접속을 특별히 도시하지 않지만, 화소부(601) 주위 또는 소스 신호선 구동 회로(602) 및 게이트 신호선 구동 회로(603)의 외부 영역 내 제 1 전극(204)에 전기적으로 접속되는 접속 단자를 제공함으로써 그리고 IC 등 내에 제공된 외부 전원에 접속 단자를 접속시킴으로써, 카운터 전위는 제 1 전극(404)에 공급된다.

[0164] 도 12에 도시된 화소 회로(609)가 각 화소에 제공된 발광 소자를 구동하는 화소 회로의 예로서 사용되는 경우가 상술되었지만, 이 구조는 이로 제한되지 않는다. 도 12에 도시된 화소 회로(609)의 구조는 단지 예시를 위한 것임으로, 이 실시예 모드는 각종 다른 화소 회로들에서 구현될 수 있다.

[0165] 도 12에 도시된 화소 회로(609)는 발광 소자(607)가 발광 소자(607)를 구동하는 박막 트랜지스터로서 구동 트랜지스터(606)에 접속되는 회로 구성을 갖는다. 따라서, 발광 소자(607) 및 구동 트랜지스터(606)는 이방성 도전막을 통해서 전기적으로 접속된다. 따라서, 본 발명을 다른 화소 회로 구성들에 적용시, 발광 소자에 접속되어야 하는 소자는 이방성 도전막을 통해서 발광 소자에 전기적으로 접속되는 것만이 필요로 된다. 대부분의 화소 회로들에서, 발광 소자에 접속되는 소자는 발광 소자를 구동하는 박막 트랜지스터이다. 따라서, 대부분의 경우들에, 발광 소자 및 상기 발광 소자를 구동하는 트랜지스터는 이방성 도전막을 통해서 전기적으로 접속된다.

[0166] 도 3에 도시된 단면 구조를 갖는 발광 장치의 제 1 기판(203) 위의 구성요소들의 제조 단계들이 후술된다.

[0167] 우선, 도 28a에 도시된 바와 같이, 제 1 전극(404)은 제 1 기판(403) 위에 형성되고 나서, 제 1 절연막(407)은 제 1 전극(404)의 에지들을 커버하도록 형성된다.

[0168] 제 1 전극(404)은 발광 소자의 구조에 따라서 적절하게 선택된 상술된 재료들로 형성될 수 있다.

[0169] 제 1 절연막(407)은 무기 재료(예를 들어, 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 또는 DLC 막), 감광성 또는 비감광성 유기 재료(예를 들어, 폴리아미드, 아크릴, 폴리아미드 아미드, 레지스트 또는 벤조시클로부텐), 또는 실록산(실리콘(Si) 및 산소(O)의 결합으로 골격 구조를 갖는 재료)를 이용하여 단층 구조 또는 적층 구조 중 어느 한 구조를 갖도록 형성될 수 있다. 실록산의 치환기로서, 적어도 수소를 함유하는 유기 그룹(예를 들어, 알킬 그룹 또는 방향족 탄화수소)이 사용된다. 대안적으로, 플루오르 그룹이 치환기로서 사용될 수 있으며, 또는, 플루오르 그룹 및 적어도 수소를 함유하는 유기 그룹 둘 다가 치환기로서 사용될 수 있다. 제 1 절연막(407)은 곡률 반경이 연속적으로 변화하는 형상을 갖는 것이 바람직하다. 이와 같은 형상을 형성함으로써, 발광 물질을 함유하는 층(408)을 갖는 제 1 절연막(407) 및 제 2 전극(409)의 커버리지가 개선될 수 있다.

[0170] 다음에, 도 28b에 도시된 바와 같이, 발광 물질을 함유하는 층(408)은 금속 마스크를 이용하는 증착에 의해 제 1 전극(404) 및 제 1 절연막(407) 위에 형성되고 나서, 제 2 전극(409)은 금속 마스크를 이용하는 증착에 의해

발광 물질을 함유하는 층(408) 위에 형성된다. 발광 물질을 함유하는 층(408) 및 제 2 전극(409)을 형성하는 방법으로서, 금속 마스크를 사용하는 방법 이외에 잉크-젯 방법, 인쇄 등이 사용될 수 있다.

[0171] 그 후, 제 2 절연막(410)이 제 2 전극(409) 위에 형성된다. 제 2 절연막(410)은 무기 재료(예를 들어, 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 또는 DLC 막), 감광성 또는 비감광성 유기 재료(예를 들어, 폴리아미드, 아크릴, 폴리아미드, 폴리아미드 아미드, 레지스트 또는 벤조시클로부텐), 또는 실록산(실리콘(Si) 및 산소(O)의 결합으로 골격 구조를 갖는 재료)를 이용하여 단층 구조 또는 적층 구조 중 어느 한 구조를 갖도록 형성될 수 있다. 실록산의 치환기로서, 적어도 수소를 함유하는 유기 그룹(예를 들어, 알킬 그룹 또는 방향족 탄화수소)이 사용된다. 대안적으로, 플루오르 그룹이 치환기로서 사용될 수 있으며, 또는, 플루오르 그룹 및 적어도 수소를 함유하는 유기 그룹 둘 다가 치환기로서 사용될 수 있다. 특히, 질화 실리콘, 산화질화 실리콘, DLC 막 등이 사용될 때, 수분, 산소 및 이외 다른 불순물들이 외부로부터 발광 소자(406)로 침입하는 것을 방지할 수 있다.

[0172] 그 후, 도 28c에 도시된 바와 같이, 제 1 기판(403)은 연삭 수단 또는 연마 수단(430)에 의해 더욱 얇은 형상으로 처리된다. 이때, 제 1 기판(403)은 $100\mu\text{m}$ 또는 이보다 작게, 또는 바람직하게는 20 내지 $50\mu\text{m}$ 만큼 얇게 이루어진다. 연삭 수단 또는 연마 수단이 제 1 기판(403)을 얇게 하도록 사용되지만, 습식 에칭이 또한 사용될 수 있다.

[0173] 가요성 수지 기판 등이 제 1 기판(403)으로 사용되는 경우에, 제 1 기판(403)을 얇게 하는 처리는 필요로 되지 않는다는 점에 유의하라.

[0174] 그 후, 도 28d에 도시된 바와 같이, 도전막(431)은 1 내지 수십 μm 또는 바람직하게는 10 내지 $20\mu\text{m}$ 의 두께를 갖도록 발광 소자들이 형성되는 표면에 대향되는 제 1 기판(403)의 표면 위에 형성된다. 이 도전막(320)은 예를 들어 납땜 또는 Au 페이스트, Ag 페이스트, Cu 페이스트, Ni 페이스트 또는 Al 페이스트와 같은 도전 재료를 이용하는 스크린 인쇄에 의해 형성될 수 있다. 도전막(431)은 제 1 전극(404)을 제 1 기판(403)과 대향하도록 형성되는데, 상기 제 1 기판은 상기 도전막과 상기 전극 간에 삽입되어 있다.

[0175] 그 후, 도전막(431)은 레이저로 조사된다. 이때, 레이저 출력은 도전막(431)이 제 1 기판(403)을 통하여 제 1 전극(404)에 도달되도록 조정된다. 따라서, 제 1 전극(404)에 전기적으로 접속되는 전극(419)은 도 29에 도시된 바와 같이 형성된다.

[0176] 이 실시예 모드는 적절하게는 다른 실시예 모드들에 설명된 기술들과 결합하여 구현될 수 있다는 것을 유의하라.

[실시예 모드 4]

[0178] 이 실시예 모드에서, 이미지 센서가 부가적으로 제 2 기판 위에 형성되는 본 발명의 제 1 구조를 갖는 발광 장치의 일례가 설명된다. 즉, 발광 소자가 형성되는 제 1 기판 및 발광 소자와 이미지 센서를 구동하는 화소 회로가 형성되는 제 2 기판을 갖는 발광 장치의 일 예가 설명되는데, 발광 소자 및 상기 발광 소자를 구동하는 화소 회로가 전기적으로 접속된다.

[0179] 우선, 이 실시예 모드에서 발광 장치의 화소부의 구성이 형성된다. 도 22a는 이 실시예 모드에서 화소부의 예시적인 구성을 도시한 것이다. 화소부(1201)는 매트릭스로 배열된 다수의 화소들을 포함하고, 각 화소(1202)는 발광 소자를 포함하는 부화소 및 이미지 센서를 포함하는 부화소를 갖는다. 각 화소(1202)은 각종 구성들을 가질 수 있고, 다음의 경우들: 한 화소가 R, G, 및 B 칼러들을 지닌 광을 각각 방출하는 발광 소자들을 포함하는 3개의 부화소들(1250 내지 1252) 및 이미지 센서들(도 22b)을 포함하는 3개의 부화소들(1253 내지 1255)인 총 6 개의 부화소들을 갖는 경우; 한 화소가 R, G 및 B 칼러들을 갖는 광을 각각 방출하는 발광 소자들을 포함하는 3 개의 부화소들(1256 내지 1258) 및 이미지 센서(도 22c)를 포함하는 한 부화소인 총 4개의 서브피셀들을 갖는 경우; 및 백색을 갖는 광을 방출하는 발광 소자를 포함하는 한 부화소(1260) 및 이미지 센서(도 22d)를 포함하는 부화소(1261)인 총 2개의 부화소들 갖는 경우가 예들로서 제공될 수 있다.

[0180] 임의의 화소 구성은 이 실시예 모드에서 발광 장치를 위하여 사용될 수 있다. 따라서, 임의의 상술된 구성들은 센서의 감도, 디스플레이 스크린의 휙도 등을 고려함으로써 사용되고 선택된다. 판독 정확도는 이미지 센서들을 포함한 부화소들을 포함하는 많은 수의 부화소들로 개선될 수 있다. 게다가, 작은 에어리어를 각각 갖는 이미지 센서들을 포함하는 많은 수의 부화소들이 제공될 때, 판독 정확도는 개선될 수 있다.

[0181] 도 22b 및 도 22c에 도시된 화소들은 칼러 디스플레이를 수행하는 한편, 도 22d에 도시된 화소는 흑백 디스플레

이를 수행한다는 점에 유의하라. 화소가 단색 디스플레이를 수행하는 디스플레이 기능을 가질 때, 이의 판독 기능은 흑백으로 제한된다. 다른 한편으로, 화소가 칼러 디스플레이를 수행하는 디스플레이 기능을 가질 때, 이의 판독 기능은 흑백 및 칼러들을 둘 다를 판독하도록 할 수 있다. 칼러들을 갖는 물체의 정보를 판독하는 경우에, 이 물체의 정보는 R, G 및 B의 각 칼러들을 갖는 발광 소자들을 순차적으로 발광시킴으로써 판독 출력된다. 그 후, 이 정보는 R, G 및 B의 각 칼러들로 판독 출력됨으로써, 칼러 영상은 결합된 정보를 이용하여 디스플레이 될 수 있다.

- [0182] 도 22e는 한 화소가 발광 소자를 포함하는 부화소 및 도 22d에 도시된 화소 구성에 대응하는 이미지 센서를 포함하는 부화소를 갖는 경우에 한 화소(1202)의 등가 회로도의 예를 도시한 것이다. 도 22e에서, 한 화소(1202)은 발광 소자(1214)를 포함하는 부화소(1219) 및 이미지 센서(1218)를 포함하는 부화소(1220)로 이루어진다. 신호선들(1224, 1245)과 전원선들(1226, 1227)은 칼럼들에 배치되고, 주사선들(1221, 1222, 1223)은 로우들에 배열된다. 부화소(1219)는 스위칭 트랜지스터(1211), 구동 트랜지스터(1212) 및 커페시터(1213)를 포함하는 반면에, 부화소(1220)는 스위칭 트랜지스터(1215), 버퍼 트랜지스터(1216) 및 리셋 트랜지스터(1217)를 포함한다. 한 화소(1202)가 도 22e에 도시된 회로 구성을 갖는 예가 이하에 설명될 것이지만, 도 22e의 회로 구성은 단지 예시를 위한 것임으로, 각 부화소의 회로 구성은 상술된 설명으로 제한되지 않는다. 임의의 공지된 회로 구성이 사용될 수 있다.
- [0183] 이 실시예 모드의 발광 장치에서, 발광 소자(1214)는 제 1 기판 위에 형성되고, 발광 소자(1214) 이외의 화소(1202)에 포함되는 소자들은 제 2 기판 위에 형성된다. 즉, 이 실시예 모드에서 발광 장치에서, 발광 소자(1214)는 제 1 기판 위에 제공되는 반면, 발광 소자 및 이미지 센서를 포함하는 부화소(1220)을 구동하는 화소 회로(1228)는 제 2 기판 위에 제공된다.
- [0184] 도 15는 이 실시예 모드에서 발광 장치의 한 화소의 단면도를 도시한 것이다. 도 15에서, 발광 소자(806)가 형성되는 제 1 기판(803) 및 박막 트랜지스터(802) 및 이미지 센서(821)가 형성되는 제 2 기판(800)은 서로에 대향하도록 설치된다. 이 실시예 모드에서, 제 1 기판(803) 및 제 2 기판(800)은 서로 부착되어, 제 2 기판(800)이 발광 소자가 형성되는 제 1 기판(803)의 표면과 대향하도록 한다는 것을 주의하라. 따라서, 제 2 기판(800)은 밀봉 기판으로서 기능한다.
- [0185] 도 15가 제 1 기판(803) 위에 형성된 발광 소자(806)가 실시예 모드 1에서 발광 소자와 동일한 구조를 갖는 경우를 도시하지만, 제 1 기판(803) 위에 형성되는 발광 소자(806)의 구조는 이로 제한되지 않고 실시예 모드들 2 및 3 등에 도시된 구조들이 사용될 수 있다.
- [0186] 도 15의 발광 소자(806)는 도 22e의 발광 소자(1214)에 대응하고 도 15의 박막 트랜지스터(802)는 도 22e의 구동 트랜지스터(1212)에 대응한다. 게다가, 도 15의 이미지 센서(821)는 도 22e의 이미지 센서(1218)에 대응한다.
- [0187] 도 15에서, 좌측 상의 영역은 이미지 센서를 포함하는 부화소(1220)의 영역에 대응하는 반면, 우측 상의 영역은 발광 소자를 포함하는 부화소(1219)의 영역에 대응한다.
- [0188] 도 15가 이미지 센서(1218)(이는 도 15의 이미지 센서(821)에 대응)가 이미지 센서를 포함하는 부화소(1220)에 대응하는 영역 내 제 2 기판(800) 위에 형성되는 일부분만을 도시하지만, 이미지 센서를 포함한 부화소(1220) 내의 다른 소자들(도 22e의 스위칭 트랜지스터(1215), 버퍼 트랜지스터(1216) 및 리셋 트랜지스터(1217))는 또한 제 2 기판(800) 위에 형성된다.
- [0189] 게다가, 도 15는 구동 트랜지스터(1212)(이는 도 15의 박막 트랜지스터(802)에 대응)가 발광 소자를 포함하는 부화소(1219)에 대응하는 영역 내의 제 2 기판(800) 위에 형성되는 일부분만을 도시하지만, 발광 소자를 포함하는 부화소(1219) 내 화소 회로(1228) 내의 다른 소자들(도 22의 스위칭 트랜지스터(1211) 및 커페시터(1213))은 또한 제 2 기판(800) 위에 형성된다.
- [0190] 제 1 기판(803) 및 제 2 기판(800) 각각은 유리 기판, 석영 기판, 또는 투광성 수지 기판과 같은 투광성 기판일 수 있다.
- [0191] 발광 소자(806)로부터 방출된 광은 제 1 기판(803)의 방향으로만 이동하는 구조를 갖도록 발광 소자(806)를 형성하는 경우에, 제 2 기판(800)은 반드시 투광성 기판이 될 필요는 없다는 점에 유의하라. 따라서, 제 2 기판(800)은 투광성을 갖지 않는 수지 기판, 반도체 기판, 세라믹 기판, 또는 금속 기판과 같은 광을 투과하지 않는 기판일 수 있다.

- [0192] 발광 소자(806)로부터 방출된 광이 제 2 기판(800)의 방향으로만 이동하는 구조를 갖도록 발광 소자(806)를 형성하는 경우에, 제 1 기판(803)은 반드시 투광성 기판이 될 필요는 없다. 따라서, 제 1 기판(803)은 투광성을 갖지 않는 수지 기판, 반도체 기판, 세라믹 기판, 또는 금속 기판과 같은 광을 투과하지 않는 기판일 수 있다.
- [0193] 게다가, 제 1 기판(803) 및 제 2 기판(800)은 상술된 기판들일 수 있지만 가요성을 가질 정도로 충분히 얇게 형성될 수 있다.
- [0194] 제 1 기판(803) 위에 형성되는 발광 소자(806)는 제 1 전극(804), 발광 물질을 함유하는 층(808), 및 제 2 전극(809)을 포함한다.
- [0195] 제 1 전극(804)은 모든 발광 소자들을 위한 공통 전극으로서 제 1 기판(803) 위에 형성된다. 그 후, 발광 물질을 함유하는 층(808)은 제 1 전극(804) 위에 형성되고, 제 2 전극(809)은 발광 물질을 함유하는 층(808) 위에 형성된다. 절연막(810)은 제 2 전극(809) 위에 형성되고, 제 2 전극(809)에 전기적으로 접속되는 전극(819)은 절연막(810) 위에 형성된다.
- [0196] 제 1 전극(804) 및 제 2 전극(809) 등을 위하여 사용되는 재료들이 실시예 모드 1에서 서술된 재료들로부터 선택될 수 있다는 점에 유의하라. 게다가, 발광 물질을 함유하는 층(808)은 실시예 모드 1에서 서술된 바와 같은 공지된 층 구조를 가질 수 있다.
- [0197] 한편, 발광 소자(806) 및 이미지 센서(821)를 구동하는 박막 트랜지스터(구동 트랜지스터)는 제 1 기판(803)과 대향하도록 설치되는 제 2 기판(800) 위에 형성된다.
- [0198] 도 15에서, 박막 트랜지스터(802)는 하지막(801)을 갖는 제 2 기판(800) 위에 형성되는 결정질 반도체 막(crystalline semiconductor film; 817), 게이트 절연막(816), 및 게이트 전극(815)을 포함하고, 상기 하지막은 상기 결정질 반도체 막 및 제 2 기판 간에 삽입되어 있다. 박막 트랜지스터(802)가 여기서 n-채널 박막 트랜지스터이지만, p-채널 박막 트랜지스터가 또한 사용될 수 있다.
- [0199] 도 15에서, 이미지 센서(821)는 하지막(801)을 갖는 제 2 기판(800) 위에 형성되는 결정질 반도체 막 및 게이트 절연막(816)을 포함하고, 상기 하지막은 상기 결정질 막과 상기 제 2 기판 간에 삽입되어 있다. 이미지 센서(821)의 결정질 반도체 막은 박막 트랜지스터(802)의 결정질 반도체 막(817)과 동일한 층에 형성되는 결정질 반도체 막이고 p-형 반도체(823), i-형 반도체(824) 및 n-형 반도체(825)를 포함한다.
- [0200] 도 15는 결정질 반도체 막이 박막 트랜지스터(802) 및 이미지 센서(821)의 반도체 막들로서 사용되는 경우를 도시한 것이지만, 박막 트래지스터(802) 및 이미지 센서(821)의 반도체 막들은 비정질 반도체 막들(amorphous semiconductor film)일 수 있다.
- [0201] 제 1 층간 절연막(820)은 박막 트랜지스터(802) 및 이미지 센서(821)위에 형성되고, 전극들(812, 826)은 제 1 층간 절연막(820) 위에 형성된다. 전극들(812)은 박막 트랜지스터(802)의 결정질 반도체 막(817)에 전기적으로 접속되는 전극들이고, 전극들(826)은 이미지 센서(821)의 반도체 막에 각각 포함되는 p-형 반도체(823) 및 n-형 반도체(825)에 전기적으로 접속되는 전극들이다. 제 2 층간 절연막(830)은 전극들(812, 826) 및 제 1 층간 절연막(820) 위에 형성되고, 전극(812)에 전기적으로 접속되는 전극(818)은 제 2 층간 절연막(830) 위에 형성된다. 따라서, 전극(818) 및 박막 트랜지스터(802)는 전기적으로 접속된다.
- [0202] 상술된 구조들을 갖는 제 1 기판(803) 및 제 2 기판(800)은 이방성 도전막(811)에 의해 서로에 부착된다. 이방성 도전막(811)으로서, ACP(이방성 도전 페이스트), ACF(이방성 도전막) 등이 예들로서 제공될 수 있다. 제 1 기판(803) 및 제 2 기판(800)은 이방성 도전막(811)에 의해 서로 부착함으로써, 전극들(818, 819)은 이방성 도전막(811)에 포함되는 도전 입자(805)를 통해서 전기적으로 접속된다. 즉, 제 1 기판(803) 위에 형성되는 발광 소자(806) 및 제 2 기판(800) 위에 형성되는 박막 트랜지스터(802)는 전기적으로 접속된다.
- [0203] 도 15는 이방성 도전막(811)에 의해 제 1 기판(803) 및 제 2 기판(800)이 서로에 부착됨으로써 전극들(818, 819)이 전기적으로 접속되는 예를 도시하지만, 전극들(818, 819)을 전기적으로 접속시키는 방법은 특히 이에 제한되지 않고, 임의의 공지된 접속 방법이 사용될 수 있다. 예를 들어, 전극들(818, 819)은 NCP(비도전 페이스트) 또는 초음파들에 의한 공용 결합에 의해 전기적으로 접속될 수 있다.
- [0204] 게다가, 스페이서는 제 1 기판(803) 및 제 2 기판(800)이 서로에 부착될 때 적절하게 제 1 기판(803) 및 제 2 기판(800) 간에 제공될 수 있다.
- [0205] 도 15가 발광 소자(806)의 제 1 전극(804) 및 전원 간의 접속을 특별히 도시하지 않지만, 화소부(601) 주위 또

는 소스 신호선 구동 회로(602) 및 게이트 신호선 구동 회로(603)의 외부 영역 내 제 1 전극(804)에 전기적으로 접속되는 접속 단자를 제공함으로써 그리고 IC 등 내에 제공된 외부 전원에 접속 단자를 접속시킴으로써, 카운터 전위는 제 1 전극(804)에 공급된다.

[0206] 한 화소(1202)가 도 22e에 도시된 화소 구성을 갖는 경우가 상술되었지만, 도 22e의 회로 구성은 단지 예시된 것임으로, 각 부화소의 회로 구성은 상술된 설명으로 제한되지 않고 임의의 공지된 회로 구성이 사용될 수 있다. 따라서, 부화소에 포함되는 발광 소자를 구동하는 화소 회로(1228)의 회로 구성은 상술된 설명에 제한되지 않고 임의의 공지된 화소 회로가 사용될 수 있다.

[0207] 도 22e에 도시된 화소 회로(1228)는 발광 소자(1214)가 발광 소자(1214)를 구동하는 박막 트랜지스터로서 구동 트랜지스터(1212)에 접속된다. 따라서, 발광 소자(1214)(이는 도 15의 발광 소자(806)에 대응) 및 구동 트랜지스터(1212)(이는 도 15의 박막 트랜지스터(802)에 대응)는 이방성 도전막(811)를 통해서 전기적으로 접속된다. 따라서, 본 발명을 다른 화소 회로 구성들에 적용할 때, 발광 소자에 접속될 소자는 이방성 도전막을 통해서 발광 소자에 전기적으로 접속되는 것만이 필요로 된다. 대부분의 화소 회로들에서, 발광 소자에 접속되는 소자는 발광 소자(구동 트랜지스터)를 구동하는 트랜지스터이다. 따라서, 대부분의 경우들에, 발광 소자 및 이 발광 소자를 구동하는 트랜지스터는 이방성 도전막을 통해서 전기적으로 접속된다.

[0208] 상술된 실시예 모드에 따라서 발광 소자의 동작이 후술된다. 도 15가 발광 소자(806)로부터 방출된 광이 제 1 기판(803)의 방향으로만 방출되는 구조를 갖는 발광 소자의 경우를 도시하였지만, 본 발명은 이로 제한되지 않는다. 예를 들어, 발광 소자(806)로부터 방출되는 광이 제 2 기판(800)의 방향으로만 방출되는 발광 소자가 또한 사용될 수 있다. 그러나, 발광 소자(806)로부터 방출되는 광이 제 1 기판(803)의 방향으로만 방출되는 발광 소자의 구조가 바람직한데, 그 이유는 이 구조는 발광 소자(806)로부터 방출되는 광을 이동시키는 적은 수의 층들을 필요로 함으로 발광 소자(806)로부터 방출되는 광이 효율적으로 사용될 수 있기 때문이다. 게다가, 발광 소자(806)로부터 방출되는 광이 도 15에 도시된 바와 같이 제 1 기판(803)의 방향으로만 방출되는 구조를 갖는 발광 소자의 경우에, 회로는 개구비를 고려함이 없이 제 2 기판 위에 형성될 수 있다. 따라서, 제 2 기판 위에 형성되는 화소 회로(1228) 및 부화소(1220)는 더 많은 소자들을 갖는 회로 구성을 가질 수 있다.

[0209] 발광 소자(806)로부터 방출되는 광은 물체(822)에 의해 반사되고 반사된 광은 이미지 센서(821)로 입사된다. 그 후, 이미지 센서(821)의 대향 전극들 간의 전위 차는 변화되고, 전위 차의 변화에 따라서 대향 전극들 간에 전류가 흐른다. 이미지 센서(821)의 대향 전극들 간에 흐르는 전류량을 검출함으로써, 물체(822)의 정보가 얻어질 수 있고, 얻어진 정보는 발광 소자(806)에 의해 디스플레이된다. 즉, 발광 소자(806)는 물체(822)의 정보를 판독출력하는 광원 및 영상을 디스플레이하는 디스플레이 매체 둘 다로서 기능한다. 따라서, 본 발명의 발광 장치는 물체(822)의 정보를 판독하는 이미지 센서의 2가지 기능들 및 영상을 디스플레이하는 디스플레이 기능을 갖는다. 상술한 2가지 기능들에도 불구하고, 이미지 센서 기능을 이용하는데 통상적으로 필요로 되는 광원 및 광 스캐터링 플레이트가 필요로 되지 않는다. 그러므로, 크기, 두께 및 무게를 크게 감소시킬 수 있다.

[0210] 발광 소자(806)로부터 방출되는 광이 제 1 기판(803)의 방향으로만 방출되는 구조를 갖는 발광 소자가 상술되었다는 점에 유의하라. 발광 소자(806)로부터 방출된 광이 제 2 기판(800)의 방향으로만 방출되는 구조를 갖도록 발광 소자를 형성하는 경우에, 물체(822)의 정보는 제 2 기판(800)과 마주보도록 물체(822)를 위치지정함으로써 판독출력될 필요가 있다.

[0211] 이 실시예 모드는 적절하게는 다른 실시예 모드들에 서술된 기술들과 결합하여 구현될 수 있다는 점에 유의하라.

[실시예 모드 5]

[0213] 이 실시예에 모드에서, 이미지 센서가 부가적으로 제 1 기판 위에 형성되는 본 발명의 제 1 구조를 갖는 발광 장치의 일례가 설명된다. 즉, 발광 소자 및 이미지 센서가 형성되는 제 1 기판 및 발광 소자를 구동하는 화소 회로가 형성되는 제 2 기판을 갖는 발광 장치의 일 예가 설명되는데, 발광 소자 및 상기 발광 소자를 구동하는 화소 회로가 전기적으로 접속된다.

[0214] 한 화소가 실시예 모드 4에서처럼 도 22e에 도시된 회로 구성을 갖는 예가 후술된다는 점에 유의하라.

[0215] 도 22e의 회로 구성 to 갖는 이 실시예 모드의 발광 장치에서, 발광 소자(1214) 및 이미지 센서(1218)는 제 1 기판 위에 제공되는 반면, 발광 소자(1214) 및 이미지 센서(1218) 이외의 화소(1202)에 포함되는 소자들은 제 2 기판 위에 제공된다. 즉, 발광 소자를 포함한 부화소(1219)에 대해서, 발광 소자(1214)는 제 1 기판 위에 형성되는 반면에, 발광 소자(1214)를 구동하는 화소 회로(1228)는 제 2 기판 위에 형성된다. 한편, 이미지 센서를 포

함한 부화소(1220)에 대해서, 이미지 센서(1218)는 제 1 기판 위에 형성되는 반면에, 이미지 센서(1218) 이외의 부화소(1220)에 포함되는 소자들은 제 2 기판 위에 형성된다.

- [0216] 도 16은 이 실시예 모드에서 발광 장치의 한 화소의 단면도를 도시한 것이다. 도 16에서, 발광 소자(906) 및 이미지 센서(921)가 형성되는 제 1 기판(903) 및 박막 트랜지스터(902) 및 박막 트랜지스터(927)가 형성되는 제 2 기판(900)은 서로 대향하도록 설치된다. 이 실시예 모드에서, 제 1 기판(903) 및 제 2 기판(900)은 서로에 부착되어 제 2 기판(900)은 발광 소자가 형성되는 제 1 기판(903)의 표면과 대향하도록 서로에 부착된다는 점에 유의하라. 따라서, 제 2 기판(900)은 밀봉 기판으로서 기능한다.
- [0217] 도 16은 제 1 기판(903) 위에 형성되는 발광 소자가 실시예 모드 1에서 발광 소자와 동일한 구조를 갖는 경우를 도시한 것이지만, 제 1 기판(903) 위에 형성되는 발광 소자의 구조는 이로 제한되지 않고, 실시예 모드 2 및 3 등에 도시된 구조들이 사용될 수 있다.
- [0218] 도 16의 발광 소자(906)는 도 22e의 발광 소자(1214)에 대응하고 도 16의 박막 트랜지스터(902)는 도 22e의 구동 트랜지스터(1212)에 대응한다. 게다가, 도 16의 이미지 센서(921)는 도 22e의 이미지 센서(1218)에 대응하고 도 16의 박막 트랜지스터(927)는 도 22e의 리셋 트랜지스터(1217)에 대응한다.
- [0219] 도 16에서, 좌측 상의 영역은 이미지 센서를 포함하는 부화소(1220)의 영역에 대응하는 반면, 우측 상의 영역은 발광 소자를 포함하는 부화소(1219)의 영역에 대응한다.
- [0220] 도 16이 리셋 트랜지스터(1217)(이는 도 16의 박막 트랜지스터(927)에 대응)가 이미지 센서를 포함하는 부화소(1220)에 대응하는 영역 내 제 2 기판(900) 위에 형성되는 일부분만을 도시하지만, 이미지 센서를 포함한 부화소(1220) 내의 다른 소자들(도 22e의 스위칭 트랜지스터(1215) 및 베퍼 트랜지스터(1216))는 또한 제 2 기판(900) 위에 형성된다.
- [0221] 게다가, 도 16은 구동 트랜지스터(1212)(이는 도 16의 박막 트랜지스터(902)에 대응)가 발광 소자를 포함하는 부화소(1219)에 대응하는 영역 내의 제 2 기판(900)위에 형성되는 일부분만을 도시하지만, 이미지 센서를 포함하는 부화소(1219) 내 화소 회로(1228) 내의 다른 소자들(도 22의 스위칭 트랜지스터(1221) 및 커匮시터(1213))은 또한 제 2 기판(900) 위에 형성된다.
- [0222] 제 1 기판(903) 및 제 2 기판(900) 각각은 유리 기판, 석영 기판, 또는 투광성 수지 기판과 같은 투광성 기판일 수 있다.
- [0223] 발광 소자(906)로부터 방출된 광은 제 1 기판(203)의 방향으로만 이동하는 구조를 갖도록 발광 소자(906)를 형성하는 경우에, 제 2 기판(900)은 반드시 투광성 기판이 될 필요는 없다는 점에 유의하라. 따라서, 제 2 기판(900)은 투광성을 갖지 않는 수지 기판, 반도체 기판, 세라믹 기판, 또는 금속 기판과 같은 광을 투과하지 않는 기판일 수 있다.
- [0224] 발광 소자(906)로부터 방출된 광이 제 2 기판(900)의 방향으로만 이동하는 구조를 갖도록 발광 소자(906)를 형성하는 경우에, 제 1 기판(903)은 반드시 투광성 기판이 될 필요는 없다. 따라서, 제 1 기판(903)은 투광성을 갖지 않는 수지 기판, 반도체 기판, 세라믹 기판, 또는 금속 기판과 같은 광을 투과하지 않는 기판일 수 있다.
- [0225] 게다가, 제 1 기판(903) 및 제 2 기판(900)은 상술된 기판들일 수 있지만 가요성을 가질 정도로 충분히 얇게 형성될 수 있다.
- [0226] 제 1 기판(903) 위에 형성되는 발광 소자(906)는 제 1 전극(904), 발광 물질을 함유하는 층(908), 및 제 2 전극(909)을 포함한다.
- [0227] 제 1 전극(904)은 제 1 기판(903) 위에 형성된다. 그 후, 발광 물질을 함유하는 층(908)은 제 1 전극(904) 위에 형성되고, 제 2 전극(909)은 발광 물질을 함유하는 층(908) 위에 형성된다. 절연막(910)은 제 2 전극(909) 위에 형성되고, 제 2 전극(909)에 전기적으로 접속되는 전극(919)은 절연막(910) 위에 형성된다.
- [0228] 제 1 기판(903) 위에 형성되는 이미지 센서(921)는 제 1 기판(903) 위에 형성되는 제 1 전극(907)을 포함하고 제 1 전극(907) 위에 형성되는 p-형 반도체(923), i-형 반도체(924), 및 n-형 반도체(925)를 또한 포함하는 수직-접합 이미지 센서이다. 절연막(910)은 n-형 반도체(925) 위에 형성되고, 상기 n-형 반도체(925)에 전기적으로 접속되는 전극(926)은 절연막(910) 위에 형성된다.
- [0229] 다른 한편으로, 발광 소자(906)를 구동하는 박막 트랜지스터(902)(이는 도 22의 구동 트랜지스터(1212)에 대응) 및 박막 트랜지스터(927)(이는 도 22e의 리셋 트랜지스터(1217)에 대응)는 제 1 기판(903)과 대향하도록 설치되

는 제 2 기판(900) 위에 형성된다.

[0230] 도 16에서, 박막 트랜지스터(902)는 하지막(901)을 갖는 제 2 기판(900) 위에 형성되는 결정질 반도체 막(917), 게이트 절연막(916) 및 게이트 전극(915)을 포함하고, 상기 하지막은 상기 결정질 반도체 막 및 제 2 기판 간에 삽입되어 있다. 박막 트랜지스터(902)가 여기서 n-채널 박막 트랜지스터이지만, p-채널 박막 트랜지스터가 또한 사용될 수 있다.

[0231] 게다가, 도 16에서, 박막 트랜지스터(927)는 하지막(901)을 갖는 제 2 기판(900) 위에 형성되는 결정질 반도체 막(928), 게이트 절연막(916), 및 게이트 전극(929)을 포함하고, 상기 하지막은 상기 결정질 반도체 막 및 상기 제 2 기판 간에 삽입되어 있다. 박막 트랜지스터(927)의 결정질 반도체 막(928)은 박막 트랜지스터(902)의 결정질 반도체 막(917)과 동일한 층에 형성되는 결정질 반도체 막이다.

[0232] 이 실시예 모드에서 발광 장치는 이미지 센서 및 발광 소자가 제 1 기판 위에 형성되는 구조를 갖는 반면에, 이미지 센서 이외의 부화소 내 소자들(도 22e의 스위칭 트랜지스터(1215), 베퍼 트랜지스터(1216), 및 리셋 트랜지스터(1217)) 및 발광 소자 이외의 부화소 내 소자들(도 22e의 스위칭 트랜지스터(1211), 구동 트랜지스터(1212) 및 커패시터(1213))은 제 2 기판 위에 형성된다. 그러므로, 이미지 센서를 부분적으로 구성하는 반도체 막은 비정질 반도체 막으로 형성될 수 있는 반면에, 이미지 센서 이외의 부화소 내 소자들(도 22e의 스위칭 트랜지스터(1215), 베퍼 트랜지스터(1216), 및 리셋 트랜지스터(1217)) 및 발광 소자 이외의 부화소 내 소자들(도 22e의 스위칭 트랜지스터(1211), 구동 트랜지스터(1212), 및 커패시터(1213))이 제 2 기판 위에 형성되는 소자들을 결정질 반도체 막들로 형성될 수 있다. 즉, 한 화소에 포함되는 이미지 센서 및 트랜지스터는 상이한 기판을 위에 형성되기 때문에, 이미지 센서를 부분적으로 구성하는 반도체 막은 비정질 반도체 막으로 형성될 수 있는 반면에, 상기 화소에 포함되는 트랜지스터를 부분적으로 구성하는 반도체 막은 결정질 반도체 막으로 형성될 수 있다.

[0233] 이미지 센서를 형성하는 반도체 막으로서, 비정질 반도체를 사용하는 것이 바람직한데, 그 이유는 광전도성 면에서 결정질 반도체보다 우수하기 때문이다. 한편, 트랜지스터를 형성하는 반도체 막으로서, 결정질 반도체 막을 사용하는 것이 바람직한데, 그 이유는 이동도면에서 비정질 반도체보다 우수하기 때문이다. 그러나, 결정질 반도체 막을 갖는 트랜지스터와 동일한 기판 위에 이미지 센서를 형성하는 경우에, 트랜지스터의 결정질 반도체 막과 동일한 층에서 반도체 막이 사용됨으로, 결정질 반도체 막은 이미지 센서를 형성하기 위한 반도체 막에 사용될 필요가 있다.

[0234] 그러나, 이 실시예 모드에서 이 구조를 사용함으로써, 이미지 센서를 형성하는 반도체 막은 비정질 반도체 막으로 형성될 수 있는 반면에, 트랜지스터와 같은 소자를 형성하는 반도체 막은 결정질 반도체 막으로 형성될 수 있음으로, 고감도를 갖는 이미지 센서가 제공될 수 있고, 한 화소를 형성하기 위한 트랜지스터와 같은 소자는 고 구동 속도로 제공될 수 있다.

[0235] 제 1 층간 절연막(920)은 박막 트랜지스터(902) 및 박막 트랜지스터(927) 위에 형성되고, 전극들(912, 913)은 제 1 층간 절연막(920) 위에 형성된다. 전극(912)은 박막 트랜지스터(902)의 결정질 반도체 막(917)에 전기적으로 접속되고, 전극(913)은 박막 트랜지스터(927)의 결정질 반도체 막(928)에 전기적으로 접속된다. 제 2 층간 절연막(931)은 전극들(912, 913) 및 제 1 층간 절연막(920) 위에 형성된다. 전극들(912, 913) 각각에 전기적으로 접속되는 전극들(918, 930)은 제 2 층간 절연막(931) 위에 형성된다. 따라서, 전극(918) 및 박막 트랜지스터(902)는 전기적으로 접속되는 반면에, 전극(930) 및 박막 트랜지스터(927)는 전기적으로 접속된다.

[0236] 상술된 구조들을 갖는 제 1 기판(903) 및 제 2 기판(900)은 이방성 도전막(911)에 의해서 서로에 부착된다. 이 방성 도전막(911)으로서, ACP(이방성 도전 페이스트), ACF(이방성 도전막), 등이 예들로서 제공될 수 있다. 제 1 기판(903) 및 제 2 기판(900)을 이방성 도전막(911)에 의해 서로 부착함으로써, 전극들(918, 919)은 이방성 도전막(911)에 포함되는 도전 입자(905)를 통해서 전기적으로 접속되는 반면에, 전극들(930, 926)은 이방성 도전막(911)에 포함되는 도전 입자(905)를 통해서 전기적으로 접속된다. 즉, 제 1 기판(903) 위에 형성되는 발광 소자(906) 및 제 2 기판(900) 위에 형성되는 박막 트랜지스터(902)는 전기적으로 접속된다. 게다가, 제 1 기판(903) 위에 형성되는 이미지 센서(921) 및 제 2 기판(900) 위에 형성되는 박막 트랜지스터(927)는 전기적으로 접속된다.

[0237] 도 16은 이방성 도전막(911)에 의해 제 1 기판(903) 및 제 2 기판(900)이 서로에 부착됨으로써 전극들(918, 919) 뿐만 아니라 전극들(930, 926)이 전기적으로 접속되는 예를 도시하지만, 전극들(918, 919)을 전기적으로 접속시키고 전극들(930, 926)을 전기적으로 접속시키는 방법은 특히 이에 제한되지 않고, 임의의 공지된 접속

방법이 사용될 수 있다. 예를 들어, 전극들(918, 919) 뿐만 아니라 전극들(930, 926)은 NCP(비도전 페이스트) 또는 초음파들에 의한 공용 결합에 의해 전기적으로 접속될 수 있다.

[0238] 게다가, 스페이서는 제 1 기판(903) 및 제 2 기판(900)이 서로에 부착될 때 적절하게 제 1 기판(903) 및 제 2 기판(900) 간에 제공될 수 있다.

[0239] 도 16이 발광 소자(906)의 제 1 전극(904) 및 전원 간의 접속을 특별히 도시하지 않지만, 화소부(601) 주위 또는 소스 신호선 구동 회로(602) 및 게이트 신호선 구동 회로(603)의 외부 영역 내 제 1 전극(904)에 전기적으로 접속되는 접속 단자를 제공함으로써 그리고 IC 등 내에 제공된 외부 전원에 접속 단자를 접속시킴으로써, 카운터 전위는 제 1 전극(904)에 공급된다.

[0240] 한 화소(1202)가 도 22e에 도시된 화소 구성을 갖는 경우가 상술되었지만, 도 22의 회로 구성은 단지 예시를 위한 것임으로, 각 부화소의 회로 구성은 상술된 설명으로 제한되지 않고 임의의 공지된 회로 구성이 사용될 수 있다. 따라서, 부화소에 포함되는 발광 소자를 구동하는 화소 회로(1228)의 회로 구성은 상술된 설명으로 제한되지 않고 임의의 공지된 화소 회로가 사용될 수 있다.

[0241] 도 22e에 도시된 화소 회로(1228)는 발광 소자(1214)를 구동하는 박막 트랜지스터로서 구동 트랜지스터(1212)의 소스 또는 드레인에 발광 소자(1214)의 전극들 중 한 전극에 접속되는 회로 구성을 갖는다. 그러므로, 발광 소자(1214)(이는 도 16의 발광 소자(906)에 대응) 및 구동 트랜지스터(1212)(이는 도 16의 박막 트랜지스터(902)에 대응)는 이방성 도전막을 통해서 전기적으로 접속된다. 따라서, 본 발명을 다른 화소 회로 구성들에 적용시, 발광 소자에 접속되어야 하는 소자는 이방성 도전막을 통해서 발광 소자에 전기적으로 접속되는 것만이 필요로 된다. 대부분의 화소 회로들에서, 발광 소자에 접속되는 소자는 발광 소자를 구동하는 박막 트랜지스터(구동 트랜지스터)이다. 따라서, 대부분의 경우들에, 발광 소자 및 상기 발광 소자를 구동하는 트랜지스터는 이방성 도전막을 통해서 전기적으로 접속된다.

[0242] 도 22e에 도시된 이미지 센서를 포함하는 부화소(1220)는 이미지 센서(1218)가 리셋 트랜지스터(1217)의 소스 또는 드레인에 접속되는 회로 구성을 갖는다. 그러므로, 이미지 센서(1218)(이는 도 16의 이미지 센서(921)에 대응) 및 리셋 트랜지스터(1217)(이는 도 16의 박막 트랜지스터(927)에 대응)는 이방성 도전막(911)을 통해서 전기적으로 접속된다. 따라서, 본 발명을 이미지 센서를 포함한 부화소의 다른 구성들에 적용시, 이미지 센서에 접속되어야 하는 소자는 이방성 도전막을 통해서 이미지 센서에 전기적으로 접속되는 것만이 필요로 된다. 도 16의 단면도에 도시되지 않았지만, 이미지 센서(1218)의 전극들 중 한 전극은 또한 베퍼 트랜지스터(1216)의 게이트 전극에 접속된다는 점에 유의하라.

[0243] 상술된 이 실시예 모드를 따른 발광 장치의 동작이 후술된다. 도 16이 발광 소자(906)로부터 방출되는 광이 제 1 기판(903)의 방향으로만 방출되는 구조를 갖는 발광 소자의 경우를 도시하였지만, 본 발명은 이로 제한되지 않는다. 예를 들어, 발광 소자(906)로부터 방출되는 광이 제 2 기판(900)의 방향으로만 방출되는 구조를 갖는 발광 소자가 또한 사용될 수 있다. 그러나, 발광 소자(906)로부터 방출되는 광이 제 1 기판(903)의 방향으로만 방출되는 발광 소자의 구조가 바람직한데, 그 이유는 이 구조가 발광 소자(906)로부터 방출되는 광을 이동시키는 적은 수의 층들을 필요로 함으로 발광 소자(906)로부터 방출되는 광이 효율적으로 사용될 수 있기 때문이다. 게다가, 발광 소자(906)로부터 방출되는 광이 도 16에 도시된 바와 같은 제 1 기판(903)의 방향으로만 방출되는 구조를 갖는 발광 소자의 경우에, 회로는 개구비를 고려함이 없이 제 2 기판 위에 형성될 수 있다. 따라서, 화소 회로(1128) 및 상기 제 2 기판 위에 형성되는 부화소(1220)은 더 많은 소자들을 갖는 회로 구성을 가질 수 있다.

[0244] 발광 소자(906)로부터 방출되는 광은 물체(922)에 의해 반사되고 반사된 광은 이미지 센서(921)로 입사된다. 그 후, 이미지 센서(921)의 대향 전극들 간의 전위 차는 변화되고, 전위 차의 변화에 따라서 대향 전극들 간에 전류가 흐른다. 이미지 센서(921)의 대향 전극들 간에 흐르는 전류 양을 검출함으로써, 물체(922)의 정보가 얻어질 수 있고, 얻어진 정보는 발광 소자(906)에 의해 디스플레이된다. 즉, 발광 소자(906)는 물체(922)의 정보를 편득출력하는 광원 및 영상을 디스플레이하는 디스플레이 매체 둘 다로서 기능한다. 따라서, 본 발명의 발광 장치는 물체(922)의 정보를 판독하는 이미지 센서의 2가지 기능들 및 영상을 디스플레이하는 디스플레이 기능을 갖는다. 상술한 2가지 기능들에도 불구하고, 이미지 센서 기능을 이용하는데 통상적으로 필요로 되는 광원 및 광 스캐터링 플레이트가 필요로 되지 않는다. 그러므로, 크기, 두께 및 무게를 크게 감소시킬 수 있다.

[0245] 발광 소자(906)로부터 방출되는 광이 제 1 기판(903)의 방향으로만 방출되는 구조를 갖는 발광 소자가 상술되었다는 점에 유의하라. 발광 소자(906)로부터 방출된 광이 제 2 기판(900)의 방향으로만 방출되는 구조를 갖도록

발광 소자를 형성하는 경우에, 물체(922)의 정보는 제 2 기판(900)과 마주보도록 물체(922)를 위치지정함으로써 판독출력될 필요가 있다.

[0246] 이 실시예 모드는 적절하게는 다른 실시예 모드들에 서술된 기술들과 결합하여 구현될 수 있다는 점에 유의하라.

[0247] [실시예 모드 6]

[0248] 이 실시예 모드에서, 본 발명의 제 2 구조를 갖는 발광 소자의 제 1 예가 설명된다.

[0249] 발광 소자가 형성되는 제 1 기판의 제조 단계들은 실시예 모드들 1 내지 3에 설명된 단계들과 유사하다. 여기서, 발광 소자의 구동 회로를 포함한 막의 제조 단계들이 우선 설명된다.

[0250] 도 4a에 도시된 바와 같이, 박리층(101)이 기판(100) 위에 형성된다. 박리층(101)으로서, 텅스텐(W), 몰리브덴(Mo), 티타늄(Ti), 탄탈(Ta), 니오븀(Nb), 니켈(Ni), 코발트(Co), 지로코늄(Zr), 아연(Zn), 루테늄(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os), 이리듐(Ir), 또는 실리콘(Si)으로부터 선택된 원소 또는 합금 또는 주 성분으로서 이와 같은 원소들을 함유하는 화합물로 형성되는 층은 플라즈마 CVD 등에 의해 단층 구조 또는 적층 구조 중 어느 한 구조를 갖도록 형성될 수 있다. 실리콘을 함유하는 층의 결정질 구조는 비정질, 마이크로결정질, 또는 다결정질 구조 중 임의의 한 구조일 수 있다.

[0251] 기판(100)으로서, 석영 기판, 반도체 기판, 유리 기판, 금속 기판 등이 사용될 수 있다.

[0252] 박리층(101)이 단층 구조를 갖는 경우에, 텅스텐, 몰리브덴, 텅스텐과 몰리브덴의 혼합물, 텅스텐의 산화물, 텅스텐의 산화질화물, 텅스텐의 질화산화물, 몰리브덴의 산화물, 몰리브덴의 산화질화물, 몰리브덴의 질화산화물, 텅스텐과 몰리브덴의 산화물, 텅스텐과 몰리브덴의 혼합물의 산화질화물, 또는 텅스텐과 몰리브덴의 혼합물의 질화산화물 중 어느 하나를 함유하는 층으로 형성되는 것이 바람직하다. 텅스텐과 몰리브덴의 혼합물이 예를 들어 텅스텐과 몰리브덴의 합금에 대응한다는 점에 유의하라.

[0253] 박리층(101)이 적층 구조를 갖는 경우, 텅스텐, 몰리브덴, 또는 텅스텐과 몰리브덴의 혼합물을 함유하는 층이 제 1 층으로서 형성되고, 텅스텐의 산화물, 몰리브덴의 산화물, 텅스텐과 몰리브덴의 혼합물의 산화물, 텅스텐의 산화질화물, 몰리브덴의 산화질화물, 또는 텅스텐과 몰리브덴의 혼합물의 산화질화물이 제 2 층으로서 형성된다. 이 방식으로, 적층 구조를 갖도록 박리층(101)을 형성하는 경우에, 금속막 및 금속 산화막의 적층 구조를 형성하는 것이 바람직하다. 금속 산화층을 형성하는 방법의 예들로서, 스퍼터링에 의해 직접 금속 산화물을 형성하는 방법, 산소 대기하에서 열처리 또는 플라즈마 처리에 의해 기판 위에 형성되는 금속막의 표면을 산화시킴으로써 금속 산화막을 형성하는 방법 등이 존재한다.

[0254] 금속막으로서, 티타늄(Ti), 탄탈(Ta), 니오븀(Nb), 니켈(Ni), 코발트(Co), 지로코늄(Zr), 아연(Zn), 루테늄(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os), 또는 이리듐(Ir)으로부터 선택된 원소 또는 합금 또는 주 성분으로서 이와 같은 원소들을 함유하는 화합물로 이루어진 막은 상술된 텅스텐(W) 및 몰리브덴(Mo) 이외에 사용될 수 있다.

[0255] 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막, 또는 실리콘 질화산화막과 같은 절연막이 박리층(101)을 형성하기 전 기판(100) 위에 형성됨으로써, 박리층(100)이 절연막 위에 형성되도록 한다. 이와 같은 절연막은 기판(100) 및 박리층(101) 간에 이와 같은 절연막을 제공함으로써, 기판(100)에 함유되는 불순물들이 상부층에 침입하는 것을 방지할 수 있다. 게다가, 이 기판(100)은 나중 레이저 조사 단계에서 에칭되는 것을 방지할 수 있다. 실리콘 산화질화막 및 실리콘 질화산화막은 산소 대 질소 비에 따라서 본원에서 구별되며, 실리콘 산화질화막은 질소보다 많은 산소를 함유하는 반면에, 실리콘 질화산화막은 산소보다 많은 질소를 함유한다.

[0256] 다음에, 도 4b에 도시된 바와 같이, 제 1 절연막(102)은 박리층(101) 상에 형성된다. 이 제 1 절연막(102)은 하지막으로서 기능하는 막이다. 제 1 절연막(102)으로서, 실리콘 산화물, 실리콘 질화물, 질소를 함유하는 실리콘 산화물, 산소를 함유하는 실리콘 질화물 등이 플라즈마 CVD, 스퍼터링 등에 의해 형성된다.

[0257] 도 4c에 도시된 바와 같이, 발광 소자의 구동 회로를 포함하는 적층체(104)는 공지된 방법에 의해 제 1 절연막(102) 위에 형성된다. 지금부터, 발광 소자의 구동 회로가 발광 소자를 구동하기 위한 화소 회로인 경우가 설명될 것이다.

[0258] 발광 소자의 구동 회로를 포함하는 적층체(104)로서, 예를 들어, 다수의 박막 트랜지스터(103), 상기 다수의 박막 트랜지스터(103)를 커버하는 제 2 절연막(11) 및 제 2 절연막(110)과 접촉하고, 다수의 박막 트랜지스터

(103)의 소스 또는 드레인 영역에 전기적으로 접속되는 전극(111)이 형성된다. 각 박막 트랜지스터(103)는 섬형 반도체 막(107), 게이트 절연막(108), 게이트 전극(109) 등을 포함한다.

[0259] 박막 트랜지스터(103)의 구조가 도 4c에 도시된 구조로 제한되지 않고 도 4c에 도시된 구조 이외의 구조를 갖는 박막 트랜지스터가 사용될 수 있다는 점에 유의하라. 예를 들어, 박막 트랜지스터(103)는 게이트 전극의 대향 측들 상에 측벽들을 제공함으로써 LDD 영역들(얇게 도핑된 드레인 영역들)을 갖도록 형성되는 톱-게이트 박막 트랜지스터, 바텀-게이트 박막 트랜지스터 또는 실리사이드 영역을 갖는 박막 트랜지스터와 같은 공지된 박막 트랜지스터의 구조를 가질 수 있다.

[0260] 그 후, 도 5a에 도시된 바와 같이, 제 3 절연막(112)은 발광 소자의 구동 회로를 포함한 적층체(104) 위에 형성되고, 박막 트랜지스터(103)의 소스 또는 드레인 영역에 전기적으로 접속되는 전극(111)에 전기적으로 접속되는 전극(113)은 금속막 등을 이용함으로써 제 3 절연막(112) 위에 형성된다. 여기서, 전극(113)은 스퍼터링에 의해 TiN 막으로 형성된다.

[0261] 제 3 절연막(112)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화 막 또는 실리콘 질화산화 막과 같은 무기 재료; 폴리아미드, 폴리아미드, 벤조시클로부텐, 아크릴, 또는 에폭시와 같은 유기 재료 등을 이용하는 공지된 방법에 의해 형성되어 단층 구조 또는 적층 구조를 갖도록 형성된다.

[0262] 전극(113)이 도 5a에서 전극(113)에 접속되도록 형성될지라도, 본 발명은 특별히 이 경우에 대해 제한되지 않는다. 화소 회로에서 발광 소자에 전기적으로 접속된 요소에 전기적으로 접속된 전극을 형성하는 것만이 요구된다.

[0263] 전극(113)을 형성한 후, 도 5b에 도시된 바와 같이, 수지막은 20 내지 30 μ m의 두께를 갖도록 전극(113) 위에 보강층(114)으로서 형성된다. 여기서, 수지막은 스크린 인쇄에 의해 열 경화성 수지, UV(자외선) 경화성 수지, 또는 열가소성 수지와 같은 수지 재료로 전극(113)을 코팅하고 나서 이 코팅을 베이킹함으로써 형성된다.

[0264] 다음에, 도 5c에 도시된 바와 같이, 보강 층(114)은 UV 레이저로 조사되어 도 6a에 도시된 바와 같이 개구들(115, 116)을 형성한다. 이 방식으로 개구들(115, 116)을 형성함으로써, 박리층(101)은 부분적으로 제거되고 나서, 제 1 절연막(102)을 갖는 적층체(118), 발광 소자의 구동 회로를 포함하는 적층체(104), 제 3 절연막(112), 전극(113), 및 보강층(114)이 기판(100)으로부터 손쉽게 분리되도록 한다. 이 분리는 박리층(101)의 내측에서 실행되거나 박리층(101) 및 제 1 절연막(102) 간의 경계에서 실행된다.

[0265] UV 레이저가 이 실시예 모드에서 사용되지만, 본 발명에 사용되는 레이저 종류는 개구(115)가 형성될 수 있는 한 특별히 제한되지 않는다. 레이저 발진기는 레이저 매질, 여기원 및 공진기로 구성된다. 이 레이저는 사용되는 매질에 따라서 기체 레이저, 액체 레이저, 및 고체 레이저로 분류될 수 있다. 발진 특성에 따라서 레이저들을 분류하면, 자유 전자 레이저, 반도체 레이저, 및 x선 레이저로 분류될 수 있고, 본 발명은 상술된 레이저들 중 어느 레이저라도 사용할 수 있다. 기체 레이저 또는 고체 레이저를 사용하는 것이 바람직하지만 고체 레이저를 사용하는 것이 더 바람직하다는 점에 유의하라.

[0266] 기체 레이저는 헬륨-네온 레이저, 이산화탄소 레이저, 액시머 레이저, 및 아르곤 이온 레이저를 포함한다. 액시머 레이저는 희가스 액시머 레이저 및 희가스 할로겐화물 액시머 레이저를 포함한다. 희가스 액시머 레이저는 3종류의 여기된 분자들, 즉 아르곤, 크립톤 또는 제논에 의해 발진한다. 아르곤 이온 레이저는 희가스 이온 레이저 금속 증기 이온 레이저를 포함한다.

[0267] 액체 레이저는 무기 액체 레이저, 유기 퀼레이트 레이저 및 다이 레이저(dye laser)를 포함한다. 무기 액체 레이저 및 유기 퀼레이트 레이저에 대해서, 고체 레이저용으로 사용될 수 있는 네오디뮴과 같은 희토류 이온들은 레이저 매질로서 사용된다.

[0268] 고체 레이저에 사용되는 레이저 매질은 레이저 작용을 일으킬 수 있는 활성 종들로 도핑되는 고체 베이스이다. 이 고체 베이스는 크리스탈 또는 유리이다. 수정은 YAG(이트륨 알루미늄 가닛 크리스탈), YLF, YVO₄, YA1O₃, 사파이어, 루비, 또는 알렉산드라이트이다. 게다가, 레이저 작용을 일으킬 수 있는 활성 종들은 예를 들어 Cr³⁺, Nd³⁺, Yb³⁺, Tm³⁺, Ho³⁺, Er³⁺, 및 Ti³⁺와 같은 3가의 이온들이다.

[0269] 세라믹(다결정)이 매질로서 사용될 때, 이 매질은 저비용으로 단시간에 자유 형상으로 형성될 수 있다. 매질로서 단결정을 사용하는 경우에, 수mm 직경 및 수십 mm 길이를 갖는 원주형 매질(columnar medium)이 통상적으로 사용된다. 반면에, 매질로서 세라믹(다결정)을 사용하는 경우에, 단결정을 사용하는 경우보다 큰 매질이 형성될 수 있다. 발광에 직접적으로 기여하는 매질에서 Nd 또는 Yb와 같은 도편트의 농도는 단결정 또는 다결정을

사용하는 경우에 거의 변화될 수 없음으로 도편트의 농도를 증가시킴으로써 레이저의 출력을 개선시키는 데 어느 정도의 제약이 존재한다. 그러나, 세라믹이 매질로서 사용될 때, 매질의 크기는 단결정을 이용하는 경우와 비교하여 크게 증가될 수 있음으로, 레이저 출력을 크게 개선된다는 것을 예상할 수 있다. 게다가, 세라믹이 매질로서 사용될 때, 이 매질은 평행6면체 형상 또는 직사각형의 평행6면체 형상으로 손쉽게 형성될 수 있다. 이와 같은 형상을 갖는 매질이 사용되고 광이 매질 내에서 지그재그 방식으로 이동할 때, 이동하는 광의 경로는 길게 될 수 있다. 그러므로, 진폭이 증가되고 레이저 빔은 고출력에서 발진될 수 있다. 게다가, 이와 같은 형상을 갖는 매질로부터 방출되는 레이저가 사각형 형상의 단면을 갖기 때문에, 원형 형상의 레이저 빔과 달리 선형 빔으로 형상화하는데 유용하다. 광학 시스템을 이용하여 상술된 방식으로 방출된 레이저 빔을 형상화함으로써, 1mm 또는 그보다 작은 단축 및 수 μm 내지 수 μm 의 장축을 갖는 선형 빔이 손쉽게 얻어질 수 있다. 게다가, 매질이 여기된 광으로 균일하게 조사될 때, 선형 빔은 길이 방향으로 균일한 에너지 분포로 방출된다. 이와 같은 선형 빔으로 반도체 막을 조사함으로써, 반도체 막의 전체 표면은 균일하게 어닐링될 수 있다. 꼭에 걸쳐서 균일한 선형 빔이 어닐링하는데 사용될 필요가 있는 경우, 빔의 양 측에는 슬릿이 제공되어 선형 빔이 감쇠되는 부분의 광을 차단하도록 한다.

[0270] 본 발명에 사용되는 레이저로서, 연속파(CW) 레이저 또는 펄스된 레이저가 사용될 수 있다. 주파수, 전력 밀도, 에너지 밀도 및 빔 프로파일과 같은 레이저 조사 조건들은 제 1 절연막(102), 발광 소자의 구동 회로를 포함하는 적층체(104), 제 3 절연막(112), 전극(113), 및 보강층(114)의 재료들 및 두께를 고려하여 적절하게 제어된다는 점에 유의하라.

[0271] 기판으로부터 제 1 절연막을 갖는 적층체(118), 발광 소자의 구동 회로를 포함하는 적층체(104), 제 3 절연막(112), 전극(113) 및 보강막(114)을 분리시킬 때, 제 1 절연막(102)을 갖는 적층체(118), 발광 소자의 구동 회로를 포함하는 적층체(104), 제 3 절연막(112), 전극(113), 및 보강 막(114)은 보강 층(114)의 표면을 제 1 막(117)에 부착하고 제 1 막(117)을 도 6b에 도시된 바와 같이 속이 빈 화살표의 방향으로 당김으로써 기판(100)으로부터 분리된다. 이때, 기판(100) 및 적층체(118)는 분리막(101)의 내측에서 또는 박리층(101) 및 제 1 절연막(102) 간의 경계에서 서로로부터 분리된다. 기판(100)으로부터 분리된 후 적층체(118)는 최외곽 표면으로서 제 1 절연막(102)을 갖는다. 보강층(114)은 제 1 막(117)을 당김으로써 기판(100) 및 적층체(118)를 서로로부터 분리시킬 때 보강을 확보하는 막이다. 보강층(114)을 제공함으로써, 적층체(118)는 이 단계에서 파괴되는 것을 방지한다.

[0272] 제 1 막(117)은 접착층이 수지 재료로 이루어진 하지막 위에 제공되는 구조를 갖는 막이다. 예를 들어, 핫-멜트 막(hot-melt film), UV(자외선) 박리막, 열 박리막, 등이 예들로서 제공될 수 있다. 하지막을 위하여 사용되는 재료로서, 폴리에스테르, PET(폴리에틸렌 테레프탈레이트), PEN(폴리에틸렌 나프탈레이트) 등이 존재한다.

[0273] 핫-멜트 막은, 수지 재료가 하지막보다 낮은 연화점을 갖는다라는 조건으로, 수지 재료로 이루어진 접착층이 하지막 위에 형성되는 구조를 갖는다. 접착층에 사용되는 재료의 예들로서, 폴리에틸렌 수지, 폴리에스테르, EVA(에틸렌 비닐 아세테이트) 등이 존재한다. 게다가, UV(자외선) 박리 막은 UV(자외선)으로 조사될 때 접성이 약하게 되는 수지 재료로 이루어진 접착층이 하지막 위에 형성되는 구조를 갖는다. 게다가, 열 박리막은 가열될 때 접성이 약하게 되는 수지 재료로 이루어진 접착층이 하지막 위에 형성되는 구조를 갖는다.

[0274] 그 후, 도 6c에 도시된 바와 같이, 도전막(119)은 제 1 절연막(102)(즉, 박막 회로의 배면)의 표면, 즉 발광 소자의 구동 회로를 포함하는 적층체(104)가 전극(113)과 중첩하지 않는 위치에 형성되지 않은 제 1 절연막(102)의 표면 위에 1 내지 수십 μm , 바람직하게는 10 내지 20 μm 의 두께를 갖도록 형성된다. 도전막(119)은 납땜 또는 Au 페이스트, Ag 페이스트, Cu 페이스트, Ni 페이스트, 또는 Al 페이스트와 같은 도전 재료를 사용하여 예를 들어 스크린 인쇄에 의해 형성될 수 있다. 도전막(119)이 0.1 μm 또는 그보다 작을 정도로 얇게 형성될 때, 나중 단계에서 전극(113)과의 전기 접속을 손쉽게 할 수 없음으로, 도전막(119)은 0.1 μm 또는 그보다 큰 두께를 갖도록 형성되는 것이 바람직하다.

[0275] 그 후, 도 7a에 도시된 바와 같이, 도전막(119)은 레이저로 조사된다. 이 때, 레이저 출력은 도전막(119)이 제 1 절연막(102), 발광 소자의 구동 회로를 포함하는 적층체(104), 및 제 3 절연막(112)을 통과하여 전극(113)에 도달하도록 조정된다. 따라서, 도전막(119) 및 전극(113)은 도 7b에 도시된 바와 같은 방식으로 전기적으로 접속된다. 도 7b에서, 참조 번호(120)는 전극(113)에 전기적으로 접속되는 전극을 나타낸다.

[0276] 도 7b에 도시된 바와 같이, 훌은 레이저가 조사되는 위치에 있는 제 1 절연막(102), 발광 소자의 구동 회로를 포함하는 적층체(104), 및 제 3 절연막(113)에 형성되고, 도전막(119)을 형성하는 재료는 훌의 측벽들을 따라서 전극(113)의 내측에 도달한다.

- [0277] 본원에 도시된 예가 레이저 출력을 조정하여 도전막(119)이 전극(113)에 도달하도록 변환시킨 경우이지만, 레이저 출력은 보강 층(114) 및 제 1 막(117)을 통과하는 흘러 형성되도록 조정될 수 있다.
- [0278] 상술된 방식으로, 본 발명의 제 2 구조를 따라서 제 1 막(117) 및 발광 소자의 구동 회로를 포함하는 막(121)이 제조된다. 지금부터, 제 1 막(117) 및 발광 소자의 구동 회로를 포함하는 막(121)을 갖도록 상술된 방식으로 제조되는 적층체(122)에 제 1 기판을 부착시키는 단계가 설명될 것이다.
- [0279] 실시예 모드 1에 서술된 구조를 갖는 적층체가 발광 소자가 형성되는 제 1 기판에 부착되는 경우가 설명될 것이지만, 제 1 기판 위에 형성되는 발광 소자는 이 구조로 제한되지 않는다. 제 1 기판 위에 형성되는 발광 소자는 실시예 모드 2 또는 3에 서술된 구조와 유사한 구조를 가질 수 있다.
- [0280] 도 7c에 도시된 바와 같이, 제 1 기판(203) 및 발광 소자의 구동 회로를 포함하는 막(121)은 이방성 도전막(211)에 의해 서로에 부착되어 전극(120)이 형성되는 발광 소자의 구동 회로를 포함하는 막(121)의 표면이 발광 소자가 형성되는 제 1 기판(203)의 표면과 대향하도록 한다. 이방성 도전막(211)은 도전 입자(205)를 함유하는 재료이다. 이방성 도전막(211)으로서, ACP(이방성 도전 페이스트), ACF(이방성 도전막), 등이 예들로서 제공될 수 있다. 제 1 기판(203) 및 발광 소자의 구동 회로를 포함하는 막(121)을 이방성 도전막(211)에 의해 서로 부착함으로써, 전극들(120, 219)은 이방성 도전막(211)에 포함되는 도전 입자(205)를 통해서 전기적으로 접속된다.
- [0281] 그 후, 열처리가 가해져 이방성 도전막(211)을 경화시킨다. 열적 박리막이 제 1 막(117)으로서 사용되는 경우에, 제 1 막(117)은 이 열 처리에 의해 보강층(114)으로부터 분리될 수 있다. 도 8은 제 1 막(117)이 보강층(114)으로부터 분리된 후의 상태를 도시한 것이다.
- [0282] 제 1 막(117)이 이방성 도전막(211)을 경화시키기 위하여 열적 처리에서 보강층(114)으로부터 분리되는 경우가 상술되었지만, 본 발명은 이에 제한되지 않는다. 예를 들어, UV(자외선) 박리막은 제 1 막(117)으로서 사용될 수 있고, 이 경우에, 이방성 도전막(211)을 경화시키는 열처리가 가해진 후, 제 1 막(117)은 UV(자외선) 조사에 의해 보강층(114)으로부터 분리될 수 있다.
- [0283] 게다가, 도 8은 제 1 막(117)이 보강 층(114)으로부터 분리되는 경우를 도시하지만, 제 1 기판(203) 및 발광 소자의 구동 회로를 포함하는 막(121)은 제 1 막(117)을 분리함이 없이, 즉 제 1 막을 보강 층(114)으로부터 분리시킴이 없이 서로에 부착될 수 있다. 이 경우에, 열적 박리 막 및 UV(자외선) 박리 막 이외의 막(예를 들어, 핫-금속막)이 제 1 막(117)으로서 사용될 수 있다.
- [0284] 상기 설명은 전극들(120, 219)이 제 1 기판(203) 및 발광 소자의 구동 회로를 포함하는 막(121)을 서로에 부착시킴으로써 전기적으로 접속되는 예를 도시하지만, 전극들(120, 219)을 전기적으로 접속시키는 방법은 이에 제한되지 않고, 임의의 공지된 접속 방법이 사용될 수 있다. 예를 들어, 전극들(120, 219)은 NCP(비도전 페이스트) 또는 초음파들로 인한 공용 결합을 이용함으로써 전기적으로 접속될 수 있다.
- [0285] 도 8에 도시된 발광 장치의 단면 구조가 후술된다.
- [0286] 실시예 모드 1에서처럼 화소 회로의 예시적인 구성으로서 도 12에 도시된 화소 회로(609)를 이용하여 설명이 행해진다는 점에 유의하라. 게다가, 제 1 기판 위에 형성되는 발광 소자는 실시예 모드 1의 발광 소자아 동일한 구조를 가짐으로, 실시예 1과 공통되는 부분은 공통 참조 번호들이 병기되고, 이들에 대한 설명은 생략될 것이다.
- [0287] 도 8에서, 다수의 발광 소자들(206)이 형성되는 제 1 기판(203) 및 발광 소자의 구동 회로를 포함하는 막(121)이 서로 대향하도록 설치된다. 이 실시예 모드에서, 발광 소자의 구동 회로를 포함하는 막(121)이 발광 소자들이 형성되는 제 1 기판(203)의 표면과 대향하도록 제 1 기판(203) 및 발광 소자의 구동 회로를 포함하는 막(121)은 서로 부착된다. 따라서, 발광 소자의 구동 회로를 포함하는 막(121)은 밀봉 기판으로서 기능한다.
- [0288] 도 8의 발광 소자(206)는 도 12의 발광 소자(607)에 대응한다. 게다가, 도 8의 박막 트랜ジ스터(103)는 도 12의 구동 트랜지스터(606)에 대응한다.
- [0289] 도 8의 단면도는 박막 트랜지스터(103)(이는 구동 트랜지스터(606)에 대응)이 발광 소자의 구동 회로를 포함하는 막(121)에 형성되는 일부분만을 도시하지만, 구동 트랜지스터(606) 이외의 화소 회로(609)에 포함되는 소자들(예를 들어, 스위칭 트랜지스터(605) 및 커패시터(608))는 또한 발광 소자의 구동 회로를 포함하는 막(121)에 형성된다.

- [0290] 제 1 기판(203)으로서, 유리 기판, 석영 기판, 투광성 수지 기판과 같은 투광성 기판이 사용될 수 있다.
- [0291] 발광 소자의 구동 회로를 포함하는 막(121)은 유기 절연막, 무기 절연막 등을 포함하는 구조를 갖도록 형성된다.
- [0292] 발광 소자(206)로부터 방출된 광이 제 1 기판(203)의 방향으로만 이동하는 구조를 갖도록 발광 소자(206)를 형성하는 경우에, 발광 소자의 구동 회로를 포함하는 막(121)은 반드시 투광성 기판으로 될 필요는 없다. 따라서, 발광 소자의 구동 회로를 포함하는 막(121)은 광을 투과하지 않는 무기 절연막 또는 유기 절연막을 포함한다.
- [0293] 발광 소자(206)로부터 방출되는 광이 발광 소자의 구동 회로를 포함하는 막(121)의 방향으로만 이동하는 구조를 갖도록 발광 소자(206)를 형성하는 경우에, 제 1 기판(203)은 반드시 투광성 기판으로 될 필요는 없다. 따라서, 제 1 기판(203)은 투광성을 갖지 않는 수지 기판, 반도체 기판, 세라믹 기판, 또는 금속 기판과 같은 광을 투과하지 않는 기판일 수 있다. 이 경우에, 박막 트랜지스터(103) 및 발광 소자(206)의 위치들은 가능한 서로 중첩하지 않도록 설계될 필요가 있다.
- [0294] 상술된 구조들을 갖는 제 1 기판(203) 및 발광 소자의 구동 회로를 포함하는 막(121)은 이방성 도전막(211)에 의해서 서로에 부착된다. 이방성 도전막(211)으로서, ACP(이방성 도전 페이스트), ACF(이방성 도전막), 등이 예들로서 제공될 수 있다. 제 1 기판(203) 및 발광 소자의 구동 회로를 포함하는 막(121)을 이방성 도전막(211)에 의해 서로 부착함으로써, 전극들(120, 219)은 이방성 도전막(211)에 포함되는 도전 입자(205)를 통해서 전기적으로 접속된다. 즉, 제 1 기판(203) 위에 형성되는 발광 소자(206) 및 발광 소자의 구동 회로를 포함하는 막(121)에 형성되는 박막 트랜지스터(103)는 전기적으로 접속된다.
- [0295] 도 8은 이방성 도전막(211)에 의해 제 1 기판(203) 및 발광 소자의 구동 회로를 포함하는 막(121)이 서로에 부착됨으로써 전극들(120, 219)이 전기적으로 접속되는 예를 도시하지만, 전극들(120, 219)을 전기적으로 접속시키는 방법은 특히 이에 제한되지 않고, 임의의 공지된 접속 방법이 사용될 수 있다. 예를 들어, 전극들(120, 219)은 NCP(비도전 페이스트) 또는 초음파들에 의한 공용 결합에 의해 전기적으로 접속될 수 있다.
- [0296] 게다가, 스페이서는 제 1 기판(203) 및 발광 소자의 구동 회로를 포함하는 막(121) 서로에 부착될 때 적절하게 제 1 기판(203) 및 발광 소자의 구동 회로를 포함하는 막(121) 간에 제공될 수 있다.
- [0297] 도 8이 발광 소자(206)의 제 1 전극(204) 및 전원 간의 접속을 특별히 도시하지 않지만, 화소부(601) 주위 또는 소스 신호선 구동 회로(602) 및 게이트 신호선 구동 회로(603)의 외부 영역 내 제 1 전극(204)에 전기적으로 접속되는 접속 단자를 제공함으로써 그리고 IC 등 내에 제공된 외부 전원에 접속 단자를 접속시킴으로써, 카운터 전위는 제 1 전극(204)에 공급된다.
- [0298] 도 12에 도시된 화소 회로(609)가 각 화소에 제공된 발광 소자를 구동하는 화소 회로의 예로서 사용되는 경우가 상술되었지만, 이 구조는 이로 제한되지 않는다. 도 12에 도시된 화소 회로(609)의 구조는 단지 예시를 위한 것임으로, 이 실시예 모드는 각종 다른 화소 회로들에서 구현될 수 있다.
- [0299] 도 12에 도시된 화소 회로(609)는 발광 소자(607)가 발광 소자(607)를 구동하는 트랜지스터로서 구동 트랜지스터(606)에 접속되는 회로 구성을 갖는다. 따라서, 발광 소자(607) 및 구동 트랜지스터(606)는 이방성 도전막을 통해서 전기적으로 접속된다. 따라서, 본 발명을 다른 화소 회로 구성들에 적용시, 발광 소자에 접속되어야 하는 소자는 이방성 도전막을 통해서 발광 소자에 전기적으로 접속되는 것만이 필요로 된다. 대부분의 화소 회로들에서, 발광 소자에 접속되는 소자는 발광 소자를 구동하는 박막 트랜지스터이다. 따라서, 대부분의 경우들에, 발광 소자 및 상기 발광 소자를 구동하는 트랜지스터는 이방성 도전막을 통해서 전기적으로 접속된다.
- [0300] 이 실시예 모드에서 설명된 발광 장치는 다음 공정을 통해서 발광 소자를 구동하는 화소 회로를 포함하는 막을 형성함으로써 제조되는데, 상기 공정은 기판 위에 발광 소자를 구동하는 화소 회로를 형성하는 단계, 및 그 후, 발광 소자를 구동하는 화소 회로를 기판으로부터 분리시키는 단계를 포함한다. 따라서, 발광 장치의 두께는 감소될 수 있다. 따라서, 전자 장치 등을 위한 이 실시예 모드에서 발광 장치를 사용함으로써, 두께 방향의 전자 장치의 치수는 더욱 감소될 수 있다. 따라서, 본 발명은 휴대용 전화, 휴대용 게임기, 이동용 컴퓨터, 개인용 컴퓨터, 및 카메라(예를 들어, 디지털 카메라 및 비디오 카메라)와 같이 크기면에서 감소될 필요가 있는 전자 장치(특히 휴대용 전자 장치)에 적용될 때 크기를 감소시킬 수 있다는 점에서 유용하다.
- [0301] 게다가, 발광 소자가 형성되는 제 1 기판이 가요성 기판일 때, 가요성 발광 장치가 제공될 수 있다. 이

경우에, 수지 기판 등은 발광 소자가 형성되는 기판으로서 사용될 수 있다. 게다가, 발광 소자는 잉크-젯 방법, 인쇄 등에 의해 수지 기판 위에 형성될 수 있다.

- [0302] 이 실시예 모드는 적절하게는 다른 실시예 모드에 서술된 기술들과 결합하여 구현될 수 있다는 점에 유의하라. 따라서, 예를 들어, 이미지 센서가 실시예 모드 4에서처럼 제 2 기판 위에 제공되는 구조 또는 이미지 센서가 실시예 모드 5에서처럼 제 1 기판위에 제공되는 구조가 사용될 수 있다.
- [0303] [실시예 모드 7]
- [0304] 이 실시예 모드에서, 본 발명의 제 1 구조에서 발광 소자의 구동 회로가 형성되는 제 2 기판이 얇게 이루어지는 예가 설명된다.
- [0305] 발광 소자가 형성되는 제 1 기판의 제조 단계들은 실시예 모드들 1 내지 3에서 서술된 단계들과 유사함으로, 발광 소자의 구동 회로가 형성되는 제 2 기판의 제조 단계들이 우선 본원에 설명된다.
- [0306] 도 17a에 도시된 바와 같이, 제 1 절연막(1001)은 기판(1000) 위에 형성된다. 제 1 절연막(1001)은 하지막으로서 기능하는 막이다. 제 1 절연막(1001)으로서, 실리콘의 산화물, 실리콘의 질화물, 질소를 함유하는 실리콘의 산화물, 수소를 함유하는 실리콘의 질화물 등이 플라즈마 CVD 또는 스퍼터링에 의해 형성된다.
- [0307] 기판(1000)은 석영 기판, 반도체 기판, 유리 기판, 금속 기판 등일 수 있다.
- [0308] 도 17b에 도시된 바와 같이, 발광 소자의 구동 회로를 포함하는 적층체(1004)는 공지된 방법에 의해 제 1 절연막(1001) 위에 형성된다. 지금부터, 발광 소자의 구동 회로가 발광 소자를 구동하는 화소 회로인 경우에 대해서 설명할 것이다.
- [0309] 발광 소자의 구동 회로를 포함하는 적층체(1004)로서, 예를 들어, 다수의 박막 트랜지스터들(1003), 상기 다수의 박막 트랜지스터들(1003)을 커버하는 제 2 절연막(1010) 및 제 2 절연막(1010)과 접촉하고 다수의 박막 트랜지스터들(1003)의 소스 또는 드레인 영역에 전기적으로 접속되는 전극(1011)이 형성된다. 각 박막 트랜지스터(1003)는 섬형 반도체 막(1007), 게이트 절연막(1008), 게이트 전극(1009) 등을 포함한다.
- [0310] 발광 소자의 구동 회로를 포함하는 적층체(1004)를 형성하는 방법으로서, 실시예 모드 6에 서술된 형성 방법과 유사한 방법이 사용될 수 있다.
- [0311] 박막 트랜지스터(1003)의 구조가 도 17b에 도시된 구조로 제한되지 않고 도 17b에 도시된 구조 이외의 구조를 갖는 박막 구조가 사용될 수 있다는 점에 유의하라. 예를 들어, 박막 트랜지스터(1003)는 게이트 전극의 대향 층들 상에 측벽들을 제공함으로써 LDD 영역들(얇게 도핑된 드레인 영역들)을 갖도록 형성되는 톱-게이트 박막 트랜지스터, 바텀-게이트 박막 트랜지스터 또는 실리사이드 영역을 갖는 박막 트랜지스터와 같은 공지된 박막 트랜지스터의 구조를 가질 수 있다.
- [0312] 그 후, 도 17ca에 도시된 바와 같이, 제 3 절연막(1012)은 발광 소자의 구동 회로를 포함한 적층체(1004) 위에 형성되고, 전극(1011)에 전기적으로 접속되는 전극(1013)은 제 3 절연막(1012) 위에 형성된다.
- [0313] 제 3 절연막(1012)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화 막 또는 실리콘 질화산화 막과 같은 무기 재료; 폴리아미드, 폴리아미드, 벤조시클로부텐, 아크릴, 또는 에폭시와 같은 유기 재료; 실록산 등을 이용하는 공지된 방법에 의해 형성되어 단층 구조 또는 적층 구조를 갖도록 형성된다.
- [0314] 전극(1003)이 도 17c의 전극(1011)에 접속되도록 형성되지만, 본 발명은 특별히 이 경우로 제한되지 않는다. 외부 회로에 전기적으로 접속되어야 하는 박막 회로의 일부에서 전극을 형성하는 것만을 필요로 한다.
- [0315] 다음에, 도 18a에 도시된 바와 같이, 제 4 절연막(1014)은 전극(1013) 위에 형성된다. 제 4 절연막(1014)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화 막 또는 실리콘 질화산화 막과 같은 무기 재료; 폴리아미드, 벤조시클로부텐, 아크릴, 또는 에폭시와 같은 유기 재료; 실록산 등을 이용하는 공지된 방법에 의해 형성되어 단층 구조 또는 적층 구조를 갖도록 형성된다.
- [0316] 그 후, 도 18b에 도시된 바와 같이, 기판(1015)은 접착제를 사용하여 제 4 절연막(1014)에 부착된다. 기판(1015)으로서, 석영 기판, 반도체 기판, 유리 기판, 금속 기판, 수지 기판, 등이 사용될 수 있다. 접착제로서, 열이 가해질 때 접성이 약해지는 접착제 또는 UV(자외선)가 조사될 때 접성이 약해지는 접착제를 사용하는 것이 바람직하다. 게다가, 기판(1015)은 핫-멜트 막, UV(자외선) 박리막, 또는 열 박리막과 같은 접착층이 하지막 위에 제공되는 구조를 갖는 막일 수 있다. 이 경우에, 접착제는 기판(1015)을 제 4 절연막(1014)에 부착시에

필요로 되지 않는다.

- [0317] 기판(1015)이 제 4 절연막에 부착되지 않는 경우에, 발광 소자의 구동 회로를 포함하는 적층체(1004), 제 3 절연막(1012), 전극(1013) 및 제 4 절연막(1014)을 갖는 스택은 커링(curl)되는데, 그 이유는 기판(1000)이 기판(1000)을 얇게 하는 나중 단계(박막화 처리)에서 기판(1000)을 더 얇게 하기 때문이다. 그러나, 기판(1015)을 부착함으로써, 발광 소자의 구동 회로를 포함하는 적층체(1004), 제 3 절연막(1012), 전극(1013) 및 제 4 절연막(1014)을 갖는 스택은 기판(1000)을 얇게 하는 나중 단계에서 커링되는 것이 방지될 수 있다.
- [0318] 기판(1015)이 제 4 절연막(1014)에 부착된 후, 기판(1000)을 얇게 하는 단계가 수행된다. 이 단계는 기판(1000)이 $100\mu\text{m}$ 또는 그보다 적게 또는 바람직하게는 20 내지 $50\mu\text{m}$ 의 두께를 갖도록 한다. 여기서, 기판(1000)은 도 18c에 도시된 바와 같이 연삭수단 또는 연마수단(1016)에 의해 더욱 얇게 된다. 이 경우에, 기판(1000)은 단지 연삭수단 만을 사용하는 연삭 처리에 의해 또는 단지 연마수단만을 사용하는 연마 처리에 의해 얇게 될 수 있지만, 우선 연삭수단으로 기판을 연삭하고 나서 연마수단으로 이를 연마하는 것이 바람직하다.
- [0319] 연삭 또는 연마에 의해 기판(1000)을 얇게 하는 단계를 수행하는 경우에, 제 1 절연막(1001)은 기판(1000) 보다 더 높은 Vickers 경도를 갖는 층을 기판(1000) 및 제 1 절연막(1001) 간에 형성함으로써 연삭 또는 연마가 방지될 수 있다.
- [0320] 게다가, 연삭수단 또는 연마수단이 기판(1000)을 얇게 하기 위하여 사용되지만, 본 발명은 이에 제한되지 않는다. 습식 에칭이 기판(1000)을 얇게 하기 위한 방법으로서 또한 사용될 수 있다. 이 경우에, 기판(1000)을 에칭하는데 사용되는 에천트에 저항하는 막을 기판(1000) 및 제 1 절연막(1001) 간에 제공하여, 제 1 절연막(1001)이 에칭되는 것을 방지하는 것이 바람직하다.
- [0321] 습식 에칭과 연삭을 결합하며, 습식 에칭을 연마와 결합하거나, 습식 에칭과 연삭 및 연마를 결합함으로써 기판(1000)을 얇게 한다는 점에 유의하라.
- [0322] 도 19a는 기판(1000)의 박막화 처리를 통해서 기판(1000)을 얇게 하는 상태를 도시한 것이다. 도 19a가 기판(1000)이 유지되는 상태를 도시하였지만, 기판(1000)은 완전히 제거되는 상태에 있을 수 있거나, 기판(1000)의 일부는 제 1 절연막(1001)의 표면상에 유지될 수 있다. 기판(1000)이 이 실시예 모드에서 완전히 제거되는 상태에 있는 경우에, 실시예 모드 6에서 제조되는 발광 소자의 구동 회로를 포함하는 막의 구조와 유사한 구조가 제공된다. 따라서, 기판(1000)이 이 실시예 모드에서 제 2 기판측의 구조에서 완전히 제거되는 상태에 있는 경우에, 발광 소자의 구동 회로를 포함하는 막이라 칭한다.
- [0323] 그 후, 도 19b에 도시된 바와 같이, 도전막(1017)은 1 내지 수십 μm 또는 바람직하게는 10 내지 $20\mu\text{m}$ 의 두께를 갖도록 제 1 절연막(1001)이 형성되지 않는 기판(1000)의 표면, 즉 전극(1013)과 중첩하는 위치에서 박막 회로의 배면 위에 형성된다. 도전막(1017)은 예를 들어 납땜 또는 Au 페이스트, Ag 페이스트 Cu 페이스트, Ni 페이스트 또는 Al 페이스트와 같은 도전 재료를 이용하는 스크린 인쇄에 의해 형성될 수 있다. 도전막(1017)이 $0.1\mu\text{m}$ 또는 그보다 작을 정도로 얇게 형성될 때, 나중 단계에서 전극(1013)과 전기 접속을 손쉽게 행할 수 없음으로, 도전막(1017)은 $0.1\mu\text{m}$ 또는 그보다 큰 두께를 갖도록 형성되는 것이 바람직하다.
- [0324] 그 후, 도 19c에 도시된 바와 같이, 도전막(1017)은 레이저로 조사된다. 이 때, 레이저 출력은 도전막(1017)이 기판(1000), 제 1 절연막(1001), 발광 소자의 구동 회로를 포함하는 적층체(1004) 및 제 3 절연막(1012)를 통과하여 전극(1013)에 도달하도록 조정된다. 따라서, 도전막(1017) 및 전극(1013)은 도 20a에 도시된 바와 같은 방식으로 전기적으로 접속된다. 도 20a에서, 참조 번호(1018)는 전극(1013)에 전기적으로 접속되는 전극을 나타낸다.
- [0325] 도 20a에 도시된 바와 같이, 홀은 레이저가 조사되는 위치에 있는 기판(1000), 제 1 절연막(1001), 발광 소자의 구동 회로를 포함하는 적층체(1004), 및 제 3 절연막(1012)에 형성되고, 도전막(1017)을 형성하는 재료는 홀의 측벽들을 따라서 전극(1013)의 내측에 도달한다.
- [0326] 본원에 도시된 예가 레이저 출력을 조정하여 도전막(1017)이 전극(1013)에 도달하도록 변환시킨 경우이지만, 레이저 출력은 제 4 절연막(1014) 및 기판(1015)을 통과하는 홀이 형성되도록 조정될 수 있다.
- [0327] 상술된 방식으로, 발광 소자의 구동 회로가 형성되는 본 발명의 제 1 구조를 따른 제 2 기판(1000)이 제조된다. 지금부터, 발광 소자의 구동 회로를 갖도록 상술된 방식으로 제조되는 제 2 기판(1000)에 제 1 기판을 부착시키는 단계가 설명될 것이다. 실시예 모드 1에 서술된 구조를 갖는 제 1 기판에 제 2 기판(1000)을 부착시키는 경우가 설명될 것이지만, 제 1 기판 위에 형성되는 발광 소자는 이 구조로 제한되지 않는다. 제 1 기판 위에 형

성되는 발광 소자는 실시예 모드 2 또는 3에 서술된 구조와 유사한 구조를 가질 수 있다.

- [0328] 도 20b에 도시된 바와 같이, 제 1 기판(203) 및 발광 소자의 구동 회로가 형성되는 제 2 기판(1000)은 이방성 도전막(211)에 의해 서로에 부착되어 전극(1018)이 형성되는 발광 소자의 구동 회로를 갖는 제 2 기판(1000)의 표면이 발광 소자가 형성되는 제 1 기판(203)의 표면과 대향하도록 한다. 이방성 도전막(211)은 도전 입자(205)를 함유하는 재료이다. 이방성 도전막(211)으로서, ACP(이방성 도전 페이스트), ACF(이방성 도전막), 등이 예들로서 제공될 수 있다. 제 1 기판(203) 및 발광 소자의 구동 회로가 형성되는 제 2 기판(1000)을 이방성 도전막(211)에 의해 서로 부착함으로써, 전극들(219, 1018)은 도전 입자(205)를 통해서 전기적으로 접속된다.
- [0329] 그 후, 열처리가 가해져 이방성 도전막(211)을 경화시킨다. 기판(1015)을 제 4 절연막(1014)에 부착시 기판(1015) 및 제 4 절연막(1014)이 열이 가해져 접성이 약해지는 접착제에 의해 기판(1015) 및 제 4 절연막(1014)이 서로에 부착되는 경우에, 기판(1015)은 이 열 처리 단계에서 제 4 절연막(1014)으로부터 분리될 수 있다. 게다가, 열 박리막이 기판(1015)으로서 사용되는 경우에, 열 박리막은 이 열 처리 단계에서 제 4 절연막(1014)으로부터 분리될 수 있다. 도 21은 기판(1015)이 제 4 절연막(1014)로부터 분리된 후의 상태를 도시한 것이다.
- [0330] 기판(1015)가 이방성 도전막(211)을 경화시키기 위하여 열 처리시에 분리되는 경우가 상술되었지만, 본 발명은 이로 제한되지 않는다. 기판(1015)을 제 4 절연막(1014)에 부착시, UV(자외선)으로 조사될 때 접성이 약하게 되는 접착제를 이용함으로써 부착이 실행될 수 있다. 그 후, 이방성 도전막(211)을 경화시키기 위하여 열처리를 가한 후, 기판(1015)은 UV(자외선) 조사에 의해 제 4 절연막(1014)으로부터 분리될 수 있다. 대안적으로, UV(자외선) 박리막은 기판(1015)으로서 사용될 수 있고, 이 경우에, 이방성 도전막(211)을 경화시키기 위하여 열처리가 가해진 후, 기판(1015)(UV(자외선) 박리막)은 UV(자외선) 조사에 의해 제 4 절연막(1014)으로부터 분리될 수 있다.
- [0331] 게다가, 도 21이 기판(1015)이 제 4 절연막(1014)으로부터 분리되는 경우를 도시하지만, 제 1 기판(203) 및 제 2 기판(1000)은 제 4 절연막(1014)으로부터 기판(1015)을 분리함이 없이, 즉 제 4 절연막(1014)으로부터 제 4 절연막(1014)을 분리함이 없이 서로에 부착될 수 있다. 이 경우에, 열 박리막 및 UV(자외선) 박리막 이외의 막(예를 들어, 핫-멜트 막)은 기판(1015)으로서 사용될 수 있다.
- [0332] 전극들(219, 1018)이 제 1 기판(203) 및 제 2 기판(1000)을 이방성 도전막(211)에 의해 서로에 부착함으로써 전기적으로 접속되는 예를 상술하였지만, 전극들(219, 1018)을 전기적으로 접속시키는 방법은 이로 제한되지 않고 임의의 공지된 접속 방법에 사용될 수 있다. 예를 들어, 전극들(219, 1018)은 NCP(비도전 페이스트) 또는 초음파들로 인한 공용 결합을 이용함으로써 전기적으로 접속될 수 있다.
- [0333] 도 21에 도시된 발광 장치의 단면 구조가 후술된다.
- [0334] 실시예 모드 1에서처럼 화소 회로의 예시적인 구성으로서 도 12에 도시된 화소 회로(609)를 사용하여 설명을 행한다는 점에 유의하라. 게다가, 제 1 기판 위에 형성되는 발광 소자는 실시예 모드 1의 구조와 동일한 구조를 가짐으로, 실시예 모드 1과 공통되는 부분들에는 동일한 참조 번호들로 표시되고 이들에 대한 설명은 생략될 것이다.
- [0335] 도 21에서, 다수의 발광 소자들(206)이 형성되는 제 1 기판(203) 및 제 2 기판은 서로에 대향하도록 설치된다. 이 실시예 모드에서, 제 2 기판(1000)이 발광 소자들이 형성되는 제 1 기판의 표면과 대향하도록 제 1 기판(203) 및 제 2 기판(1000)은 서로 부착된다. 따라서, 제 2 기판(1000)은 밀봉 기판으로서 기능한다.
- [0336] 도 21의 발광 소자(206)는 도 12의 발광 소자(607)에 대응한다. 게다가, 도 21의 박막 트랜지스터(1003)는 도 12의 구동 트랜지스터(606)에 대응한다.
- [0337] 도 21의 단면도는 박막 트랜지스터(1003)(이는 구동 트랜지스터(606)에 대응)가 제 2 기판(1000) 위에 형성되는 일부분만을 도시하지만, 구동 트랜지스터(606) 이외의 화소 회로(609)에 포함되는 소자들(예를 들어, 스위칭 트랜지스터(605) 및 커패시터(608))는 또한 제 2 기판(1000)위에 형성된다.
- [0338] 제 1 기판(203)으로서, 유리 기판, 석영 기판, 투광성 수지 기판과 같은 투광성 기판이 사용될 수 있다.
- [0339] 발광 소자(206)로부터 방출되는 광이 제 1 기판(203)의 방향으로만 이동하는 구조를 갖도록 발광 소자(206)를 형성하는 경우에, 제 2 기판(1000)은 투광성을 가질 필요가 없다는 점에 유의하라.
- [0340] 게다가, 발광 소자(206)로부터 방출되는 광이 제 2 기판(1000)의 방향으로만 이동하는 구조를 갖도록 발광 소자(206)를 형성하는 경우에, 제 1 기판(203)은 반드시 투광성 기판이 될 필요는 없다. 따라서, 제 1 기판(203)은

투광성을 갖지 않는 수지 기판, 반도체 기판, 세라믹 기판 또는 금속 기판과 같은 광을 투과하지 않는 기판일 수 있다.

- [0341] 상술된 구조들을 갖는 제 1 기판(203) 및 제 2 기판(1000)은 이방성 도전막(211)에 의해 서로에 부착된다. 이 방성 도전막(211)으로서, ACP(이방성 도전 페이스트), ACF(이방성 도전막), 등이 예들로서 제공될 수 있다. 제 1 기판(203) 및 제 2 기판(1000)을 이방성 도전막(211)에 의해 서로 부착함으로써, 전극들(219, 1018)은 이방성 도전막(211)에 포함되는 도전 입자(205)를 통해서 전기적으로 접속된다. 즉, 제 1 기판(203) 위에 형성되는 발광 소자(206) 및 제 2 기판(1000) 위에 형성되는 박막 트랜지스터(1003)는 전기적으로 접속된다.
- [0342] 도 21은 이방성 도전막(211)에 의해 제 1 기판(203) 및 제 2 기판(1000)이 서로에 부착됨으로써 전극들(219, 1018)이 전기적으로 접속되는 예를 도시하지만, 전극들(219, 1018)을 전기적으로 접속시키는 방법은 이에 제한되지 않고, 임의의 공지된 접속 방법이 사용될 수 있다. 예를 들어, 전극들(218, 1018)은 NCP(비도전 페이스트) 또는 초음파들에 의한 공용 결합에 의해 전기적으로 접속될 수 있다.
- [0343] 게다가, 스페이서는 제 1 기판(203) 및 제 2 기판(1000)이 서로에 부착될 때 적절하게 제 1 기판(203) 및 제 2 기판(1000) 간에 제공될 수 있다.
- [0344] 도 21이 발광 소자(206)의 제 1 전극(204) 및 전원 간의 접속을 특별히 도시하지 않지만, 화소부(601) 주위 또는 소스 신호선 구동 회로(602) 및 게이트 신호선 구동 회로(603)의 외부 영역 내 제 1 전극(204)에 전기적으로 접속되는 접속 단자를 제공함으로써 그리고 IC 등 내에 제공된 외부 전원에 접속 단자를 접속시킴으로써, 카운터 전위는 제 1 전극(204)에 공급된다.
- [0345] 도 12에 도시된 화소 회로(609)가 각 화소에 제공된 발광 소자를 구동하는 화소 회로의 예로서 사용되는 경우가 상술되었지만, 이 구조는 이로 제한되지 않는다. 도 12에 도시된 화소 회로(609)의 구조는 단지 예시를 위한 것임으로, 이 실시예 모드는 각종 다른 화소 회로들에서 구현될 수 있다.
- [0346] 도 12에 도시된 화소 회로(609)는 발광 소자(607)가 발광 소자(607)를 구동하는 박막 트랜지스터로서 구동 트랜지스터(606)에 접속되는 회로 구성을 갖는다. 따라서, 발광 소자(607) 및 구동 트랜지스터(606)는 이방성 도전막을 통해서 전기적으로 접속된다. 따라서, 본 발명을 다른 화소 회로 구성들에 적용시, 발광 소자에 접속되어야 하는 소자는 이방성 도전막을 통해서 발광 소자에 전기적으로 접속되는 것만이 필요로 된다. 대부분의 화소 회로들에서, 발광 소자에 접속되는 소자는 발광 소자를 구동하는 박막 트랜지스터이다. 따라서, 대부분의 경우들에, 발광 소자 및 상기 발광 소자를 구동하는 트랜지스터는 이방성 도전막을 통해서 전기적으로 접속된다.
- [0347] 이 실시예 모드에서 서술된 발광 장치가 발광 소자를 구동하는 화소 회로가 형성되는 기판을 얇게 하는 처리(박막화 처리)를 통해서 형성되기 때문에, 발광 장치 자체의 두께는 감소될 수 있다. 따라서, 전자 장치 등을 위한 이 실시예 모드에서 발광 장치를 사용함으로써, 두께 방향의 전자 장치의 치수는 더욱 감소될 수 있다. 따라서, 본 발명은 휴대용 전화, 휴대용 게임기, 이동용 컴퓨터, 개인용 컴퓨터, 및 카메라(예를 들어, 디지털 카메라 및 비디오 카메라)와 같이 크기면에서 감소될 필요가 있는 전자 장치(특히 휴대용 전자 장치)에 적용될 때 크기를 감소시킬 수 있다는 점에서 유용하다.
- [0348] 게다가, 발광 소자를 구동하는 화소 회로가 형성되는 기판이 가요성을 충분히 갖도록 얇게 형성되고 발광 소자가 형성되는 기판이 가요성 기판으로서 형성될 때, 가요성 발광 장치가 제공될 수 있다. 이 경우에, 수지 기판 등은 발광 소자가 형성되는 기판으로서 사용될 수 있다. 게다가, 발광 소자는 잉크-젯 방법, 인쇄 등에 의해 수지 기판 위에 형성될 수 있다.
- [0349] 이 실시예 모드는 적절하게는 다른 실시예 모드에 서술된 기술들과 결합하여 구현될 수 있다는 점에 유의하라. 따라서, 예를 들어, 이미지 센서가 실시예 모드 4에서처럼 제 2 기판 위에 제공되는 구조 또는 이미지 센서가 실시예 모드 5에서처럼 제 1 기판위에 제공되는 구조가 사용될 수 있다.
- [0350] [실시예 모드 8]
- [0351] 이 실시예 모드에서, 제 1 기판 위에 형성되는 발광 소자 및 제 2 기판 위에 형성되는 트랜지스터가 전기적으로 접속되는 수동 발광 소자의 예가 설명된다. 즉, 본 발명의 제 1 구조를 지닌 발광 장치가 수동 매트릭스 발광 장치인 경우의 예가 설명된다.
- [0352] 도 13은 수동 매트릭스 발광 장치를 개요적으로 도시한 것이다. 도 13에 도시된 바와 같이, 수동 매트릭스 발광 장치는 화소부(701), 제 1 구동 회로(지금부터 "칼럼 구동기"라 칭함)(702), 제 2 구동 회로(지금부터, "로우 구동기"라 칭함)(703), 칼럼 구동기에 접속되는 신호선들(C1 내지 Cn) 및 로우 구동기에 접속되는 신호선들

(R1 내지 Rm)을 포함한다.

- [0353] 도 14는 하소부(701)의 등기 회로도를 도시한다. 신호선들(C1 내지 Cn) 및 신호선들(R1 내지 Rm)은 서로에 대해 직각으로 교차하도록 형성된다. 발광 소자(704)는 신호선들(C1 내지 Cn) 및 신호선들(R1 내지 Rm)의 각 교차부에서 형성된다.
- [0354] 이 실시예 모드에서 상술된 구조를 갖는 수동 매트릭스 발광 장치에서, 신호선들(C1 내지 Cn), 신호선들(R1 내지 Rm) 및 발광 소자(704)는 제 1 기판 위에 형성되는 반면에, 칼럼 구동기(702) 및 로우 구동기(703)는 제 2 기판위에 형성된다. 그 후, 칼럼 구동기(702)는 신호선들(C1 내지 Cn)에 전기적으로 접속되고, 로우 구동기(703)는 신호선들(R1 내지 Rm)에 전기적으로 접속된다.
- [0355] 도 9a는 이 실시예 모드에서 발광 장치의 제 1 기판의 상부도를 도시한다. 신호선들(C1 내지 Cn)에 대응하는 배선들(521), 신호선들(R1 내지 Rm)에 대응하는 배선들(523), 및 발광 물질을 함유하는 층(522)은 제 1 기판(520) 위에 형성된다. 배선들(521 및 523)은 서로에 직각으로 교차하도록 형성된다.
- [0356] 도 9b는 도 9a의 선 A-A'을 따른 단면도를 도시한 반면에, 도 9c는 도 9a의 선 B-B'를 따른 단면도를 도시한다. 도 9b 및 도 9c 각각은 제 2 기판이 제 1 기판과 대향하도록 설치되는 상태의 단면도를 도시한다.
- [0357] 도 9a의 선 A-A'를 따른 단면 구조가 도 9b와 관련하여 설명될 것이다. 신호선들(R1 내지 Rm)에 대응하는 배선(523)은 제 1 기판(520) 위에 형성되고 절연막들(527)은 신호선들(R1 내지 Rm)에 대응하는 배선(523) 위에 스트립들로 형성된다. 그 후, 절연막(527)보다 더 좁은 폭을 갖는 격벽(530)은 각 절연막(527) 위에 형성된다. 하부보다 넓은 상부를 갖도록 격벽(530)을 형성한다. 그 후, 발광 물질을 함유하는 층(522)은 신호선들(R1 내지 Rm) 및 격벽(530)에 대응하는 배선(523) 위에 형성되고, 또한 신호선들(C1 내지 Cn)에 대응하는 배선(521)은 발광 물질을 함유하는 층(522) 위에 형성된다.
- [0358] 전극(519)은 신호선들(R1 내지 Rm)에 대응하는 배선(523) 위에 형성되어 신호선들(R1 내지 Rm)에 대응하는 배선(523)에 전기적으로 접속되도록 한다.
- [0359] 로우 구동기(703)에 포함되는 박막 트랜지스터(502)는 제 1 기판(520)과 대향하도록 설치되는 제 2 기판(500) 위에 형성된다. 도 9b에서, 박막 트랜지스터(502)는 반도체 막(517), 게이트 절연막(516), 및 하지막(501)을 갖는 제 2 기판위에 형성되는 게이트 전극(515)을 포함하는데, 상기 하지막은 상기 게이트 전극 및 상기 제 2 기판 간에 삽입되어 있다.
- [0360] 제 1 층간 절연막(526)은 박막 트랜지스터(502) 위에 형성되고, 전극(529)은 박막 트랜지스터(502)의 반도체 막(517)에 전기적으로 접속되는 방식으로 제 1 층간 절연막(526)위에 형성된다. 그 후, 제 2 층간 절연막(528)은 전극(529) 및 제 1 층간 절연막(526)위에 형성되고, 또한 전극(529)에 전기적으로 접속되는 전극(518)은 제 2 층간 절연막(528)위에 형성된다. 따라서, 박막 트랜지스터(502) 및 전극(518)은 전기적으로 접속된다.
- [0361] 상술된 구조들을 갖는 제 1 기판(520) 및 제 2 기판(500)은 이방성 도전막(524)에 의해서 서로에 부착된다. 이 방성 도전막(524)으로서, ACP(이방성 도전 페이스트), ACF(이방성 도전막), 등이 예들로서 제공될 수 있다. 제 1 기판(520) 및 제 2 기판(500)을 이방성 도전막(524)에 의해 서로 부착함으로써, 전극들(518, 519)은 이방성 도전막(524)에 포함되는 도전 입자(505)를 통해서 전기적으로 접속된다. 즉, 제 1 기판(520) 위에 형성되는 배선(523) 및 제 2 기판(500) 위에 형성되는 박막 트랜지스터(502)는 전기적으로 접속된다.
- [0362] 다음에, 도 9a의 선 B-B'를 따른 단면 구조가 도 9c와 관련하여 설명된다. 신호선들(R1 내지 Rm)에 대응하는 배선(523)은 제 1 기판(520)위에 형성되며, 발광 물질을 함유하는 층(522)은 신호선들(R1 내지 Rm)에 대응하는 배선(523) 위에 형성되고, 신호선(C1 내지 Cn)에 대응하는 배선(521)은 발광 물질을 함유하는 층(522)위에 형성된다.
- [0363] 전극(549)은 신호선들(C1 내지 Cn)에 대응하는 배선(521) 위에 형성되어 신호선들(C1 내지 Cm)에 대응하는 배선(521)에 전기적으로 접속되도록 한다.
- [0364] 칼럼 구동기(702)에 포함되는 박막 트랜지스터(532)는 제 1 기판(520)과 대향하도록 설치되는 제 2 기판(500) 위에 형성된다. 도 9c에서, 박막 트랜지스터(532)는 반도체 막(547), 게이트 절연막(516), 및 하지막(501)을 갖는 제 2 기판 위에 형성되는 게이트 전극(515)을 포함하고, 상기 하지막(501)은 상기 게이트 전극 및 제 2 기판간에 삽입되어 있다.
- [0365] 제 1 층간 절연막(526)은 박막 트랜지스터(532) 위에 형성되고, 박막 트랜지스터(532)의 반도체 막(547)에 전기

적으로 접속되는 전극(550)은 제 1 층간 절연막(526) 위에 형성된다. 그 후, 제 2 층간 절연막(528)은 전극(550) 및 제 1 층간 절연막(526) 위에 형성되고, 또한 전극(550)에 전기적으로 접속되는 전극(548)은 제 2 층간 절연막(528) 위에 형성된다.

[0366] 상술된 구조들을 갖는 제 1 기판(520) 및 제 2 기판(500)은 이방성 도전막(524)에 의해서 서로에 부착된다. 이 방성 도전막(524)으로서, ACP(이방성 도전 페이스트), ACF(이방성 도전막), 등이 예들로서 제공될 수 있다. 제 1 기판(520) 및 제 2 기판(500)을 이방성 도전막(524)에 의해 서로 부착함으로써, 전극들(548, 549)은 이방성 도전막(524)에 포함되는 도전 입자(505)를 통해서 전기적으로 접속된다. 즉, 제 1 기판(520) 위에 형성되는 배선(521) 및 제 2 기판(500) 위에 형성되는 박막 트랜지스터(532)는 전기적으로 접속된다.

[0367] 도 9a 내지 도 9c가 제 1 기판(520) 및 제 2 기판(500)을 이방성 도전막(524)에 의해 서로에 부착함으로써 전극들(518, 519) 및 전극들(548, 549)이 전기적으로 접속되는 예를 도시하였지만, 전극들(518, 519) 및 전극들(548, 549)을 전기적으로 접속시키는 방법은 이에 제한되지 않고, 임의의 공지된 방법이 사용될 수 있다. 예를 들어, 전극들(518, 519) 및 전극들(548, 549)은 NCP(이방성 도전 페이스트) 또는 초음파들로 인한 공용 결합을 사용함으로써 전기적으로 접속된다.

[0368] 게다가, 스페이서는 제 1 기판(520) 및 제 2 기판(500)을 서로에 부착시킬 때 적절하게는 제 1 기판(520) 및 제 2 기판(500) 간에 제공될 수 있다.

[0369] 상술된 구조를 갖도록 이 실시예 모드에서 발광 장치를 형성함으로써, 발광 소자를 구동하는 칼럼 구동기(702) 및 로우 구동기(703)는 발광 소자와 다른 기판 위에 형성될 수 있다.

[0370] 이와 같은 구조를 사용함으로써, 구동 회로들은 밀봉 기판 위에 형성될 수 있음으로, 발광 장치는 크기면에서 감소될 수 있다.

[0371] 이 실시예 모드가 적절하게는 다른 실시예 모드들에서 서술된 기술들과 결합하여 구현될 수 있다는 점에 유의하라. 따라서, 예를 들어, 발광 소자의 구동 회로는 실시예 모드 6에서처럼 제 2 기판을 이용하는 대신에 발광 소자를 구동하는 화소 회로를 포함하는 막을 사용하여 형성되는 구조 또는 제 2 기판이 실시예 모드 7에서처럼 얇게 되는 구조가 사용될 수 있다.

[0372] [실시예 모드 9]

[0373] 이 실시예 모드에서, 제 1 기판 위에 형성되는 발광 소자 및 제 2 기판 위에 형성되는 트랜지스터가 전기적으로 접속되는 능동 매트릭스 발광 장치의 제 4 예가 설명된다. 즉, 본 발명의 제 1 구조를 갖는 발광 장치가 능동 매트릭스 발광 장치인 경우의 제 4 예가 설명된다.

[0374] 실시예 모드 1에서처럼 화소 회로의 예시적인 구성으로서 도 12에 도시된 화소 회로(609)를 사용하여 설명이 행해진다는 점에 유의하라.

[0375] 이 실시예 모드에서, 화소 회로(609)에 포함되는 트랜지스터들은 실시예 모드 1에서처럼 박막 트랜지스터들 이외의 트랜지스터들일 수 있다는 점에 유의하라. 예를 들어, 제 2 기판 위의 화소 회로는 제 2 기판으로서 반도체 기판을 사용함으로써 그리고 MOS 트랜지스터 등을 반도체 기판상에 형성함으로써 형성될 수 있다.

[0376] 도 33a는 이 실시예 모드에서 발광 소자의 부분 단면도를 도시한 것이다.

[0377] 도 33a에서, 다수의 발광 소자들(1506)이 형성되는 제 1 기판(1503)은 다수의 박막 트랜지스터들(1502)이 형성되는 제 2 기판(1500)에 마주보도록 제공된다. 도 33a에서 제 2 기판(1500)이 발광 소자들이 형성되는 제 1 기판(1503)의 표면과 대향하도록 제 1 기판(1503) 및 제 2 기판(1500)은 서로에 부착된다는 점에 유의하라. 따라서, 제 2 기판(1500)은 밀봉 기판으로서 기능한다.

[0378] 도 33a의 발광 소자(1506)는 도 12의 발광 소자(607)에 대응한다. 게다가, 도 33a의 박막 트랜지스터(1502)는 도 12의 구동 트랜지스터(606)에 대응한다.

[0379] 제 1 기판(1503) 및 제 2 기판(1500) 각각은 유리 기판, 석영 기판 또는 투광성 수지 기판과 같은 투광성 기판일 수 있다. 발광 소자(1506)로부터 방출된 광이 제 1 기판(1503)의 방향으로만 이동하는 구조를 갖도록 발광 소자(1506)가 형성되는 경우에, 제 2 기판(1500)은 반드시 투광성 기판이 될 필요는 없다. 따라서, 제 2 기판(1500)은 투광성을 갖지 않는 수지 기판, 반도체 기판, 세라믹 기판, 또는 금속 기판과 같이 광을 투과하지 않는 기판일 수 있다.

- [0380] 발광 소자(1506)로부터 방출되는 광이 제 2 기판(1500)의 방향으로만 이동하는 구조를 갖도록 발광 소자(1506)가 형성되는 경우에, 제 1 기판(1503)은 반드시 투광성 기판이 될 필요는 없다. 따라서, 제 1 기판(1503)은 투광성을 갖지 않는 수지 기판, 반도체 기판, 세라믹 기판, 또는 금속 기판과 같이 광을 투과하지 않는 기판일 수 있다.
- [0381] 게다가, 제 1 기판(1503) 및 제 2 기판(1500)은 상술된 기판들일 수 있지만 가요성을 가질 정도로 충분히 얇게 형성된다.
- [0382] 제 1 기판(1503) 위에 형성되는 발광 소자(1506)는 제 1 전극(1504), 발광 물질을 함유하는 층(1508), 및 제 2 전극(1509)을 포함한다.
- [0383] 제 1 전극(1504)은 제 1 기판(1503) 위에 형성된다. 그 후, 발광 물질을 함유하는 층(1508)은 발광 소자의 제 1 전극(1504) 위에 형성되고 발광 소자의 제 2 전극(1509)은 발광 물질을 함유하는 층(1508)위에 형성된다.
- [0384] 발광 소자 등의 제 1 전극(1504) 및 제 2 전극(1509)에 사용되는 재료들은 실시예 모드 1에서 서술된 재료들로부터 선택될 수 있다. 게다가, 발광 물질을 함유하는 층(1508)은 실시예 모드 1에서 서술된 바와 같은 공지된 층 구조를 가질 수 있다.
- [0385] 다른 한편으로, 발광 소자(1506)를 구동하는 박막 트랜지스터(구동 트랜지스터)(1502)는 제 1 기판(1503)과 대향하도록 설치되는 제 2 기판(1500) 위에 형성된다. 도 33a에서, 박막 트랜지스터(1502)는 반도체 막(1517), 게이트 절연막(1516) 및 하지막(1501)을 갖는 제 2 기판(1500) 위에 형성되는 게이트 전극(1515)을 포함하는데, 상기 하지막은 상기 게이트 전극과 상기 제 2 기판 간에 삽입되어 있다.
- [0386] 제 1 층간 절연막(1520)은 박막 트랜지스터(1502) 위에 형성되고 박막 트랜지스터(1502)의 반도체 막(1517)의 소스 또는 드레인 영역에 전기적으로 접속되는 전극(1518)이 제 1 층간 절연막(1520) 위에 형성된다.
- [0387] 그 후, 제 2 층간 절연막(1521)은 전극(1518) 및 제 1 층간 절연막(1520) 위에 형성되고, 상기 전극들(1518) 중 한 전극에 전기적으로 접속되는 전극(1519A)은 제 2 층간 절연막(1521) 위에 형성된다.
- [0388] 상술된 구조들을 갖는 제 1 기판(1503) 및 제 2 기판(1500)은 이방성 도전막(1511)에 의해 서로에 부착된다. 이방성 도전막(1511)으로서, ACP(이방성 도전 페이스트), ACF(이방성 도전막), 등이 예들로서 제공될 수 있다. 제 1 기판(1503) 및 제 2 기판(1500)을 이방성 도전막(1511)에 의해 서로 부착함으로써, 전극들(1509, 1519A)은 이방성 도전막(1511)에 포함되는 도전 입자(1505)를 통해서 전기적으로 접속된다. 즉, 제 1 기판(1503) 위에 형성되는 발광 소자(1506) 및 제 2 기판(1500) 위에 형성되는 박막 트랜지스터(1502)는 전기적으로 접속된다.
- [0389] 도 33a는 이방성 도전막(1511)에 의해 제 1 기판(1503) 및 제 2 기판(1500)이 서로에 부착됨으로써 전극들(1509, 1519A)이 전기적으로 접속되는 예를 도시하지만, 전극들(1509, 1519A)을 전기적으로 접속시키는 방법은 특히 이에 제한되지 않고, 임의의 공지된 접속 방법이 사용될 수 있다. 예를 들어, 전극들(1509, 1519A)은 NCP(비도전 페이스트) 또는 초음파들에 의한 공용 결합에 의해 전기적으로 접속될 수 있다.
- [0390] 게다가, 스페이서는 제 1 기판(1503) 및 제 2 기판(1500)이 서로에 부착될 때 적절하게 제 1 기판(1503) 및 제 2 기판(1500) 간에 제공될 수 있다.
- [0391] 도 33b는 발광 소자(1506)의 제 1 전극(1504) 및 전원 간의 접속을 특별히 도시하지 않지만, 화소부(601) 주위 또는 소스 신호선 구동 회로(602) 및 게이트 신호선 구동 회로(603)의 외부 영역 내 제 1 전극(1504)에 전기적으로 접속되는 접속 단자를 제공함으로써 그리고 IC 등 내에 제공된 외부 전원에 접속 단자를 접속시킴으로써, 카운터 전위는 제 1 전극(1504)에 공급된다.
- [0392] 도 33b는 발광 소자의 제 2 전극(1509) 및 전극(1519B)가 NCP(비도전 페이스트)을 사용함으로써 전기적으로 접속되는 예를 도시한 것이다.
- [0393] 도 33b에 도시된 구조에서, 제 2 전극(1509) 및 전극(1519B)이 접속되도록 제 1 기판(1503) 및 제 2 기판(1500)은 NCP(1531)에 의해 서로에 부착된다.
- [0394] 이 경우에, 발광 소자의 제 2 전극(1509)에 손쉽게 접속되도록 (1519B)로 도시된 바와 같이 제 2 층간 절연막(1521)에 비해 도 33a의 전극(1519A) 보다 큰 전극을 형성하는 것이 바람직하다. 게다가, 이 경우에, 제 1 기판(1503) 및 제 2 기판(1500)은 진공에서 서로에 부착되는 것이 바람직하다.

- [0395] 도 33b에 도시된 구조에서, 발광 소자(1506)로부터 방출되는 광이 제 2 기판(1500)의 방향으로만 이동하는 구조를 갖도록 발광 소자(1506)가 형성되는 경우에, 전극(1519B)은 투광성 도전막으로 형성된다.
- [0396] 게다가, 도 33b에 도시된 구조에서, 발광 소자(1506)로부터 방출된 광이 제 1 기판(1503) 및 제 2 기판(1500)의 두 방향들로 이동하는 구조를 갖도록 발광 소자(1506)가 형성되는 경우에, 전극(1519B)은 반사 기능 또는 투광성 도전막을 갖는 금속막으로 형성된다. 전극(1519B)이 반사 기능을 갖는 금속막으로 형성되는 경우에, 제 2 기판(1500)의 방향으로 발광 소자(1506)로부터 방출된 광이 전극(1519B)에 의해 반사되어 제 1 기판(1503)으로 재지향시킴으로, 발광 소자(1506)로부터 방출되는 광은 제 1 기판(1503)측으로부터만 추출된다. 전극(1519B)이 투광성 도전막으로 형성되는 경우에, 발광 소자(1506)로부터 방출되는 광이 제 1 기판(1503) 및 제 2 기판(1500) 둘 다로부터 추출될 수 있다.
- [0397] 도 33a 및 도 33b에 도시된 구조에서, 발광 소자의 제 2 전극 위에 절연막을 제공하고 발광 소자의 제 2 전극에 전기적으로 접속되는 전극을 상기 절연막 위에 형성하는 단계들은 실시예 모드들 1 내지 3에 도시된 구조들과 달리 생략될 수 있다. 그러므로, 발광 장치의 제조 단계들의 수는 실시예 모드들 1 내지 3에 도시된 구조들에 서보다 감소될 수 있다.
- [0398] 게다가, 도 33a 및 33b가 발광 소자의 제 1 전극(1504), 발광 물질을 함유하는 층(1508), 및 발광 소자의 제 2 전극(1509)이 제 1 기판(1503) 위에 형성되는 구조들을 도시하지만, 발광 소자의 제 2 전극(1509)이 제 1 기판(1503) 위에 형성되지 않는 구조가 또한 사용될 수 있다.
- [0399] 도 34a는 이와 같은 구조의 예를 도시한 것이다. 도 34a에서, 다수의 발광 소자들(1606)이 형성되는 제 1 기판(1603) 및 다수의 박막 트랜지스터들(1502)이 형성되는 제 2 기판(1500)은 서로에 대향하도록 설치된다.
- [0400] 도 34a 및 34b에서, 제 2 기판(1500)이 발광 소자의 제 1 전극(1604) 및 발광 물질을 함유하는 층(1608)이 형성되는 제 1 기판(1603)의 표면과 대향하도록 제 1 기판(1603) 및 제 2 기판(1500)은 서로에 부착된다. 따라서, 제 2 기판(1500)은 밀봉 기판으로서 기능한다.
- [0401] 도 34a에서, 제 2 기판(1500) 위의 구성요소들의 구조는 도 33b의 구조와 동일함으로, 공통 부분들은 동일한 참조 번호들로 표시되고 이들에 대한 설명은 생략되었다는 점에 유의하라.
- [0402] 도 34a의 발광 소자(1606)는 도 12의 발광 소자(607)에 대응한다. 게다가, 도 34a의 박막 트랜지스터(1502)는 도 12의 구동 트랜지스터(606)에 대응한다.
- [0403] 제 1 기판(1603) 및 제 2 기판(1500) 각각은 유리 기판, 석영 기판 또는 투광성 수지 기판과 같은 투광성 기판일 수 있다. 발광 소자(1606)로부터 방출된 광이 제 1 기판(1603)의 방향으로만 이동하는 구조를 갖도록 발광 소자(1606)를 형성하는 경우에, 제 2 기판(1500)은 반드시 투광성 기판이 될 필요는 없다. 따라서, 제 2 기판(1500)은 투광성을 갖지 않는 수지 기판, 반도체 기판, 세라믹 기판, 또는 금속 기판과 같이 광을 투과하지 않는 기판일 수 있다.
- [0404] 발광 소자(1606)로부터 방출되는 광이 제 2 기판(1500)의 방향으로만 이동하는 구조를 갖도록 발광 소자(1606)를 형성하는 경우에, 제 1 기판(1603)은 반드시 투광성 기판이 될 필요는 없다. 따라서, 제 1 기판(1603)은 투광성을 갖지 않는 수지 기판, 반도체 기판, 세라믹 기판, 또는 금속 기판과 같이 광을 투과하지 않는 기판일 수 있다.
- [0405] 발광 소자의 제 1 전극(1604)은 제 1 기판(1603) 위에 형성된다. 그 후, 발광 물질을 함유하는 층(1608)은 발광 소자의 제 1 전극(1604) 위에 형성된다.
- [0406] 발광 소자 등의 제 1 전극(1604)에 사용되는 재료들은 실시예 모드 1에서 서술된 재료들로부터 선택될 수 있다. 게다가, 발광 물질을 함유하는 층(1608)은 실시예 모드 1에 서술된 바와 같은 공지된 층 구조를 가질 수 있다.
- [0407] 상술된 구조들을 갖는 제 1 기판(1603) 및 제 2 기판(1500)은 이방성 도전막(1611)에 의해서 서로에 부착된다. 이방성 도전막(1611)으로서, ACP(이방성 도전 페이스트), ACF(이방성 도전막), 등이 예들로서 제공될 수 있다. 제 1 기판(1603) 및 제 2 기판(1500)을 이방성 도전막(1611)에 의해 서로 부착함으로써, 발광 물질을 함유하는 층(1608) 및 전극(1519B)은 이방성 도전막(1611)에 포함되는 도전 입자(1605)를 통해서 전기적으로 접속된다.
- [0408] 이 경우에, 도전 입자(1605)는 발광 소자(1606)의 제 2 전극으로서 기능한다. 따라서, 발광 소자(1606)는 제 1 전극(1604), 발광 물질을 함유하는 층(1608) 및 도전 입자(1605)를 갖도록 형성된다. 이와 같은 구조를 갖는 발광 소자(1606)는 박막 트랜지스터(1502)에 전기적으로 접속된다.

- [0409] 도 34a는 이방성 도전막(1611)에 의해 제 1 기판(1603) 및 제 2 기판(1500)이 서로에 부착됨으로써 발광 물질을 함유하는 층(1608) 및 전극(1519B)이 전기적으로 접속되는 예를 도시하지만, 발광 물질을 함유하는 층(1608) 및 전극(1519B)을 전기적으로 접속시키는 방법은 특히 이에 제한되지 않고, 임의의 공지된 접속 방법이 사용될 수 있다. 예를 들어, 발광 물질을 함유하는 층(1608) 및 전극(1519B)은 NCP(비도전 페이스트) 또는 초음파들에 의한 공용 결합에 의해 전기적으로 접속될 수 있다.
- [0410] 게다가, 스페이서는 제 1 기판(1603) 및 제 2 기판(1500)이 서로에 부착될 때 적절하게 제 1 기판(1603) 및 제 2 기판(1500) 간에 제공될 수 있다.
- [0411] 도 34b는 발광 물질을 함유하는 층(1608) 및 전극(1519B)이 NCP(비도전 페이스트)를 사용함으로써 전기적으로 접속되는 예를 도시한 것이다.
- [0412] 도 34b에 도시된 구조에서, 발광 물질을 함유하는 층(1608) 및 전극(1519B)이 접속되도록 제 1 기판(1603) 및 제 2 기판(1500)이 NCP(1631)에 의해 서로에 부착된다.
- [0413] 이 경우에, 전극(1519B)은 발광 소자(1606)의 제 2 전극으로서 기능한다. 따라서, 발광 소자(1606)는 제 1 전극(1604), 발광 물질을 함유하는 층(1608), 및 전극(1519B)을 갖도록 형성된다. 이와 같은 구조를 갖는 발광 소자(1606)는 박막 트랜지스터(1502)에 전기적으로 접속된다.
- [0414] 도 34b에 도시된 구조에서, 제 1 기판(1603) 및 제 2 기판(1500)은 진공에서 서로에 부착되는 것이 바람직하다는 점에 유의하라.
- [0415] 도 34a 및 도 34b에 도시된 구조들에서, 제 1 전극(1604)이 알루미늄과 같은 금속막으로 형성되고 전극(1519B)이 투광성 도전막으로 형성되는 경우에, 발광 소자(1606)로부터 방출되는 광은 제 2 기판(1500) 측으로부터만 추출된다. 다른 한편으로, 제 1 전극(1604)이 투광성 도전막으로 형성되고 제 1 전극(1519B)이 알루미늄과 같은 금속막으로 형성되는 경우에, 발광 소자(1606)로부터 방출되는 광은 제 1 기판(1603) 측으로부터만 추출된다. 게다가, 제 1 전극(1604) 및 전극(1519B)이 투광성 도전막들로 형성되는 경우에, 발광 소자(1606)로부터 방출되는 광은 제 1 기판(1603) 및 제 2 기판(1500) 둘 다로부터 추출된다.
- [0416] 전극(1519B)이 도 34a 및 도 34b에 도시된 구조들에서 발광 소자의 제 2 전극으로 기능하기 때문에, 제 2 전극은 제 1 기판 위에 형성될 필요가 없다. 따라서, 발광 장치의 제조 단계들의 수는 도 33a 및 도 33b에 도시된 구조들과 달리 감소될 수 있다.
- [0417] 도 12에 도시된 화소 회로(609)가 각 화소에 제공되는 발광 소자를 구동하는 화소 회로의 예로서 사용되는 경우가 상술되었지만, 이 구조는 이로 제한되지 않는다. 도 12에 도시된 화소 회로(609)의 구조는 단지 예시적인 것임으로, 이 실시예 모드는 각종 다른 화소 회로들에서 구현될 수 있다.
- [0418] 도 12에 도시된 화소 회로(609)는 발광 소자(607)를 구동하는 박막 트랜지스터로서 발광 소자(607)가 구동 트랜지스터(606)에 접속되는 회로 구성을 갖는다. 따라서, 발광 소자(607) 및 구동 트랜지스터(606)는 이방성 도전막을 통해서 전기적으로 접속된다. 따라서, 본 발명을 다른 화소 회로 구성에 적용할 때, 발광 소자에 접속되어야 하는 소자는 이방성 도전막을 통해서 발광 소자에 전기적으로 접속되는 것만을 필요로 한다. 대부분의 화소 회로들에서, 발광 소자에 접속되는 소자는 발광 소자를 구동하는 박막 트랜지스터이다. 따라서, 대부분의 경우들에, 발광 소자 및 이 발광 소자를 구동하는 트랜지스터는 이방성 도전막을 통해서 전기적으로 접속된다.
- [0419] 이 실시예 모드는 다른 실시예 모드들에 서술된 기술들과 관련하여 적절하게 구현될 수 있다는 점에 유의하라. 따라서, 예를 들어, 발광 소자의 구동 회로는 실시예 모드 6에서처럼 제 2 기판을 사용하는 대신에 발광 소자를 구동하는 화소 회로를 포함하는 막을 사용하여 형성되거나 제 2 기판이 실시예 모드 7에서처럼 얇게 되는 구조가 사용될 수 있다.
- [0420] [실시예 모드 10]
- [0421] 실시예 모드들 1, 2, 4, 5, 8, 및 9에서, 제 1 기판 및 제 2 기판(박막화 처리)을 얇게 하는 처리는 제 1 기판 및 제 2 기판을 서로에 부착시킨 후 수행될 수 있다.
- [0422] 이 경우에, 제 1 기판 및 제 2 기판의 박막화 처리가 제 1 기판 및 제 2 기판을 서로에 부착시킨 후 수행되기 때문에, 제 1 기판 및 제 2 기판의 박막화 처리는 동시에 수행될 수 있다.
- [0423] 이 기판들의 박막화 처리는 연삭수단 또는 연마수단으로 기판들을 연삭 및 연마함으로써 또는 습식 예칭 등에

의해 기판들을 예칭함으로써 수행될 수 있다는 점에 유의하라.

- [0424] 이 실시예 모드에서 서술된 발광 장치가 제 1 기판 및 제 2 기판(박막화 처리)을 얇게 하는 처리를 통해서 수행되기 때문에, 발광 장치 자체의 두께는 감소될 수 있다. 따라서, 전자 장치 등을 위한 이 실시예 모드에서 발광 장치를 사용함으로써, 두께면에서 전자 장치의 치수는 더욱 감소될 수 있다. 따라서, 본 발명은 휴대용 전화, 휴대용 게임기, 이동용 컴퓨터, 개인용 컴퓨터, 및 카메라(예를 들어, 디지털 카메라 및 비디오 카메라)와 같이 크기면에서 감소될 필요가 있는 전자 장치(특히 휴대용 전자 장치)에 적용될 때 크기를 감소시킬 수 있다는 점에서 유용하다.
- [0425] 박막화 처리가 제 2 기판 및 제 2 기판이 가요성을 가질 정도로 충분히 얇게 하면(예를 들어, $100\mu\text{m}$ 또는 그보다 적게, 또는 바람직하게 20 내지 $50\mu\text{m}$), 가요성 발광 장치가 제공될 수 있다.
- [0426] 실시예 모드 3에 대해서, 제 2 기판 및 제 3 기판(박막화 처리)을 얇게 하는 처리는 제 1 기판, 제 2 기판 및 제 3 기판을 서로에 부착시킨 후 수행된다는 점에 유의하라. 이 경우에, 박막화 처리는 제 2 기판 및 제 3 기판이 가요성을 가질 정도로 충분히 얇게 하면(예를 들어, $100\mu\text{m}$ 또는 그보다 적게, 또는 바람직하게 20 내지 $50\mu\text{m}$), 가요성 발광 장치가 제공될 수 있다.
- [0427] [실시예 모드 11]
- [0428] 실시예 모드들 1 내지 10에서 서술된 발광 장치를 모두 참조하면, 발광 소자가 형성되는 제 1 기판 및 발광 소자의 구동 회로가 형성되는 제 2 기판을 서로 부착시키는 방법이 설명될 것이다. 실시예 모드 6에 대해서, 발광 소자의 구동 회로가 형성되는 제 2 기판이 발광 소자의 구동 회로를 포함하는 막으로 대체된다고 추정된다. 게다가, 제 2 기판(1000)이 완전히 제거되는 실시예 모드 7의 구조에서, 발광 소자의 구동 회로가 형성되는 제 2 기판이 발광 소자의 구동 회로를 포함하는 막으로 대체된다 라고 또한 추정된다.
- [0429] 발광 소자가 형성되는 제 1 기판 및 발광 소자의 구동 회로가 형성되는 제 2 기판을 부착시키는 방법으로서, 하나의 제 2 기판을 하나의 제 1 기판으로 부착시키는 방법이 고려될 수 있다. 도 31a는 하나의 제 2 기판을 하나의 제 1 기판으로 부착시키는 예시적인 방법을 도시한 것이다.
- [0430] 도 31a에서, 발광 소자의 구동 회로가 형성되는 제 2 기판(1401)은 발광 소자가 형성되는 제 1 기판(1400)과 대향하도록 부착된다. 주변 구동 회로(1403)는 제 2 기판(1401) 위에 형성되고 제 2 기판(1401) 위에 형성되는 외부 접속 단자는 FPC(가요성 인쇄 회로)(1404)에 접속된다.
- [0431] 제 1 기판 및 제 2 기판을 서로 부착시키는 또 다른 방법으로서, 다수의 제 1 기판을 하나의 제 2 기판에 부착시키는 방법이 존재한다. 도 31b는 다수의 제 1 기판들을 하나의 제 2 기판에 부착시키는 예시적인 방법으로서 4개의 제 1 기판들을 하나의 제 2 기판에 부착시키는 경우를 도시한 것이다. 도 31b가 4개의 제 1 기판들을 하나의 제 2 기판에 부착시키는 경우를 도시하였지만, 제 1 기판의 수는 4개로 제한되는 것이 아니고, 이는 한 개 이상이 존재하는 한 4개보다 작거나 4개보다 클 수 있다. 따라서, 예를 들어, 하나의 제 2 기판과 대향하도록 제 1 기판들이 100로우들 \times 100 칼럼들로 배열되는 구조가 사용될 수 있다.
- [0432] 도 31b에서, 발광 소자들이 형성되는 제 1 기판들(1411 내지 1414)은 발광 소자의 구동 회로가 형성되는 제 2 기판(1401)과 대향하도록 부착된다. 제 1 기판들(1411 내지 1414)가 동일한 크기 또는 상이한 크기 중 어느 한 크기를 갖도록 형성될 수 있지만, 이들은 대량 생산을 위하여 동일한 크기를 갖도록 형성되는 것이 바람직하다. 도 31a에 공통되는 부분들에는 동일한 참조 번호들로 표시된다.
- [0433] 도 31a 및 도 31b가 하나의 주변 구동 회로(1403)가 제 2 기판 위에 형성되는 예들을 도시하였지만, 주변 구동 회로들의 위치 및 수는 도 31a 및 도 31b에 도시된 것들로 제한되지 않는다.
- [0434] 제 1 기판 및 제 2 기판을 서로 부착시키는 또 다른 방법으로서, 다수의 제 2 기판들을 하나의 제 1 기판에 부착시키는 방법이 존재한다. 도 32a는 다수의 제 2 기판들을 하나의 제 1 기판에 부착시키는 예시적인 방법으로서 4개의 제 2 기판들을 하나의 제 1 기판에 부착시키는 경우를 도시한다. 도 32a가 4개의 제 2 기판들을 하나의 제 1 기판에 부착시키는 경우를 도시하였지만, 제 2 기판들의 수는 4개로 제한되는 것이 아니고, 이는 한 개 이상이 존재하는 한 4개보다 작거나 4개보다 클 수 있다. 따라서, 예를 들어, 하나의 제 1 기판과 대향하도록 제 2 기판들이 100로우들 \times 100 칼럼들로 배열되는 구조가 사용될 수 있다.
- [0435] 도 32a에서, 발광 소자들을 구동하는 회로들이 형성되는 제 2 기판들(1431 내지 1434)은 발광 소자들이 형성되는 제 1 기판(1400)과 대향하도록 부착된다. 도 32a에 도시된 예에서, 주변 구동 회로들(1423, 1424)은 4개의

기판들 중 제 2 기판들(1433, 1432) 각각 위에 형성된다.

- [0436] 주변 구동 회로들(1423, 1424)이 상이한 기판들 위에 형성되기 때문에, 이들은 수정없이 서로에 전기적으로 접속되지 않는다. 주변 구동 회로들(1423, 1424)을 전기적으로 접속시킬 필요가 있다면, 주변 구동 회로들(1423, 1424)은 배선 결합에 의해 또는 잉크-젯 방법에 의해 형성되는 배선을 사용함으로써 전기적으로 접속될 수 있다.
- [0437] 제 2 기판들(1431 내지 1434)은 동일한 크기 또는 상이한 크기 중 어느 한 크기를 갖도록 형성될 수 있다. 도 32a가 주변 구동 회로들이 제 2 기판들(1432, 1433) 위에 형성되는 경우를 도시하였지만, 주변 구동 회로들의 위치 및 수는 도 32a에 도시된 것들로 제한되지 않는다는 점에 유의하라.
- [0438] FPC가 도 31a 및 도 31b에 도시되었지만, 4개의 기판들(1431 내지 1434)이 하나의 제 1 기판에 부착된다는 것을 명백하게 나타내기 위하여 도 32a 및 도 32b에는 도시하지 않았다는 점에 유의하라. 그러나, FPC는 실제론, 제 2 기판 위에 형성되는 외부 접속 단자에 접속되도록 도 32a 및 도 32b에 도시된 구조로 제공된다. 이 경우에, FPC가 제 2 기판들(1432, 1433) 각각에 접속되도록 또는 하나의 공통 FPC가 제 2 기판들(1432, 1433)에 접속되도록 FPC는 제공될 수 있다.
- [0439] 또한 다수의 제 1 기판들 및 다수의 제 2 기판들을 서로에 부착시킬 수 있다. 이 경우에, 제 1 기판들의 수가 제 2 기판들의 수와 동일할 필요가 없다는 점에 유의하라. 즉, 제 1 기판들의 수는 제 2 기판들의 수와 상이할 수 있다. 도 32b는 제 1 기판들의 수가 제 2 기판들의 수와 다른 경우를 도시한다. 도 32b에서, 9개의 제 1 기판들(1441 내지 1449) 및 4개의 제 2 기판들(1431 내지 1434)은 서로에 부착된다. 발광 소자가 형성되는 제 1 기판의 크기가 제 2 기판의 크기와 다른 경우에, 도 32b에 도시된 바와 같이 인접한 제 1 기판들이 인접한 제 2 기판 간의 경계선들과 중첩하지 않는다. 그러므로, 부착된 후 제 1 기판 및 제 2 기판의 강도는 부착된 제 1 기판들 및 제 2 기판들이 동일한 수를 갖는 경우와 비교하여 증가된다. 따라서, 부착된 제 1 기판들 및 제 2 기판들은 파괴되기 어렵다. 본 발명에서, 발광 소자가 형성되는 제 1 기판은 발광 소자의 구동 회로가 형성되는 제 2 기판과 다른 단계들을 통해서 제조됨으로, 서로에 부착될 제 1 기판들 및 제 2 기판들의 수는 다를 수 있고, 서로에 부착될 제 1 기판 및 제 2 기판의 크기는 또한 다를 수 있다.
- [0440] 도 31a, 31b, 32a, 및 32b에서, 제 2 기판의 주변 구동 회로가 형성되는 영역 위에 제 1 기판이 제공되지 않도록 제 1 기판이 제공된다. 그러나, 제 2 기판의 주변 구동 회로가 형성되는 제 2 영역 위에 제 1 기판이 제공되도록 제 1 기판 및 제 2 기판은 서로에 부착될 수 있다.
- [0441] 게다가, 도 31a, 31b, 32a, 및 32b가 주변 구동 회로가 제 2 기판 위에 형성되는 경우를 도시하였지만, 본 발명은 특별히 이와 같은 구조로 제한되지 않고 주변 구동 회로의 일부 또는 전부는 IC 등으로 형성될 수 있다.
- [0442] 상술된 바와 같이, 발광 장치는 다수의 제 2 기판들을 하나의 제 1 기판에, 다수의 제 1 기판들을 하나의 제 2 기판에, 또는 다수의 제 1 기판들과 다수의 제 2 기판들을 서로에 부착시킴으로써 크기면에서 손쉽게 증가될 수 있다. 따라서, 크기 증가가 요구되는 TV 세트와 같은 디스플레이 장치에 이 실시예 모드의 구조를 적용함으로써, 대형 크기를 갖는 디스플레이 장치가 제조될 수 있다.
- [0443] 도 31a, 도 31b, 도 32a 및 도 32b와 관련하여 능동 매트릭스 발광 장치의 예가 지금까지 설명되었지만, 본 발명은 또한 수동 매트릭스 발광 장치에 적용될 수 있다는 점에 유의하라.
- [0444] [실시예 1]
- [0445] 실시예 모드들 4 및 5에서 서술된 발광 장치들은 디스플레이 기능 및 판독 출력 기능의 2가지 기능들을 갖는다. 여기서, 도 23a의 순서도와 관련하여 디스플레이 기능 및 판독 출력 기능 간을 스위칭하는 방법이 설명될 것이다.
- [0446] 우선, 발광 장치가 활성화된다. 발광 장치가 활성화될 때, 이 장치는 디스플레이 모드로 자동적으로 진입하고 디스플레이 부분은 턴온되는 반면에, 센서부는 턴오프된다. 이 경우에, 디스플레이부는 발광 소자를 각각 포함하는 모드 부화소들을 의미하고 센서부는 이미지 센서를 각각 포함하는 모든 부화소들을 의미한다. 디스플레이부는 힌지-스위칭 회로(1302) 또는 스위칭 회로(1304)로부터 공급되는 신호에 응답하여 정상 디스플레이, 수평 반전된 디스플레이, 180° 회전 디스플레이 또는 수직 반전된 디스플레이를 수행한다. 다른 한편으로, 장치가 판독 모드에 진입할 때, 디스플레이부 및 센서부 둘 다는 버튼(1310)으로부터 공급되는 신호에 응답하여 턴온된다. 그 후, 센서부는 광원으로서 디스플레이 부를 사용함으로써 물체의 정보를 판독 출력한다.
- [0447] 도 23b 및 도 23c와 관련하여 풀딩 휴대용 단말기의 하우징(1320)을 사용하여 비지니스 카드(1330)를 판독 출력

하는 예시적인 예를 이용하여 이 경우의 동작이 설명될 것이다. 우선, 장치가 판독 모드에 있을 때, 비지니스 카드(1330)는 디스플레이 모드 사에 배치되어 외부 광을 차단한다(도 23b). 판독출력된 정보는 휴대용 단말기 내의 저장 매질에 저장된다. 다음에, 디스플레이부는 판독출력된 비지니스 카드(1330)의 정보를 토대로 디스플레이를 수행한다(도 23c).

[0448] 이 방식으로, 이 실시예 모드에서 발광 장치는 물체의 정보를 판독출력하는 이미지 센서 기능 및 영상을 디스플레이하는 디스플레이 기능의 2가지 기능들을 갖는다. 상술한 2가지 기능들에도 불구하고, 이미지 센서 기능을 이용시 필요로 되는 광원 및 광 스캐터링 플레이트가 필요로 되지 않는다. 그러므로, 크기, 두께 및 무게가 크게 감소될 수 있다. 이 경우에, 발광 소자는 물체의 정보를 판독출력하는 광원 및 영상을 디스플레이하는 디스플레이 매체 둘 다로서 기능한다.

[0449] [실시예 2]

[0450] 각종 전자 장치들이 본 발명의 발광 장치를 디스플레이 부에 결합시킴으로써 제조될 수 있다. 이와 같은 전자 장치들의 예들로서, 카메라(예를 들어, 비디오 카메라 또는 디지털 카메라), 고글 디스플레이(예를 들어, 헤드 설치된 디스플레이), 항법 시스템, 오디오 재생 장치(예를 들어, 카 오디오 또는 오디오 성분 스테레오), 개인용 컴퓨터, 게임기, 휴대용 정보 단말기(예를 들어, 이동용 컴퓨터, 휴대용 전화 세트, 휴대용 게임기, 전자 책), 판독 매체를 구비한 영상 재생 장치(예를 들어, 디지털 비디오 디스크(DVD)와 같은 기록 매체를 재생하고 재생된 영상을 디스플레이하는 디스플레이를 갖는 장치) 등을 들 수 있다. 도 30a 내지 도 30h는 이와 같은 전자 장치들의 특정 예들을 도시한다.

[0451] 도 30a는 하우징(2001), 지지 베이스(2002), 디스플레이부(2003), 스피커부들(2004), 비디오 입력 단자(2005) 등을 포함하는 텔레비전 세트를 도시한 것이다. 본 발명의 발광 장치는 디스플레이 부(2003)에 적용될 수 있다. 텔레비전 세트는 개인용 컴퓨터, TV 방송 수신 및 광고 디스플레이에 대한 매체들과 같은 모든 정보 디스플레이 매체들을 포함한다는 점에 유의하라.

[0452] 도 30b는 본체(2101), 디스플레이 부(2102), 영상 수신부(2103), 조작키들(2104), 외부 접속 포트(2105), 셋터(2106) 등을 포함하는 디지털 카메라를 도시한 것이다. 본 발명의 발광 장치는 디스플레이 부(2102)에 적용될 수 있다.

[0453] 도 30c는 본체(2201), 하우징(2202), 디스플레이 부(2203), 키보드(2204), 외부 접속 포트(2205), 포인팅 마우스(2206) 등을 포함하는 개인용 컴퓨터를 도시한 것이다. 본 발명의 발광 장치는 디스플레이부(2203)에 적용될 수 있다.

[0454] 도 30d는 본체(2301), 디스플레이부(2302), 스위치(2303), 조작키들(2304), 적외선 포트(2305) 등을 포함하는 이동용 컴퓨터를 도시한다. 본 발명의 발광 장치는 디스플레이 부(2302)에 적용될 수 있다.

[0455] 도 30e는 본체(2401), 하우징(2402), 디스플레이부 A(2403), 디스플레이부 B(2404), 기록 매체(예를 들어, DVD), 판독부(2405), 조작키(2406), 스피커부(2407) 등을 포함하는 기록 매체(특히, DVD 플레이어)를 구비하는 휴대용 영상 재생 장치이다. 디스플레이 부 A(2403)는 주로 영상 데이터를 디스플레이하는 반면에, 디스플레이 부(B2404)는 주로 텍스트 데이터를 디스플레이한다. 본 발명의 발광 장치는 디스플레이 부들 A(2403) 및 B(2404)에 적용될 수 있다. 본 발명의 발광 장치는 디스플레이 부들 A(2403) 및 B(2404)에 적용될 수 있다. 기록 매체를 구비하는 영상 재생 장치는 가정용 기계 등을 포함한다는 점에 유의하라.

[0456] 도 30f는 본체(2501), 디스플레이 부(2505), 동작 스위치(2504) 등을 포함하는 게임기를 도시한다. 본 발명의 발광 장치는 디스플레이 부(2502)에 적용될 수 있다.

[0457] 도 30g는 본체(2601), 디스플레이 부(2602), 하우징(2603), 외부 접속 포트(2604), 원격 제어기 수신부(2605), 영상 수신부(2606), 배터리(2607), 오디오 입력부(2608), 조작키들(2609), 접안부(2610) 등을 포함하는 비디오 카메라를 도시한 것이다. 본 발명의 발광 장치는 디스플레이 부(2602)에 적용될 수 있다.

[0458] 도 30h는 몸체(2701), 하우징(2702), 디스플레이부(2703), 오디오 입력부(2704), 오디오 출력부(2705), 조작키(2706), 외부 접속부(2707), 안테나(2708) 등을 포함하는 휴대용 전화 세트를 도시한 것이다. 본 발명의 발광 장치는 디스플레이 부(2703)에 적용될 수 있다.

[0459] 상술된 바와 같이, 본 발명의 발광 장치는 각종 전자 장치들의 디스플레이 부로서 사용될 수 있다. 이 실시예에서 전자 장치들은 실시예 모드들 1 내지 11 또는 실시예 1에서의 구조들 중 임의의 구조를 사용함으로써 제조

되는 발광 장치를 사용할 수 있다는 점에 유의하라.

- [0460] 본 출원은 일본 특허청에 2005년 8월 5일에 출원된 일본 우선권 2005-228678을 기반으로 한 것이며, 이의 전반적인 내용이 본원에 참조되어 있다.

발명의 효과

- [0461] 본 발명은 발광 장치를 형성시 포인트 결합 및 라인 결합을 방지하여 발광 소자의 수율을 개선시고, 또한 단차가 없는 발광 소자를 형성한다.

도면의 간단한 설명

- [0001] 도 1은 실시예 모드 1을 도시하는 도면.
 [0002] 도 2는 실시예 모드 2를 도시하는 도면.
 [0003] 도 3은 실시예 모드 3을 도시하는 도면.
 [0004] 도 4a 내지 도 4c는 실시예 모드 6을 도시하는 도면.
 [0005] 도 5a 내지 도 5c는 실시예 모드 6을 도시하는 도면.
 [0006] 도 6a 내지 도 6c는 실시예 모드 6을 도시하는 도면.
 [0007] 도 7a 내지 도 7c는 실시예 모드 6을 도시하는 도면.
 [0008] 도 8은 실시예 모드 6을 도시하는 도면.
 [0009] 도 9a 내지 도 9c는 실시예 모드 8을 도시하는 도면.
 [0010] 도 10은 능동 매트릭스 발광 장치(active matrix light-emitting device)를 도시하는 도면.
 [0011] 도 11은 능동 매트릭스 발광 장치의 예시적인 화소부를 도시하는 도면.
 [0012] 도 12는 능동 매트릭스 발광 장치의 예시적인 화소를 도시하는 도면.
 [0013] 도 13은 수동 매트릭스 발광 장치(passive matrix light-emitting device)를 도시하는 도면.
 [0014] 도 14는 수동 매트릭스 발광 장치의 화소부를 도시하는 도면.
 [0015] 도 15는 실시예 모드 4를 도시하는 도면.
 [0016] 도 16은 실시예 모드 5를 도시하는 도면.
 [0017] 도 17a 내지 도 17c는 실시예 모드 7을 도시하는 도면.
 [0018] 도 18a 내지 도 18c는 실시예 모드 7을 도시하는 도면.
 [0019] 도 19a 내지 도 19c는 실시예 모드 7을 도시하는 도면.
 [0020] 도 20a 및 도 20b는 실시예 모드 7을 도시하는 도면.
 [0021] 도 21은 실시예 모드 7을 도시하는 도면.
 [0022] 도 22a 내지 도 22e 이미지 센서(image sensor)를 갖는 발광 장치의 예시적인 화소 구성들을 도시하는 도면.
 [0023] 도 23a 내지 도 23c는 실시예 1에서 디스플레이 모드 및 판독 모드를 도시하는 도면.
 [0024] 도 24a 내지 도 24d는 실시예 1에서 제조 단계들을 도시하는 도면.
 [0025] 도 25a 내지 도 25c는 실시예 모드 1에서 제조 단계들을 도시하는 도면.
 [0026] 도 26a 내지 도 26d는 실시예 모드 2에서 제조 단계들을 도시하는 도면.
 [0027] 도 27은 실시예 모드 2에서 제조 단계를 도시하는 도면.
 [0028] 도 28a 내지 도 28d는 실시예 모드 3에서 제조 단계들을 도시하는 도면.
 [0029] 도 29는 실시예 모드 3에서 제조 단계를 도시하는 도면.

[0030] 도 30a 내지 도 30h는 실시예 2에서 전자 장치들을 도시하는 도면.

[0031] 도 31a 및 도 31b는 실시예 모드 11을 도시하는 도면.

[0032] 도 32a 및 도 32b는 실시예 모드 11을 도시하는 도면.

[0033] 도 33a 및 도 33b는 실시예 모드 10을 도시하는 도면.

[0034] 도 34a 및 도 34b는 실시예 모드 10을 도시하는 도면.

[0035] *도면의 주요 부분에 대한 부호의 설명*

[0036] 100: 기판 101: 박리층

[0037] 102: 제 1 절연막 103: 박막 트랜지스터

[0038] 104; 발광 소자(light-emitting elements)를 구동하는 회로를 포함하는 적층체

[0039] 107: 반도체 막 108: 게이트 절연막

[0040] 109: 게이트 전극 110: 제 2 절연막

[0041] 111: 전극 112: 제 3 절연막

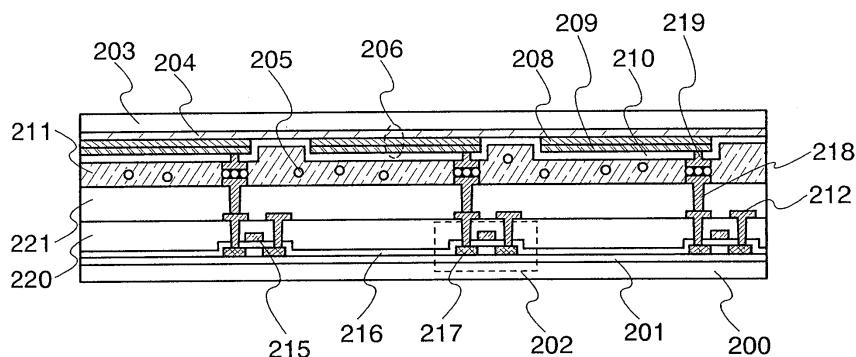
[0042] 114: 보강층 115, 116: 개구부

[0043] 117, 121: 막 118, 122: 적층체

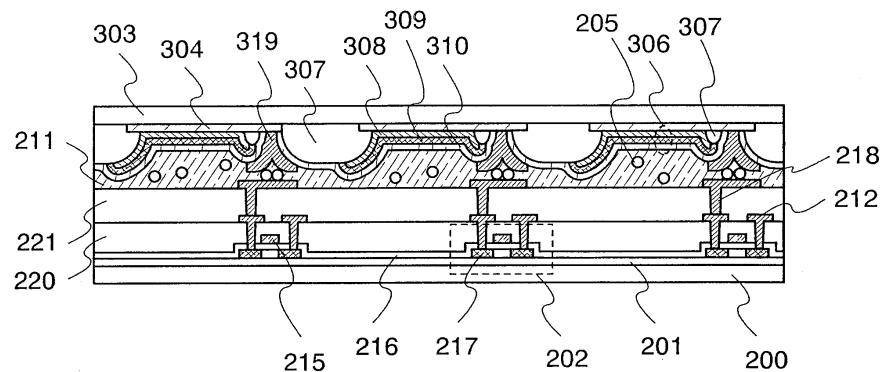
[0044] 119: 도전막 120: 전극

도면

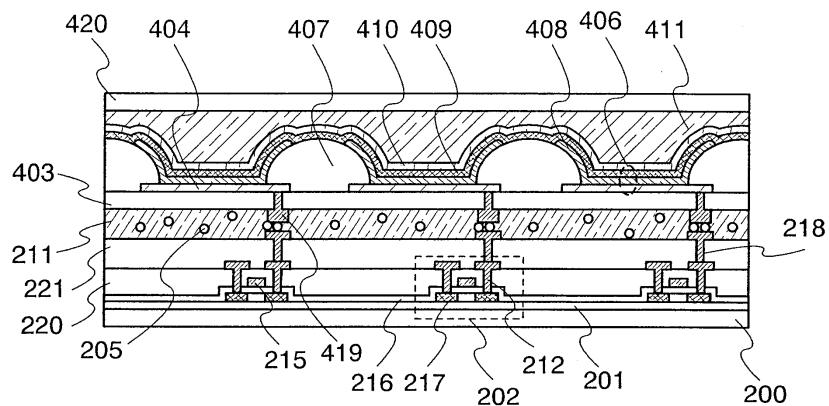
도면1



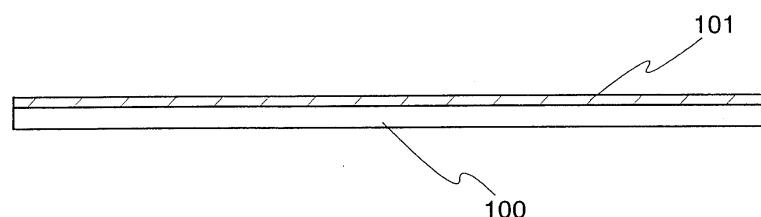
도면2



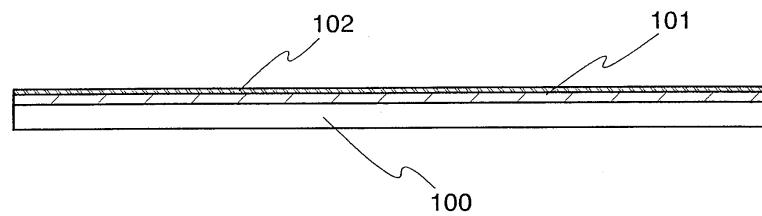
도면3



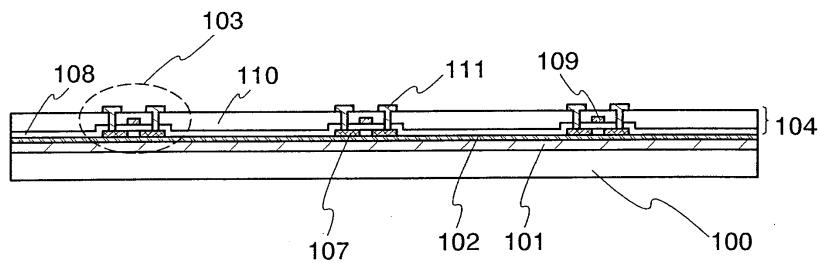
도면4a



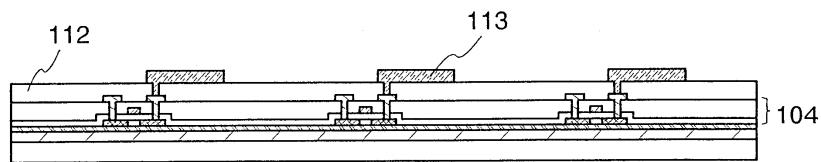
도면4b



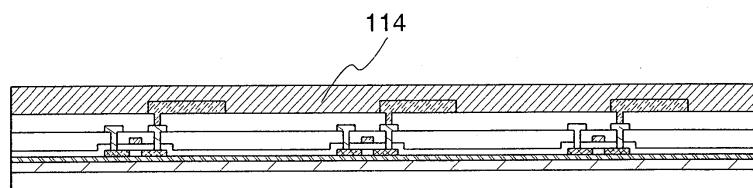
도면4c



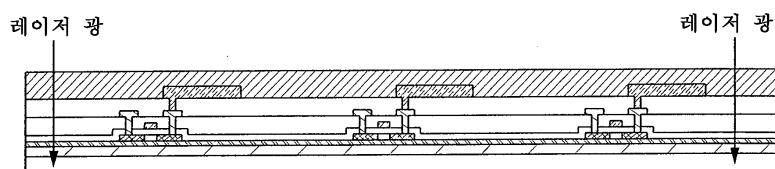
도면5a



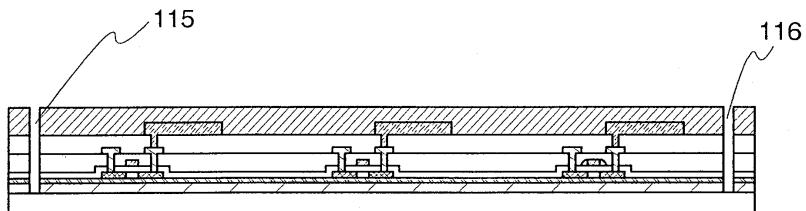
도면5b



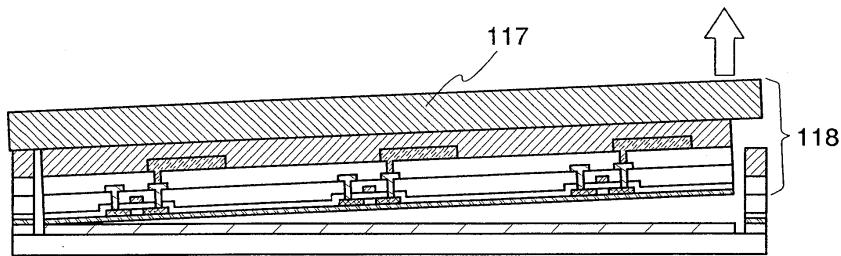
도면5c



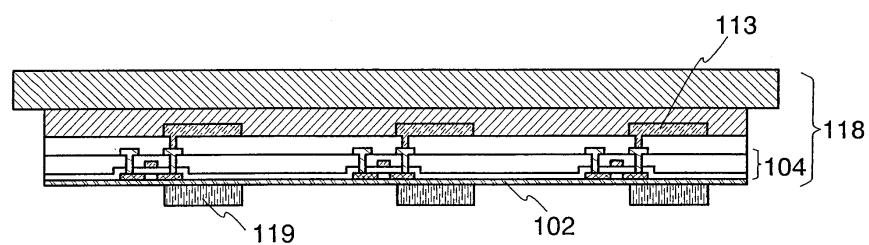
도면6a



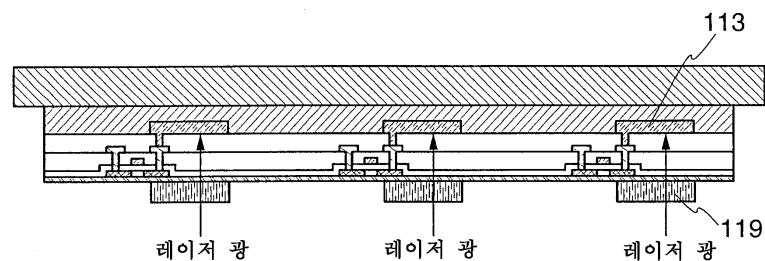
도면6b



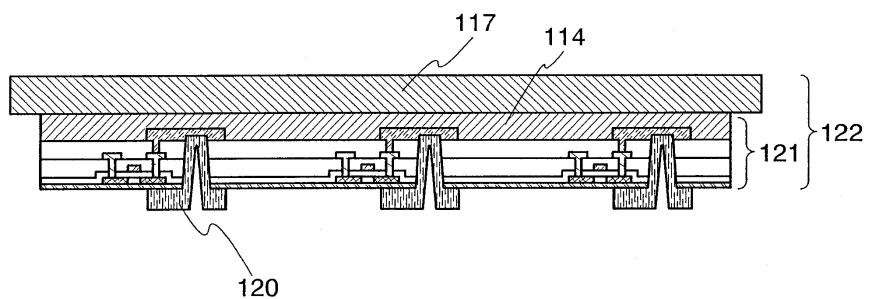
도면6c



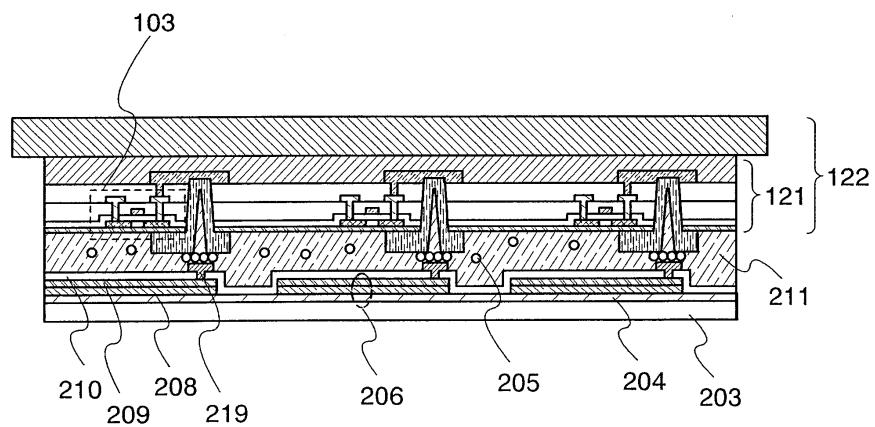
도면7a



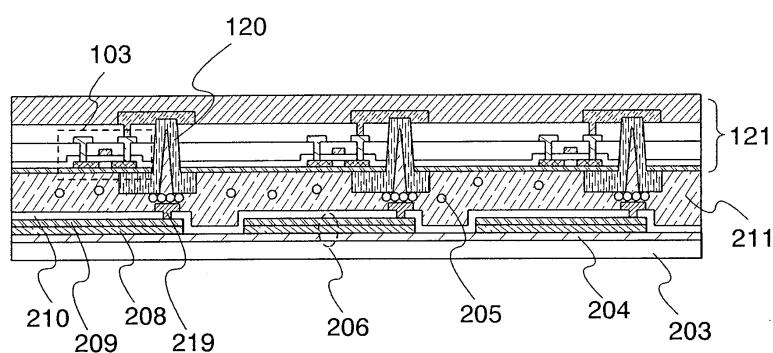
도면7b



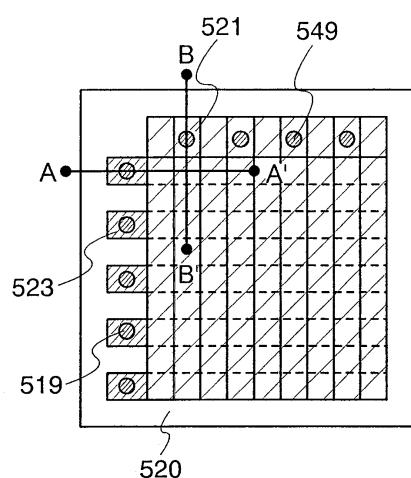
도면7c



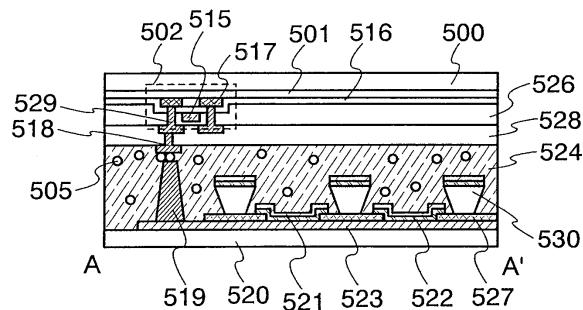
도면8



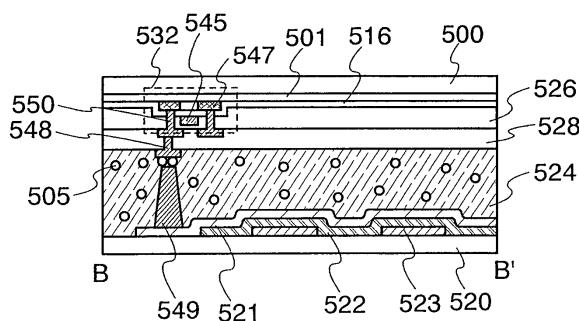
도면9a



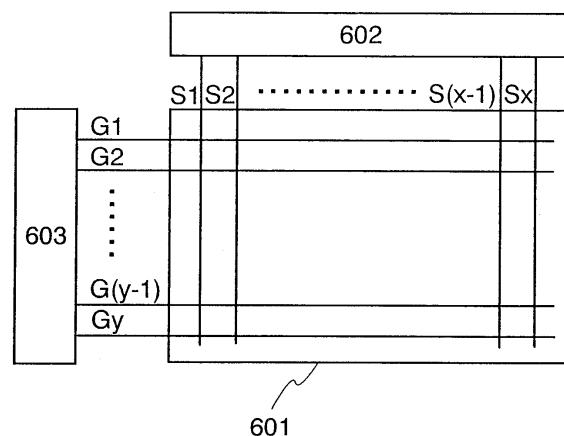
도면9b



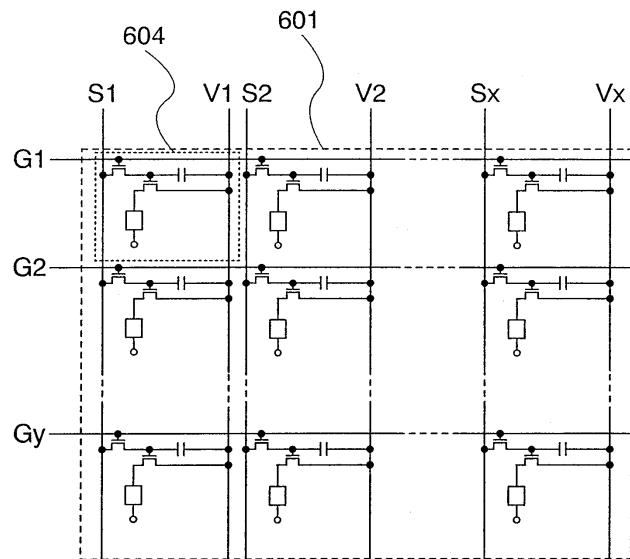
도면9c



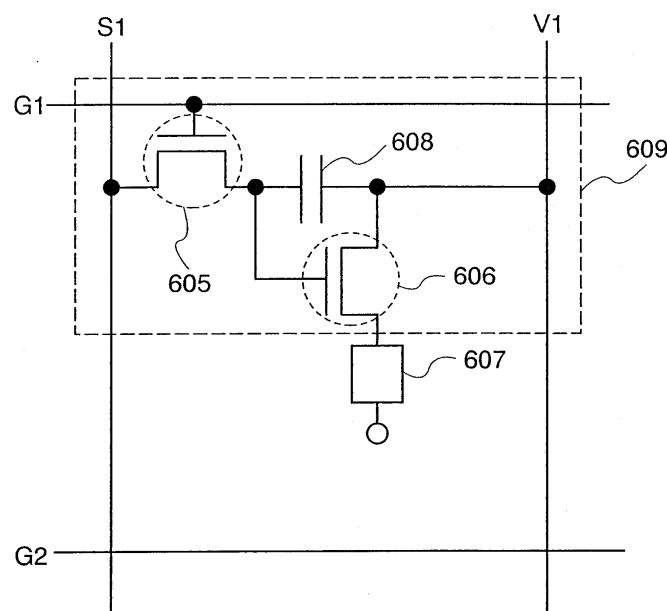
도면10



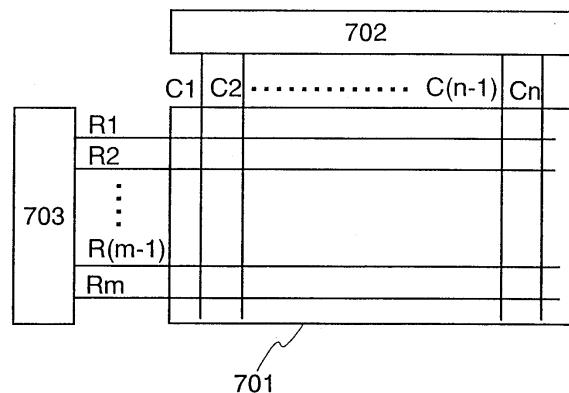
도면11



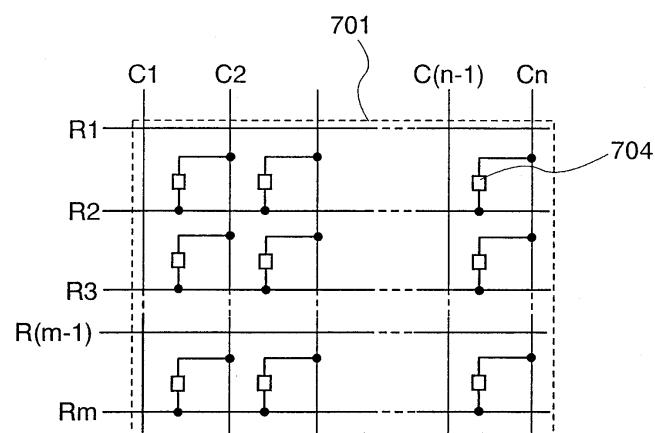
도면12



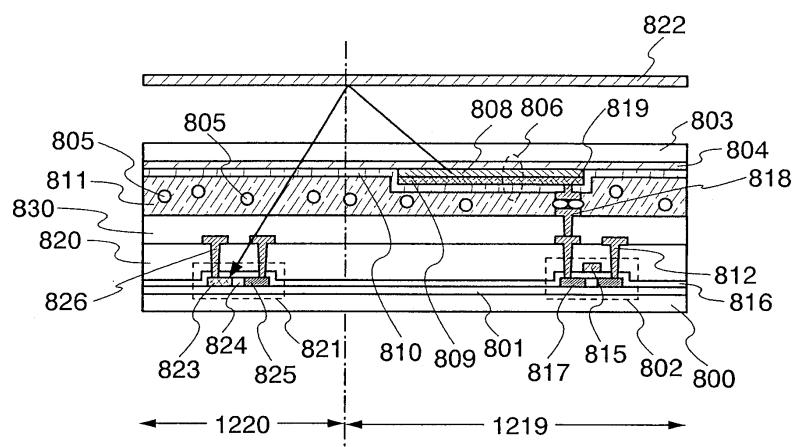
도면13



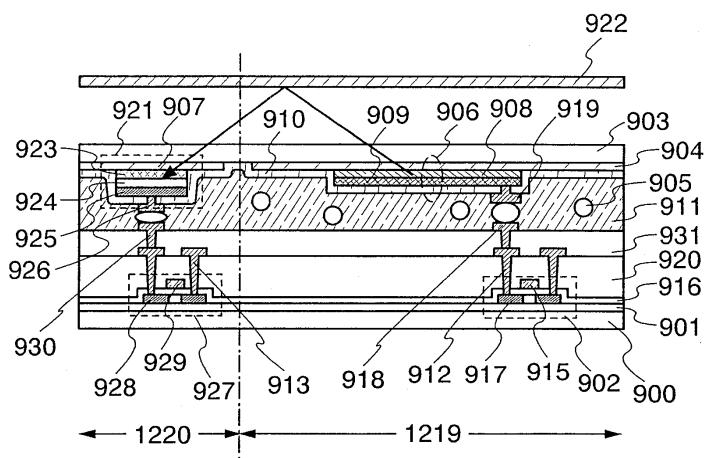
도면14



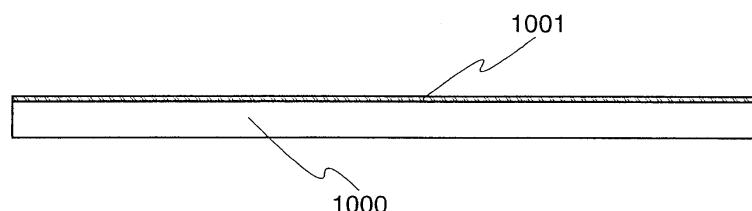
도면15



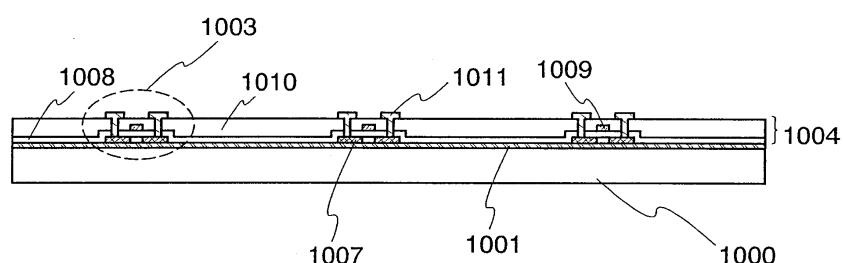
도면16



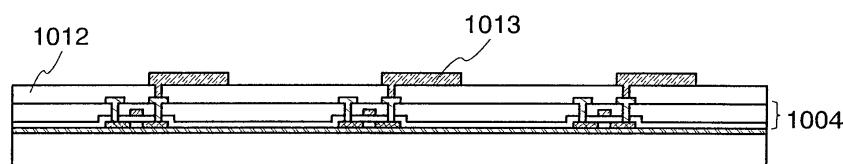
도면17a



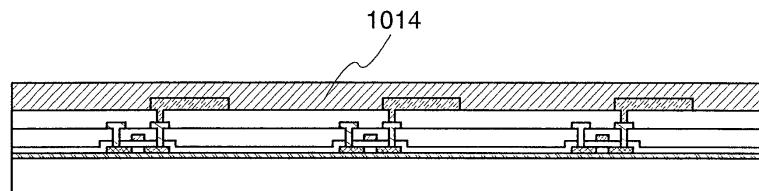
도면17b



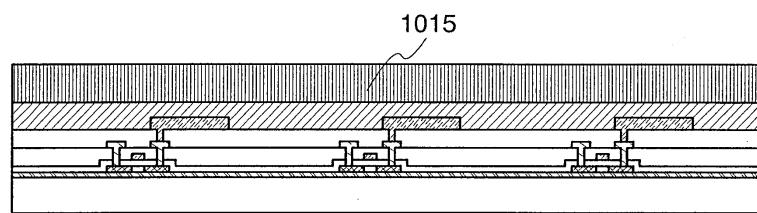
도면17c



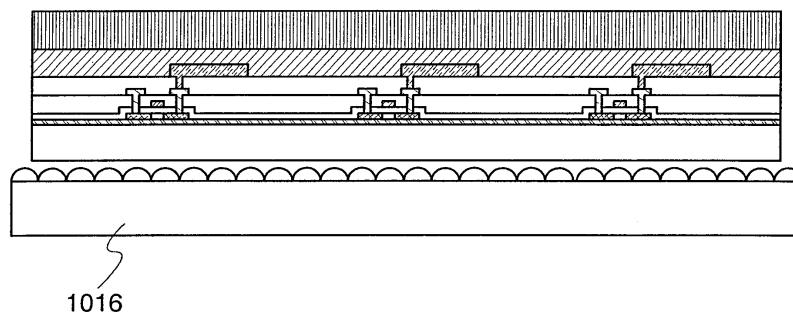
도면18a



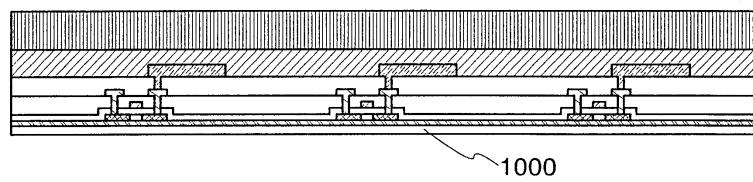
도면18b



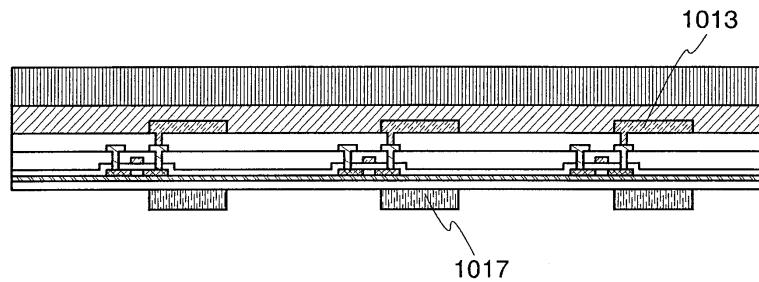
도면18c



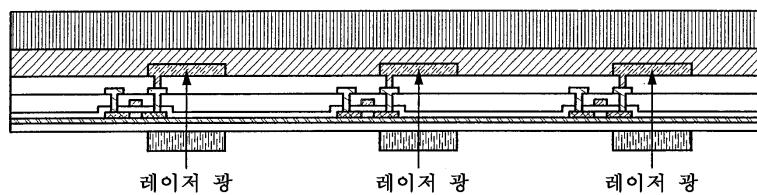
도면19a



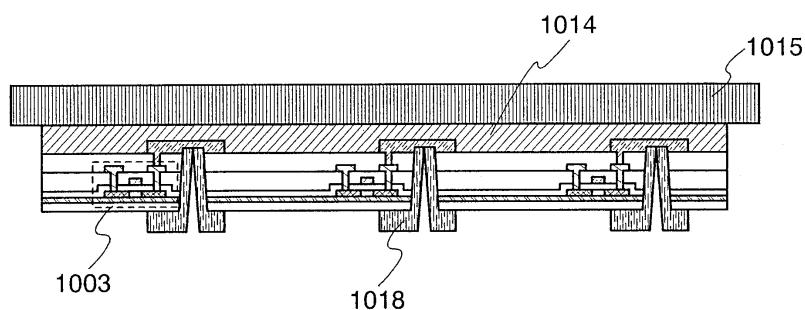
도면19b



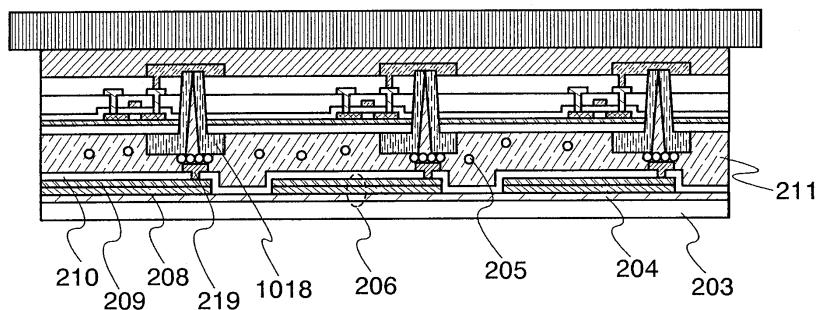
도면19c



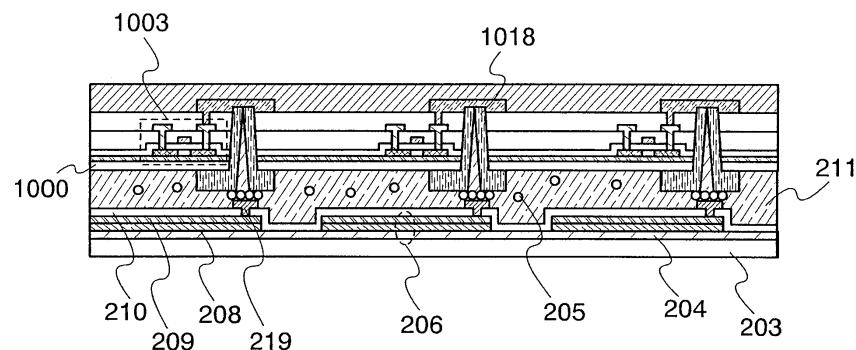
도면20a



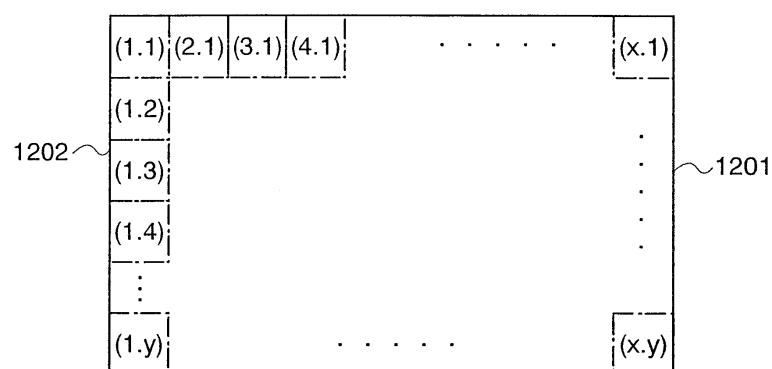
도면20b



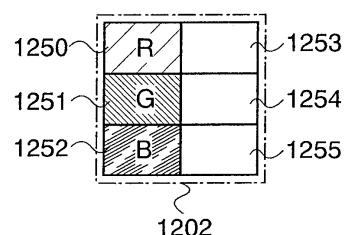
도면21



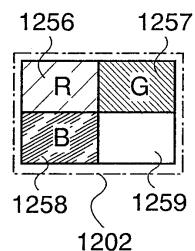
도면22a



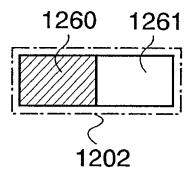
도면22b



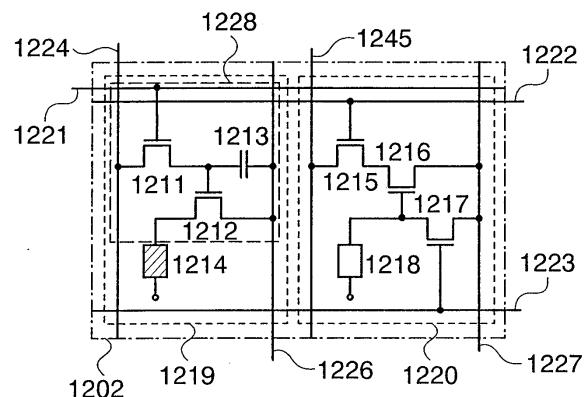
도면22c



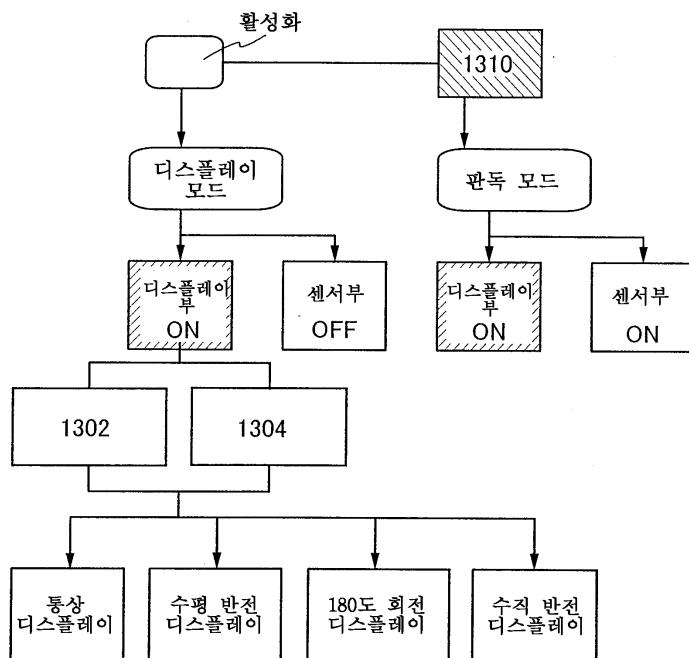
도면22d



도면22e

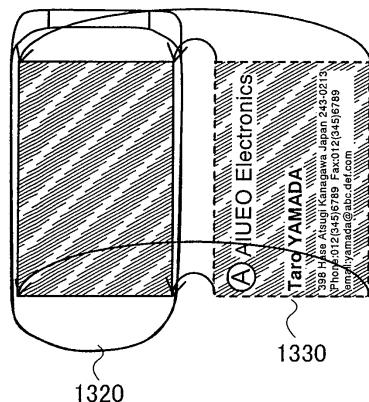


도면23a



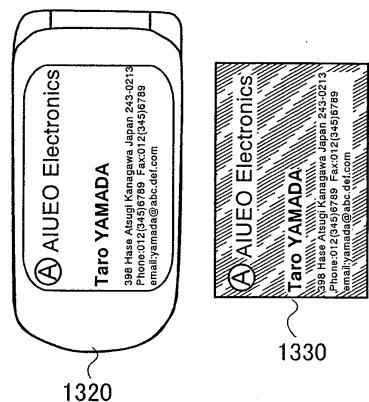
도면23b

판독 모드

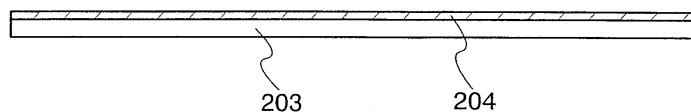


도면23c

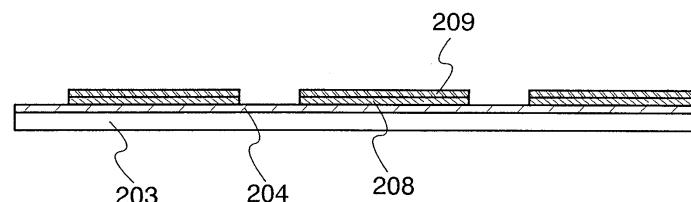
디스플레이 모드



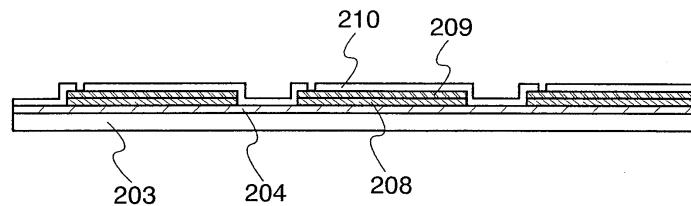
도면24a



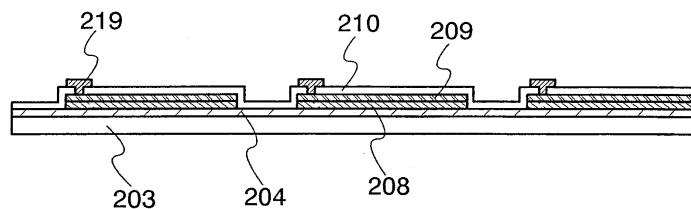
도면24b



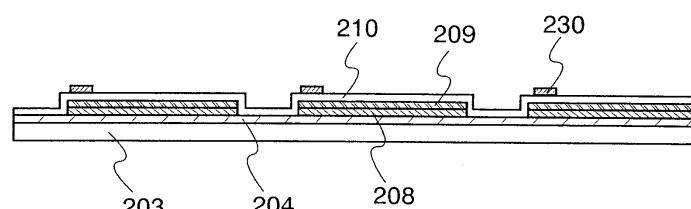
도면24c



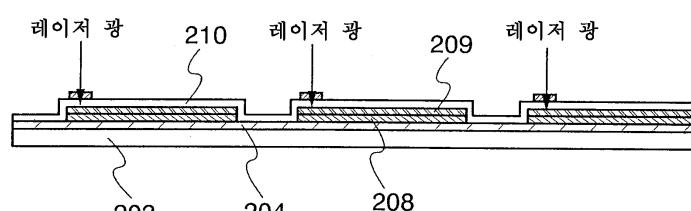
도면24d



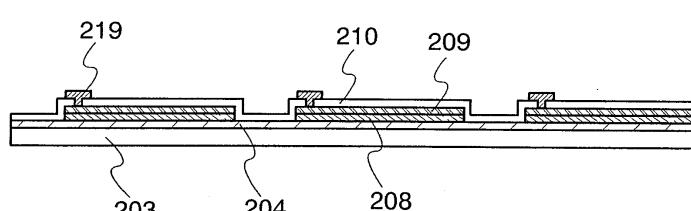
도면25a



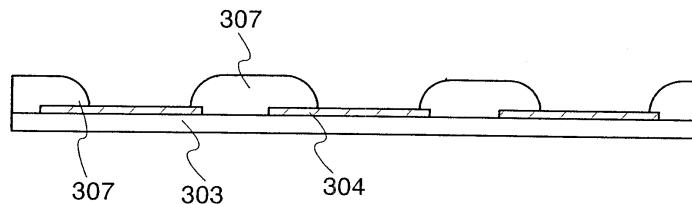
도면25b



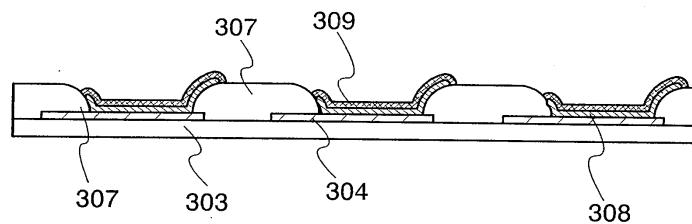
도면25c



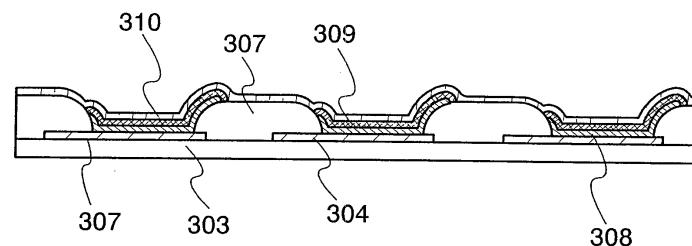
도면26a



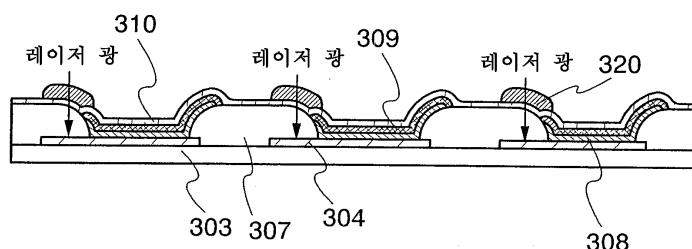
도면26b



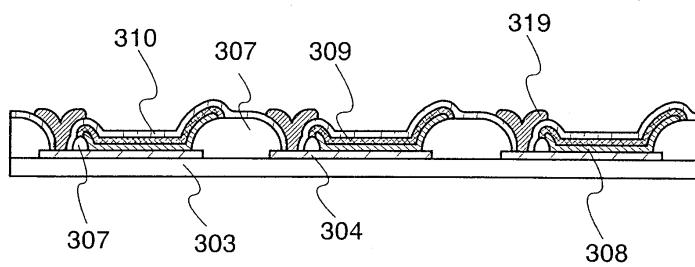
도면26c



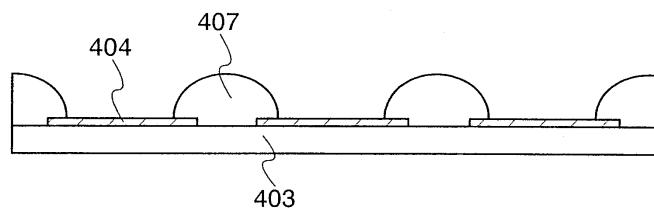
도면26d



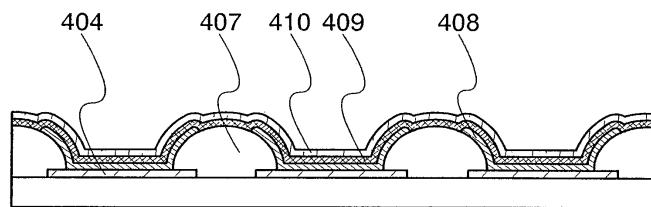
도면27



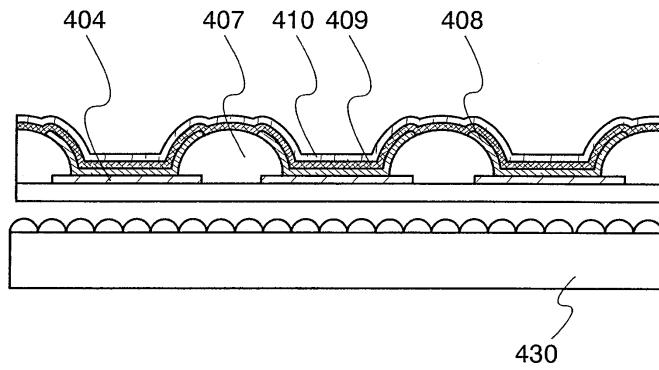
도면28a



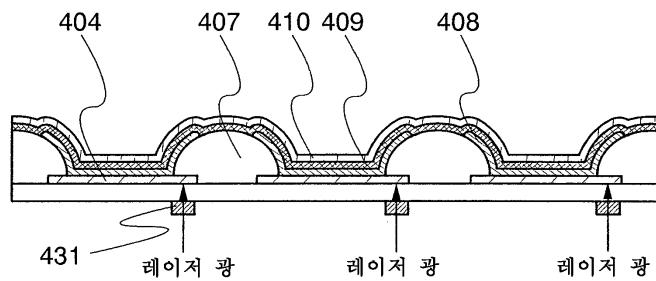
도면28b



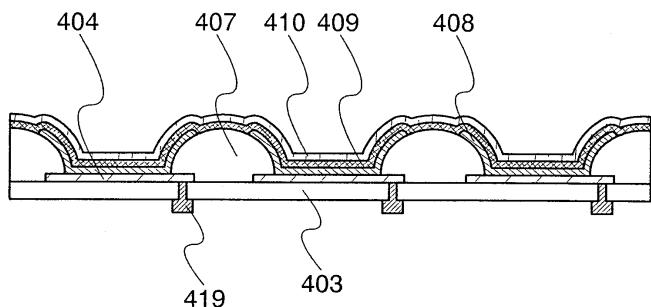
도면28c



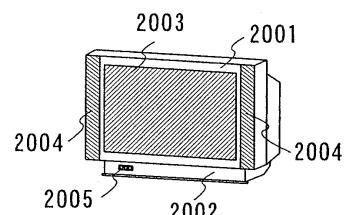
도면28d



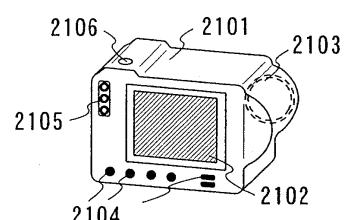
도면29



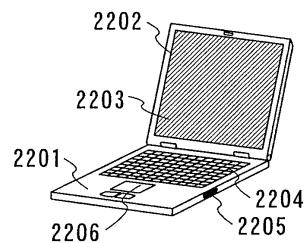
도면30a



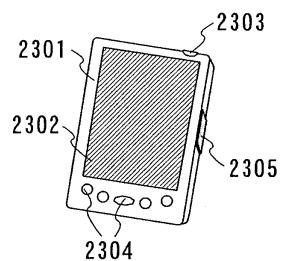
도면30b



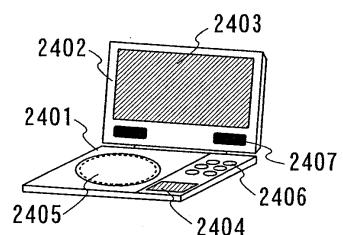
도면30c



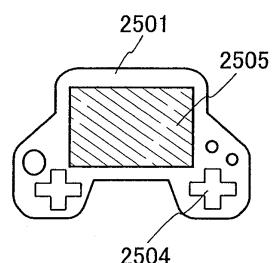
도면30d



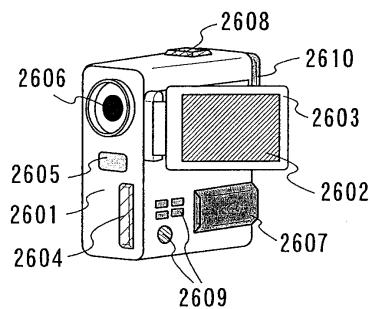
도면30e



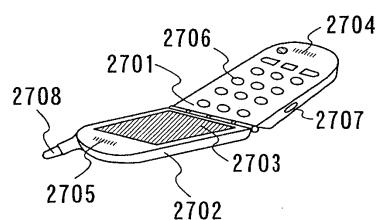
도면30f



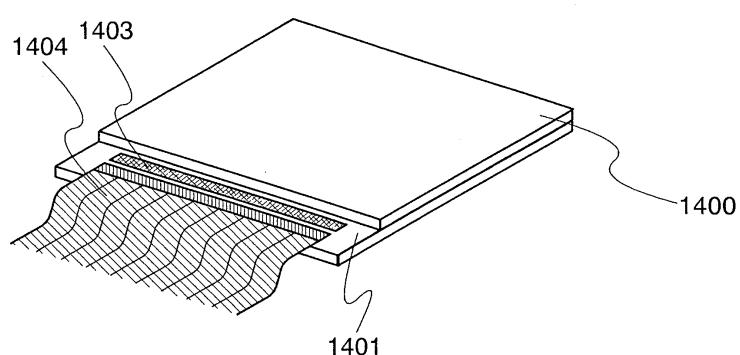
도면30g



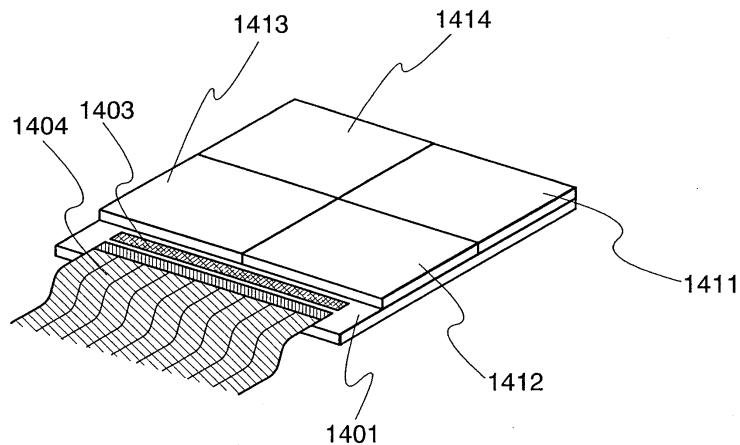
도면30h



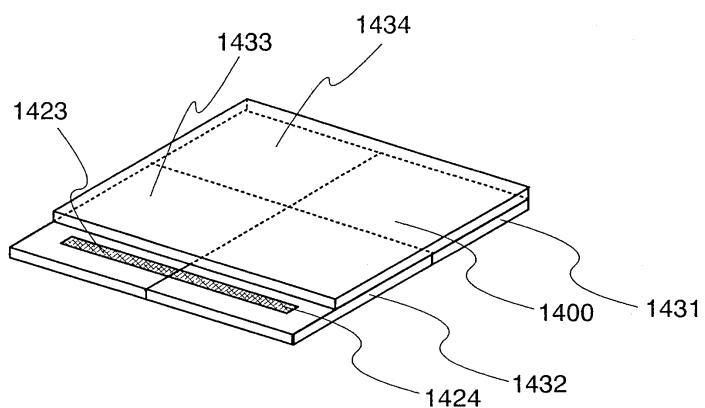
도면31a



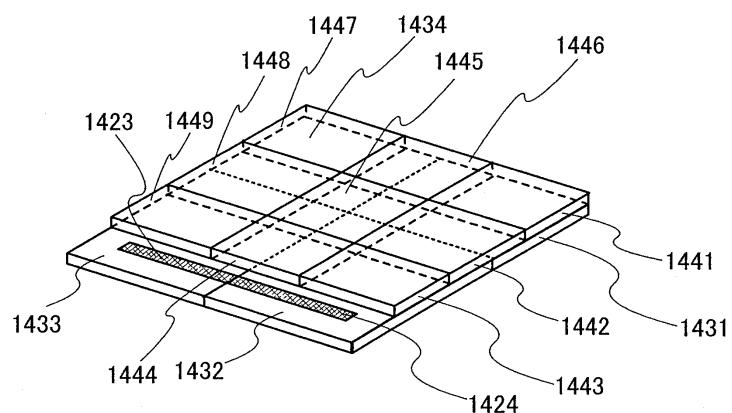
도면31b



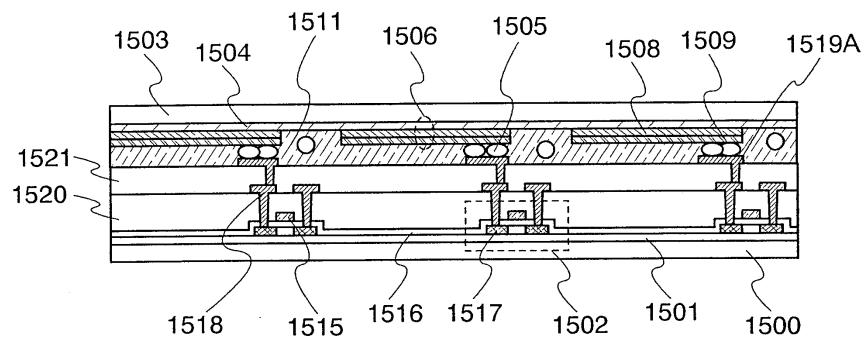
도면32a



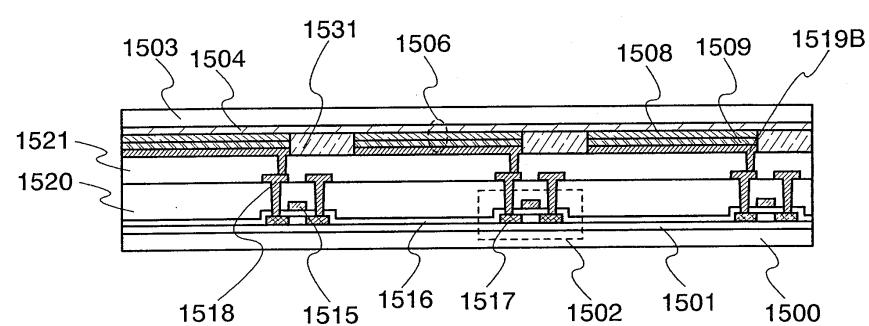
도면32b



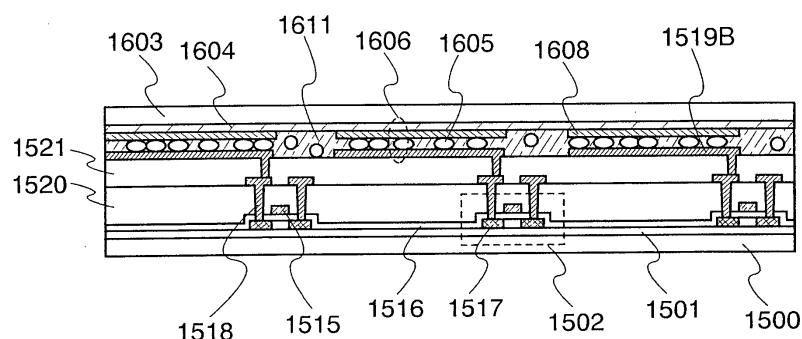
도면33a



도면33b



도면34a



도면34b

