(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2007-184847
(P2007-184847A)
(43)公開日　平成19年7月19日(2007.7.19)

(51)Int.Cl.		F I			テーマコード（参考）
H04L 25/02	(2006.01)	H04L	25/02	302B	5B079
H04L 7/02	(2006.01)	H04L	7/02	Z	5J106
H04L 25/03	(2006.01)	H04L	25/03	E	5K029
H04L 25/08	(2006.01)	H04L	25/08	Z	5K047
G06F 1/06	(2006.01)	G06F	1/04	312Z	

審査請求 未請求　請求項の数 21　ＯＬ　（全 31 頁）　最終頁に続く

(21)出願番号　特願2006-2692(P2006-2692)
(22)出願日　平成18年1月10日(2006.1.10)

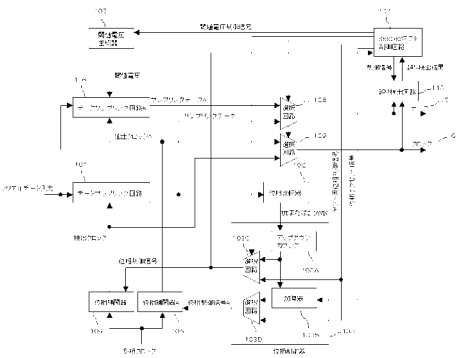
(71)出願人　302062931
ＮＥＣエレクトロニクス株式会社
神奈川県川崎市中原区下沼部１７５３番地
(74)代理人　100080816
弁理士　加藤　朝道
(72)発明者　竹内　正浩
神奈川県川崎市中原区下沼部１７５３番地
ＮＥＣエレクトロニクス株式会社内

Ｆターム(参考)　5B079 AA04 BC03 CC01 CC14 CC16 DD05
5J106 AA04 BB01 CC21 CC59 DD09 DD48 FF09 HH02 KK05 KK37
5K029 AA03 BB03 CC01 DD04 DD22 EE01 HH08 HH13 HH16 HH27 KK22 KK24

最終頁に続く

(54)【発明の名称】クロックアンドデータリカバリ回路及びＳＥＲＤＥＳ回路

(57)【要約】　（修正有）
【課題】クロックアンドデータリカバリ回路の動作余裕度の大きさを測定可能とするＳＥＲＤＥＳ回路の提供。
【解決手段】シリアルデータサンプリング回路(101)と、クロックとデータの位相関係を検出する位相比較器(102)と、位相比較結果（ＵＰ／ＤＯＷＮ）に基づき位相制御信号を出力する位相制御器(103)と、互いに異なる位相の複数のクロック信号よりなる多相クロックを受け、位相制御信号に基づき位相を補間したクロック信号をデータサンプリング回路(101)に供給する位相補間器(104)とがループを構成する。この位相制御器(103)は、位相制御信号とは別の位相制御信号Ａを生成して別の位相補間器(105)に供給し、多相クロックを受け位相制御信号Ａに対応して補間したクロック信号に基づき入力データをサンプルする別のデータサンプリング回路(106)を備え、好ましくは、データをサンプルするための閾値レベルが可変に設定される。
【選択図】図２



【特許請求の範囲】
【請求項１】
入力データ信号を受けクロック信号に応答してサンプルするデータサンプリング回路と、
前記データサンプリング回路でサンプルされたデータ信号を入力し前記クロック信号とデータ信号の位相関係を検出する位相比較器と、
前記位相比較器での位相比較結果に基づき位相制御信号を出力する位相制御器と、
前記位相制御信号に基づき位相を補間してなるクロック信号を出力する位相補間器と、
を備え、前記位相補間器から出力される前記クロック信号が前記データサンプリング回路に供給されてループを構成し、
前記ループ外部から、前記位相制御信号を制御して前記データサンプリング回路に供給される前記クロック信号の位相を可変に設定する制御、及び／又は、前記データサンプリング回路における閾値レベルを可変に設定する制御、を行う制御回路を備えている、ことを特徴とするクロックアンドデータリカバリ回路。
【請求項２】
入力データ信号を受けクロック信号に応答してサンプルするデータサンプリング回路と、
前記データサンプリング回路でサンプルされたデータ信号を入力し前記クロック信号とデータ信号の位相関係を検出する位相比較器と、
前記位相比較器での位相比較結果に基づき位相制御信号を出力する位相制御器と、
前記位相制御信号に基づき位相を補間してなるクロック信号を出力する位相補間器と、
を備え、前記位相補間器から出力される前記クロック信号が前記データサンプリング回路に供給されてループを構成し、
前記位相制御器は、前記位相制御信号とは別の位相制御信号を生成し、
前記位相制御器から出力される前記別の位相制御信号を受け、前記別の位相制御信号に基づき位相を補間したクロック信号を生成する別の位相補間器と、
前記別の位相補間器からのクロック信号に基づき入力データをサンプルする別のデータサンプリング回路と、
を備えている、ことを特徴とするクロックアンドデータリカバリ回路。
【請求項３】
前記別のデータサンプリング回路は、前記入力データ信号をサンプルするための閾値レベルが可変に設定される、ことを特徴とする請求項２記載のクロックアンドデータリカバリ回路。
【請求項４】
位相オフセットを規定する信号を生成するテスト制御回路を備え、
前記位相制御器は、前記位相制御信号を前記位相オフセット分ずらして前記別の位相制御信号を生成する、ことを特徴とする請求項２記載のクロックアンドデータリカバリ回路。
【請求項５】
テスト用の位相制御信号を生成するテスト制御回路を備え、
前記位相制御器は、前記位相制御信号、及び／又は、前記別の位相制御信号を、前記テスト用の位相制御信号から生成する、ことを特徴とする請求項２記載のクロックアンドデータリカバリ回路。
【請求項６】
入力データ信号を受け第１及び第２のクロック信号に応答してそれぞれサンプルする第１及び第２のデータサンプリング回路と、
前記第１のデータサンプリング回路でサンプルされたデータ信号を入力し前記第１のクロック信号とデータ信号の位相関係を検出する位相比較器と、
前記位相比較器での位相比較結果を受け第１の位相制御信号を出力する位相制御器と、
互いに異なる位相の複数のクロック信号よりなる多相クロックを受け前記第１の位相制

御信号に応じて位相を補間したクロックを、前記第１のクロック信号として前記第１のデータサンプリング回路に供給する位相補間器と、
前記位相制御器に供給する位相オフセット信号を出力するとともに、閾値電圧を可変に制御する閾値電圧制御信号を生成するテスト制御回路と、
前記閾値電圧制御信号に応じた閾値電圧を生成する閾値電圧発生回路と、
前記多相クロックを受け、前記位相制御器からの第２の位相制御信号を受け、前記第２の位相制御信号に応じて位相を補間したクロックを、前記第２のクロック信号として前記第２のデータサンプリング回路に供給する第２の位相補間器と、
を備え、
前記第２のデータサンプリング回路は閾値レベルが可変に設定され、
前記第１及び第２のデータサンプリング回路からそれぞれ出力されるデータの一方を選択して出力する第１の選択回路と、
前記第１の選択回路で選択されたデータを受け、前記データの誤りを検出する誤り検出回路と、
を備えている、ことを特徴とするクロックアンドデータリカバリ回路。
【請求項７】
前記第１のデータサンプリング回路、前記位相比較器、前記位相制御器、前記位相補間器よりなるループを機能させた状態で、前記第１、第２の位相補間器がそれぞれ出力する第１、第２のクロック信号間の位相と、前記閾値レベルとの組み合わせに対して前記誤り検出回路で前記第２のデータサンプリング回路が正しくデータをサンプリングすることができたかを調べ、前記クロックアンドデータリカバリ回路にとっての動作余裕度を表すアイパターンをプロットし、ループの時間方向と振幅方向の動作余裕度を測定自在としてなる、ことを特徴とする請求項６記載のクロックアンドデータリカバリ回路。
【請求項８】
前記第１の選択回路と、前記誤り検出回路の代わりに、前記第１及び第２のデータサンプリング回路からそれぞれ出力される第１、第２のデータを入力し前記第１、第２のデータが互いに一致するか否か比較する比較回路を備えている、ことを特徴とする請求項６記載のクロックアンドデータリカバリ回路。
【請求項９】
前記第１及び第２のクロック信号のうちいずれか一方を選択する第２の選択回路を備え、
前記テスト制御回路は、前記誤り検出回路からの誤り検出結果と前記位相制御信号を受け、前記第１及び第２の選択回路における選択を制御する信号を生成する、ことを特徴とする請求項６記載のクロックアンドデータリカバリ回路。
【請求項１０】
前記テスト制御回路は、テスト用の位相制御信号を出力し、
前記位相制御器は、
前記位相比較器の比較結果信号に基づき、カウントアップ又はダウンするカウンタと、
前記テスト制御回路からの選択制御信号に基づき、前記カウンタの出力と前記テスト用の位相制御信号の一方を選択し前記第１の位相制御信号として出力する選択回路と、
前記カウンタの出力と前記位相オフセット信号を加算する加算器と、
前記テスト制御回路からの選択制御信号に基づき、前記加算器の出力とテスト用の位相制御信号を選択し前記第２の位相制御信号として出力する選択回路と、
を備えている、ことを特徴とする請求項６記載のクロックアンドデータリカバリ回路。
【請求項１１】
前記第１のデータサンプリング回路、前記位相比較器、前記位相制御器、前記位相補間器よりなるループを機能させた状態で、前記第２の位相制御信号として前記テスト用の位相制御信号を選択し、前記第１、第２の位相補間器がそれぞれ出力する第１、第２のクロック信号間の位相と、前記閾値レベルとの組み合わせに対して前記誤り検出回路で前記第２のデータサンプリング回路が正しくデータをサンプリングすることができたかを調べ、

前記クロックアンドデータリカバリ回路にとっての動作余裕度を表すアイパターンをプロットし、ループの時間方向と振幅方向の動作余裕度を測定自在としてなる、ことを特徴とする請求項１０記載のクロックアンドデータリカバリ回路。

【請求項１２】

前記第１のデータサンプリング回路、前記位相比較器、前記位相制御器、前記位相補間器よりなるループを機能させた状態で、前記第１の位相補間器が出力する第１のクロック信号の位相と、前記第１の位相制御信号として前記テスト用の位相制御信号を選択し、種々の第１のクロック信号の位相に対して前記誤り検出回路で前記第１のデータサンプリング回路が正しくデータをサンプリングすることができたかを調べてプロットしたアイパターンとを比較し、ループの時間方向の動作余裕度を測定自在としてなる、ことを特徴とする請求項１０記載のクロックアンドデータリカバリ回路。

【請求項１３】

入力データ信号を受けクロック信号に応答してサンプルするデータサンプリング回路と、

前記データサンプリング回路でサンプルされたデータ信号を入力し前記クロック信号とデータ信号の位相関係を検出する位相比較器と、

位相制御信号を出力する位相制御器と、

前記位相制御器からの前記位相制御信号に基づき位相を補間してなるクロック信号を出力する位相補間器と、

を備え、前記位相補間器から出力される前記クロック信号が前記データサンプリング回路に供給されてループを構成し、

テスト用の位相制御信号を生成するテスト制御回路を備え、

前記位相制御器は、前記位相比較器での比較結果信号に基づき生成される位相制御信号と、前記テスト用の位相制御信号との一方を選択し、前記位相補間器へ供給される前記位相制御信号として出力する選択回路を備え、

前記データサンプリング回路から出力されるデータを入力し前記データの誤りの有無を検出する誤り検出回路を備えている、ことを特徴とするクロックアンドデータリカバリ回路。

【請求項１４】

前記テスト制御回路が、閾値電圧を可変に制御する閾値電圧制御信号を出力し、

前記閾値電圧制御信号を受け閾値電圧を可変に出力する閾値電圧生成器を備え、

前記データサンプリング回路は、前記閾値電圧生成器からの閾値電圧を閾値レベルとして入力データをサンプルする、ことを特徴とする請求項１３記載のクロックアンドデータリカバリ回路。

【請求項１５】

前記位相制御器は、前記位相比較器での比較結果信号に基づきカウントアップ、ダウンするカウンタと、

前記テスト制御回路からの選択制御信号に基づき、前記カウンタの出力と前記テスト用の位相制御信号の一方を選択出力する選択回路と、

を備えている、ことを特徴とする請求項１３又は１４に記載のクロックアンドデータリカバリ回路。

【請求項１６】

前記誤り検出回路が、誤り数を検出する、ことを特徴とする請求項６又は１３記載のクロックアンドデータリカバリ回路。

【請求項１７】

前記誤り検出回路の前段にシリアルパラレル変換回路を備え、前記誤り検出回路には、パラレルデータが供給される、ことを特徴とする請求項６又は１３記載のクロックアンドデータリカバリ回路。

【請求項１８】

前記データサンプル回路は、前記入力データ信号を受け、閾値レベルが可変に設定され

るレシーバ回路と、前記レシーバ回路の出力を、前記データサンプル回路に供給されるクロック信号と前記クロック信号の逆相信号とに基づき、それぞれ、異なるタイミングでサンプルするラッチ回路群と、を備え、異なるタイミングでサンプルした複数系列のデータを前記位相比較器に供給し、

前記位相比較器は、前記データサンプル回路からの複数系列のデータ間における一致、不一致の関係から、クロックとデータの位相の進み、遅れを判定することを特徴とする請求項１４記載のクロックアンドデータリカバリ回路。

【請求項１９】

送信パラレルデータをシリアルデータに変換して出力するシリアルパラレル変換回路を備えた送信回路と、

受信シリアルデータを受けるクロックアンドデータリカバリ回路と、前記クロックアンドデータリカバリ回路から出力されるデータ及びクロック信号を受けパラレルデータに変換するシリアルパラレル変換回路とを含む受信回路と、を備え、

前記クロックアンドデータリカバリ回路が請求項１乃至１８のいずれか一に記載のクロックアンドデータリカバリ回路よりなる、ことを特徴とするＳＥＲＤＥＳ回路。

【請求項２０】

テスト時、前記送信回路から出力されるシリアルデータ出力を折り返し前記受信回路の前記クロックアンドデータリカバリ回路に入力されるように切り替え制御する回路を備えている、ことを特徴とする請求項１９記載のＳＥＲＤＥＳ回路。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、ＬＳＩ間（Large Scale Integrated Circuit）を高速シリアルデータ伝送を行うＳＥＲＤＥＳ（SERialier and DESerializer）回路に関し、特に、クロックアンドデータリカバリ回路の動作余裕度の測定に好適な回路に関する。

【背景技術】

【０００２】

近年の半導体技術の発展に伴い、ＬＳＩ間のデータ伝送を高速シリアル化することが行われている。送信パラレルデータをシリアル化して伝送路に出力し、受信シリアルデータをパラレルデータに変換するインタフェースとして、所謂、ＳＥＲＤＥＳ（SERialier and DESerializer）と呼ばれる回路が多用されている。ＳＥＲＤＥＳ回路について、図１を参照して説明しておく。図１に示すように、ＳＥＲＤＥＳは、装置内部のクロック信号を生成するＰＬＬ（Phase Looked Loop）回路１０と、送信回路１１と、受信回路１２を備えて構成されている。

【０００３】

送信回路１１は、パラレルデータをシリアル化するパラレルシリアル変換回路１３を備えている。受信回路１２は、受信シリアルデータから、該データに同期したクロックを抽出し抽出したクロック（リカバリクロック）及びデータを出力するクロックアンドデータリカバリ回路１４と、シリアルデータをパラレル化するシリアルパラレル変換回路１５を備えている。

【０００４】

図１９は、本願出願人による特許文献１に記載されているクロックアンドデータリカバリ回路の構成の一例を示す図である。図１９を参照すると、このクロックアンドデータリカバリ回路は、位相検出器２０１と、積分器２０２、２０３と、パターン発生器２０４と、混合器２０５と、位相補間器２０６とを備えている。位相検出器２０１において、データ入力と抽出クロック間の位相関係を検出し、積分器２０２及び２０３とパターン発生器２０４と混合器２０５のブロックが、位相補間器用の位相制御信号を生成し、位相補間器２０６が抽出クロックを生成する。以上のループによって、リカバリが行われる。また、クロックアンドデータリカバリ回路の構成については、例えば特許文献２等の記載も参照される。

【０００５】
【特許文献１】特開２００５－５９９９号公報
【特許文献２】特開２００２－１９０７２４号公報
【発明の開示】
【発明が解決しようとする課題】
【０００６】
ところで、特許文献１、２等に記載されている従来のクロックアンドデータリカバリ回路においては、シリアルデータ入力から抽出したリカバリクロックが、本当に最適であるか否か、また、時間方向及び電圧方向に十分な動作余裕度があるか否か、を判定する機能が実装されていない。
【０００７】
すなわち、クロックアンドリカバリ回路の動作余裕度の大きさを測定可能とする回路の実現が課題であることを本発明者は知見した。
【課題を解決するための手段】
【０００８】
本願で開示される発明は、上記課題を解決するため、概略以下の構成とされる。
【０００９】
本発明の１つのアスペクト（側面）に係るクロックアンドデータリカバリ回路は、入力データ信号を受けクロック信号に応答してサンプルするデータサンプリング回路と、前記データサンプリング回路でサンプルされたデータ信号を入力し前記クロック信号とデータ信号の位相関係を検出する位相比較器と、前記位相比較器での位相比較結果に基づき位相制御信号を出力する位相制御器と、前記位相制御信号に基づき位相を補間してなるクロック信号を出力する位相補間器と、を備え、前記位相補間器から出力される前記クロック信号が前記データサンプリング回路に供給されてループを構成し、前記ループ外部から、前記位相制御信号を制御して前記データサンプリング回路に供給される前記クロック信号の位相を可変に設定する制御、及び／又は、前記データサンプリング回路における閾値レベルを可変に設定する制御、を行う制御回路を備えている。
【００１０】
本発明においては、入力データ信号を受けクロック信号に応答してサンプルするデータサンプリング回路と、前記データサンプリング回路でサンプルされたデータ信号を入力し前記クロック信号とデータ信号の位相関係を検出する位相比較器と、前記位相比較器での位相比較結果に基づき位相制御信号を出力する位相制御器と、前記位相制御信号に基づき位相を補間したクロック信号を生成して前記データサンプリング回路に供給する位相補間器と、がループを構成するクロックアンドデータリカバリ回路であって、前記位相制御器は、前記位相制御信号とは別の位相制御信号を生成し、前記位相制御器から出力される前記別の位相制御信号を受け、前記別の位相制御信号に基づき位相を補間したクロック信号を生成する別の位相補間器と、前記別の位相補間器からのクロック信号に基づき入力データをサンプルする別のデータサンプリング回路と、を備えた構成としてもよい。
【００１１】
本発明において、前記別のデータサンプリング回路は、前記入力データ信号をサンプルするための閾値レベルが可変に設定される。
【００１２】
本発明において、位相オフセットを規定する信号を生成するテスト制御回路を備え、
前記位相制御器は、前記位相制御信号を前記位相オフセット分ずらして前記別の位相制御信号を生成する構成としてもよい。
【００１３】
本発明において、テスト用の位相制御信号を生成するテスト制御回路を備え、前記位相制御器は、前記位相制御信号、及び／又は、前記別の位相制御信号を、前記テスト用の位相制御信号から生成する構成としてもよい。
【００１４】

本発明の他のアスペクトに係るクロックアンドデータリカバリ回路は、入力データ信号を受け第１及び第２のクロック信号に応答してそれぞれサンプルする第１及び第２のデータサンプリング回路と、前記第１のデータサンプリング回路でサンプルされたデータ信号を入力し前記クロック信号とデータ信号の位相関係を検出する位相比較器と、前記位相比較器での位相比較結果を受け第１の位相制御信号を出力する位相制御器と、互いに異なる位相の複数のクロック信号よりなる多相クロックを受け前記第１の位相制御信号に応じて位相を補間したクロックを前記第１のクロック信号として前記第１のデータサンプリング回路に供給する位相補間器と、前記位相制御器に供給する位相オフセット信号を出力するとともに、閾値電圧を可変に制御する閾値電圧制御信号を生成するテスト制御回路と、前記閾値電圧制御信号に応じた閾値電圧を生成する閾値電圧発生回路と、前記多相クロックを受け、前記位相制御器からの第２の位相制御信号を受け、前記第２の位相制御信号に応じて位相を補間したクロックを、前記第２のクロック信号として前記第２のデータサンプリング回路に出力する第２の位相補間器と、を備え、前記第２のデータサンプリング回路は閾値レベルが可変に設定され、前記第１及び第２のデータサンプリング回路からそれぞれ出力されるデータの一方を選択して出力する第１の選択回路と、前記第１の選択回路で選択されたデータを受け、前記データの誤りを検出する誤り検出回路と、を備えている。

【００１５】

本発明において、前記第１のデータサンプリング回路、前記位相比較器、前記位相制御器、前記位相補間器よりなるループを機能させた状態で、前記第１、第２の位相補間器がそれぞれ出力する第１、第２のクロック信号間の位相と、前記閾値レベルとの組み合わせに対して前記誤り検出回路で前記第２のデータサンプリング回路が正しくデータをサンプリングすることができたかを調べ、前記クロックアンドデータリカバリ回路にとっての動作余裕度を表すアイパターンをプロットし、ループの時間方向と振幅方向の動作余裕度を測定自在としている。

【００１６】

本発明において、前記第１の選択回路と、前記誤り検出回路の代わりに、前記第１及び第２のデータサンプリング回路からそれぞれ出力される第１、第２のデータを入力し前記第１、第２のデータが互いに一致するか否か比較する比較回路を備えた構成としてもよい。

【００１７】

本発明において、前記第１及び第２のクロック信号のうちいずれか一方を選択する第２の選択回路を備えている。本発明において、前記テスト制御回路は、前記誤り検出回路からの誤り検出結果と前記位相制御信号を受け、前記第１及び第２の選択回路における選択を制御する信号を生成する。

【００１８】

本発明において、前記テスト制御回路は、テスト用の位相制御信号を出力する構成としてもよい。前記位相制御器は、前記位相比較器の比較結果信号に基づき、カウントアップ又はダウンするカウンタと、前記テスト制御回路からの選択制御信号に基づき、前記カウンタの出力と前記テスト用の位相制御信号の一方を選択し前記第１の位相制御信号として出力する選択回路と、前記カウンタの出力と前記位相オフセット信号を加算する加算器と、前記テスト制御回路からの選択制御信号に基づき、前記加算器の出力とテスト用の位相制御信号を選択し前記第２の位相制御信号として出力する選択回路と、を備えている。

【００１９】

本発明の他のアスペクトに係るクロックアンドデータリカバリ回路は、入力データ信号を受けクロック信号に応答してサンプルするデータサンプリング回路と、前記データサンプリング回路でサンプルされたデータ信号を入力し前記クロック信号とデータ信号の位相関係を検出する位相比較器と、位相制御信号を出力する位相制御器と、前記位相制御器からの前記位相制御信号に基づき位相を補間してなるクロック信号を出力する位相補間器と、を備え、前記位相補間器から出力される前記クロック信号が前記データサンプリング回路に供給されてループを構成し、テスト用の位相制御信号を生成するテスト制御回路を備

え、前記位相制御器は、前記位相比較器での比較結果信号に基づき生成される位相制御信号と、前記テスト用の位相制御信号との一方を選択し、前記位相補間器へ供給される前記位相制御信号として出力する選択回路を備え、前記データサンプリング回路から出力されるデータを入力し前記データの誤りの有無を検出する誤り検出回路を備えている。

【００２０】

本発明において、前記テスト制御回路は、閾値電圧を可変に制御する閾値電圧制御信号を出力し、前記閾値電圧制御信号を受け閾値電圧を可変に出力する閾値電圧生成器を備え、前記データサンプリング回路は、前記閾値電圧生成器からの閾値電圧を閾値レベルとして入力データをサンプルする、構成としてもよい。

【００２１】

本発明において、前記位相制御器は、前記位相比較器での比較結果信号に基づきカウントアップ、ダウンするカウンタと、前記テスト制御回路からの選択制御信号に基づき、前記カウンタの出力と前記テスト用の位相制御信号の一方を選択出力する選択回路と、を備えた構成としてもよい。

【００２２】

本発明において、前記誤り検出回路が、誤り数を検出する、構成としてもよい。

【００２３】

本発明において、前記誤り検出回路の前段にシリアルパラレル変換回路を備え、前記誤り検出回路には、パラレルデータが供給される、構成としてもよい。

【００２４】

本発明において、前記データサンプル回路は、前記入力データ信号を受け、閾値レベルが可変に設定されるレシーバ回路と、前記レシーバ回路の出力を、前記データサンプル回路に供給されるクロック信号と前記クロック信号の逆相信号とに基づき、それぞれ、異なるタイミングでサンプルするラッチ回路群と、を備え、異なるタイミングでサンプルした複数系列のデータを前記位相比較器に供給する構成としてもよい。前記位相比較器は、前記データサンプル回路からの複数系列のデータ間における一致、不一致の関係から、クロックとデータの位相の進み、遅れを判定する。

【００２５】

本発明において、第１のデータサンプリング回路は、通常、シリアルデータ入力の電圧レベルの真中を閾値としてサンプリングする。第２のデータサンプリング回路は、テスト制御回路からの指示により、閾値電圧生成回路が出力した閾値電圧を閾値レベルとしてサンプリングする構成としてもよい。

【００２６】

さらに、本発明においては、誤り検出回路、選択回路の制御も含めて、テスト制御回路から、全ての制御を行うようにしてもよい。様々な制御の組み合わせにおける第１、及び／又は第２のサンプリングデータの誤りの有無を調べ、クロックアンドデータリカバリ回路にとってのアイパターンをプロットすることにより、クロックアンドデータリカバリ回路の動作余裕度を測定することができる。

【００２７】

本発明に係るＳＥＲＤＥＳ回路は、クロックを生成するＰＬＬ回路と、パラレルデータをシリアルデータに変換して出力するシリアルパラレル変換回路を備えた送信回路と、シリアルデータ入力を受ける前記本発明のクロックアンドデータリカバリ回路と、クロックアンドデータリカバリ回路からのデータ及びクロック信号を受けパラレルデータに変換するシリアルパラレル変換回路とを含む受信回路と、を備えている。テスト時、前記送信回路の出力を折り返し、前記受信回路の前記クロックアンドデータリカバリ回路に入力されるように切り替え制御する回路を備えた構成としてもよい。

【発明の効果】

【００２８】

本発明によれば、クロックアンドデータリカバリ回路の時間方向と電圧方向の動作余裕度を測定することができるという効果を奏する。

【００２９】
その理由は、本発明においては、クロックアンドデータリカバリ回路の位相補間器から出力される抽出クロックの位相を可変させ、データをサンプルするデータサンプリング回路の閾値レベルを可変させて、様々なポイントでのサンプリングデータの誤りの有無を検出し、動作余裕度を表すアイパターンをプロットすることにより、時間方向と電圧方向の動作余裕度を測定することができるためである。
【００３０】
また、本発明によれば、クロックアンドデータリカバリ回路のループを動作させた状態で、ループ内のデータサンプリング回路に供給するクロックとは、異なる位相のクロックを、別のデータサンプリング回路に供給し、別のデータサンプリング回路の閾値レベルを可変させることで、時間方向と電圧方向の動作余裕度を測定することができる。
【００３１】
さらに、本発明によれば、位相補間器からのクロックの位相を、テスト制御回路から直接指定することができる。
【発明を実施するための最良の形態】
【００３２】
上記した本発明についてさらに詳細に説述すべく添付図面を参照して以下に説明する。本発明に係るクロックアンドデータリカバリ回路は、図２あるいは図１２を参照すると、入力データを抽出クロックに応答してサンプルするデータサンプリング回路（１０１）と、データサンプリング回路（１０１）でサンプルされたデータを入力し、該データに基づきクロックとデータの位相関係を検出する位相比較器（１０２）と、位相比較器（１０２）から出力される位相比較結果（ＵＰ／ＤＯＷＮ）に基づき、位相制御信号を出力する位相制御器（１０３／１０３’）と、互いに異なる位相の複数のクロック信号よりなる多相クロックを受け、位相制御器（１０３／１０３’）から出力される位相制御信号に基づき位相を補間したクロック信号を前記抽出クロックとしてデータサンプリング回路（１０１）に供給する位相補間器（１０４）とがループを構成している。位相制御器（１０３）は、該位相制御信号とは別の位相制御信号（位相制御信号Ａ）を生成し、別の位相制御信号（位相制御信号Ａ）を別の位相補間器（１０５）に供給する。別の位相補間器（１０５）は、位相補間器（１０４）と共通に前記多相クロックを受け、前記別の位相制御信号（位相制御信号Ａ）に対応して補間したクロック信号を別の抽出クロック（抽出クロックＡ）として出力する。さらに、位相補間器（１０５）からの別の抽出クロック（抽出クロックＡ）に基づき、入力データをサンプルする別のデータサンプリング回路（１０６）を備えている。このデータサンプリング回路（１０６）は、好ましくは、データをサンプルする閾値レベルが可変自在とされる。さらに、２つのデータサンプリング回路（１０１、１０６）から出力されるデータの一方を選択する選択回路（１０８）と、選択回路（１０８）で選択されたデータを受け、前記データの誤りを検出する誤り検出回路（１１０）を備えている。本発明においては、位相補間器（１０４、１０５）から出力されるクロック信号のうちいずれか一方を選択する選択回路（１０９）を備えた構成としてもよい。
【００３３】
本発明においては、さらに、位相制御器（１０３）に供給する位相オフセット信号を出力するとともに、閾値電圧を可変に制御する閾値電圧制御信号を生成するテスト制御回路（１１１、「ＳＥＲＤＥＳテスト制御回路」ともいう）と、閾値電圧制御信号に応じた閾値電圧を生成する閾値電圧生成器（１０７）と、を備えている。
【００３４】
本発明においては、テスト時、データサンプリング回路（１０１）、位相比較器（１０２）、位相制御器（１０３）、及び、位相補間器（１０４）よりなるループを機能させた状態で、位相補間器（１０４、１０５）からそれぞれ出力される抽出クロックの間の位相と、データサンプリング回路（１０６）における閾値レベルとの組み合わせに対して、誤り検出回路（１１０）において、データサンプリング回路（１０６）が正しくデータをサンプリングすることができたか否かを調べ、クロックアンドデータリカバリ回路にとって

の動作余裕度を表すアイパターンをプロットし、ループの時間方向と振幅方向の動作余裕度を測定可能としている。

【００３５】

本発明においては、データサンプリング回路（１０１、１０６）からそれぞれ出力されるデータを受け、これらのデータが互いに一致するか否かを比較する比較回路（図１５の１２０）を備えた構成としてもよい。

【００３６】

本発明において、テスト制御回路（１１１）は、誤り検出回路（１１０）からの誤り検出結果、あるいは、前記位相制御信号を受け、データの選択、抽出クロックの選択を行う選択回路（１０８、１０９）における選択、位相オフセット信号、テスト用の位相制御信号、閾値電圧生成器（１０７）における閾値電圧を可変に設定する閾値電圧制御信号を生成する構成としてもよい。

【００３７】

本発明において、位相制御器（１０３）は、位相比較器（１０２）の比較結果信号の出力をカウントアップ、ダウンするカウンタ（１０３Ａ）と、テスト制御回路（１１１）からの選択制御信号に基づき、カウンタ（１０３Ａ）の出力とテスト用の位相制御信号の一方を選択し、前記位相制御信号として、位相補間器（１０４）に供給する選択回路（１０３Ｃ）と、カウンタ（１０３Ａ）の出力と位相オフセット信号とを加算する加算器（１０３Ｂ）と、テスト制御回路（１１１）からの選択制御信号に基づき、加算器（１０３Ｂ）の出力とテスト用の位相制御信号の一方を選択し、別の位相制御信号（位相制御信号Ａ）として位相補間器（１０５）に供給する選択回路（１０３Ｄ）と、を備えた構成としてもよい。

【００３８】

本発明においては、図１３を参照すると、入力データをサンプルするデータサンプリング回路（１０１）と、データサンプリング回路（１０１）からのデータを入力し前記データに基づき、クロックとデータの位相関係を検出する位相比較器（１０２）と、位相制御信号を出力する位相制御器（１０３”）と、互いに異なる位相の複数のクロック信号よりなる多相クロックを受け前記位相制御信号に基づき位相を補間した前記クロック信号を前記データサンプリング回路に供給する位相補間器（１０４）と、を備え、データサンプリング回路（１０１）から出力されるデータと位相補間器（１０４）からのクロック信号をリカバリデータとクロックとして出力する。さらに、位相補間器（１０４）に供給するテスト用の位相制御信号を生成するテスト制御回路（１１１）を備えている。位相制御器（１０３”）は、位相補間器（１０４）への位相制御信号として、位相比較器（１０２）の比較結果信号に基づき生成される位相制御信号と、テスト制御回路（１１１）で生成した位相制御信号とを選択出力する。データサンプリング回路（１０１）から出力されるデータを入力し前記データの誤りの有無を検出する誤り検出回路（１１０）を備えている。

【００３９】

あるいは、本発明においては、図１４を参照すると、テスト制御回路（１１１）は、閾値電圧を可変に制御する閾値電圧制御信号を出力し、該閾値電圧制御信号を受け閾値電圧を可変に出力する閾値電圧生成器（１０７）を備えている。データサンプリング回路（１０１）は、閾値電圧生成器（１０７）からの閾値電圧に対応した閾値レベルで入力データをサンプルする。

【００４０】

本発明において、位相制御器（１０３”）は、位相比較器（１０２）の比較結果信号の出力をカウントアップ、ダウンするカウンタ（１０３Ａ）と、カウンタ（１０３Ａ）の出力と前記テスト用の位相制御信号の一方を選択し、位相制御信号として位相補間器（１０４）に出力する選択回路（１０３Ｃ）と、を備えている。

【００４１】

本発明において、誤り検出回路（１１０）は、誤り数を検出する構成としてもよい。

【００４２】

本発明において、図１１を参照すると、誤り検出回路（１１０）の前段にシリアルパラレル変換回路（１５）を備え、誤り検出回路（１１０）には、パラレルデータを供給するようにしてもよい。

【００４３】

本発明においては、ＳＥＲＤＥＳインタフェースのデシリアライザ部として、図１を参照すると、受信シリアルデータ入力を受けるクロックアンドデータリカバリ回路（１４）と、クロックアンドデータリカバリ回路からのデータ及びクロック信号を受け、シリアルデータをパラレルデータに変換するシリアルパラレル変換回路（１５）とを含む。クロックアンドデータリカバリ回路（１４）は、本発明のクロックアンドデータリカバリ回路よりなる。テスト時、送信回路（１１）の出力を折り返し、クロックアンドデータリカバリ回路（１４）に入力しループバックテストを行うように切り替える構成としてもよい。以下実施例に即して詳細に説明する。

【実施例】

【００４４】

図１は、本発明のＳＥＲＤＥＳ回路の一実施例の全体構成を示すブロック図である。図１を参照すると、ＳＥＲＤＥＳ回路は、ＰＬＬ回路１０と、送信回路１１と、受信回路１２とを備えて構成されている。送信回路１１には、パラレルデータ３をシリアル化したシリアルデータ１を生成するパラレルシリアル変換回路１３を備えている。受信回路１２には、外部から入力されるシリアルデータ入力２とＰＬＬ回路１０が生成したクロックから、入力データに同期したクロックのリカバリを行うクロックアンドデータリカバリ回路１４と、データ５とクロック６とからデータをパラレルに展開するシリアルパラレル変換回路１５を備えている。不図示の多相クロック生成回路は、ＰＬＬ回路１０からのクロックを分周等して多相クロック（位相が等間隔で離間した複数のクロック信号）を生成し、クロックアンドデータリカバリ回路１４に供給する。

【００４５】

図２は、本発明の一実施例（第１の実施例）のクロックアンドデータリカバリ回路（図１の１４、あるいは、後述する図１０の１４）の構成を示す図である。図２を参照すると、このクロックアンドデータリカバリ回路は、データサンプリング回路１０１と、位相比較器１０２と、位相制御器１０３と、位相補間器１０４と、位相補間器Ａ１０５と、データサンプリング回路Ａ１０６と、閾値電圧生成器１０７と、選択回路１０８、１０９と、誤り検出回路１１０と、ＳＥＲＤＥＳテスト制御回路１１１とを備えている。

【００４６】

データサンプリング回路１０１は、抽出クロックのエッジに応答してデータをサンプリングし、サンプリングデータを出力する。

【００４７】

シリアルデータ入力が差動信号の場合、データサンプリング回路１０１は、図３に示すように、差動増幅器（レシーバ）１０１Ａと、差動増幅器（レシーバ）１０１Ａからの出力をサンプルするフリップフロップ１０１Ｂ～１０１Ｅを備えている。シリアルデータ入力としてシングルの信号（Single Ended Signal）の場合、差動増幅器１０１Ａの一方の入力信号に、シリアルデータ入力信号の中心レベルの電圧を、基準電圧（Ｖｒｅｆ）（不図示）として与える。

【００４８】

再び、図２を参照すると、位相比較器１０２は、データサンプリング回路１０１でサンプリングしたデータを基に、抽出クロックとシリアルデータ入力との間の位相関係を検出し、抽出クロックの位相を進めた方がよいか、あるいは遅らせた方がよいかを判断する。判断の結果、位相を進ませた方がよい場合には、ＵＰ信号を出力し、位相を遅らせた方がよい場合には、ＤＯＷＮ信号を出力する。

【００４９】

位相制御器１０３は、ＵＰ信号及びＤＯＷＮ信号に対して積分を行うアップダウンカウンタ１０３Ａと、アップダウンカウンタ１０３Ａの出力に対して位相オフセット値を加算

する加算器１０３Ｂと、アップダウンカウンタ１０３Ａの出力信号とＳＥＲＤＥＳテスト制御回路１１１から出力されるテスト用位相制御信号の一方を選択する選択回路１０３Ｃと、加算器１０３Ｂの出力信号とＳＥＲＤＥＳテスト制御回路１１１から出力されるテスト用位相制御信号の一方を選択する選択回路１０３Ｄを備えている。選択回路１０３Ｃ、選択回路１０３Ｄは、ＳＥＲＤＥＳテスト制御回路１１１からの選択制御信号を入力し、該選択制御信号にしたがって一方を選択する。

【００５０】

位相比較器１０２から出力されるＵＰ信号及びＤＯＷＮ信号は、頻繁に変化する信号であり、そのまま位相補間器１０４の制御信号として用いると、抽出クロックの位相が頻繁に動いてしまう。このため、積分器として作用するアップダウンカウンタ１０３Ａを用いることで、抽出クロック位相が頻繁に動くことを防いでいる。

【００５１】

選択回路１０３Ｃから出力される位相制御信号は、位相補間器１０４の位相を制御する。

【００５２】

選択回路１０３Ｄから出力される位相制御信号Ａは、位相補間器Ａ１０５の位相を制御する。

【００５３】

位相補間器１０４は、位相制御信号に従って、抽出クロックの位相を進めたり遅らせたりする。

【００５４】

位相補間器Ａ１０５は、位相制御信号Ａに従って、抽出クロックＡの位相を進めたり遅らせたりする。

【００５５】

なお、特に制限されないが、本実施例において、位相制御信号は、ＳＥＲＤＥＳテスト制御回路１１１に入力されている。かかる構成により、ＳＥＲＤＥＳテスト制御回路１１１では、位相制御信号の値を確認することができる。

【００５６】

閾値電圧生成器１０７は、ＳＥＲＤＥＳテスト制御回路１１１からの指示に応じて、閾値電圧を生成する。

【００５７】

データサンプリング回路Ａ１０６は、閾値電圧を閾値レベルとして、抽出クロックＡでシリアルデータ入力をサンプリングし、サンプリングデータＡを出力する。

【００５８】

選択回路１０８は、データサンプリング回路１０１から出力されるサンプリングデータ又はデータサンプリング回路Ａ１０６から出力されるサンプリングデータＡを選択する。選択回路１０８で選択出力されたデータは、クロックアンドデータリカバリ回路の出力データ５となる。

【００５９】

選択回路１０９は、位相補間器１０４から出力される抽出クロック又は位相補間器Ａ１０５から出力される抽出クロックＡを選択する。選択回路１０９で選択出力されたクロックは、クロックアンドデータリカバリ回路の出力クロック６となる。

【００６０】

誤り検出回路１１０は、ＳＥＲＤＥＳテスト制御回路１１１からの制御信号に応じて、選択回路１０８から出力されるデータ５の誤りの有無を検出し、検出結果をＳＥＲＤＥＳテスト制御回路に出力する。なお、誤り検出回路１１０は、選択回路１０９が出力したクロック６を入力する。誤り検出回路１１０は、テスト時において、入力されたデータ５を、その期待値と比較して誤りの有無を判定してもよい。

【００６１】

ＳＥＲＤＥＳテスト制御回路１１１は、クロックアンドデータリカバリ回路の全体制御

を行う回路であり、誤り検出回路１１０からの誤り検出結果、位相制御器１０３からの位相制御信号を入力し、誤り検出回路１１０への制御信号、閾値電圧生成器１０７への閾値電圧制御信号、位相制御器１０３へのテスト用位相制御信号、位相オフセット信号を供給し、選択回路１０３Ｃ、１０３Ｄ、１０８、１０９への選択制御信号を供給する。

【００６２】

次に、図２に示した本実施例のクロックアンドデータリカバリ回路の動作を説明する。

【００６３】

データサンプリング回路１０１は、位相補間器１０４から出力される抽出クロックでデータをサンプリングする。

【００６４】

図３は、データサンプリング回路１０１の構成の一例を示す図である。シリアルデータを差動で入力するレシーバ１０１Ａ、レシーバ１０１Ａの出力を、位相差が１８０度の０度、１８０度の抽出クロック（相補のクロック）の立ち上がりエッジに応答してそれぞれサンプルするＤ型フリップフロップ１０１Ｂ、１０１Ｃ、Ｄ型フリップフロップ１０１Ｂ、１０１Ｃの出力を０度の抽出クロックの立ち上がりエッジに応答してそれぞれサンプルするＤ型フリップフロップ１０１Ｄ、１０１Ｅを備え、Ｄ型フリップフロップ１０１Ｂ、１０１Ｄ、１０１Ｅの出力がサンプリングデータ１、２、３として出力され、サンプリングデータ２が選択回路１０８に供給される。また０度の抽出クロックは選択回路１０９へ供給される。３つのサンプリングデータ１、２、３はすべて位相比較器１０２に供給される。

【００６５】

図３の回路のタイミング動作の一例を、図４及び図５に示す。図４は、抽出クロック位相がシリアルデータ入力２に対して若干進んでいる場合の例を示す図であり、図５は、抽出クロック位相がシリアルデータ入力２に対して若干遅れている場合の例を示す図である。

【００６６】

図４のタイミングチャートの場合、サンプリングデータ２とサンプリングデータ３は常に同一である。

【００６７】

一方、図５のタイミングチャートの場合、サンプリングデータ１とサンプリングデータ３は常に同一である。

【００６８】

位相比較器１０２は、データサンプリング回路１０１でサンプリングしたデータを基に、抽出クロックとシリアルデータ入力との間の位相関係を検出し、抽出クロックの位相を進めた方がよいか、あるいは遅らせた方がよいかを判断する。

【００６９】

図４に示すタイミングチャートの場合、サンプリングデータ２とサンプリングデータ３は常に同一であるが、シリアルデータ入力パターンがＬｏｗレベルからＨｉｇｈレベルあるいは、ＨｉｇｈレベルからＬｏｗレベルに変化した場合、サンプリングデータ１とサンプリングデータ３は異なるので、サンプリングデータ１とサンプリングデータ３を比較し異なる場合には、ＤＯＷＮを出力する。

【００７０】

一方、図５に示すタイミングチャートの場合、サンプリングデータ１とサンプリングデータ３は常に同一であるが、シリアルデータ入力パターンがＬｏｗレベルからＨｉｇｈレベルあるいはＨｉｇｈレベルからＬｏｗレベルに変化した場合、サンプリングデータ２とサンプリングデータ３は異なるので、サンプリングデータ２とサンプリングデータ３を比較し異なる場合はＵＰを出力する。

【００７１】

位相制御器１０３は、位相比較器１０２が出力したＵＰ信号及びＤＯＷＮ信号を基に、位相補間器１０４に対する位相制御信号と、位相補間器Ａ１０５に対する位相制御信号Ａ

を生成する。
【００７２】
まず、ＵＰ信号及びＤＯＷＮ信号をアップダウンカウンタ１０３Ａでカウントする。アップダウンカウンタ１０３Ａは、ＵＰ信号が入力された場合にはカウント値を＋１し、ＤＯＷＮ信号が入力された場合にはカウント値を－１し、カウント値が所定の値よりも大きくなった場合には、出力する位相制御信号を＋１すると同時に、カウント値をゼロにリセットし、カウント値が所定の数値より小さくなった場合は、出力する位相制御信号を－１すると同時にカウント値をゼロにリセットする。
【００７３】
加算器１０３Ｂは、アップダウンカウンタ１０３Ａが出力した信号（カウント値）に対して、ＳＥＲＤＥＳテスト制御回路１１１が出力する位相オフセット信号を加算した結果を出力する。
【００７４】
選択回路１０３Ｃは、アップダウンカウンタ１０３Ａが出力した信号と、ＳＥＲＤＥＳテスト回路１１１が出力するテスト用位相制御信号のいずれか一方を選択する。
【００７５】
選択回路１０３Ｄは、加算器１０３Ｂが出力した信号とＳＥＲＤＥＳテスト回路１１１が出力するテスト用位相制御信号のいずれか一方を選択する。
【００７６】
位相補間器１０４は、位相制御器１０３が出力した位相制御信号を基に、抽出クロックを生成する。
【００７７】
図６は、位相補間器１０４の動作の一例を示すタイミングチャートであり、４相クロックが入力され、位相制御信号が０～３１までの３２通りの値を取り得る場合の例である。位相制御信号が大きくなるにしたがって、抽出クロックの位相が徐々に進む。ただし、位相制御信号が３１の次の位相は、位相制御信号０と巡回的に可変される。
【００７８】
位相補間器Ａ１０５の動作は、制御信号が位相制御信号Ａに変わるだけで、位相補間器１０４と同じ動作である。
【００７９】
閾値電圧生成器１０７は、ＳＥＲＤＥＳテスト制御回路１１１より出力される閾値電圧制御信号（デジタル信号）を受け、閾値電圧制御信号が大きな値を示す場合には、大きな閾値電圧を生成し、閾値電圧制御信号が小さな値を示す場合には、小さな閾値電圧を生成する。
【００８０】
データサンプリング回路Ａ１０６は、閾値電圧生成器１０７が生成した閾値電圧を閾値レベルとして、位相補間器Ａ１０５が生成したクロックでシリアルデータ入力２をサンプリングし、サンプリングデータＡを出力する。
【００８１】
選択回路１０８は、データサンプリング回路１０１が出力したサンプリングデータ又はデータサンプリング回路Ａ１０６が出力したサンプリングデータＡを選択し、誤り検出回路１１０に出力する。
【００８２】
選択回路１０９は、位相補間器１０４が出力した抽出クロックと、位相補間器Ａ１０５が出力した抽出クロックＡのうちの一方を選択し、誤り検出回路１１０に出力する。
【００８３】
誤り検出回路１１０は、選択回路１０８から出力されたデータと、選択回路１０９から出力されたクロックを用いて、データの誤りの有無を検出し、検出結果をＳＥＲＤＥＳテスト制御回路１１１に出力する。
【００８４】

以上説明した第１の実施例の回路は、ＳＥＲＤＥＳテスト制御回路１１１の制御のもと、以下のように協調して、３種類のテスト動作（テスト１～３）を行うことができる。

【００８５】

＜テスト１＞

選択回路１０３Ｃにおいて、アップダウンカウンタ１０３Ａの出力を選択した場合、データサンプリング回路１０１、位相比較器１０２、アップダウンカウンタ１０３Ａ、位相補間器１０４のループの働きによりシリアルデータ入力に対して抽出クロックを生成し、データサンプリング回路１０１では、その抽出クロックでデータのサンプリングが行われる。ここまでは、本来のクロックアンドデータリカバリ回路の動作である。

【００８６】

さらに、選択回路１０３Ｄにおいて、加算器１０３Ｂの出力を選択した場合、抽出クロックに対して、ＳＥＲＤＥＳテスト制御回路１１１から出力される位相オフセット信号によって指定された位相分の時間シフトしたクロックと、ＳＥＲＤＥＳテスト制御回路１１１から出力される閾値電圧制御信号によって指定された閾値レベルにしたがって、データサンプリング回路Ａ１０６が、データのサンプリングを行う。誤り検出回路１１０では、そのサンプリングデータの誤りの有無を検出する。

【００８７】

図７（Ａ）、図７（Ｂ）に、データサンプリング回路１０１とデータサンプリング回路Ａ１０６のクロックと閾値レベルの関係を示す。データサンプリング回路１０１では、閾値電圧は一定値とされる。データサンプリング回路Ａ１０６では、閾値レベルは、データサンプリング回路１０１の閾値電圧に対して、閾値電圧制御信号で規定される分、閾値レベルが可変とされる。

【００８８】

様々な位相オフセット信号と閾値電圧制御信号の組み合わせについて誤りの有無を調べ、クロックアンドデータリカバリ回路にとっての動作余裕度を表すアイパターンをプロットし、動作余裕度を測定することができる。

【００８９】

＜テスト２＞

選択回路１０３Ｄにおいて、ＳＥＲＤＥＳテスト制御回路１１１から出力されるテスト用位相制御信号を選択した場合、様々な位相を持ったクロックと、ＳＥＲＤＥＳテスト制御回路１１１から出力される閾値電圧制御信号によって指定された閾値レベルにしたがって、データサンプリング回路Ａ１０６がデータをサンプリングする。誤り検出回路１１０では、そのサンプリングデータの誤りの有無を検出する。

【００９０】

図８に、データサンプリング回路Ａ１０６のクロックと閾値レベルの関係を示す。様々なテスト用位相制御信号と閾値電圧制御信号の組み合わせについて誤りの有無を調べ、クロックアンドデータリカバリ回路にとってのアイパターンをプロットしておき、別途、クロックアンドデータリカバリ回路のループを機能させたときの位相制御信号と比較することにより、クロックアンドデータリカバリ回路の動作余裕度を測定することができる。

【００９１】

＜テスト３＞

選択回路１０３Ｃにおいて、ＳＥＲＤＥＳテスト制御回路１１１から出力されるテスト用位相制御信号を選択した場合、様々な位相を持った抽出クロックで、データサンプリング回路１０１がデータをサンプリングする。

【００９２】

誤り検出回路１１０では、データサンプリング回路１０１によるサンプリングデータの誤りの有無を検出する。

【００９３】

図９に、データサンプリング回路１０１のクロックの様子を示す。様々なテスト用位相制御信号について誤りの有無を調べ、クロックアンドデータリカバリ回路にとっての時間

方向のみのアイパターンをプロットしておき、別途、クロックアンドデータリカバリ回路のループを機能させたときの位相制御信号と比較することにより、クロックアンドデータリカバリ回路の動作余裕度を測定することができる。

【００９４】

本実施例において、ＳＥＲＤＥＳテスト制御回路１１１は、テスト時に、上記した制御を行う。

【００９５】

次に、本発明の第２の実施例について図面を参照して詳細に説明する。図１０は、本発明の第２の実施例のＳＥＲＤＥＳ回路の全体構成を示すブロック図である。前記実施例においては、クロックアンドデータリカバリ回路のテストを行うために、外部よりシリアルデータを入力していた。本実施例では、クロックアンドデータリカバリ回路１４の手前に選択回路１６を設け、ＳＥＲＤＥＳ回路内の送信回路１１の出力信号を選択回路の一方に入力している。

【００９６】

なお、送信回路１１に、データパターン発生回路（不図示）を設け、誤り検出回路１１０で誤りの有無を検出できるデータパターンを発生させる。かかる構成とすることで、外部からシリアルデータを入力することなく、クロックアンドデータリカバリ回路１４のテストをループバック方式で行うことができる。本実施例は、転送レートがＧＨｚを超えるような高速のＳＥＲＤＥＳ回路を、高速テスタ等を用いることなく、ファンクショナルテストを用いたマージンテスト（動作余裕度のテスト）を可能としている。

【００９７】

図１１は、本発明の第３の実施例のクロックアンドデータリカバリ回路（図１又は図１０の１４）の構成を示す図である。前記第１の実施例においては、サンプリングデータ、又はサンプリングデータＡが誤り検出回路１１０に入力される。このため、誤り検出回路１１０は高速動作させる必要がある。

【００９８】

本実施例では、誤り検出回路１１０の前段に、シリアルパラレル変換回路１５が配設されている。他の構成は、図２の構成と同一である。シリアルパラレル変換回路１５は、選択回路１０８、１０９から出力されるシリアルデータとクロック信号を入力してパラレルデータへの変換を行う。誤り検出回路１１０は、シリアルパラレル変換回路１５からのパラレルデータを入力して誤り検出処理を行う。かかる構成により、誤り検出回路１１０は高速で動作する必要がない。一例として、Ｎビットのパラレルデータの場合、誤り検出回路１１０は、Ｎビットシリアルデータを処理する場合の１／Ｎの周波数の動作周波数で動作すればよい。

【００９９】

図１２は、本発明の第４の実施例のクロックアンドデータリカバリ回路（図１又は図１０の１４）の構成を示す図である。前記第１の実施例では、前述したように、＜テスト１＞から＜テスト３＞の３種類全てのテストを行うための構成とされている。しかしながら、例えば＜テスト１＞のみのテストを行うのであれば、図１２に示す構成であればよく、構成を簡単にすることができる。図１２に示すように、本実施例では、位相制御器１０３’において、前記第１の実施例（図２）の位相制御器１０３の選択回路１０３Ｃ、１０３Ｄが削除されている。

【０１００】

ＳＥＲＤＥＳテスト制御回路１１１は、位相制御器１０３’に対して、位相オフセット信号を出力する。テスト用位相制御信号は出力しない。位相制御器１０３’は、アップダウンカウンタ１０３Ａと、ＳＥＲＤＥＳテスト制御回路１１１からの位相オフセット信号と、アップダウンカウンタ１０３Ａのカウント値を加算する加算器１０３Ｂを備え、アップダウンカウンタ１０３Ａのカウント値、加算器１０３Ｂの加算値を、位相制御信号、位相制御信号Ａとして位相補間器１０４、１０５に出力する。

【０１０１】

図１３は、本発明の第５の実施例によるクロックアンドデータリカバリ回路（図１又は図１０の１４）の構成を示す図である。例えば、＜テスト３＞のみのテストを行うのであれば、図１３に示すような構成でよく、構成を簡単にすることができる。

【０１０２】

図１３に示す例では、図２に示した構成から、データサンプリング回路Ａ１０６、閾値電圧生成器１０７、選択回路１０３Ｄ、１０８、１０９が削除されている。位相制御器１０３”は、ＳＥＲＤＥＳテスト制御回路１１１からのテスト用位相制御信号と、アップダウンカウンタ１０３Ａのカウント値を選択する選択回路１０３Ｃを備えている。誤り検出回路１１０は、データサンプリング回路１０１からのデータと位相補間器１０４からの抽出クロックを入力して誤りを検出する。

【０１０３】

図１４は、本発明の第６の実施例のクロックアンドデータリカバリ回路（図１又は図１０の１４）の構成を示すブロック図である。データサンプリング回路１０１の閾値電圧レベルを上下に変化させる機能を持たせ、前記第１の実施例で説明した＜テスト２＞と＜テスト３＞のみの試験を行うのであれば、図１４に示すように、構成を簡単にすることができる。本実施例は、図２の構成から、位相補間器Ａ１０５、データサンプリング回路Ａ１０６、選択回路１０３Ｄ、１０８、１０９が削除されている。位相制御器１０３'''は、アップダウンカウンタ１０３Ａと、選択回路１０３Ｃを備え、選択回路１０３Ｃは、アップダウンカウンタ１０３Ａの出力とＳＥＲＤＥＳテスト制御回路１１１からのテスト用位相制御信号の一方を位相制御信号として位相補間器１０４に出力する。データサンプリング回路１０１は閾値電圧生成器１０７の閾値電圧を受ける。

【０１０４】

図１５は、本発明の第７の実施例のクロックアンドデータリカバリ回路（図１又は図１０の１４）の構成を示すブロック図である。前記第１の実施例の＜テスト１＞のみのテストを行うのであれば、図１５に示すように構成を簡単にすることができる。図１５を参照すると、本実施例は、選択回路１０８及び選択回路１０９と、誤り検出回路１１０の代わりに、比較回路１２０を備えている。他の構成は、前記第１の実施例と同じである。

【０１０５】

比較回路１２０は、データサンプリング回路１０１、データサンプリング回路Ａ１０６からのサンプリングデータとサンプリングデータＡを入力してこれらを比較し、一致していればサンプリングデータＡは正しく、一致していなければサンプリングデータＡは誤っていると判断する。

【０１０６】

これにより、クロックアンドデータリカバリ回路１４をテストするための、専用のデータパターンを入力する必要がなくなり、さらに、データサンプリング回路１０１、位相比較器１０２、アップダウンカウンタ１０３Ａ、位相補間器１０４のループを動作させることができるので、通常の運用状態のまま、クロックアンドデータリカバリ回路のテストを行うことができる。

【０１０７】

次に、具体的例を用いて、前記した３種類のテストについて説明する。なお、テストは、図１又は図１０に示した構成のいずれで行ってもよい。

【０１０８】

＜具体例１＞

図１６は、上記した＜テスト１＞に関して、ＳＥＲＤＥＳテスト制御回路１１１から様々な位相オフセット信号と閾値電圧制御信号の組み合わせを出力した場合について、誤り検出回路１１０において誤りの有無を検出した結果をプロットしたアイパターンの例である。図１６の横軸は位相オフセット信号、縦軸は閾値電圧制御信号である。図１６において、「○」は誤り無し、「×」は誤り有りを表している。

【０１０９】

シリアルデータ入力の１ビット分の時間が位相制御信号は０～３１～０までの３２通り

分の時間と等しい場合、位相オフセット信号として、－１６～＋１５までの３２通り設定すればよく、横方向のＸ座標０はクロックアンドデータリカバリ回路のループが機能している場合の抽出クロックの位相に相当する。

【０１１０】

また、シリアルデータ入力として正相と逆相の差動信号が入力される場合を想定し、データサンプリング回路１０１の閾値電圧を０Ｖとし、縦方向のＹ座標０を閾値電圧０Ｖ、そこを中心に閾値電圧を上下に設定している。

【０１１１】

図１６において、Ｘ座標が０であり、かつ、Ｙ座標が０の点は、データサンプリング回路１０１がサンプリングしているポイントと一致するため、Ｘ座標が０、かつＹ座標が０のまわりに○が何個連続しているかを調べることで、クロックアンドデータリカバリ回路の時間方向と電圧方向の動作余裕度を判定することができる。

【０１１２】

＜具体例２＞

図１７は、上記した＜テスト２＞に関して、ＳＥＲＤＥＳテスト制御回路１１１から様々なテスト用位相制御信号と閾値電圧制御信号の組み合わせを出力した場合について、誤り検出回路で誤りの有無を検出した結果をプロットしたアイパターンの例である。図１７の横軸はテスト用位相制御信号、縦軸は閾値電圧制御信号である。

【０１１３】

図１７において、「○」は、誤り無し、「×」は誤り有りを表している。シリアルデータ入力の１Ｂｉｔ分の時間が位相制御信号は０～３１～０までの３２通りの分の時間と等しい場合、テスト用位相制御信号として、０～＋３１までの３２通り設定すればよい。

【０１１４】

また、シリアルデータ入力として、正相と逆相の差動信号が入力される場合を想定し、データサンプリング回路１０１の閾値電圧を０Ｖとし、縦方向のＹ座標０を閾値電圧０Ｖ、そこを中心に閾値電圧を上下に設定している。

【０１１５】

以上のプロットを作成する前、後、又は、最中に、データサンプリング回路１０１、位相比較器１０２、アップダウンカウンタ１０３Ａ、位相補間器１０４の本来のクロックアンドデータリカバリ回路のループを動作させ、そのときの位相制御信号の値を確認し、アイパターンと比較することで、クロックアンドデータリカバリ回路の時間方向と電圧方向の動作余裕度を判定することができる。

【０１１６】

例えば、位相制御信号が１２であれば、Ｘ座標の左方向に１０座標分、右方向に１１座標分の余裕度があり、Ｙ方向の上方向にも下方向にも４座標分の余裕度があることがわかる。

【０１１７】

＜具体例３＞

図１８は、上記した＜テスト３＞に関して、ＳＥＲＤＥＳテスト制御回路１１１から様々なテスト用位相制御信号を出力し、誤り検出回路で誤りの有無を検出した結果をプロットした一次元のアイパターンの例である。横軸は、テスト用位相制御信号である。

【０１１８】

図１８において、「○」は誤り無し、「×」は誤り有りを表している。シリアルデータ入力の１Ｂｉｔ分の時間が位相制御信号は０～３１～０までの３２通りの分の時間と等しい場合、テスト用位相制御信号として、０～＋３１までの３２通り設定すればよい。

【０１１９】

以上のプロットを作成する前又は後に、データサンプリング回路１０１、位相比較器１０２、アップダウンカウンタ１０３Ａ、位相補間器１０４の本来のクロックアンドデータリカバリ回路のループを動作させ、そのときの位相制御信号の値を確認し、アイパターンと比較することで、クロックアンドデータリカバリ回路の時間方向の動作余裕度を判定す

ることができる。例えば、位相制御信号が１４であれば、Ｘ座標の左方向に１０座標分、右方向に１０座標分の余裕度があることがわかる。

【０１２０】

さらに、図１乃至図１８において、動作余裕度の大きさを算出した後、予め設定されている、所望の動作余裕度の数値と比較し、大きければ、クロックアンドデータリカバリ回路は良品であると判定し、予め設定されている所望の動作余裕度の数値と比較して小さければ、そのクロックアンドデータリカバリ回路は、不良品であると判定することができる。

【０１２１】

なお、図１６乃至図１８に示した例においては、各座標におけるテスト時間は、予め設定可能であるものとする。また、各座標のプロットは、誤り有りと無しの２種類のみであったが、エラー数をプロットしてもよい。エラー数にすることで、より複雑な統計処理も行うようにしてもよい。

【０１２２】

また、＜テスト１＞に関しては、原点（Ｘ座標０、Ｙ座標０）の周囲数箇所のみテストを行うことで、テスト時間の短縮が可能である。所望の動作余裕度から、例えば、原点の右方向、左方向、上方向、下方向の４点の座標を選出し、その座標に関するテストのみを行って全て誤り無しを確認することで、テスト時間を大幅に短縮することもできる。

【０１２３】

本発明によれば、様々なポイントでのサンプリングデータの誤りの有無を誤り検出回路で検出し、アイパターンをプロットする。クロックアンドデータリカバリ回路のループを機能させたときの位相制御信号をＳＥＲＤＥＳテスト制御回路でモニタすることができるので、先のアイパターンと比較することにより、クロックアンドデータリカバリ回路の時間方向と電圧方向の動作余裕度を測定することができる。

【０１２４】

本発明によれば、位相制御信号、すなわちデータサンプリング回路のクロック位相をＳＥＲＤＥＳテスト制御回路から直接指定することができる。さらに、様々なポイントでのサンプリングデータＡの誤りの有無を誤り検出回路で検出し、クロックアンドデータリカバリ回路にとっての時間方向のみのアイパターンをプロットしておく。一方では、クロックアンドデータリカバリ回路のループを機能させたときの位相制御信号をＳＥＲＤＥＳテスト制御回路でモニタすることができるので、先のアイパターンと比較することにより、クロックアンドデータリカバリ回路の時間方向の動作余裕度を判定することができる。

【０１２５】

以上、本発明を上記実施例に即して説明したが、本発明は上記実施例の構成にのみに制限されるものでなく、本発明の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【図面の簡単な説明】

【０１２６】

【図１】本発明の第１の実施例のＳＥＲＤＥＳ回路の構成を示すブロック図である。

【図２】本発明の第１の実施例におけるクロックアンドデータリカバリ回路の構成を示す図である。

【図３】本発明の第１の実施例におけるデータサンプリング回路の構成を示す図である。

【図４】本発明の第１の実施例におけるデータサンプリング回路の動作を示すタイミングチャートである。

【図５】本発明の第１の実施例におけるデータサンプリング回路の動作を示すタイミングチャートである。

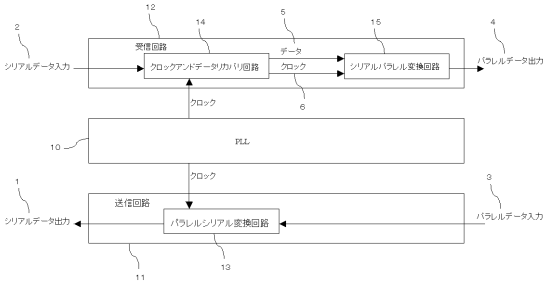
【図６】本発明の第１の実施例における位相補間器の動作を示すタイミングチャートである。

【図７】本発明の第１の実施例におけるデータサンプリング回路とデータサンプリング回路Ａの動作を説明する図である。

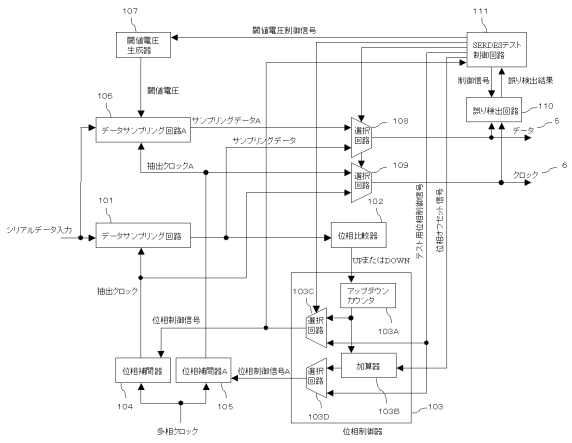
【図８】本発明の第１の実施例におけるデータサンプリング回路Ａの動作を説明する図である。
【図９】本発明の第１の実施例におけるデータサンプリング回路の動作を説明する図である。
【図１０】本発明の第２の実施例のＳＥＲＤＥＳ回路の構成を示すブロック図である。
【図１１】本発明の第３の実施例のクロックアンドデータリカバリ回路の構成を示すブロック図である。
【図１２】本発明の第４の実施例のクロックアンドデータリカバリ回路の構成を示すブロック図である。
【図１３】本発明の第５の実施例のクロックアンドデータリカバリ回路の構成を示すブロック図である。
【図１４】本発明の第６の実施例のクロックアンドデータリカバリ回路の構成を示すブロック図である。
【図１５】本発明の第７の実施例のクロックアンドデータリカバリ回路の構成を示すブロック図である。
【図１６】本発明の第１の実施例のクロックアンドデータリカバリ回路の動作を説明する図である。
【図１７】本発明の第１の実施例のクロックアンドデータリカバリ回路の動作を説明する図である。
【図１８】本発明の第１の実施例のクロックアンドデータリカバリ回路の動作を説明する図である。
【図１９】特許文献１に記載の構成を示す図である。
【符号の説明】
【０１２７】
１　シリアルデータ出力
２　シリアルデータ入力
３　パラレルデータ入力
４　パラレルデータ出力
５　データ
６　クロック
１０　ＰＬＬ回路
１１　送信回路
１２　受信回路
１３　パラレルシリアル変換回路
１４　クロックアンドデータリカバリ回路
１５　シリアルパラレル変換回路
１６　選択回路
１０１　データサンプリング回路
１０１Ａ　差動増幅器（レシーバ）
１０１Ｂ～１０１Ｅ　フリップフロップ
１０２　位相比較器
１０３、１０３’、１０３”、１０３'''　位相制御器
１０３Ａ　アップダウンカウンタ
１０３Ｂ　加算器
１０３Ｃ　選択回路
１０３Ｄ　選択回路
１０４　位相補間器
１０５　位相補間器Ａ
１０６　データサンプリング回路Ａ
１０７　閾値電圧生成器

１０８　選択回路
１０９　選択回路
１１０　誤り検出回路
１１１　ＳＥＲＤＥＳテスト制御回路
１２０　比較回路

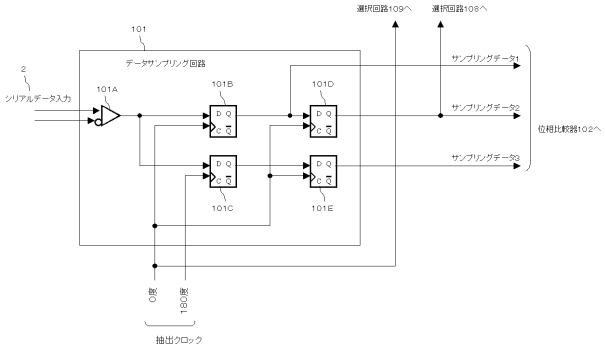
【図１】



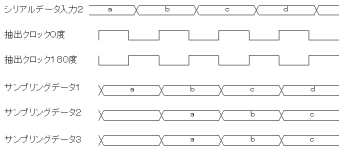
【図２】



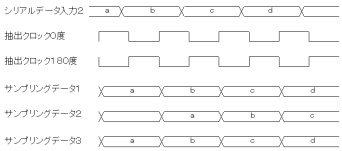
【図３】


選択回路109へ
選択回路108へ
101
データサンプリング回路
2
シリアルデータ入力
101A
101B
101D
101C
101E
D Q
C
サンプリングデータ1
サンプリングデータ2
サンプリングデータ3
位相比較器102へ
0度
180度
抽出クロック

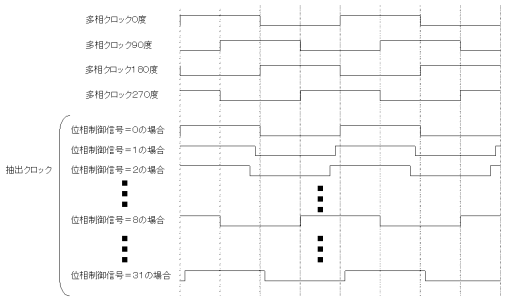
【図４】


シリアルデータ入力2
抽出クロック0度
抽出クロック180度
サンプリングデータ1
サンプリングデータ2
サンプリングデータ3
a
b
c
d

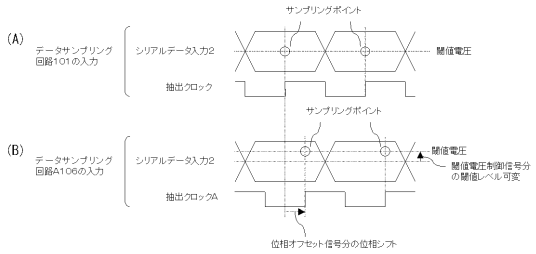
【図５】


シリアルデータ入力2
抽出クロック0度
抽出クロック180度
サンプリングデータ1
サンプリングデータ2
サンプリングデータ3
a
b
c
d

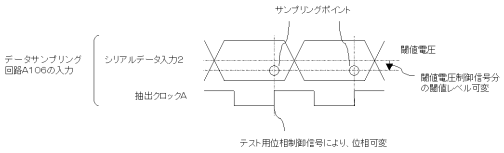
【図６】


多相クロック0度
多相クロック90度
多相クロック180度
多相クロック270度
抽出クロック
位相制御信号＝0の場合
位相制御信号＝1の場合
位相制御信号＝2の場合
位相制御信号＝8の場合
位相制御信号＝31の場合

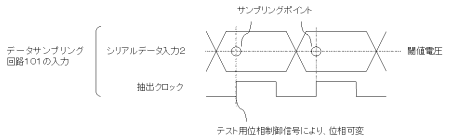
【図７】


(A)
データサンプリング回路101の入力
シリアルデータ入力2
抽出クロック
サンプリングポイント
閾値電圧
(B)
データサンプリング回路A106の入力
シリアルデータ入力2
抽出クロックA
サンプリングポイント
閾値電圧
閾値電圧制御信号分の閾値レベル可変
位相オフセット信号分の位相シフト

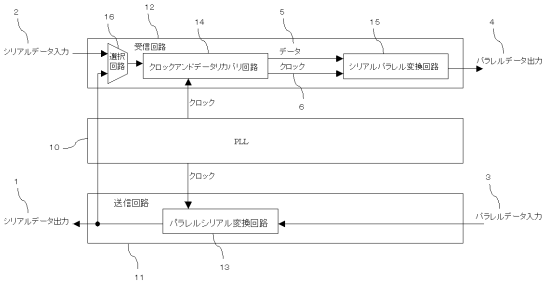
【図８】


データサンプリング回路A106の入力
シリアルデータ入力2
抽出クロックA
サンプリングポイント
閾値電圧
閾値電圧制御信号分の閾値レベル可変
テスト用位相制御信号により、位相可変

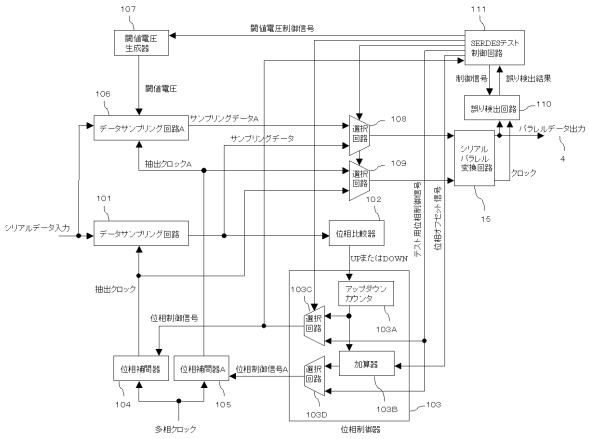
【図９】


データサンプリング回路101の入力
シリアルデータ入力2
抽出クロック
サンプリングポイント
閾値電圧
テスト用位相制御信号により、位相可変

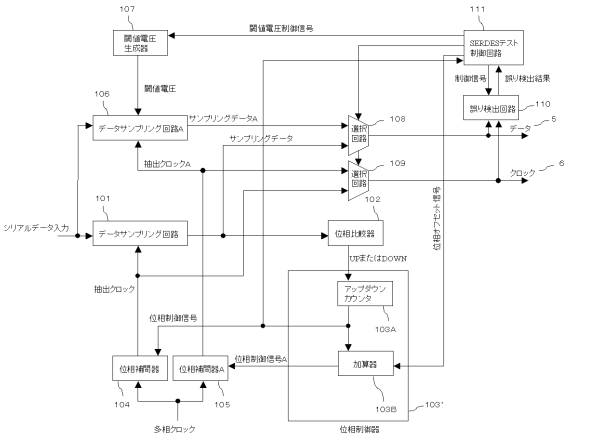
【図１０】


2
シリアルデータ入力
16
識別回路
12
受信回路
14
クロックアンドデータリカバリ回路
5
データ
クロック
15
シリアルパラレル変換回路
4
パラレルデータ出力
6
クロック
10
PLL
クロック
1
シリアルデータ出力
送信回路
パラレルシリアル変換回路
3
パラレルデータ入力
11
13

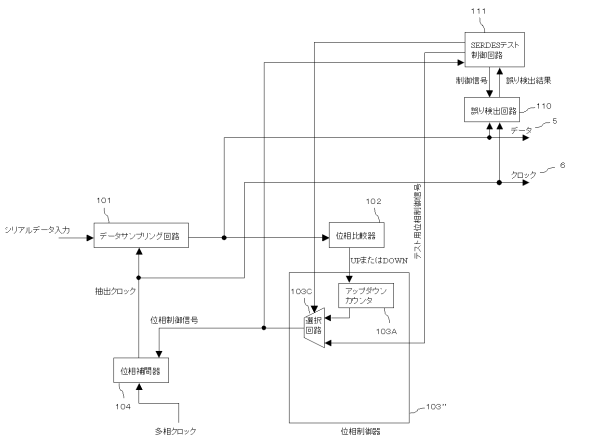
【図１１】



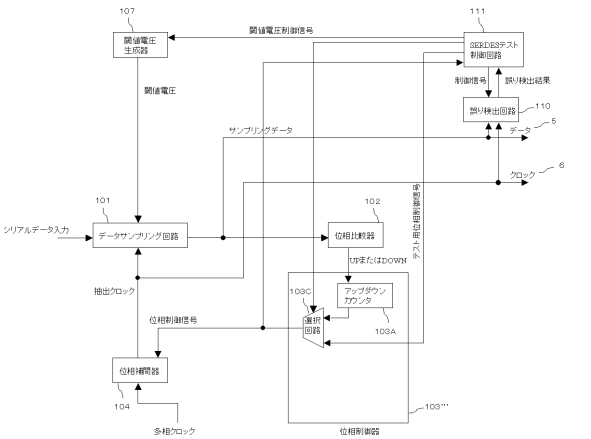
【図１２】



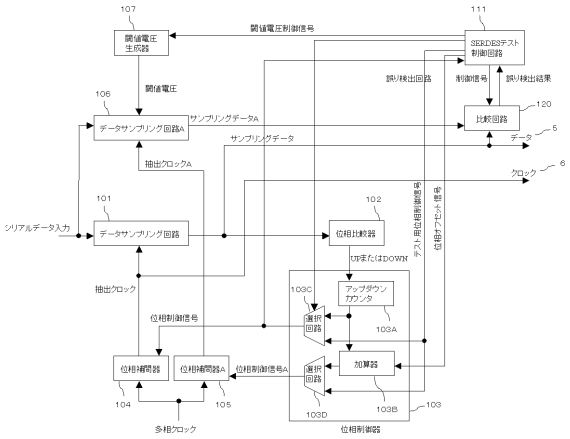
【図１３】



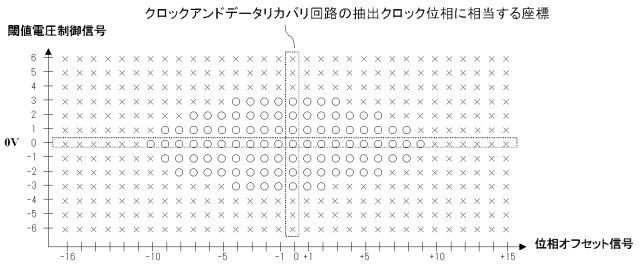
【図１４】



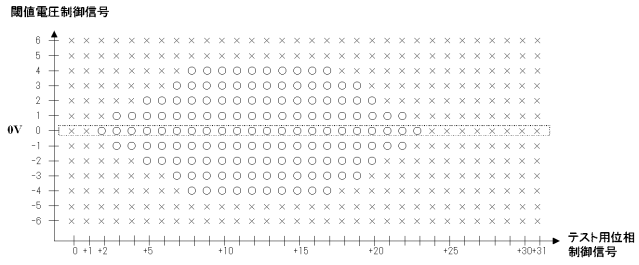
【図１５】



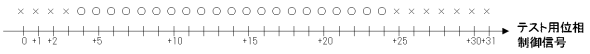
【図１６】



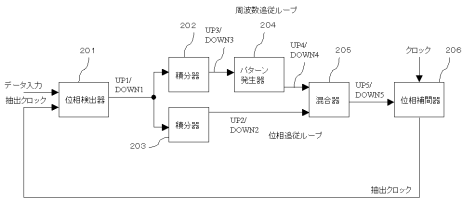
【図１７】



【図１８】



【図１９】



【手続補正書】
【提出日】平成18年10月10日(2006.10.10)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
入力データ信号を受けクロック信号に応答してサンプルするデータサンプリング回路と、
前記データサンプリング回路でサンプルされたデータ信号を入力し前記クロック信号とデータ信号の位相関係を検出する位相比較器と、
前記位相比較器での位相比較結果に基づき位相制御信号を出力する位相制御器と、
前記位相制御信号に基づき位相を補間してなるクロック信号を出力する位相補間器と、
を備え、前記位相補間器から出力される前記クロック信号が前記データサンプリング回路に供給されてループを構成し、
前記ループ外部から、前記位相制御信号を制御して前記データサンプリング回路に供給される前記クロック信号の位相を可変に設定する制御、及び／又は、前記データサンプリング回路における閾値レベルを可変に設定する制御、を行う制御回路を備えている、ことを特徴とするクロックアンドデータリカバリ回路。
【請求項２】
入力データ信号を受けクロック信号に応答してサンプルするデータサンプリング回路と、
前記データサンプリング回路でサンプルされたデータ信号を入力し前記クロック信号と

データ信号の位相関係を検出する位相比較器と、
前記位相比較器での位相比較結果に基づき位相制御信号を出力する位相制御器と、
前記位相制御信号に基づき位相を補間してなるクロック信号を出力する位相補間器と、
を備え、前記位相補間器から出力される前記クロック信号が前記データサンプリング回路に供給されてループを構成し、
前記位相制御器は、前記位相制御信号とは別の位相制御信号を生成し、
前記位相制御器から出力される前記別の位相制御信号を受け、前記別の位相制御信号に基づき位相を補間したクロック信号を生成する別の位相補間器と、
前記別の位相補間器からのクロック信号に基づき入力データをサンプルする別のデータサンプリング回路と、
を備えている、ことを特徴とするクロックアンドデータリカバリ回路。
【請求項３】
前記別のデータサンプリング回路は、前記入力データ信号をサンプルするための閾値レベルが可変に設定される、ことを特徴とする請求項２記載のクロックアンドデータリカバリ回路。
【請求項４】
位相オフセットを規定する信号を生成するテスト制御回路を備え、
前記位相制御器は、前記位相制御信号を前記位相オフセット分ずらして前記別の位相制御信号を生成する、ことを特徴とする請求項２記載のクロックアンドデータリカバリ回路。
【請求項５】
テスト用の位相制御信号を生成するテスト制御回路を備え、
前記位相制御器は、前記位相制御信号、及び／又は、前記別の位相制御信号を、前記テスト用の位相制御信号から生成する、ことを特徴とする請求項２記載のクロックアンドデータリカバリ回路。
【請求項６】
入力データ信号を受け第１及び第２のクロック信号に応答してそれぞれサンプルする第１及び第２のデータサンプリング回路と、
前記第１のデータサンプリング回路でサンプルされたデータ信号を入力し前記第１のクロック信号とデータ信号の位相関係を検出する位相比較器と、
前記位相比較器での位相比較結果を受け第１の位相制御信号を出力する位相制御器と、
互いに異なる位相の複数のクロック信号よりなる多相クロックを受け前記第１の位相制御信号に応じて位相を補間したクロックを、前記第１のクロック信号として前記第１のデータサンプリング回路に供給する位相補間器と、
前記位相制御器に供給する位相オフセット信号を出力するとともに、閾値電圧を可変に制御する閾値電圧制御信号を生成するテスト制御回路と、
前記閾値電圧制御信号に応じた閾値電圧を生成する閾値電圧発生回路と、
前記多相クロックを受け、前記位相制御器からの第２の位相制御信号を受け、前記第２の位相制御信号に応じて位相を補間したクロックを、前記第２のクロック信号として前記第２のデータサンプリング回路に供給する第２の位相補間器と、
を備え、
前記第２のデータサンプリング回路は閾値レベルが可変に設定され、
前記第１及び第２のデータサンプリング回路からそれぞれ出力されるデータの一方を選択して出力する第１の選択回路と、
前記第１の選択回路で選択されたデータを受け、前記データの誤りを検出する誤り検出回路と、
を備えている、ことを特徴とするクロックアンドデータリカバリ回路。
【請求項７】
前記第１のデータサンプリング回路、前記位相比較器、前記位相制御器、前記位相補間器よりなるループを機能させた状態で、前記第１、第２の位相補間器がそれぞれ出力する

第１、第２のクロック信号間の位相と、前記閾値レベルとの組み合わせに対して前記誤り検出回路で前記第２のデータサンプリング回路が正しくデータをサンプリングすることができたかを調べ、前記クロックアンドデータリカバリ回路にとっての動作余裕度を表すアイパターンをプロットし、ループの時間方向と振幅方向の動作余裕度を測定自在としてなる、ことを特徴とする請求項６記載のクロックアンドデータリカバリ回路。

【請求項８】

前記第１の選択回路と、前記誤り検出回路の代わりに、前記第１及び第２のデータサンプリング回路からそれぞれ出力される第１、第２のデータを入力し前記第１、第２のデータが互いに一致するか否か比較する比較回路を備えている、ことを特徴とする請求項６記載のクロックアンドデータリカバリ回路。

【請求項９】

前記第１及び第２のクロック信号のうちいずれか一方を選択する第２の選択回路を備え、

前記テスト制御回路は、前記誤り検出回路からの誤り検出結果と前記位相制御信号を受け、前記第１及び第２の選択回路における選択を制御する信号を生成する、ことを特徴とする請求項６記載のクロックアンドデータリカバリ回路。

【請求項１０】

前記テスト制御回路は、テスト用の位相制御信号を出力し、

前記位相制御器は、

前記位相比較器の比較結果信号に基づき、カウントアップ又はダウンするカウンタと、

前記テスト制御回路からの選択制御信号に基づき、前記カウンタの出力と前記テスト用の位相制御信号の一方を選択し前記第１の位相制御信号として出力する選択回路と、

前記カウンタの出力と前記位相オフセット信号を加算する加算器と、

前記テスト制御回路からの選択制御信号に基づき、前記加算器の出力とテスト用の位相制御信号を選択し前記第２の位相制御信号として出力する選択回路と、

を備えている、ことを特徴とする請求項６記載のクロックアンドデータリカバリ回路。

【請求項１１】

前記第１のデータサンプリング回路、前記位相比較器、前記位相制御器、前記位相補間器よりなるループを機能させた状態で、前記第２の位相制御信号として前記テスト用の位相制御信号を選択し、前記第１、第２の位相補間器がそれぞれ出力する第１、第２のクロック信号間の位相と、前記閾値レベルとの組み合わせに対して前記誤り検出回路で前記第２のデータサンプリング回路が正しくデータをサンプリングすることができたかを調べ、前記クロックアンドデータリカバリ回路にとっての動作余裕度を表すアイパターンをプロットし、ループの時間方向と振幅方向の動作余裕度を測定自在としてなる、ことを特徴とする請求項１０記載のクロックアンドデータリカバリ回路。

【請求項１２】

前記第１のデータサンプリング回路、前記位相比較器、前記位相制御器、前記位相補間器よりなるループを機能させた状態で、前記第１の位相補間器が出力する第１のクロック信号の位相と、前記第１の位相制御信号として前記テスト用の位相制御信号を選択し、種々の第１のクロック信号の位相に対して前記誤り検出回路で前記第１のデータサンプリング回路が正しくデータをサンプリングすることができたかを調べてプロットしたアイパターンとを比較し、ループの時間方向の動作余裕度を測定自在としてなる、ことを特徴とする請求項１０記載のクロックアンドデータリカバリ回路。

【請求項１３】

入力データ信号を受けクロック信号に応答してサンプルするデータサンプリング回路と、

前記データサンプリング回路でサンプルされたデータ信号を入力し前記クロック信号とデータ信号の位相関係を検出する位相比較器と、

位相制御信号を出力する位相制御器と、

前記位相制御器からの前記位相制御信号に基づき位相を補間してなるクロック信号を出

力する位相補間器と、
を備え、前記位相補間器から出力される前記クロック信号が前記データサンプリング回路に供給されてループを構成し、
テスト用の位相制御信号を生成するテスト制御回路を備え、
前記位相制御器は、前記位相比較器での比較結果信号に基づき生成される位相制御信号と、前記テスト用の位相制御信号との一方を選択し、前記位相補間器へ供給される前記位相制御信号として出力する選択回路を備え、
前記データサンプリング回路から出力されるデータを入力し前記データの誤りの有無を検出する誤り検出回路を備えている、ことを特徴とするクロックアンドデータリカバリ回路。
【請求項１４】
前記テスト制御回路が、閾値電圧を可変に制御する閾値電圧制御信号を出力し、
前記閾値電圧制御信号を受け閾値電圧を可変に出力する閾値電圧生成器を備え、
前記データサンプリング回路は、前記閾値電圧生成器からの閾値電圧を閾値レベルとして入力データをサンプルする、ことを特徴とする請求項１３記載のクロックアンドデータリカバリ回路。
【請求項１５】
前記位相制御器は、前記位相比較器での比較結果信号に基づきカウントアップ、ダウンするカウンタと、
前記テスト制御回路からの選択制御信号に基づき、前記カウンタの出力と前記テスト用の位相制御信号の一方を選択出力する選択回路と、
を備えている、ことを特徴とする請求項１３又は１４に記載のクロックアンドデータリカバリ回路。
【請求項１６】
前記誤り検出回路が、誤り数を検出する、ことを特徴とする請求項６又は１３記載のクロックアンドデータリカバリ回路。
【請求項１７】
前記誤り検出回路の前段にシリアルパラレル変換回路を備え、前記誤り検出回路には、パラレルデータが供給される、ことを特徴とする請求項６又は１３記載のクロックアンドデータリカバリ回路。
【請求項１８】
前記データサンプル回路は、前記入力データ信号を受け、閾値レベルが可変に設定されるレシーバ回路と、前記レシーバ回路の出力を、前記データサンプル回路に供給されるクロック信号と前記クロック信号の逆相信号とに基づき、それぞれ、異なるタイミングでサンプルするラッチ回路群と、を備え、異なるタイミングでサンプルした複数系列のデータを前記位相比較器に供給し、
前記位相比較器は、前記データサンプル回路からの複数系列のデータ間における一致、不一致の関係から、クロックとデータの位相の進み、遅れを判定することを特徴とする請求項１４記載のクロックアンドデータリカバリ回路。
【請求項１９】
入力データ信号を受けクロック信号に応答してサンプルするデータサンプリング回路と、
前記データサンプリング回路でサンプルされたデータ信号を入力し前記クロック信号とデータ信号の位相関係を検出する位相比較器と、
前記位相比較器での位相比較結果に基づき位相制御信号を出力する位相制御器と、
前記位相制御信号に基づき位相を補間してなるクロック信号を出力する位相補間器と、
を備え、前記位相補間器から出力される前記クロック信号が前記データサンプリング回路に供給されてループを構成し、
前記ループを構成した状態において、前記位相制御器から出力される前記位相制御信号をモニタする制御回路を備え、

前記制御回路は、前記ループ外部から、前記位相制御信号を制御して前記データサンプリング回路に供給される前記クロック信号の位相を可変に設定する制御、及び／又は、前記データサンプリング回路における閾値レベルを可変に設定する制御、を行う制御回路を備えている、ことを特徴とするクロックアンドデータリカバリ回路。

【請求項２０】

送信パラレルデータをシリアルデータに変換して出力するシリアルパラレル変換回路を備えた送信回路と、

受信シリアルデータを受けるクロックアンドデータリカバリ回路と、前記クロックアンドデータリカバリ回路から出力されるデータ及びクロック信号を受けパラレルデータに変換するシリアルパラレル変換回路とを含む受信回路と、を備え、

前記クロックアンドデータリカバリ回路が請求項１乃至１９のいずれか一に記載のクロックアンドデータリカバリ回路よりなる、ことを特徴とするＳＥＲＤＥＳ回路。

【請求項２１】

テスト時、前記送信回路から出力されるシリアルデータ出力を折り返し前記受信回路の前記クロックアンドデータリカバリ回路に入力されるように切り替え制御する回路を備えている、ことを特徴とする請求項２０記載のＳＥＲＤＥＳ回路。

フロントページの続き

(51)Int.Cl.	FI	テーマコード（参考）
H03L 7/00 (2006.01)	H03L 7/00	A

Fターム(参考) 5K047 AA12 GG29 GG42 KK12 MM60 MM63