



등록특허 10-2226985



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2021년03월11일
 (11) 등록번호 10-2226985
 (24) 등록일자 2021년03월08일

- (51) 국제특허분류(Int. Cl.)
H01L 29/872 (2006.01) *H01L 29/26* (2006.01)
H01L 29/43 (2006.01) *H01L 29/47* (2006.01)
H01L 29/51 (2006.01)
- (52) CPC특허분류
H01L 29/872 (2013.01)
H01L 29/26 (2013.01)
- (21) 출원번호 10-2016-7004121
- (22) 출원일자(국제) 2014년08월08일
 심사청구일자 2019년07월26일
- (85) 번역문제출일자 2016년02월17일
- (65) 공개번호 10-2016-0043967
- (43) 공개일자 2016년04월22일
- (86) 국제출원번호 PCT/JP2014/004153
- (87) 국제공개번호 WO 2015/025499
 국제공개일자 2015년02월26일
- (30) 우선권주장
 JP-P-2013-169966 2013년08월19일 일본(JP)

(56) 선행기술조사문현
 JP2008021689 A*

(뒷면에 계속)

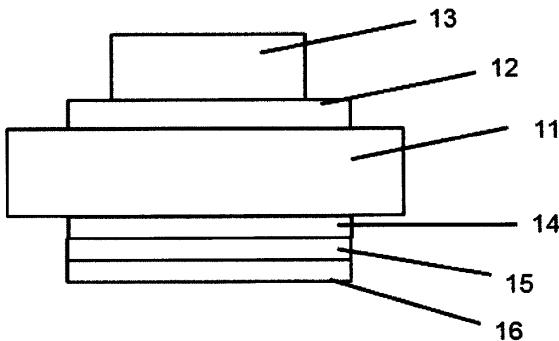
전체 청구항 수 : 총 31 항

심사관 : 강필승

(54) 발명의 명칭 산화물 반도체 기판 및 쇼트키 배리어 다이오드

(57) 요 약

실리콘(Si) 기판과, 산화물 반도체층과, 쇼트키 전극층을 갖는 쇼트키 배리어 다이오드 소자로서, 상기 산화물 반도체층이, 3.0 eV 이상, 5.6 eV 이하의 밴드 갭을 갖는 다결정 및/또는 비정질의 산화물 반도체를 포함하는 쇼트키 배리어 다이오드 소자.

대 표 도 - 도1**10**

(52) CPC특허분류

H01L 29/435 (2013.01)

H01L 29/47 (2013.01)

H01L 29/517 (2013.01)

(72) 발명자

가와시마 애미

일본 지바켄 소데가우라시 가미이즈미 1280반치

야노 고키

일본 지바켄 소데가우라시 가미이즈미 1280반치

하야사카 히로미

일본 지바켄 소데가우라시 가미이즈미 1280반치

(56) 선행기술조사문현

JP2010182852 A*

WO2008096768 A1*

JP2013102189 A

JP2012138552 A

JP2010263195 A

JP2009194225 A

*는 심사관에 의하여 인용된 문현

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

실리콘 (Si) 기판과, 산화물 반도체층과, 쇼트키 전극층과, 오믹 전극층을 갖는 쇼트키 배리어 다이오드 소자로

서,

상기 산화물 반도체층이, 인듐 (In) 을 함유하는 다결정 및/또는 비정질의 산화물 반도체를 포함하며,

상기 산화물 반도체층 중에 함유되는 전체 금속 원소에 대한 인듐의 원자 조성 백분율 ($[In] / ([In] + [In \text{ 이외의 전체 금속 원소}] \times 100)$) 이 $30 \sim 100 \text{ atm\%}$ 이며,

상기 오믹 전극층이, 상기 산화물 반도체층의, 상기 쇼트키 전극층이 배치된 층과 반대의 층에 배치되고,

상기 쇼트키 전극층 및 상기 오믹 전극층 사이의 도전 경로가 상기 쇼트키 전극층 및 상기 오믹 전극층에 대해 수직인, 쇼트키 배리어 다이오드 소자.

청구항 32

제 31 항에 있어서,

상기 산화물 반도체층이, 3.0 eV 이상, 5.6 eV 이하의 밴드 갭을 갖는 다결정 및/또는 비정질의 산화물 반도체를 포함하는, 쇼트키 배리어 다이오드 소자.

청구항 33

제 31 항 또는 제 32 항에 있어서,

상기 산화물 반도체가, 추가로 Ti, Zn, Ga 및 Sn 으로 이루어지는 군에서 선택되는 1 종 이상을 함유하는, 쇼트키 배리어 다이오드 소자.

청구항 34

삭제

청구항 35

삭제

청구항 36

제 31 항 또는 제 32 항에 있어서,

상기 실리콘 기판 상에 상기 산화물 반도체층이 형성되고, 상기 산화물 반도체층 상에 상기 쇼트키 전극층이 형성된, 쇼트키 배리어 다이오드 소자.

청구항 37

제 31 항 또는 제 32 항에 있어서,

상기 실리콘 기판 상에 상기 쇼트키 전극층이 형성되고, 상기 쇼트키 전극층 상에 상기 산화물 반도체층이 형성된, 쇼트키 배리어 다이오드 소자.

청구항 38

제 33 항에 있어서,

상기 산화물 반도체층이, 추가로 Al, Si, Zn, Ga, Hf, Zr, Ce, Sm, 및 Sn 에서 선택되는 1 종 이상의 원소를 함유하는, 쇼트키 배리어 다이오드 소자.

청구항 39

제 31 항 또는 제 32 항에 있어서,

상기 산화물 반도체층의 실온에 있어서의 캐리어 농도가 $1 \times 10^{14} \text{ cm}^{-3}$ 이상, $1 \times 10^{17} \text{ cm}^{-3}$ 이하인, 쇼트키 배리어 다이오드 소자.

청구항 40

제 31 항 또는 제 32 항에 있어서,

상기 산화물 반도체층의 단부가 노출되지 않도록 절연막에 의해 피복되어 있는, 쇼트키 배리어 다이오드 소자.

청구항 41

제 31 항 또는 제 32 항에 있어서,

상기 오믹 전극층이, 상기 실리콘 (Si) 기판의, 상기 산화물 반도체층이 배치된 층과 반대의 층에 배치된, 쇼트키 배리어 다이오드 소자.

청구항 42

제 31 항 또는 제 32 항에 있어서,

상기 쇼트키 전극층이 상기 산화물 반도체층과 접촉하고, 상기 오믹 전극층이, 상기 산화물 반도체층의, 상기 쇼트키 전극층과 반대의 면에 접촉한, 쇼트키 배리어 다이오드 소자.

청구항 43

제 31 항 또는 제 32 항에 기재된 쇼트키 배리어 다이오드 소자를 포함하는, 전기 회로.

청구항 44

제 31 항 또는 제 32 항에 기재된 쇼트키 배리어 다이오드 소자를 포함하는, 전기 기기.

청구항 45

제 31 항 또는 제 32 항에 기재된 쇼트키 배리어 다이오드 소자를 포함하는, 전자 기기.

청구항 46

제 31 항 또는 제 32 항에 기재된 쇼트키 배리어 다이오드 소자를 포함하는, 차량.

청구항 47

산화물 반도체층과, 제 1 금속 박막과, 제 2 금속 박막을 포함하고,

상기 산화물 반도체층이 인듐 (In) 을 함유하는 다결정 및/또는 비정질의 산화물 반도체를 포함하고,

상기 산화물 반도체층과 상기 제 1 금속 박막이 전기적으로 접촉하는 영역을 포함하며,

상기 산화물 반도체층 중에 함유되는 전체 금속 원소에 대한 인듐의 원자 조성 백분율 ($[In] / ([In] + [In\text{ 이외의 전체 금속 원소}] \times 100)$) 이 $30 \sim 100\text{ atm\%}$ 이며,

상기 제 2 금속 박막이, 상기 산화물 반도체층의, 상기 제 1 금속 박막이 배치된 층과 반대의 층에 배치되고,

상기 제 1 금속 박막 및 상기 제 2 금속 박막 사이의 도전 경로가 상기 제 1 금속 박막 및 상기 제 2 금속 박막에 대해 수직인, 구조체.

청구항 48

제 47 항에 있어서,

상기 산화물 반도체층이, 3.0 eV 이상, 5.6 eV 이하의 밴드 갭을 갖는 다결정 및/또는 비정질의 산화물 반도체를 포함하는, 구조체.

청구항 49

삭제

청구항 50

제 47 항 또는 제 48 항에 있어서,

상기 제 1 금속 박막의 일 함수가 4.7 eV 이상인, 구조체.

청구항 51

제 47 항 또는 제 48 항에 있어서,

상기 산화물 반도체가 결정질이며,

상기 산화물 반도체 중에, Al, Si, Ce, Ga, Hf, Zr 및 Sm에서 선택되는 적어도 1 종류의 원소가 전체 금속 원소 중 3 at% 이상, 30 at% 이하의 비율로 함유되어 있는, 구조체.

청구항 52

제 47 항 또는 제 48 항에 있어서,

상기 산화물 반도체의 실온에 있어서의 캐리어 농도가 $1 \times 10^{14} \text{ cm}^{-3}$ 이상, $1 \times 10^{17} \text{ cm}^{-3}$ 이하인, 구조체.

청구항 53

제 47 항 또는 제 48 항에 있어서,

상기 산화물 반도체층의 막두께가 50 nm ~ 20 μm 인, 구조체.

청구항 54

제 47 항 또는 제 48 항에 기재된 구조체가 도전성 기판 상에 적층되어 이루어지는, 산화물 반도체 기판.

청구항 55

제 54 항에 있어서,

상기 도전성 기판이 단결정 실리콘, 다결정 실리콘 및 미결정 실리콘에서 선택되는 1 이상으로 구성되는, 산화물 반도체 기판.

청구항 56

제 47 항 또는 제 48 항에 기재된 구조체가 전기 절연성 기판 상에 적층되어 이루어지는, 산화물 반도체 기판.

청구항 57

제 54 항에 기재된 산화물 반도체 기판을 사용한, 파워 반도체 소자.

청구항 58

제 54 항에 기재된 산화물 반도체 기판을 사용한, 다이오드 소자.

청구항 59

제 54 항에 기재된 산화물 반도체 기판을 사용한, 쇼트키 배리어 다이오드 소자.

청구항 60

제 59 항에 있어서,

상기 제 1 금속 박막을 쇼트키 전극층으로 하는, 쇼트키 배리어 다이오드 소자.

청구항 61

제 57 항에 기재된 파워 반도체 소자를 포함하는, 전기 회로.

청구항 62

제 61 항에 기재된 전기 회로를 포함하는, 전기 기기.

청구항 63

제 61 항에 기재된 전기 회로를 포함하는, 전자 기기.

청구항 64

제 61 항에 기재된 전기 회로를 포함하는, 차량.

발명의 설명

기술 분야

[0001] 본 발명은, 쇼트키 배리어 다이오드 소자, 및 그것을 포함하는 전기 회로, 전기 기기, 전자 기기 및 차량에 관한 것이다. 또, 본 발명은, 구조체, 그것으로 이루어지는 산화물 반도체 기판, 그것을 포함하는 파워 반도체 소자, 다이오드 소자 및 쇼트키 배리어 다이오드 소자, 그리고 그것을 포함하는 전기 회로, 전기 기기, 전자 기기, 차량에 관한 것이다.

배경기술

[0002] 쇼트키 배리어 다이오드는, 금속과 반도체의 접합면에 형성되는 전위 장벽을 이용하여 정류 작용을 갖게 한 다이오드이다. 반도체로서는, Si 가 가장 일반적으로 사용되고 있다 (예를 들어, 특허문현 1). 또, Si 보다 밴드 갭이 큰 화합물 반도체로서, GaAs 나 최근에는 SiC 가 사용된다 (예를 들어, 특허문현 2 및 3).

[0003] Si 계의 쇼트키 다이오드는, 고속 스위칭 소자나 수 GHz 주파수대에 있어서의 송신/수신용 믹서, 혹은 주파수 변환 소자 등에 이용된다. GaAs 계의 쇼트키 다이오드는, 또한 고속의 스위칭 소자가 가능하여, 마이크로파 용의 컨버터나 믹서 등에 사용된다. SiC 는 밴드 갭의 넓이를 활용하여, 보다 고압의 전기 자동차, 철도, 송전 등에 대한 응용이 기대되고 있다.

[0004] Si 를 사용한 쇼트키 배리어 다이오드는 비교적 저비용으로 이용되고 있지만, 밴드 갭이 1.1 eV 로 작기 때문에, 내압성을 갖게 하기 위해서는 소자의 사이즈를 크게 할 필요가 있다. GaAs 의 밴드 갭은 1.4 eV 이며, Si 보다는 우수하지만, Si 기판 상에서의 에피택셜 성장이 곤란하여, 전위가 적은 결정을 얻는 것이 어려웠다. SiC 는, 밴드 갭은 3.3 eV 로 넓기 때문에, 절연 파괴 전계도 높고, 가장 성능을 기대할 수 있는 재료이지만, 기판 제작, 에피택셜 성장 모두 고열의 프로세스를 거치기 때문에, 양산성, 비용에 과제가 있었다.

선행기술문현

특허문현

[0005] (특허문현 0001) 일본 공개특허공보 2009-164237호

(특허문현 0002) 일본 공개특허공보 평5-36975호

(특허문현 0003) 일본 공개특허공보 평8-97441호

발명의 내용

해결하려는 과제

[0006] 본 발명은 이와 같은 과제를 감안하여 이루어진 것이며, Si 기판 상에 밴드 갭이 넓은 화합물 반도체를 저렴하고 양산성이 우수한 방법으로 형성하여, 우수한 전류 - 전압 특성을 갖는 쇼트키 배리어 다이오드 소자를 제공하는 것을 목적으로 한다.

[0007] 또, 본 발명은, 쇼트키 배리어 다이오드 소자, 다이오드 소자, 파워 반도체 소자에 바람직한 산화물 반도체 기판을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0008] 본 발명에 의하면, 이하의 쇼트키 배리어 다이오드 소자 등이 제공된다.

- [0009] 1. 실리콘 (Si) 기판과, 산화물 반도체층과, 셀트키 전극층을 갖는 셀트키 배리어 다이오드 소자로서, 상기 산화물을 반도체층이, 3.0 eV 이상, 5.6 eV 이하의 밴드 갭을 갖는 다결정 및/또는 비정질의 산화물을 반도체를 포함하는 셀트키 배리어 다이오드 소자.
- [0010] 2. 상기 산화물을 반도체가, In, Ti, Zn, Ga 및 Sn으로 이루어지는 군에서 선택되는 1 종 이상을 함유하는 1에 기재된 셀트키 배리어 다이오드 소자.
- [0011] 3. 상기 산화물을 반도체층이 인듐 (In)을 주성분으로서 함유하는 1 또는 2에 기재된 셀트키 배리어 다이오드 소자.
- [0012] 4. 상기 산화물을 반도체층 중에 함유되는 전체 금속 원소에 대한 인듐의 원자 조성 백분율 ($[In]/([In] + [In]$ 이외의 전체 금속 원소]) $\times 100$)이 30 ~ 100 atm%인 1 ~ 3 중 어느 하나에 기재된 셀트키 배리어 다이오드 소자.
- [0013] 5. 상기 실리콘 기판 상에 상기 산화물을 반도체층이 형성되고, 상기 산화물을 반도체층 상에 상기 셀트키 전극층이 형성된 1 ~ 4 중 어느 하나에 기재된 셀트키 배리어 다이오드 소자.
- [0014] 6. 상기 실리콘 기판 상에 상기 셀트키 전극층이 형성되고, 상기 셀트키 전극층 상에 상기 산화물을 반도체층이 형성된 1 ~ 4 중 어느 하나에 기재된 셀트키 배리어 다이오드 소자.
- [0015] 7. 상기 산화물을 반도체층이, 추가로 Al, Si, Zn, Ga, Hf, Zr, Ce, Sm, 및 Sn에서 선택되는 1 종 이상의 원소를 함유하는 2 ~ 6 중 어느 하나에 기재된 셀트키 배리어 다이오드 소자.
- [0016] 8. 상기 산화물을 반도체층의 실온에 있어서의 캐리어 농도가 $1 \times 10^{14} \text{ cm}^{-3}$ 이상, $1 \times 10^{17} \text{ cm}^{-3}$ 이하인 1 ~ 7 중 어느 하나에 기재된 셀트키 배리어 다이오드 소자.
- [0017] 9. 상기 산화물을 반도체층의 단부가 노출되지 않도록 절연막에 의해 피복되어 있는 1 ~ 8 중 어느 하나에 기재된 셀트키 배리어 다이오드 소자.
- [0018] 10. 1 ~ 9 중 어느 하나에 기재된 셀트키 배리어 다이오드 소자를 포함하는 전기 회로.
- [0019] 11. 1 ~ 9 중 어느 하나에 기재된 셀트키 배리어 다이오드 소자를 포함하는 전기 기기.
- [0020] 12. 1 ~ 9 중 어느 하나에 기재된 셀트키 배리어 다이오드 소자를 포함하는 전자 기기.
- [0021] 13. 1 ~ 9 중 어느 하나에 기재된 셀트키 배리어 다이오드 소자를 포함하는 차량.
- [0022] 14. 산화물을 반도체층과 금속 박막을 포함하고,
- [0023] 상기 산화물을 반도체층이, 3.0 eV 이상, 5.6 eV 이하의 밴드 갭을 갖는 다결정 및/또는 비정질의 산화물을 반도체를 포함하고,
- [0024] 상기 산화물을 반도체층과 상기 금속 박막이 전기적으로 접촉하는 영역을 포함하는 구조체.
- [0025] 15. 상기 산화물을 반도체가 In을 주성분으로 하는 14에 기재된 구조체.
- [0026] 16. 상기 금속 박막의 일 함수가 4.7 eV 이상인 14 또는 15에 기재된 구조체.
- [0027] 17. 상기 산화물을 반도체가 결정질이며,
- [0028] 상기 산화물을 반도체 중에, Al, Si, Ce, Ga, Hf, Zr 및 Sm에서 선택되는 적어도 1 종류의 원소가 전체 금속 원소 중 3 at% 이상, 30 at% 이하의 비율로 함유되어 있는 14 ~ 16 중 어느 하나에 기재된 구조체.
- [0029] 18. 상기 산화물을 반도체의 실온에 있어서의 캐리어 농도가 $1 \times 10^{14} \text{ cm}^{-3}$ 이상, $1 \times 10^{17} \text{ cm}^{-3}$ 이하인 14 ~ 17 중 어느 하나에 기재된 구조체.
- [0030] 19. 상기 산화물을 반도체층의 막두께가 50 nm ~ 20 μm 인 14 ~ 18 중 어느 하나에 기재된 구조체.
- [0031] 20. 14 ~ 19 중 어느 하나에 기재된 구조체가 도전성 기판 상에 적층되어 이루어지는 산화물 반도체 기판.
- [0032] 21. 상기 도전성 기판이 단결정 실리콘, 다결정 실리콘 및 미결정 실리콘에서 선택되는 1 이상으로 구성되는 20에 기재된 산화물 반도체 기판.
- [0033] 22. 14 ~ 19 중 어느 하나에 기재된 구조체가 전기 절연성 기판 상에 적층되어 이루어지는 산화물 반도체

기판.

- [0034] 23. 20 ~ 22 중 어느 하나에 기재된 산화물 반도체 기판을 사용한 파워 반도체 소자.
- [0035] 24. 20 ~ 22 중 어느 하나에 기재된 산화물 반도체 기판을 사용한 다이오드 소자.
- [0036] 25. 20 ~ 22 중 어느 하나에 기재된 산화물 반도체 기판을 사용한 쇼트키 배리어 다이오드 소자.
- [0037] 26. 상기 금속 박막을 쇼트키 전극층으로 하는 25 에 기재된 쇼트키 배리어 다이오드 소자.
- [0038] 27. 23 에 기재된 파워 반도체 소자, 24 에 기재된 다이오드 소자, 또는 25 혹은 26 에 기재된 쇼트키 배리어 다이오드 소자를 포함하는 전기 회로.
- [0039] 28. 27 에 기재된 전기 회로를 포함하는 전기 기기.
- [0040] 29. 27 에 기재된 전기 회로를 포함하는 전자 기기.
- [0041] 30. 27 에 기재된 전기 회로를 포함하는 차량.

발명의 효과

- [0042] 본 발명에 의하면, Si 기판 상에 밴드 캡이 넓은 화합물 반도체를 저렴하고 양산성이 우수한 방법으로 형성하여, 우수한 전류 - 전압 특성을 갖는 쇼트키 배리어 다이오드 소자를 제공할 수 있다.
- [0043] 또, 본 발명에 의하면, 쇼트키 배리어 다이오드 소자, 다이오드 소자, 파워 반도체 소자에 바람직한 산화물 반도체 기판을 제공할 수 있다.

도면의 간단한 설명

- [0044] 도 1 은, 본 발명의 쇼트키 배리어 다이오드 소자의 일 실시형태를 모식적으로 나타낸 단면도이다.
- 도 2 는, 본 발명의 쇼트키 배리어 다이오드 소자의 일 실시형태를 모식적으로 나타낸 단면도이다.
- 도 3 은, 본 발명의 쇼트키 배리어 다이오드 소자의 일 실시형태를 모식적으로 나타낸 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0045] 1. 쇼트키 배리어 다이오드 소자
- [0046] 본 발명의 쇼트키 배리어 다이오드 소자는, 실리콘 (Si) 기판과, 산화물 반도체층과, 쇼트키 전극층을 갖는 쇼트키 배리어 다이오드 소자로서, 상기 산화물 반도체층이, 3.0 eV 이상, 5.6 eV 이하의 밴드 캡을 갖는 다결정 및/또는 비정질의 산화물 반도체를 포함한다. 밴드 캡이 넓은 다결정 및/또는 비정질의 산화물 반도체를 사용함으로써, 우수한 전류 - 전압 특성, 특히 높은 절연 파괴 전계를 갖는 쇼트키 배리어 다이오드 소자를 제공할 수 있다.
- [0047] 또, 밴드 캡이 넓은 재료를 사용함으로써, 결정 성장 등, 제조에 비용이 드는 단결정이 아니고, 다결정 및/또는 비정질의 재료를 사용하는 것이 가능해진다.
- [0048] 산화물 반도체층에 포함되는 산화물 반도체의 밴드 캡은, 바람직하게는, 3.1 eV 이상, 5.4 eV 이하이다. 이 범위 내의 산화물 반도체를 사용함으로써, 우수한 전류 - 전압 특성, 특히 높은 절연 파괴 전계를 갖는 쇼트키 배리어 다이오드 소자를 제공할 수 있다.
- [0049] 3.0 eV 이상, 5.6 eV 이하의 밴드 캡을 갖는 산화물 반도체로서는, In, Ti, Zn, Ga 및 Sn 으로 이루어지는 군에서 선택되는 1 종 이상을 함유하는 산화물을 들 수 있고, 예를 들어, In_2O_3 , TiO_2 , ZnO , Ga_2O_3 , SnO 등을 들 수 있다.
- [0050] 산화물 반도체층에 함유되는 산화물 반도체는, In_2O_3 , TiO_2 , ZnO , Ga_2O_3 및 SnO 로 이루어지는 군에서 선택되는 1 종 이상이면 바람직하고, 예를 들어, In_2O_3 에 Ti, Zn, Ga 또는 Sn 이 고용된 것, In 과 Ti, Zn, Ga 또는 Sn 의 복합 산화물, 및 이들의 원소를 소정의 원자비로 함유하는 비정질 산화물도 함유된다. 또, 산화물 반도체는, 적절히 불순물을 도핑하여, 도전성을 조정해도 된다. 예를 들어, 산화물 반도체층을 형성할 때에 사용하는 스퍼터링 타겟의 성능 (소결 밀도, 항절 강도 등) 의 관점에서는, 산화물 반도체는 In_2O_3 을 주성분으

로 하는 것이 바람직하다.

[0051] 이들의 산화물 반도체는, 다결정이거나, 비정질이거나, 또는 다결정과 비정질이 혼재하고 있어도 된다.

[0052] 밴드 갭은, 이하의 방법으로 계산할 수 있다. 즉, 먼저, 유리 등의 투명 기재 위에 300 nm 의 막두께로 산화물 반도체 박막을 스퍼터 성막하고, UV-VIS 측정 장치 (예를 들어, 시마즈 제작소 제조 UV-3100) 를 사용하여 250 nm ~ 1000 nm 의 범위의 투과율을 측정한다. 이어서, 얻어진 투과율에 대해, x 축에 $h\nu$ [eV], y 축에 $(\alpha h\nu)^{1/2}$ [$(eV^{1/2})(cm^{-1})$] 를 플롯 (Tauc 플롯) 한다.

[0053] 여기서, h 는 프랑크 상수 [$J \cdot s$], ν 는 진동수 [s^{-1}], α 는 흡광 계수 [cm^{-1}], 이어서, 직선 부분을 x 축에 외삽하고, 교점을 구함으로써 산화물 반도체 박막의 밴드 갭이 얻어진다.

[0054] 또한, 착색 기판 상이나, 다이오드 기판 중에 산화물 박막이 존재하는 경우에는, 막면을 노출시킨 후, 반사율의 스펙트럼을 평가함으로써, 동일하게 계산할 수 있다.

[0055] 산화물 반도체층은, 인듐 (In) 을 주성분으로서 함유하는 것이 바람직하다.

[0056] 본 발명에 있어서 「산화물 반도체층이 인듐 (In) 을 주성분으로서 함유한다」 란, 산화물 반도체층 중에 함유되는 전체 금속 원소에 대한 인듐의 원자 조성 백분율 ($[In] / ([In] + [In]$ 이외의 전체 금속 원소) $\times 100$) 이 30 ~ 100 atm% 인 것을 의미한다. 밴드 갭이 넓은 산화인듐계의 재료를 사용함으로써, 우수한 전류 - 전압 특성, 특히 높은 절연 파괴 전계를 갖는 쇼트키 배리어 다이오드 소자를 제공할 수 있다.

[0057] 산화물 반도체층 중의 인듐의 함유 비율은, 예를 들어 스퍼터링 타겟에 있어서의 인듐의 함유 비율을 변경함으로써 조정할 수 있다. 다른 원소에 대해서도 동일하다.

[0058] 산화물 반도체층 중에 함유되는 인듐은, 산화물 반도체층 중의 전체 금속 원소에 대해 30 atm% 이상인 것이 바람직하다. 이로써, 높은 내압 성능과 도전성을 양립할 수 있다.

[0059] 산화물 반도체층의 원소의 조성비는, 2 차 이온 질량 분석 (SIMS) 에 의해 정량 분석하여 구할 수 있다. 구체적으로는, 반도체층의 단면을 연마 등의 방법에 의해 노출시킨 후, 농도가 이미 알려진 표준 시료를 사용하여 검량선법에 의해 정량한다.

[0060] 또한, 스퍼터링법으로 성막한 경우에는, 산화물 반도체층의 원소 조성비는 스퍼터링 타겟의 원소 조성비와 대체로 동등하다.

[0061] 스퍼터링 타겟의 원소 조성비는, 유도 결합 플라즈마 발광 분광 분석 장치 (ICP-AES) 에 의해 정량 분석하여 구한다. 구체적으로, 스퍼터링 타겟을 산 처리에 의해 용해시킨 용액 시료를, 농도가 이미 알려진 표준 시료를 사용하여 검량선법에 의해 정량한다. 그리고, 얻어진 용액 중의 농도를 타겟 중의 at% 로 환산함으로써 타겟의 원소 조성비가 얻어진다.

[0062] 또, 산화물 반도체층은, 추가로 Al, Si, Zn, Ga, Hf, Zr, Ce, Sm, 및 Sn 에서 선택되는 1 종 이상의 원소를 함유하고 있어도 된다. 즉, 산화물 반도체층은, 산화인듐 (In_2O_3) 과, 임의로 이들의 첨가 원소의 산화물에 의해 구성된다. 첨가 원소의 산화물은 특별히 한정되지 않는다.

[0063] 첨가 원소는, 바람직하게는, Al, Si, Zn, Ga, Hf, Ce, Sm, 및 Sn 에서 선택되는 1 종 이상의 원소이다.

[0064] 산화물 반도체층은, 단결정일 필요는 없고, 비정질이거나, 다결정이어도 된다.

[0065] 단, 양호한 다이오드 특성을 나타내기 위해서는, 산화물 반도체층의 실온 (298K) 에 있어서의 캐리어 농도는 $1 \times 10^{14} cm^{-3}$ 이상, $1 \times 10^{17} cm^{-3}$ 이하인 것이 바람직하다. 캐리어 농도가 $1 \times 10^{14} cm^{-3}$ 미만의 경우, 온저항이 너무 높아져 동작 시에 발열을 초래할 우려가 있어, 바람직하지 않다. 캐리어 농도가 $1 \times 10^{17} cm^{-3}$ 을 초과한 경우, 저항이 너무 낮아져 역바이어스 시의 리크 전류가 상승할 우려가 있다.

[0066] 캐리어 농도는, $1 \times 10^{15} cm^{-3}$ 이상, $5 \times 10^{16} cm^{-3}$ 이하이면 보다 바람직하다.

[0067] 캐리어 농도는, 실시예에 기재된 방법으로 측정한다.

[0068] 인듐 이외의 원소의 바람직한 첨가 농도는, 결정 반도체로서 사용하는 경우와, 비정질 반도체로서 사용하는 경우에서 상이하다. 결정 반도체의 경우, 산화인듐의 결정에 대해서는, Al, Si, Ga, Hf, Zr, Ce, Sm 이 In

을 함유하는 전체 금속 원소 중 3 at% 이상 30 at% 이하, Zn 이 In 을 함유하는 전체 금속 원소 중 5 at% 이상 40 at% 이하이다. 또, Sn 은 타겟의 저항을 내리기 위해서 유효하고, In 을 함유하는 전체 금속 원소 중 500 ppm 이상 3 at% 이하가 바람직하다. Sn 은 결정 산화인듐에 대해서는, 도너로서 작용하기 때문에, 3 at% 를 초과하지 않는 것이 바람직하다.

[0069] 또, 비정질 반도체의 경우, 종래 공지된 조성으로서, IGZ0111, ITZO, IZZrO, IZA10 등의 3 성분계나, IGO, IZO, ITO 등의 2 성분계를 사용할 수 있다. 또한, 이 경우의 In 의 농도는 90 % 미만으로 하고, 어닐 온도를 300 °C 이하로 억제하면 바람직하다.

[0070] 이 경우도 캐리어 농도를 $1 \times 10^{14} \text{ cm}^{-3}$ 이상, $1 \times 10^{17} \text{ cm}^{-3}$ 의 범위가 되도록, 산화 분위기하에서 어닐하여 조정하는 것이 바람직하다.

[0071] 실리콘 (Si) 기판은, n 형 실리콘 기판과 p 형 실리콘 기판 모두 사용할 수 있다. 또, 당해 실리콘 기판은, 실리콘 단결정 기판, 실리콘 다결정 기판, 실리콘 미결정 기판 등, 종래 공지된 표면 평활성이 우수한 기판을 사용할 수 있다.

[0072] 또한, 다결정의 하나의 형태가 미결정이다. 다결정은 단결정의 집합체이며, 명확한 입계가 존재하고, 자주 전기 특성에 영향을 준다. 이 중에서 미결정은, 입경의 사이즈가 서브미크론 이하이며, 명해한 입계가 존재하지 않는다. 이 때문에, 입계 산란에 의한 전기 특성의 편차가 적다는 장점이 있다.

[0073] 쇼트키 전극층에는, 바람직하게는 일 함수가 4.7 eV 이상의 재료가 사용된다. 구체적으로는, Ru, Au, Pd, Ni, Ir, Pt, 또는 이들의 합금이 사용된다. 일 함수가 4.7 eV 를 밀돌면, 쇼트키 장벽의 높이가 낮고, 역바이어스 시의 리크가 커지는 경우가 있다.

[0074] 한편, 오믹 전극층에 사용되는 금속의 일 함수는, 실리콘 웨이퍼의 불순물 농도에 따라 다르기도 하지만, 4.1 eV 정도가 바람직하고, 밀착성도 고려하면 Ti 나 Mo 가 바람직하다.

[0075] 일 함수의 측정은, 후술하는 방법에 의해 실시할 수 있다.

[0076] 본 발명의 쇼트키 배리어 다이오드 소자의 일 실시형태에 있어서는, 실리콘 기판 상에 산화물 반도체층이 형성되고, 산화물 반도체층 상에 쇼트키 전극층이 형성된다.

[0077] n 형 실리콘 웨이퍼를 사용한 경우, 기판의 표면측에 산화물 반도체층이 적층되고, 또한 그 위에, 쇼트키를 형성하는 전극층 (Pt, Au, Pd, Ni 등) 이 배치된다. 기판의 이면측에는 Ti 등의, n 형 실리콘과 오믹 접합을 형성하는 전극층이 적층된다. 또, 도통을 확보하기 위해, 이면측은, Ni 를 사이에 두어 Au 등의 양도체를 적층하면 바람직하다. 또한, Ni 는 Au 의 확산을 방지하는 효과가 있다.

[0078] 또, 본 발명의 쇼트키 배리어 다이오드 소자의 다른 실시형태에서는, 실리콘 기판 상에 쇼트키 전극층이 형성되고, 쇼트키 전극층 상에 산화물 반도체층이 형성된다.

[0079] p 형 실리콘 웨이퍼를 사용한 경우, 기판의 표면측은, 최초로 Pt, Au, Pd, Ni 등의 쇼트키 전극층이 적층되고, 그 위에, 산화물 반도체층이 스퍼터법에 의해 형성된다. 이 경우도 쇼트키 장벽은, Pt, Au, Pd, Ni 등의 금속과, 산화물 반도체층의 계면에 형성된다. 또, 산화물 반도체층을 형성하기 전에, 쇼트키 전극층 표면을 산소 플라즈마나 UV 오존 등으로 산화 처리하면, 보다 양호한 다이오드 특성을 얻을 수 있다.

[0080] 계속해서, 산화물 반도체층 상에, Ti 등의, 산화물 반도체와 오믹 접합을 형성하는 금속이 적층된다. 이 경우도, 상기와 마찬가지로, Ni 를 사이에 두어 Au 등의 양도체를 추가로 적층해도 된다. 한편, p 형 실리콘 웨이퍼의 이면측에는 도통을 보조하기 위한 밀착성이 우수한 전극이 적층된다.

[0081] 또한, 본 발명의 쇼트키 배리어 다이오드 소자에는 종래 공지된 가드링 구조를 형성해도 된다. 가드링은, 산화물 반도체층과 쇼트키 전극층의 사이에 적층하는 것이며, 내전압을 향상하는 효과가 있다. 산화물 반도체층의 단부 (예지 부분) 에는 전계가 집중하고, 절연 파괴가 일어나기 쉬워지기 때문에, 이 단부를 덮도록 SiO₂ 등의 절연막을 적층하면 한층 더 내전압 (절연 파괴 전압) 을 올릴 수 있다.

[0082] 본 발명의 쇼트키 배리어 다이오드 소자는, 산화물 반도체층의 단부가 노출되지 않도록 절연막에 의해 피복되어 있는 것이 바람직하다.

[0083] 본 발명의 쇼트키 배리어 다이오드 소자를 구성하는 산화물 반도체층, 쇼트키 전극층, 오믹 전극층 등은, 예를 들어, 실시예에 기재하는 바와 같이, 저렴하고 양산성이 우수한 방법인 종래 공지된 스퍼터 성막법 등에 의해

형성할 수 있다.

[0084] 산화물 반도체층의 막두께는, 후술하는 본 발명의 구조체에 있어서의 산화물 반도체층과 동일하다.

[0085] 또, 쇼트키 전극을 형성하는 전극층과 산화물 반도체층의 계면은, 쇼트키 전극 스퍼터 공정에서 산소를 도입하여 반응성 스퍼터를 실시하고, 10 nm 이하의 얕은 산화막을 적층해도 된다.

[0086] 산화물 반도체층을 형성한 후는, 어닐 처리에 제공하여, 산화물 반도체를 결정화시켜도 된다. 산화물 반도체를 결정화함으로써, 온 저항을 내릴 수 있다. 어닐 처리의 조건은, 특별히 한정되지 않지만, 예를 들어, 산화물 반도체층을 형성한 후, 공기 중, 300 °C에서 2 시간 처리하여 산화 상태를 안정화시키고, 이어서 전극 층을 형성한 후, 공기 중, 200 °C에서 1 시간 처리하면 된다. 산화물 반도체의 결정화는, X 선 회절 (XRD) 측정에 의해 확인할 수 있다.

[0087] 본 발명의 쇼트키 배리어 다이오드 소자는, 높은 절연 파괴 전계를 갖는다. 본 발명의 쇼트키 배리어 다이오드 소자의 절연 파괴 전계는, 바람직하게는 0.5 MV/cm 이상이며, 보다 바람직하게는 0.7 MV/cm 이상이다. 이로써, 다이오드를 얕게 설계할 수 있기 때문에, 소자를 작게 할 수 있어 방열 대책도 유리해진다.

[0088] 본 발명의 쇼트키 배리어 다이오드 소자의 n 값은, 바람직하게는 2 이하이며, 보다 바람직하게는 1.5 이하이다. 이로써, 온 저항이 작아져, 방열을 억제할 수 있다.

[0089] 절연 파괴 전계, n 값은 실시예에 기재된 방법에 의해 측정, 산출한다.

[0090] 본 발명의 쇼트키 배리어 다이오드 소자는, 전기 회로, 전기 기기, 전자 기기, 차량, 전동 차량의 각각에 바람직하게 사용된다.

2. 구조체 및 산화물 반도체 기판

[0092] 본 발명의 구조체는, 산화물 반도체층과 금속 박막을 포함하고, 산화물 반도체층과 금속 박막이 전기적으로 접촉하는 영역을 포함한다. 산화물 반도체층은, 3.0 eV 이상, 5.6 eV 이하의 밴드 갭을 갖는 다결정 및/또는 비정질의 산화물 반도체를 포함한다.

[0093] 「산화물 반도체층과 금속 박막이 전기적으로 접촉한다」란, 금속 박막과 산화물 반도체층이 접합을 형성함으로써, 양자의 폐르미 에너지가 일치하도록, 산화물 반도체로부터 금속 박막에 전자가 자유롭게 확산될 수 있는 접촉 상태를 의미한다. 또, 그 「전기적으로 접촉하는 영역」이란, 구체적으로는 절연막 등을 개재하지 않고, 직접 접합하고 있는 영역을 들 수 있다.

[0094] 금속 박막은, 일 함수가 4.7 eV 이상이면 바람직하다.

[0095] 일 함수가 4.7 eV 이상의 금속 박막이란, Au, Cr, Cu, Fe, Ir, Mo, Nb, Ni, Pd, Pt, Re, Ru, W 등의 금속이나 In_2O_3 , ITO, IZO 등의 금속 산화물을 등을 들 수 있다. 또한, 일 함수는 보다 크고, 캐리어 농도가 높은 금속을 사용하는 것이, 명확한 정류 특성을 얻는데 있어서 유리하다. 일 함수의 보다 바람직한 범위는 4.8 eV 이상이며, 5.0 eV 이상인 것이 더욱 바람직하다. 상한치는 특별히 한정되지 않지만, 바람직하게는 5.6 eV 이하이다.

[0096] 금속 박막으로서 금속 산화물을 사용한 경우, 캐리어 농도가 10^{20} cm^{-3} 이상인 것이 바람직하다. 캐리어 농도가 이것보다 적으면, In 을 주성분으로 하는 산화물 반도체와 적층시켰을 경우, 공핍층의 확대가 커져, 내부 저항의 원인이 되거나, 고속 스위칭 특성에 대해 불리해지기 쉽다. 이 때문에, In 을 주성분으로 하는 산화물 반도체와 적층시키는데 있어서, 보다 바람직한 금속 박막의 재료는 Au, Ir, Ni, Pd 또는 W 이다.

[0097] 또, 이들의 재료는, 가공성을 높이기 위해서 일 함수를 저감시키지 않을 정도로 미량의 금속을 첨가해도 된다. 예를 들어, 금속 박막의 재료가 Au 이면, Ag 와 Cu 를 첨가한 합금이, Pd 이면, Ag 와 Cu 를 첨가한 합금 등을 사용할 수 있다.

[0098] 일 함수의 측정은, 광전자 분광 장치 (예를 들어, 리켄 계기사 제조, AC-3) 를 사용하여 측정한다. 또, 일 함수는, 산, 알칼리 등의 표면 처리나, UV 세정 등에 의해 변화되지만, 본 발명에서 기재한 일 함수란, 성막 후에 처리를 실시하지 않고 그대로 측정한 값을 말한다.

[0099] 상기의 산화물 반도체는 In 을 주성분으로 하는 것이 바람직하다. 「In 을 주성분으로 한다」란, 상기의 본 발명의 쇼트키 배리어 다이오드 소자에 있어서 설명한 바와 같다. 또, 밴드 갭에 대해서도 상기의 쇼트

키 배리어 다이오드 소자와 동일하다.

[0100] 상기의 산화물 반도체는, 다결정이거나, 비정질이거나, 또는 다결정과 비정질이 혼재하고 있어도 되고, 결정질이면 바람직하다.

[0101] 또, 산화물 반도체 중에, Al, Si, Ce, Ga, Hf, Zr 및 Sm에서 선택되는 적어도 1 종류의 원소가 함유되어 있으면 바람직하고, 그 함유량으로서는, 산화물 반도체의 전체 금속 원소 중, 3 at% 이상 30 at% 이하가 바람직하다.

[0102] 상기의 산화물 반도체는, 실온 (298K)에 있어서의 캐리어 농도가 $1 \times 10^{14} \text{ cm}^{-3}$ 이상, $1 \times 10^{17} \text{ cm}^{-3}$ 이하이면 바람직하다. 캐리어 농도는, $1 \times 10^{15} \text{ cm}^{-3}$ 이상, $5 \times 10^{16} \text{ cm}^{-3}$ 이하이면 보다 바람직하다.

[0103] 캐리어 농도가 $1 \times 10^{14} \text{ cm}^{-3}$ 미만의 경우, 다이오드 소자로서 사용한 경우, 온 저항이 너무 높아져 동작 시에 발열을 초래할 우려가 있어, 바람직하지 않다. 캐리어 농도가 $1 \times 10^{17} \text{ cm}^{-3}$ 을 초과한 경우, 저항이 너무 낮아져 역바이어스 시의 리크 전류가 상승할 우려가 있다.

[0104] 박막 형성 기술에 관해서는, 열 CVD 법, CAT-CVD 법, 광 CVD 법, 미스트 CVD 법, MO-CVD, 플라즈마 CVD 등의 CVD 법, MBE, ALD 등의 원자 레벨 제어의 성막법, 이온 플레이팅, 이온 범 스퍼터링, 마그네트론 스퍼터링 등의 PVD 법, 독터 블레이드법, 사출법, 압출법, 열간 가압법, 콜겔법, 에어로졸 디포지션법 등, 종래 공지된 세라믹스 공정을 이용하는 방법, 도포법, 스핀 코트법, 인쇄법, 스프레이법, 전착법, 도금법, 미셀 전해법 등의 습식 법 등을 이용할 수 있다.

[0105] 본 발명의 구조체의 절연 파괴 전계는 $0.5 \sim 3 \text{ MV/cm}$ 으로, 종래의 실리콘계 다이오드와 비교해서 매우 우수한 성능을 갖는다. 요구되는 내압은 용도와 목적에 따라 상이하고, 60 V 내압에서는 $0.2 \mu\text{m} \sim 1.2 \mu\text{m}$, 600 V 내압에서는 $2 \mu\text{m} \sim 12 \mu\text{m}$ 가 필요하다. 특히 $2 \mu\text{m}$ 이상의 막두께가 필요한 경우에는 PVD 법보다 CVD 법이나 습식법을 이용하는 편이 생산 공정 상 유리하다.

[0106] 산화물 반도체의 바람직한 막두께는 50 nm 이상, $20 \mu\text{m}$ 이하이다. 막두께가 50 nm 를 밀돌면, 내압이 10 V 정도가 되어, 많은 용도의 절연 파괴 전압으로서는 불충분하다. 막두께가 $20 \mu\text{m}$ 를 초과하면, 내압은 5000 V 를 실현할 수 있지만, On 저항이 높아져, 스위칭 시에 발열의 문제가 발생한다. 막두께의 보다 바람직한 범위는, 200 nm 이상, $12 \mu\text{m}$ 이하이다.

[0107] 또, 이들의 막두께는, 서프 코더나 DEKTAK 등의 측침식 단차계나, TEM이나 SEM 등의 전자 현미경으로 측정할 수 있다.

[0108] 본 발명의 구조체는, 도전성 기판 상 또는 전기 절연성 기판 상에 적층하여, 산화물 반도체 기판으로서 바람직하게 사용할 수 있다.

[0109] 본 발명의 산화물 반도체 기판은 정류 특성을 가지며, 쇼트키 배리어 다이오드 소자, 파워 반도체 소자, 다이오드 소자를 제조하는데 바람직하게 사용할 수 있어, 즉, 유용한 중간체이다.

[0110] 쇼트키 배리어 다이오드 소자로서 사용하는 경우, 본 발명의 구조체는, 상기 금속 박막이 쇼트키 전극층으로서 기능하고, 금속 박막과 전기적으로 접촉하는 산화물 반도체층이 산화물 반도체층으로서 기능한다.

[0111] 본 발명의 산화물 반도체 기판에 있어서, 구조체를 도전성·전기 절연성의 어느 기판 상에 적층해도 되지만, 도전성의 기판을 사용하는 편이 방열의 점에서 우수하다.

[0112] 도전성 기판으로서는, 실리콘 단결정 기판, 실리콘 다결정 기판, 실리콘 미결정 기판 등, 종래 공지된 표면 평활성이 우수한 기판을 사용할 수 있다.

[0113] 또한, 다결정의 하나의 형태가 미결정이다. 다결정은 단결정의 집합체이며, 명확한 입계가 존재하고, 자주 전기 특성에 영향을 준다. 이 중에서 미결정은, 입경의 사이즈가 서브미크론 이하이며, 명해한 입계가 존재하지 않는다. 이 때문에, 입계 산란에 의한 전기 특성의 편차가 적다는 장점이 있다.

[0114] 본 발명의 산화물 반도체 기판에 요구되는 특성은, 표면 평활성이며, 특히 종방향으로 사용하는 경우에는 도전성도 필요하게 된다. 이 조건을 저렴하게 실현할 수 있는 것은 실리콘 기판이지만, 필요 불가결하지 않고, Cu, Al, Mo, W, Ni, Cr, Fe, Nd, Au, Ag, Nd, Pd 등의 금속 및 이들의 합금도 사용할 수 있다. 특히 열전도성이 높은 금속 재료를 사용하면, 방열의 효과도 기대할 수 있는 데다가, 필요에 따라 히트싱크 구조로 해도

된다. 또, GaAs, InP 등의 화합물 단결정 웨이퍼, Al₂O₃, ZnO, MgO, SrTiO₃, YSZ, 란탄알루미네이트, Y₃Al₅O₁₂, NdGaO₃, 사파이어, AlN, GaN, SiC, 무알칼리 유리, 소다라임 유리 등의, 각종 산화물, 질화물, 탄화물 등의 기판도 사용할 수 있다. 또한, 횡방향으로 사용하는 경우에는, 기판은 절연성이어야 상관없다.

[0115] 또한, 종방향이란, 산화물 반도체의 막면에 대해 수직 방향으로 통전하는 것을 의미하고, 횡방향이란, 산화물 반도체의 막면에 대해 수평 방향으로 통전하는 것을 의미한다.

[0116] 전기 절연성의 기판으로서는, 유리 외에, 폴리카보네이트, 폴리아릴레이트, 폴리에틸렌테레프탈레이트, 폴리에테르술폰, 폴리이미드, 폐놀 수지 등의 수지 기판을 사용할 수 있다. 본 발명의 구조체는, 고온 프로세스를 필요로 하지 않기 때문에, 액정 디스플레이나 유기 EL 등의 디스플레이를 구동하기 위한 회로의 전원부 등을 디스플레이와 동일 기판 상에 탑재할 수 있다.

[0117] 본 발명의 산화물 반도체 기판은, 파워 반도체 소자, 다이오드 소자, 쇼트키 배리어 다이오드 소자의 각각에 바람직하게 사용되고, 당해 파워 반도체 소자, 다이오드 소자, 쇼트키 배리어 다이오드 소자 중 1 이상을 포함하는 전기 회로는, 전기 기기, 전자 기기, 전동 차량의 각각에 바람직하게 사용된다.

[0118] 본 발명은 파워 반도체 소자, 구체적으로는 다이오드 소자나 IGBT (Insulated Gate Bipolar Transistor) 소자, MOSFET (Metal Oxide Semiconductor Field Effect Transistor) 를 구성하는 부재로서 바람직한 적층체를 제공한다. 특히 다이오드 소자에 관해서는, 쇼트키 배리어 다이오드 소자나 PN 다이오드 소자, PIN 다이오드 소자를 바람직하게 제공할 수 있다.

[0119] 여기서, 다이오드의 종류로서는, 전원 회로에 사용하는 정류 다이오드나, PWM 방식의 인버터 회로에 사용하는 퍼스트 리커버리 다이오드 등에 적용함으로써, 발열을 억제하고, 소비 전력을 저감할 수 있다. 특히 인버터 회로는 동작 주파수가 높고, 스위칭 전환 시의 회복 시간이 작은 것이 요구된다. 이 점에서, 종래의 퍼스트 리커버리 다이오드와 비교하면, 막두께가 작은 테다가 유니폴라이며, 회복 시간을 매우 작게 할 수 있다. 따라서, 동작 주파수가 높으면 높을수록, 본 발명의 다이오드의 특징을 살릴 수 있다.

[0120] 예를 들어, 차량용의 인버터 회로는 종래부터 GTO (Gate Turn-Off thyristor) 가 사용되고 있다. GTO 는 대전력의 스위칭에 적합하지만, 주파수가 500 Hz 정도이며, 발진 시의 소음이 문제가 되고 있었다. 그래서, 최근의 차량이나 EV 에서는 IGBT 를 탑재하는 예가 증가하고 있다. IGBT 의 스위칭 속도는 수십 kHz 까지 높일 수 있어, 소음을 억제할 수 있음과 함께, 주변의 부재를 소형화할 수도 있다.

[0121] IGBT 는 원리적으로 스위칭 손실이 작지만, 동작 주파수가 높기 때문에, 병용되는 퍼스트 리커버리 다이오드의 역방향 리크 전류를 크게 하는 것은, 소비 전력의 저감에 큰 효과가 있다. 따라서, 종래의 Si 다이오드보다 역방향의 리크 전류가 작은 본 발명의 다이오드는 IGBT 인버터에 사용되는 퍼스트 리커버리 다이오드로서 특히 유효하다. 향후, 동작 주파수를 올려 더욱 원활한 동작을 바라는 경우에는, 한층 더 효과가 높아진다. 또 발열도 억제할 수 있기 때문에, 냉각 기구를 보다 단순하게 할 수 있다. 예를 들어, EV 의 경우, 종래 필요하게 되어 있던 복수의 냉각 기구를 110 °C 의 라디에이터에 의해 일체화할 수 있는 효과가 있다.

실시예

[0123] 이하, 적절히 도면을 참조하면서 본 발명의 실시예를 설명한다.

[0124] (실시예 1)

[0125] 도 1 은, 실시예 1 에 의해 얻어진 쇼트키 배리어 다이오드 소자를 모식적으로 나타낸 단면도이다.

[0126] 먼저, 저항률 0.02 Ω · cm 의 n 형 실리콘 (Si) 기판 (11) 을 준비하고, 회불산으로 처리하여, 기판의 표면에 형성되어 있던 자연 산화막을 제거했다. 이 Si 기판을 스퍼터링 장치 (시마즈 제작소 제조 : HSM552) 에 장착했다. In₂O₃ : Ga₂O₃ = 95 : 5 (wt %) 의 조성을 갖는 소결체를 스퍼터링 타겟으로서 이용하고, RF 100 W 의 조건으로 스퍼터 방전하고, Si 기판의 산화막을 제거한 면 상에, 인듐 및 갈륨을 함유하는 두께 300 nm 의 산화물막 (IGO 막) (12) 을 형성했다.

[0127] 또한, 기판 (11) 은 컨택트 전극으로서도 기능한다.

[0128] 이어서, 이 IGO 막을 포토리소그래피에 의해 패터닝하여 원하는 패턴을 형성한 후, 공기 중, 300 °C, 2 시간의 조건으로 어닐하여, IGO 막을 결정화시켰다. IGO 막의 결정 상태를 XRD 측정에 의해 확인하고, 다결정체인 것을 알았다.

- [0129] 이 다결정 IGO 막이 형성된 Si 기판을 다시 스퍼터링 장치에 장착하고, Pt 타겟을 사용하여 스퍼터링 성막을 실시하고, 다결정 IGO 막 상에 Pt 전극 (13) 을 형성하여, 쇼트키 접합을 얻었다.
- [0130] 계속해서 이 기판을 재차 희불산에 침지하여, 다결정 IGO 막을 형성하고 있지 않은 뒤측의 자연 산화막을 제거하고, Ti 층 (14), Ni 층 (15), Au 층 (16) 의 순서로 스퍼터 성막하여, 오믹 전극을 형성했다. 마지막으로, 이 오믹 전극을 형성하여 얻어진 적층체를, 공기 중, 200 °C, 1 시간의 조건으로 어닐하여, 쇼트키 배리어 다이오드 소자 (10) 를 얻었다.
- [0131] IGO 막의 실온에 있어서의 캐리어 농도를 확인하기 위해, CV (용량 - 전압) 측정을 실시했다. 단위 면적당 공핍층 용량 C [F/cm^2] 는, $C = \varepsilon / W$ 로 나타낸다. 여기서, ε 은 반도체의 유전율 [F/cm], W 는 공핍층 폭 [cm] 을 나타낸다. 또 쇼트키 배리어 다이오드에 순방향 바이어스 전압 V [V] 를 가했을 때, 공핍층 폭은, $W = \{2\varepsilon(\phi - V)/qN\}^{(1/2)}$ 이기 때문에, $C = \{q\varepsilon N/2(\phi - V)\}^{(1/2)}$ 가 된다. 여기서, q 는 전하소량 ($= 1.6 \times 10^{-19}$ [C]) 이며, ϕ 는 빌트인 포텐셜 [V] 로, Pt 전극과 IGO 막의 접촉 전위차를 나타낸다.
- [0132] CV 측정을 취득한 후, $C^2 - V$ 특성을 플롯하여, 기울기로부터 도핑 농도 (= 캐리어 농도) N 을 구할 수 있다. 그 결과, 스퍼터링 성막한 후의 IGO 막은 저항이 낮고, 공핍층이 확산되지 않았지만, 공기 중, 300 °C, 2 시간의 조건으로 어닐한 후에는 CV 측정이 가능하고, $C^2 - V$ 의 기울기로부터 계산한 결과, 캐리어 농도는 $5 \times 10^{15} cm^{-3}$ 이었다.
- [0133] 얻어진 쇼트키 배리어 다이오드 소자의 전류 - 전압 특성을 측정하여, n 값과 역내압 전압을 구했다. 여기서 n 값은, 하기 식 (1) 로 나타내는 바와 같이, 쇼트키 배리어 다이오드 소자의 특성을 나타내는 파라미터이며, n 이 1 에 가까울수록, 이상적인 소자 특성이 얻어지게 된다.
- [0134] $I = I_0 [\exp(eV/nkT)] \dots \dots (1)$
- [0135] I : 산화물막으로부터 Si 기판측으로 향해 흐르는 전류 밀도 [A/cm^2]
- [0136] e : 전자의 전하, 1.60×10^{-19} [C]
- [0137] V : 소자에 인가되는 전압 [V]
- [0138] I_0 : 소자에 인가되는 전압 $V = 0$ V 일 때의 전류 밀도 [A/cm^2]
- [0139] k : 볼츠만 상수, 1.38×10^{-23} [J/K]
- [0140] T : 온도 [K]
- [0141] 그 결과, n 값은 1.3, 역내압은 20 V 가 되었다. 이 역내압은 $0.67 MV/cm$ 의 절연 파괴 전계에 상당하고, 종래의 단결정 Si 를 사용한 쇼트키 배리어 다이오드와 비교해도 2 배 정도 고내압이다. 역내압과 절연 파괴 전계는 이하의 관계를 갖는다.
- [0142] 역내압 (V) = 절연 파괴 전계 (V/cm) × 반도체 막두께 (cm)
- [0143] 이상의 결과를 표 1 에 나타낸다. 또한, 표 중의 「순방향 전압」 은, 소자에 $0.1 mA/cm^2$ 의 전류를 흘리는 데 필요한 전압이며, 「On 전류 밀도」 는, 소자에 10 V 인가했을 때의 전류 밀도이다.
- [0144] (실시예 2 ~ 실시예 9)
- [0145] 이하, 표 1 에 나타내는 바와 같이, 쇼트키 전극과 반도체의 조성을 적절히 변경하면서, 모두 스퍼터링법을 사용하여, 실시예 1 과 마찬가지로 쇼트키 배리어 다이오드 소자를 제작하고, 평가했다. 결과를 표 1 에 나타낸다.
- [0146] (실시예 10)
- [0147] 도 2 는, 실시예 10 에 의해 얻어진 쇼트키 배리어 다이오드 소자를 모식적으로 나타낸 단면도이다.
- [0148] 먼저, 저항을 $0.02 \Omega \cdot cm$ 의 p 형 실리콘 기판 (21) 을 준비하고, 자연 산화막을 희불산으로 제거한 후, Pd 타겟을 사용하여 스퍼터 성막하여 Pd 전극 (22) 을 형성했다. 다음으로, 이 Pd 전극의 표면을 UV 오존으로 산화 처리한 후, 실시예 1 과 마찬가지로 IGO 막 (23) 을 스퍼터 성막했다. 공기 중, 300 °C, 1 시간의 조건

으로 어닐한 후, IGO 막 상에, Ti 층 (24), Ni 층 (25), Au 층 (26)의 순서로 스퍼터 성막하여 오믹 전극으로 했다.

[0149] 또한, p 형 실리콘 기판의 이면측 (Pd 전극을 형성한 면과 반대의 면측)에 대해서도 회불산으로 자연 산화막을 제거한 후, TiAl 합금을 타겟으로 하여 TiAl 막 (27)을 스퍼터 성막했다. 마지막으로 공기 중, 200 °C, 1시간의 조건으로 어닐하여, 쇼트키 배리어 다이오드 소자 (20)를 얻었다. 이 다이오드는, 실시예 1 ~ 9의 다이오드와는 극성이 반대이며, p 형 실리콘 웨이퍼측을 플러스에 접속하면 순방향, 마이너스에 접속하면 역방향이 된다.

[0150] 얻어진 소자에 대해 실시예 1과 동일하게 하여 평가했다. 결과를 표 1에 나타낸다.

[0151] (실시예 11)

[0152] 도 3은, 실시예 11에 의해 얻어진 쇼트키 배리어 다이오드 소자를 모식적으로 나타낸 단면도이다.

[0153] 실시예 1과 동일하게 하여 n 형 실리콘 기판 (31)에 산화물 반도체의 IGO 막 (32)을 스퍼터하고, 공기 중, 300 °C, 1시간의 조건으로 어닐한 후, AZ 머티리얼사 제조의 네거티브 레지스트를 스펀 코트법에 의해 도포했다. 프리베이크, 노광, 현상, 포스트베이크에 의해, IGO 막의 에지 (단부) 부분에 링상으로 파진 패턴을 형성했다. 다음으로, 스퍼터 장치에 장착하고, SiO₂를 타겟으로 하여, RF 100 W, 50 분의 조건으로 스퍼터 성막하여, 두께 50 nm의 SiO₂ 막을 형성했다. 이어서, 레지스트 박리액에 침지하여, 불요 부분의 레지스트를 IGO 막마다 박리했다. 이와 같이 하여, IGO 막의 가드링 (37)을 형성했다. 이후, 실시예 1과 동일하게 하여, Pt 전극 (33)과, Ti (34), Ni (35), Au (36)의 오믹 전극을 제작하고, 가드링이 부착된 쇼트키 배리어 다이오드 소자 (30)를 제작했다.

[0154] 얻어진 소자에 대해 실시예 1과 동일하게 하여 평가했다. 결과를 표 1에 나타낸다. 이 쇼트키 배리어 다이오드는, 가드링의 효과에 의해, 실시예 1과 비교해서 더욱 양호한 내압 특성을 나타냈다.

표 1

	실시예 1	실시예 2	실시예 3	실시예 4	실시예 5	실시예 6	실시예 7	실시예 8	실시예 9	실시예 10	실시예 11	
소트키 전극	Pt	Au	Pd	Ru	Ni	Pt	Pt	Pt	Pt	Pd	Pt	
쇼트키 전극의 일 현수 (eV)	5.6	5.1	5.5	4.7	5.1	5.6	5.6	5.6	5.6	5.5	5.6	
기판	Si 웨이퍼 (n 형) Si 웨이퍼 (n 형)	Si 웨이퍼 (n 형) Si 웨이퍼 (n 형)	Si 웨이퍼 (n 형) Si 웨이퍼 (n 형)	Si 웨이퍼 (n 형) Si 웨이퍼 (n 형)	Si 웨이퍼 (n 형) Si 웨이퍼 (n 형)	Si 웨이퍼 (n 형) Si 웨이퍼 (n 형)	Si 웨이퍼 (n 형) Si 웨이퍼 (n 형)	Si 웨이퍼 (n 형) Si 웨이퍼 (n 형)	Si 웨이퍼 (n 형) Si 웨이퍼 (n 형)	Si 웨이퍼 (n 형) Si 웨이퍼 (n 형)	Si 웨이퍼 (n 형) Si 웨이퍼 (n 형)	
상부 전극	Pt	Au	Pd	Ru	Ni	Pt	Pt	Pt	Pt	TiAl	Pt	
컨택트 전극	Si	Si	Si	Si	Si	Si	Si	Si	Si	Si	Si	
외부 전극	Ti/Ni/Au	Ti/Ni/Au	Ti/Ni/Au	Ti/Ni/Au	Ti/Ni/Au	Ti/Ni/Au	Ti/Ni/Au	Ti/Ni/Au	Ti/Ni/Au	Ti/Ni/Au	Ti/Ni/Au	
외박전극의 일 현수 (eV)	4.1	4.1	4.1	4.1	4.1	4.1	4.1	4.1	4.1	5	4.1	
반도체 조성(wt%)	In ₂ O ₃ :Ga ₂ O ₃ =95.5	In ₂ O ₃ :SiO ₂ =95.5	In ₂ O ₃ :Al ₂ O ₃ =95.5	In ₂ O ₃ :CeO ₂ =95.5	In ₂ O ₃ :CeO ₂ =95.5	In ₂ O ₃ :SnO ₂ =95.5	In ₂ O ₃ :CeO ₂ =95.5					
반도체 조성(atM)	In:Ga =92.8:7.2	In:Zn =91.3:8.8	In:Al =87.5:12.5	In:Hf =86.2:0.8	In:Ce =96.5:3.4	In:Sm =96.9:4.1	In:Ce =96.4:4.0	In:Sm =96.4:4.0	In:Ce =96.4:4.0	In:Sm =92.8:7.2	In:Ce =92.8:7.2	In:Ce =92.8:7.2
반도체(막 두께) (nm)	300	300	300	300	300	300	300	300	300	300	300	
반도체(성마 후의 이온 소각)	공기 중, 300°C, 2h 공기 중, 300°C, 2h	공기 중, 300°C, 2h 공기 중, 300°C, 2h	공기 중, 300°C, 2h 공기 중, 300°C, 2h	공기 중, 300°C, 2h 공기 중, 300°C, 2h	공기 중, 300°C, 2h 공기 중, 300°C, 2h	공기 중, 300°C, 2h 공기 중, 300°C, 2h	공기 중, 300°C, 2h 공기 중, 300°C, 2h	공기 중, 300°C, 2h 공기 중, 300°C, 2h	공기 중, 300°C, 2h 공기 중, 300°C, 2h	공기 중, 300°C, 2h 공기 중, 300°C, 2h	공기 중, 300°C, 2h 공기 중, 300°C, 2h	
최종 어닐 조건	공기 중, 200°C, 1h 공기 중, 200°C, 1h	공기 중, 200°C, 1h 공기 중, 200°C, 1h	공기 중, 200°C, 1h 공기 중, 200°C, 1h	공기 중, 200°C, 1h 공기 중, 200°C, 1h	공기 중, 200°C, 1h 공기 중, 200°C, 1h	공기 중, 200°C, 1h 공기 중, 200°C, 1h	공기 중, 200°C, 1h 공기 중, 200°C, 1h	공기 중, 200°C, 1h 공기 중, 200°C, 1h	공기 중, 200°C, 1h 공기 중, 200°C, 1h	공기 중, 200°C, 1h 공기 중, 200°C, 1h	공기 중, 200°C, 1h 공기 중, 200°C, 1h	
산화물 반도체막 밸드 밴드	3.3	3.2	3.5	3.6	3.6	3.6	3.5	3.5	3.3	3.0	3.3	
캐리어 높도 (cm ⁻³)	6×10 ¹⁵	2×10 ¹⁶	1×10 ¹⁵	1×10 ¹⁴	1×10 ¹⁵	2×10 ¹⁵	1×10 ¹⁶	1×10 ¹⁷	1×10 ¹⁷	6×10 ¹⁵	3×10 ¹⁵	
n값	1.3	1.3	1.3	1.3	1.3	1.3	1.3	1.3	1.3	1.3	1.2	
절연(고전류 (MV/cm))	0.67	0.5	0.7	0.8	0.7	0.67	0.67	0.67	0.67	0.67	0.85	
반도체의 XRD 측정	디결정	디결정	디결정	디결정	디결정	디결정	디결정	디결정	디결정	디결정	디결정	
순방향 전압(V)	0.8	0.9	0.9	0.9	0.9	0.8	0.8	1.3	1.3	1.2	1.2	
On 전류 밀도 (A/cm ²)	>10	>10	>10	>10	>10	>10	>10	>10	>10	>10	>10	

[0155]

(실시 예 12)

[0156]

저항율 0.02 Ω · cm 의 n 형 실리콘 (Si) 기판을 준비하고, 희불산으로 처리하여, 기판의 표면에 형성되어 있던 자연 산화막을 제거했다. 이 Si 기판을 스퍼터링 장치 (시마즈 제작소 제조 : HSM552)에 장착하고, 최초로 오믹 전극으로서 Ti 를 성막했다. 다음으로, In₂O₃ : Ga₂O₃ = 78 : 22 (wt %) 의 조성을 갖는 소결체를 스퍼터링 타겟으로서 사용하고, RF 100 W 의 조건으로 스퍼터 방전하여, Ti 가 부착된 Si 기판 상의 Ti 층 위에, 두께 1 μm 의 인듐 및 갈륨을 함유하는 산화물막 (IGO 막) 을 형성했다.

[0158]

이어서, 이 IGO 막을 공기 중, 300 °C, 1 시간의 조건으로 어닐하고, 포토리소그래피에 의해 패터닝하여 원하는 패턴을 형성한 후, 공기 중, 300 °C, 1 시간의 조건으로 어닐했다. IGO 막을 XRD 로 평가한 결과, 결정 피크는 확인되지 않고, 비정질인 것이 확인되었다.

- [0159] 이 비정질 IGO 막이 형성된 기판을 다시 스팍터링 장치에 장착하고, Ni 타겟을 사용하여 스팍터링 성막을 실시하고, 비정질 IGO 막 상에 Ni 전극을 형성하여, 쇼트키 접합을 얻었다. 또한, 이 Ni 전극 상에 Au 를 스팍터 성막하여 단순한 구성의 쇼트키 배리어 다이오드 소자를 얻었다. 실시예 1 과 동일하게 하여 얻어진 소자를 평가했다. 결과를 표 2 에 나타낸다.
- [0160] (실시예 13 ~ 20)
- [0161] 산화물 반도체의 조성 등을 적절히 변경하면서, 실시예 1 과 마찬가지로 쇼트키 배리어 다이오드 소자를 제작하여, 평가했다. 결과를 표 2 에 나타낸다.
- [0162] 또한, 「4H-SiC」 란 4 층 반복 구조를 갖는 육방정 SiC 기판을 의미하고, 「YSZ」 란 이트리아 안정화 지르코니아 기판을 의미한다.
- [0163] 또, 실시예 13, 16, 18, 19, 20 에 있어서는 고저항의 기판을 사용하고 있기 때문에, 전기 측정은 오믹 전극과 쇼트키 전극에 단자를 대어 실시했다.
- [0164] (비)교예 1)
- [0165] 저항율 $0.02 \Omega \cdot \text{cm}$ 의 n 형 실리콘 (Si) 기판을 준비하고, 희불산으로 처리하여, 기판의 표면에 형성되어 있던 자연 산화막을 제거했다. 이 Si 기판을 스팍터링 장치 (시마즈 제작소 제조 : HSM552) 에 장착하고, 최초로 오믹 전극으로서 Ti 를 성막했다. 다음으로, SiC 타겟 (스미토모 오사카 시멘트사 제조) 을 스팍터링 타겟으로서 사용하고, RF 100 W 의 조건으로 스팍터 방전하여, Ti 가 부착된 Si 기판 상의 Ti 층 위에, 두께 $1 \mu\text{m}$ 의 SiC 막을 형성했다.
- [0166] 이어서, 이 SiC 막을 포토리소그래피에 의해 패터닝하여 원하는 패턴을 형성한 후, 공기 중, 300°C , 1 시간의 조건으로 어닐했다. SiC 막을 XRD, 그리고 SEM 으로 확인한 결과, 다결정이었다.
- [0167] 이 다결정 SiC 가 부착된 기판을 다시 스팍터링 장치에 장착하고, Ni 타겟을 사용하여 스팍터링 성막을 실시하고, 다결정 SiC 상에 Ni 전극을 형성하여, 쇼트키 접합을 얻었다. 또한, 이 Ni 전극 상에 Au 를 스팍터 성막하여 단순한 구성의 쇼트키 배리어 다이오드 소자를 얻었다.
- [0168] 얻어진 소자에 대해 실시예 1 과 마찬가지로 평가했다. 결과를 표 2 에 나타낸다.
- [0169] 비교예 1 에서 얻어진 소자는, 캐리어 농도는 $5 \times 10^{15} \text{ cm}^{-3}$ 을 나타냈지만, n 값은 10 초과로 만족스러운 다이오드 특성을 나타내지 않았다. 또, 절연 파괴 전계도 0.1 MV/cm 에 머물렀다.
- [0170] (비)교예 2)
- [0171] SiC 타겟 대신에, 타겟으로서 단결정 GaN 을 사용하여 스팍터한 것 외에는, 비교예 1 과 동일하게 하여 다결정 GaN 으로 이루어지는 쇼트키 배리어 다이오드를 제작하고, 평가했다. 결과를 표 2 에 나타낸다.
- [0172] 비교예 2 에서 얻어진 소자는, n 값이 10 초과로 만족스러운 다이오드 특성을 나타내지 않고, 절연 파괴 전계도 0.1 MV/cm 에 머물렀다.
- [0173] (비)교예 3)
- [0174] SiC 타겟 대신에, 타겟으로서 $\text{In}_2\text{O}_3 : \text{Al}_2\text{O}_3 = 20 : 80 \text{ wt\%}$ 의 조성 비율로 이루어지는 산화물 재료를 사용하여, 반도체 성막 후의 어닐을 150°C 로 한 것 이외는, 비교예 1 과 동일하게 하여 쇼트키 배리어 다이오드를 제작하고, 평가했다. 결과를 표 2 에 나타낸다.
- [0175] 비교예 3 에서 얻어진 소자는, 밴드 갭이 5.8 eV 이상으로 매우 넓지만, 캐리어 농도는 10^{13} cm^{-3} 미만으로 매우 적어, 충분한 순방향 전류를 얻을 수 없었다.

표 2

	실시예12	실시예13	실시예14	실시예15	실시예16	실시예17	실시예18	실시예19	실시예20	비교예1	비교예2	비교예3
쇼트키 전극	Ni	Ni	Ni	Ni	Ni	Ni	Ni	Ni	Ni	Ni	Ni	Ni
소드리 전극의 일 현수 (eV)	5.1	5.1	5.1	5.1	5.1	5.1	5.1	5.1	5.1	5.1	5.1	5.1
기판	S900T(이형) 시리즈(A)	4H-SiC	S900T(이형) Y5Z (이형)	4H-SiC (이형)	4H-SiC (이형)	4H-SiC (이형)	4H-SiC (이형)	4H-SiC (이형)	4H-SiC (이형)	4H-SiC (이형)	4H-SiC (이형)	4H-SiC (이형)
상부전극	Au	Au	Au	Au	Au	Au	Au	Au	Au	Au	Au	Au
컨택트 전극	Ti	Ti	Ti	Ti	Ti	Ti	Ti	Ti	Ti	Ti	Ti	Ti
오목 전극	Ti	Ti	Ti	Ti	Ti	Ti	Ti	Ti	Ti	Ti	Ti	Ti
오목 전극의 일 현수 (eV)	4.1	4.1	4.1	4.1	4.1	4.1	4	4	4	4.1	4.1	4.1
반도체 조성 (wt%)	In ₂ O ₃ :GeO ₃ =78.22: 21.78	In ₂ O ₃ :GeO ₃ =85.15: 14.85	In ₂ O ₃ :GeO ₃ =90.10: 9.90	In ₂ O ₃ :GeO ₃ =81.19: 18.81	In ₂ O ₃ :ZnO =72.28: 27.72	In ₂ O ₃ :SiO ₂ =89.31: 10.69	In ₂ O ₃ :GeO ₃ :Al ₂ O ₃ =44.23%:34.59%: 21.28%	In ₂ O ₃ :GeO ₃ :Al ₂ O ₃ =10.63%: 89.31%	In ₂ O ₃ :GeO ₃ :Al ₂ O ₃ =10.63%: 89.31%	In ₂ O ₃ :GeO ₃ :Al ₂ O ₃ =10.63%: 89.31%	In ₂ O ₃ :GeO ₃ :Al ₂ O ₃ =10.63%: 89.31%	In ₂ O ₃ :GeO ₃ :Al ₂ O ₃ =10.63%: 89.31%
반도체 조성 (at%)	In:Ga =70.529: 29.47	In:Ga =79.320: 20.68	In:Ga =85.914: 14.09	In:Ga =81.389: 18.61	In:Zn =71.029: 28.97	In:Zn =80.138: 19.86	In:Zn =70.729: 29.27	In:Ga:Zn =33.333:33.333: 33.333	In:Ga:Zn =55.49:24.53: 20.00	In:Ga:Zn =55.49:24.53: 20.00	In:Ga:Zn =55.49:24.53: 20.00	In:Ga:Zn =55.49:24.53: 20.00
반도체의 두께 (μm)	1.0	1.0	1.0	1.0	1.0	1.0	1.0	1.0	1.0	1.0	1.0	1.0
반도체 성형 후의 온도 조건	공기 중, 200°C, 1h	공기 중, 280°C, 1h	공기 중, 160°C, 1h	공기 중, 250°C, 1h	공기 중, 150°C, 1h	공기 중, 150°C, 1h	공기 중, 150°C, 1h	공기 중, 150°C, 1h	공기 중, 150°C, 1h	공기 중, 150°C, 1h	공기 중, 150°C, 1h	공기 중, 150°C, 1h
최종 이발	없음	없음	없음	없음	없음	없음	없음	없음	없음	없음	없음	없음
신호를 반도체의 반드집 (eV)	3.2	3.1	3.1	3.1	3.2	3.1	3.4	3.4	5.6	5.4	2.8	2.7
기판이 놓인도 (cm ²)	3×10^4	1×10^5	2×10^5	1×10^7	2×10^4	1×10^7	2×10^5	2×10^4	9×10^4	5×10^5	1×10^6	1×10^3
q _g	2.2	2.3	2.8	3.5	3.6	3.1	2.2	2.2	2.2	>10	>10	>10
절연 표면 전류 I _b (MV/cm ²)	2.7	2.5	2.3	2.2	2.3	2.2	2.3	2.3	2.3	0.1	0.1	>10
반도체의 XRD 분석 결과	비정질	비정질	비정질	비정질	비정질	비정질	비정질	비정질	비정질	다결정	다결정	비정질
순방향 전압 (V)	2.5	2.3	2.3	2.1	2.5	2.4	2.3	2.3	2.3	4	4.5	>10
O ₂ 전류 밀도 (A/cm ²)	>10	>10	>10	>10	>10	>10	>10	>10	>10	1.2	1	$<1 \times 10^{-4}$

[0176]

산업상 이용가능성

[0177]

본 발명의 쇼트키 배리어 다이오드 소자는, 고속 동작이나 스위칭 특성이 요구되는 전기 회로, 전기 기기, 전자 기기, 전동 차량 등에 바람직하게 사용할 수 있다.

[0178]

상기에 본 발명의 실시형태 및/또는 실시예를 몇 가지 상세하게 설명했지만, 당업자는, 본 발명의 신규 교시 및 효과로부터 실질적으로 이탈되지 않고, 이를 예시인 실시형태 및/또는 실시예에 많은 변경을 가하는 것이 용이 하다. 따라서, 이들의 많은 변경은 본 발명의 범위에 포함된다.

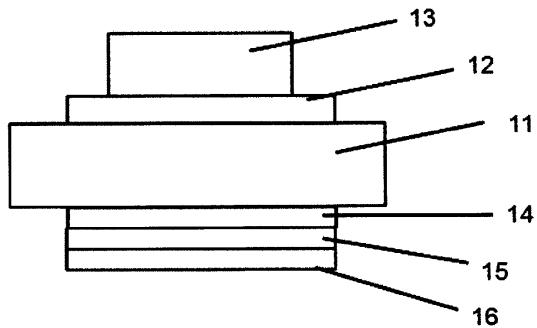
[0179]

본원의 파리 조약의 우선권 주장의 기초가 되는 일본 출원 명세서의 내용을 모두 여기에 원용한다.

도면

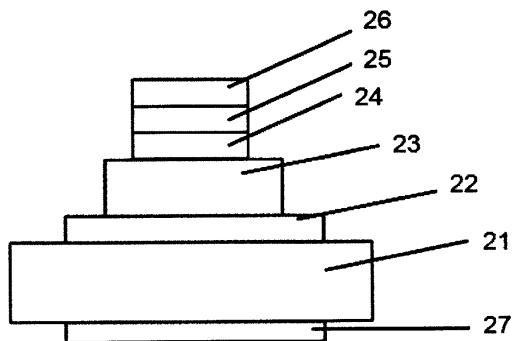
도면1

10



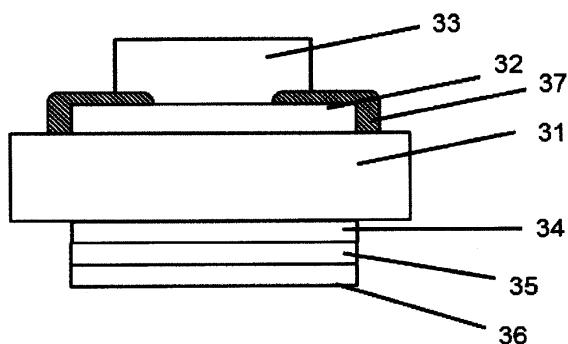
도면2

20



도면3

30



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 31

【변경전】

실리콘 (Si) 기판과, 산화물 반도체층과, 쇼트키 전극층과, 오믹 전극층을 갖는 쇼트키 배리어 다이오드 소자로

서,

상기 산화물 반도체층이, 인듐 (In) 을 함유하는 다결정 및/또는 비정질의 산화물 반도체를 포함하며,

상기 산화물 반도체층 중에 함유되는 전체 금속 원소에 대한 인듐의 원자 조성 백분율 ($[In] / ([In] + [In\text{ 이외의 전체 금속 원소}] \times 100)$) 이 30 ~ 100 atm% 이며,

상기 오믹 전극층이, 상기 산화물 반도체층의, 상기 쇼트키 전극층이 배치된 측과 반대의 측에 배치되고,

상기 쇼트키 전극층 및 상기 오믹 전극층 사이의 도전 경로가 상기 쇼트키 전극층 및 상기 오믹 전극층에 대해 수직인, 쇼트키 배리어 다이오드 소자.

【변경후】

실리콘 (Si) 기판과, 산화물 반도체층과, 쇼트키 전극층과, 오믹 전극층을 갖는 쇼트키 배리어 다이오드 소자로서,

상기 산화물 반도체층이, 인듐 (In) 을 함유하는 다결정 및/또는 비정질의 산화물 반도체를 포함하며,

상기 산화물 반도체층 중에 함유되는 전체 금속 원소에 대한 인듐의 원자 조성 백분율 ($[In] / ([In] + [In\text{ 이외의 전체 금속 원소}] \times 100)$) 이 30 ~ 100 atm% 이며,

상기 오믹 전극층이, 상기 산화물 반도체층의, 상기 쇼트키 전극층이 배치된 측과 반대의 측에 배치되고,

상기 쇼트키 전극층 및 상기 오믹 전극층 사이의 도전 경로가 상기 쇼트키 전극층 및 상기 오믹 전극층에 대해 수직인, 쇼트키 배리어 다이오드 소자.