(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2018 年 8 月 30 日 (30.08.2018)

WIPO | PCT

(10) 国际公布号
WO 2018/153063 A1

(51) 国际专利分类号:
G09G 3/20 (2006.01) *G11C 19/28* (2006.01)

(21) 国际申请号: PCT/CN2017/101554

(22) 国际申请日: 2017 年 9 月 13 日 (13.09.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710099908.6 2017年2月23日 (23.02.2017) CN

(71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。 鄂尔多斯市源盛光电有限责任公司 (ORDOS YUANSHENG OPTOELECTRONICS CO., LTD.) [CN/CN]; 中国内蒙古自治区鄂尔多斯市东胜区鄂尔多斯装备制造基地, Inner Mongolia 017020 (CN)。

(72) 发明人: 山岳 (SHAN, Yue); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。 樊君 (FAN, Jun); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。 王继国 (WANG, Jiguo); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。 付弋珊 (FU, Yishan); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。 马明超 (MA, Mingchao); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市海淀区彩和坊路10号1号楼10层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,

(54) **Title:** SHIFT REGISTER, GATE DRIVE CIRCUIT, DISPLAY PANEL AND DRIVING METHOD

(54) **发明名称**: 移位寄存器、栅极驱动电路、显示面板及驱动方法

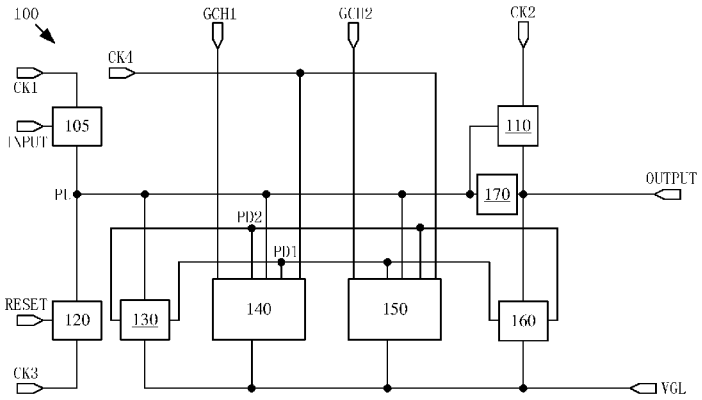

图 1

(57) **Abstract:** Disclosed are a shift register (100), a gate drive circuit (10), a display panel (1) and a driving method. The shift register (100) comprises: an input circuit (105), an output circuit (110), a pull-up node pull-down circuit (130), a first control circuit (140), a second control circuit (150) and an output pull-down circuit (160), wherein the first control circuit (140) is configured to write a fourth clock signal (CK4) into a first pull-down node (PD1) and write a first power supply voltage (VGL) into a second pull-down node (PD2) in response to a first control signal (GCH1), and write the first power supply voltage (VGL) into the first pull-down node (PD1) in response to the voltage of a pull-up node (PU); the second control circuit (150) is configured to write the fourth clock signal (CK4) into the second pull-down node (PD2) and write the first power supply voltage (VGL) into the first pull-down node (PD1) in response to a second control signal (GCH2), and write the first power supply voltage (VGL) into the second pull-down node (PD2) in response to the voltage of the pull-up node (PU); and the first control signal (GCH1) and the second control signal (GCH2) are signals which

WO 2018/153063 A1

[见续页]

BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

are the reverse of each other.

(57) 摘要：一种移位寄存器(100)、栅极驱动电路(10)、显示面板(1)及驱动方法。移位寄存器(100)包括：输入电路(105)、输出电路(110)、上拉节点下拉电路(130)、第一控制电路(140)、第二控制电路(150)和输出下拉电路(160)。第一控制电路(140)，被配置为：响应于第一控制信号(GCH1)将第四时钟信号(CK4)写入第一下拉节点(PD1)、将第一电源电压(VGL)写入第二下拉节点(PD2)；以及响应于上拉节点(PU)的电压将第一电源电压(VGL)写入第一下拉节点(PD1)。第二控制电路(150)，被配置为：响应于第二控制信号(GCH2)将第四时钟信号(CK4)写入第二下拉节点(PD2)、将第一电源电压(VGL)写入第一下拉节点(PD1)；以及响应于上拉节点(PU)的电压将第一电源电压(VGL)写入第二下拉节点(PD2)。第一控制信号(GCH1)和第二控制信号(GCH2)互为反向信号。

移位寄存器、栅极驱动电路、显示面板及驱动方法

技术领域

本公开的实施例涉及一种移位寄存器、栅极驱动电路、显示面板及驱动方法。

背景技术

随着显示技术的飞速发展，显示面板越来越向着高集成度和低成本的方向发展。栅极驱动电路基板（Gate-driver on Array，GOA）技术是通过光刻工艺将栅极驱动电路直接集成在显示装置的阵列基板上，GOA 电路通常包括多个级联的移位寄存器，每个移位寄存器均对应一行一条栅线（例如，每个移位寄存器为一行像素对应的栅线提供扫描驱动信号），以实现对显示面板的扫描驱动。这种集成技术可以节省栅极集成电路（Integrated Circuit，IC）的绑定（Bonding）区域以及扇出（Fan-out）区域的空间，从而实现显示面板的窄边框，同时可以降低产品成本、提高产品的良率。

GOA 的可靠性直接影响到显示面板的可靠性，因此，如何提高 GOA 的可靠性也成为研究的重点之一。

发明内容

本公开的实施例提供一种移位寄存器，包括：输入电路，与上拉节点连接，被配置为将第一时钟信号写入所述上拉节点；输出电路，与所述上拉节点及输出端分别连接，被配置为将第二时钟信号写入所述输出端；上拉节点下拉电路，与所述上拉节点、第一下拉节点、第二下拉节点及第一电源端分别连接；第一控制电路，被配置为响应于第一控制信号将第四时钟信号写入所述第一下拉节点、将第一电源电压写入所述第二下拉节点，以及响应于所述上拉节点的电压将所述第一电源电压写入所述第一下拉节点；第二控制电路，被配置为响应于第二控制信号将所述第四时钟信号写入所述第二下拉节点、将所述第一电源电压写入所述第一下拉节点，以及响应于所述上拉节点的电压将所述第一电源电压写入所述第二下拉节点；以及输出下拉电路，与

所述输出端、所述第一下拉节点、所述第二下拉节点及所述第一电源端分别连接。所述第一控制信号和所述第二控制信号互为反向信号。

例如，本公开实施例提供的移位寄存器还包括复位电路，与所述上拉节点连接，被配置为将第三时钟信号写入所述上拉节点。所述输入电路包括第一晶体管，所述第一晶体管的第一极与第一时钟信号端连接以接收所述第一时钟信号，所述第一晶体管的栅极与输入端连接以接收输入信号，所述第一晶体管的第二极与所述上拉节点连接；所述输出电路包括第二晶体管，所述第二晶体管的第一极与第二时钟信号端连接以接收所述第二时钟信号，所述第二晶体管的栅极与所述上拉节点连接，所述第二晶体管的第二极与所述输出端连接；所述复位电路包括第三晶体管，所述第三晶体管的第一极与第三时钟信号端连接以接收所述第三时钟信号，所述第三晶体管的栅极与复位信号端连接以接收复位信号，所述第三晶体管的第二极与所述上拉节点连接。

例如，在本公开实施例提供的移位寄存器中，所述上拉节点下拉电路包括第四晶体管和第五晶体管，所述第四晶体管的第一极与所述上拉节点连接，所述第四晶体管的栅极与所述第二下拉节点连接，所述第四晶体管的第二极与所述第一电源端连接以接收所述第一电源电压，所述第五晶体管的第一极与所述上拉节点连接，所述第五晶体管的栅极与所述第一下拉节点连接，所述第五晶体管的第二极与所述第一电源端连接以接收所述第一电源电压。

例如，所述第四晶体管和所述第五晶体管在所述第一控制电路和所述第二控制电路的控制下交替工作。

例如，在本公开实施例提供的移位寄存器中，所述第一控制电路包括第六晶体管、第七晶体管和第八晶体管，所述第六晶体管的第一极与所述第二下拉节点连接，所述第六晶体管的栅极与第一控制信号端连接以接收所述第一控制信号，所述第六晶体管的第二极与所述第一电源端连接以接收所述第一电源电压，所述第七晶体管的第一极与所述第一下拉节点连接，所述第七晶体管的栅极与所述上拉节点连接，所述第七晶体管的第二极与所述第一电源端连接以接收所述第一电源电压，所述第八晶体管的第一极被配置为接收第四时钟信号，所述第八晶体管的栅极与所述第一控制信号端连接以接收所述第一控制信号，所述第八晶体管的第二极与所述第一下拉节点连接；所述第二控制电路包括第九晶体管、第十晶体管和第十一晶体管，所述第九晶体

管的第一极与所述第一下拉节点连接，所述第九晶体管的栅极与第二控制信号端连接以接收所述第二控制信号，所述第九晶体管的第二极与所述第一电源端连接以接收所述第一电源电压，所述第十晶体管的第一极与所述第二下拉节点连接，所述第十晶体管的栅极与所述上拉节点连接，所述第十晶体管的第二极与所述第一电源端连接以接收所述第一电源电压，所述第十一晶体管的第一极被配置为接收第四时钟信号，所述第十一晶体管的栅极与所述第二控制信号端连接以接收所述第二控制信号，所述第十一晶体管的第二极与所述第二下拉节点连接。

例如，在本公开实施例提供的移位寄存器中，所述输出下拉电路包括第十二晶体管和第十三晶体管，所述第十二晶体管的第一极与所述输出端连接，所述第十二晶体管的栅极与所述第一下拉节点连接，所述第十二晶体管的第二极与所述第一电源端连接以接收所述第一电源电压，所述第十三晶体管的第一极与所述输出端连接，所述第十三晶体管的栅极与所述第二下拉节点连接，所述第十三晶体管的第二极与所述第一电源端连接以接收所述第一电源电压。

例如，所述第十二晶体管和所述第十三晶体管在所述第一控制电路和所述第二控制电路的控制下交替工作。

例如，本公开实施例提供的移位寄存器还包括第一存储电路，与所述上拉节点及所述输出端分别连接。所述第一存储电路包括第一电容，所述第一电容的第一端与所述上拉节点连接，所述第一电容的第二端与所述输出端连接。

例如，本公开实施例提供的移位寄存器，还包括放电电路，与放电信号端、所述输出端、所述第一下拉节点、所述第二下拉节点及所述第一电源端分别连接，被配置为当出现异常掉电时，将放电信号写入所述输出端、将所述第一电源电压分别写入所述第一下拉节点及所述第二下拉节点。

例如，在本公开实施例提供的移位寄存器中，所述放电电路包括第十四晶体管、第十五晶体管和第十六晶体管，所述第十四晶体管的第一极与所述放电信号端连接以接收所述放电信号，所述第十四晶体管的栅极与所述放电信号端连接以接收所述放电信号，所述第十四晶体管的第二极与所述输出端连接，所述第十五晶体管的第一极与所述第二下拉节点连接，所述第十五晶

体管的栅极与所述放电信号端连接以接收所述放电信号，所述第十五晶体管的第二极与所述第一电源端连接，所述第十六晶体管的第一极与所述第一下拉节点连接，所述第十六晶体管的栅极与所述放电信号端连接以接收所述放电信号，所述第十六晶体管的第二极与所述第一电源端连接。

例如，本公开实施例提供的移位寄存器，还包括第二存储电路和第三存储电路，其中，所述第二存储电路与所述第一下拉节点及所述第一电源端分别连接，被配置为保持所述第一下拉节点与所述第一电源端之间的电压差，所述第三存储电路与所述第二下拉节点及所述第一电源端分别连接，被配置为保持所述第二下拉节点与所述第一电源端之间的电压差。

例如，在本公开实施例提供的移位寄存器中，所述第二存储电路包括第二电容，所述第二电容的第一端与所述第一下拉节点连接，所述第二电容的第二端与所述第一电源端连接，所述第三存储电路包括第三电容，所述第三电容的第一端与所述第二下拉节点连接，所述第三电容的第二端与所述第一电源端连接。

例如，本公开实施例提供的移位寄存器，还包括第十七晶体管，其中，所述第一控制电路和所述第二控制电路通过所述第十七晶体管接收所述第四时钟信号，所述第十七晶体管的第一极与第四时钟信号端连接，所述第十七晶体管的栅极与所述第四时钟信号端连接，所述第十七晶体管的第二极与所述第一控制电路及所述第二控制电路连接。

本公开的实施例还提供一种栅极驱动电路，包括本公开任一实施例提供的移位寄存器。

例如，本公开实施例提供的栅极驱动电路，包括级联的多个本公开任一实施例提供的移位寄存器，其中，除第一级和最后一级移位寄存器之外，本级移位寄存器的输入端与上一级移位寄存器的输出端连接；本级移位寄存器的复位信号端与下一级移位寄存器的输出端连接。

本公开的实施例还提供一种显示面板，包括本公开任一实施例提供的栅极驱动电路。

本公开的实施例还提供一种本公开任一实施例提供的移位寄存器的驱动方法，包括：在一帧显示时间内，将第一控制信号设置为高电平电压，将第二控制信号设置为低电平电压，其中，当所述第一控制信号为高电平电压时，

将第四时钟信号写入第一下拉节点、将第一电源电压写入第二下拉节点，以及响应于所述上拉节点的电压为高电平电压，将所述第一电源电压写入所述第一下拉节点；在至少另一帧显示时间内，将所述第二控制信号设置为高电平电压，将所述第一控制信号设置为低电平电压，其中，当所述第二控制信号为高电平电压时，将所述第四时钟信号写入所述第二下拉节点、将所述第一电源电压写入所述第一下拉节点，以及响应于所述上拉节点的电压为高电平电压，将所述第一电源电压写入所述第二下拉节点。

附图说明

为了更清楚地说明本公开实施例的技术方案，下面将对实施例或相关技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本公开的一些实施例，并非对本公开的限制。

图 1 是本公开实施例提供的一种移位寄存器的示意图之一；

图 2 是本公开实施例提供的一种移位寄存器的示意图之二；

图 3 是本公开实施例提供的一种移位寄存器的示意图之三；

图 4 是本公开实施例提供的一种移位寄存器的示意图之四；

图 5 是本公开实施例提供的一种移位寄存器的驱动时序图；

图 6 是本公开实施例提供的一种栅极驱动电路的示意图；

图 7 是本公开实施例提供的一种显示面板的示意图；以及

图 8 是本公开实施例提供的一种移位寄存器的驱动方法的流程图。

具体实施方式

下面将结合附图，对本公开实施例中的技术方案进行清楚、完整地描述。参考在附图中示出并在以下描述中详述的非限制性示例实施例，更加全面地说明本公开的示例实施例和它们的多种特征及有利细节。应注意的是，图中示出的特征不是必须按照比例绘制。本公开省略了已知材料、组件和工艺技术的描述，从而不使本公开的示例实施例模糊。所给出的示例仅旨在有利于理解本公开示例实施例的实施，以及进一步使本领域技术人员能够实施示例实施例。因而，这些示例不应被理解为对本公开的实施例的范围的限制。

除非另外特别定义，本公开使用的技术术语或者科学术语应当为本公开

所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。此外，在本公开各个实施例中，相同或类似的参考标号表示相同或类似的构件。

本公开实施例提供的移位寄存器、栅极驱动电路、显示面板及驱动方法可以增强抗干扰能力、提高栅极驱动电路及显示面板的可靠性。

本公开的实施例提供一种移位寄存器 100，如图 1 所示，该移位寄存器 100 包括输入电路 105、输出电路 110、复位电路 120、上拉节点下拉电路 130、第一控制电路 140、第二控制电路 150、输出下拉电路 160 和第一存储电路 170。

例如，输入电路 105 与上拉节点 PU 连接，被配置为将第一时钟信号 CK1 写入上拉节点 PU；输出电路 110 与上拉节点 PU 及输出端 OUTPUT 分别连接，被配置为将第二时钟信号 CK2 写入输出端 OUTPUT；复位电路 120 与上拉节点 PU 连接，被配置为将第三时钟信号 CK3 写入上拉节点 PU；上拉节点下拉电路 130 与上拉节点 PU、第一下拉节点 PD1、第二下拉节点 PD2 及第一电源端（例如，第一电源端用于提供第一电源电压 VGL）分别连接；第一控制电路 140 分别与上拉节点 PU、第一下拉节点 PD1、第二下拉节点 PD2、第一控制信号端（用于提供第一控制信号 GCH1）、第一电源端（用于提供第一电源电压 VGL）以及第四时钟信号端（用于提供第四时钟信号 CK4）连接，第一控制电路 140 被配置为响应于第一控制信号 GCH1 将第四时钟信号 CK4 写入第一下拉节点 PD1、将第一电源电压 VGL 写入第二下拉节点 PD2，以及响应于上拉节点 PU 的电压将第一电源电压 VGL 写入第一下拉节点 PD1；第二控制电路 150 分别与上拉节点 PU、第一下拉节点 PD1、第二下拉节点 PD2、第二控制信号端（用于提供第二控制信号 GCH2）、第一电源端（用于提供第一电源电压 VGL）以及第四时钟信号端（用于提供第四时钟信号 CK4）连接，第二控制电路 150 被配置为响应于第二控制信号 GCH2 将第四时钟信号 CK4 写入第二下拉节点 PD2、将第一电源电压 VGL 写入第一下拉节点 PD1，以及响应于上拉节点 PU 的电压将第一电源电压 VGL 写入第二下拉节点 PD2；输出下拉电路 160 与输出端 OUTPUT、第一下拉节点 PD1、第二下拉节点 PD2 及第一电源端（用于提供第一电源电压

VGL）分别连接；第一存储电路 170，与上拉节点 PU 及输出端 OUTPUT 分别连接。

例如，第一控制信号 GCH1 和第二控制信号 GCH2 互为反向信号。互为反向信号是指当第一控制信号 GCH1 为高电平（例如 5V、10V 或其他电平数值）时，第二控制信号 GCH2 为低电平（例如 0V、1V、-5V、-10V 或其他电平数值）；当第一控制信号 GCH1 为低电平（例如 0V、1V、-5V、-10V 或其他电平数值）时，第二控制信号 GCH2 为高电平（例如 5V、10V 或其他电平数值）。值得注意的是，高电平是相对低电平而言的，高电平的数值大于低电平的数值。在不同的实施方式中，高电平的数值可能不同，低电平的数值也可能不同。又例如，输入电路 105，与上拉节点 PU 连接，被配置为在输入电路 105 开启或导通时，将第一时钟信号写入所述上拉节点；输出电路 110，与所述上拉节点 PU 及输出端 OUTPUT 分别连接，被配置为在输出电路 110 开启时，将第二时钟信号写入所述输出端；复位电路 120，与所述上拉节点 PU 连接，被配置为在复位电路 120 开启时，将第三时钟信号写入所述上拉节点；上拉节点下拉电路 130，与所述上拉节点、第一下拉节点、第二下拉节点及第一电源端分别连接。第一控制电路 140，被配置为：响应于第一控制信号为高电平，在第一控制电路 140 开启时，将第四时钟信号写入所述第一下拉节点、将第一电源电压写入所述第二下拉节点；以及响应于所述上拉节点的电压为高电压时，将所述第一电源电压写入所述第一下拉节点。第二控制电路 150，被配置为：响应于第二控制信号为高电平电压，在第二控制电路 150 开启时，将所述第四时钟信号写入所述第二下拉节点、将所述第一电源电压写入所述第一下拉节点；以及响应于所述上拉节点的电压为高电平电压，将所述第一电源电压写入所述第二下拉节点。

例如，参见图 2，在本公开实施例提供的移位寄存器 100 中，输入电路 105 包括第一晶体管 T1。第一晶体管 T1 的第一极与第一时钟信号端连接以接收第一时钟信号 CK1，第一晶体管 T1 的栅极与输入端连接以接收输入信号 INPUT，第一晶体管 T1 的第二极与上拉节点 PU 连接。

例如，参见图 2，输出电路 110 包括第二晶体管 T2。第二晶体管 T2 的第一极与第二时钟信号端连接以接收第二时钟信号 CK2，第二晶体管 T2 的栅极与上拉节点 PU 连接，第二晶体管 T2 的第二极与输出端 OUTPUT 连接。

例如，参见图 2，复位电路 120 包括第三晶体管 T3。第三晶体管 T3 的第一极与第三时钟信号端连接以接收第三时钟信号 CK3，第三晶体管 T3 的栅极与复位信号端连接以接收复位信号 RESET，第三晶体管 T3 的第二极与上拉节点 PU 连接。

例如，参见图 2，在本公开实施例提供的移位寄存器 100 中，上拉节点下拉电路 130 包括第四晶体管 T4 和第五晶体管 T5。第四晶体管 T4 的第一极与上拉节点 PU 连接，第四晶体管 T4 的栅极与第二下拉节点 PD2 连接，第四晶体管 T4 的第二极与第一电源端连接以接收第一电源电压 VGL。第五晶体管 T5 的第一极与上拉节点 PU 连接，第五晶体管 T5 的栅极与第一下拉节点 PD1 连接，第五晶体管 T5 的第二极与第一电源端连接以接收第一电源电压 VGL。

例如，参见图 2，在本公开实施例提供的移位寄存器 100 中，第一控制电路 140 包括第六晶体管 T6、第七晶体管 T7 和第八晶体管 T8。第六晶体管 T6 的第一极与第二下拉节点 PD2 连接，第六晶体管 T6 的栅极与第一控制信号端连接以接收第一控制信号 GCH1，第六晶体管 T6 的第二极与第一电源端连接以接收第一电源电压 VGL。第七晶体管 T7 的第一极与第一下拉节点 PD1 连接，第七晶体管 T7 的栅极与上拉节点 PU 连接，第七晶体管 T7 的第二极与第一电源端连接以接收第一电源电压 VGL。第八晶体管 T8 的第一极被配置为接收第四时钟信号 CK4，第八晶体管 T8 的栅极与第一控制信号端连接以接收第一控制信号 GCH1，第八晶体管 T8 的第二极与第一下拉节点 PD1 连接。

例如，参见图 2，在本公开实施例提供的移位寄存器 100 中，第二控制电路 150 包括第九晶体管 T9、第十晶体管 T10 和第十一晶体管 T11。第九晶体管 T9 的第一极与第一下拉节点 PD1 连接，第九晶体管 T9 的栅极与第二控制信号端连接以接收第二控制信号 GCH2，第九晶体管 T9 的第二极与第一电源端连接以接收第一电源电压 VGL。第十晶体管 T10 的第一极与第二下拉节点 PD2 连接，第十晶体管 T10 的栅极与上拉节点 PU 连接，第十晶体管 T10 的第二极与第一电源端连接以接收第一电源电压 VGL。第十一晶体管 T11 的第一极被配置为接收第四时钟信号 CK4，第十一晶体管 T11 的栅极与第二控制信号端连接以接收第二控制信号 GCH2，第十一晶体管 T11 的第二

极与第二下拉节点 PD2 连接。

例如，参见图 2，在本公开实施例提供的移位寄存器 100 中，输出下拉电路 160 包括第十二晶体管 T12 和第十三晶体管 T13。第十二晶体管 T12 的第一极与输出端 OUTPUT 连接，第十二晶体管 T12 的栅极与第一下拉节点 PD1 连接，第十二晶体管 T12 的第二极与第一电源端连接以接收第一电源电压 VGL。第十三晶体管 T13 的第一极与输出端 OUTPUT 连接，第十三晶体管 T13 的栅极与第二下拉节点 PD2 连接，第十三晶体管 T13 的第二极与第一电源端连接以接收第一电源电压 VGL。

例如，参见图 2，在本公开实施例提供的移位寄存器 100 中，第一存储电路 170 包括第一电容 C1。第一电容 C1 的第一端与上拉节点 PU 连接，第一电容 C1 的第二端与输出端 OUTPUT 连接。

例如，第一电源电压 VGL 为低电平电压（例如 0V、-5V 或其他数值）。

例如，参见图 3 和图 4，本公开实施例提供的移位寄存器 100，还包括放电电路 180。放电电路 180 与放电信号端（用于提供放电信号 EN）、输出端 OUTPUT、第一下拉节点 PD1、第二下拉节点 PD2 及第一电源端（用于提供第一电源电压 VGL）分别连接。放电电路 180 被配置为当出现异常掉电时，将放电信号 EN 写入输出端 OUTPUT、将第一电源电压 VGL 分别写入第一下拉节点 PD1 及第二下拉节点 PD2。

例如，参见图 4，在本公开实施例提供的移位寄存器 100 中，放电电路 180 包括第十四晶体管 T14、第十五晶体管 T15 和第十六晶体管 T16。第十四晶体管 T14 的第一极与放电信号端连接以接收放电信号 EN，第十四晶体管 T14 的栅极与放电信号端连接以接收放电信号 EN，第十四晶体管 T14 的第二极与输出端 OUTPUT 连接。第十五晶体管 T15 的第一极与第二下拉节点 PD2 连接，第十五晶体管 T15 的栅极与放电信号端连接以接收放电信号 EN，第十五晶体管 T15 的第二极与第一电源端连接。第十六晶体管 T16 的第一极与第一下拉节点 PD1 连接，第十六晶体管 T16 的栅极与放电信号端连接以接收放电信号 EN，第十六晶体管 T16 的第二极与第一电源端连接。

例如，设置放电电路 180 可以在电路出现异常掉电时，对移位寄存器放电，防止电路损坏。

例如，参见图 3 和图 4，本公开实施例提供的移位寄存器 100，还包括第

二存储电路190和第三存储电路195。第二存储电路190与第一下拉节点PD1及第一电源端分别连接，第二存储电路190被配置为保持第一下拉节点PD1与第一电源端之间的电压差。第三存储电路195与第二下拉节点PD2及第一电源端分别连接，第三存储电路195被配置为保持第二下拉节点PD2与第一电源端之间的电压差。

例如，参见图4，在本公开实施例提供的移位寄存器100中，第二存储电路190包括第二电容C2。第二电容C2的第一端与第一下拉节点PD1连接，第二电容C2的第二端与第一电源端连接。第三存储电路195包括第三电容C3，第三电容C3的第一端与第二下拉节点PD2连接，第三电容C3的第二端与第一电源端连接。

例如，设置第二存储电路190可以提高第一下拉节点PD1电压的稳定性，防止第一下拉节点PD1电压突变，进而提高移位寄存器的稳定性。

例如，设置第三存储电路195可以提高第二下拉节点PD2电压的稳定性，防止第二下拉节点PD2电压突变，进而提高移位寄存器的稳定性。

例如，参见图4，本公开实施例提供的移位寄存器100，还包括第十七晶体管T17。第一控制电路140（例如，第一控制电路140中的第八晶体管T8）和第二控制电路150（例如，第二控制电路150中的第十一晶体管T11）通过第十七晶体管T17接收第四时钟信号CK4。第十七晶体管T17的第一极与第四时钟信号端连接，第十七晶体管T17的栅极与第四时钟信号端连接，第十七晶体管T17的第二极与第一控制电路140（例如，第一控制电路140中的第八晶体管T8）及第二控制电路150（例如，第二控制电路150中的第十一晶体管T11）连接。

例如，设置第十七晶体管T17可以防止电路异常时电流反向流动，提高移位寄存器的稳定性。

需要说明的是，本公开的实施例中采用的晶体管均可以为薄膜晶体管或场效应晶体管或其他特性相同的开关器件。这里采用的晶体管的源极、漏极在结构上可以是对称的，所以其源极、漏极在结构上可以是没有区别的。在本公开的实施例中，为了区分晶体管除栅极之外的两极，直接描述了其中一极为第一极，另一极为第二极，所以本公开实施例中全部或部分晶体管的第一极和第二极根据需要是可以互换的。例如，本公开实施例所述的晶体管的

第一极可以为源极，第二极可以为漏极；或者，晶体管的第一极为漏极，第二极为源极。此外，按照晶体管的特性区分可以将晶体管分为 N 型和 P 型晶体管。当晶体管为 P 型晶体管时，开启电压为低电平电压（例如，0V、-5V 或其他数值），关闭电压为高电平电压（例如，5V、10V 或其他数值）；当晶体管为 N 型晶体管时，开启电压为高电平电压（例如，5V、10V 或其他数值），关闭电压为低电平电压（例如，0V、-5V 或其他数值）。本公开的实施例以第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、第四晶体管 T4、第五晶体管 T5、第六晶体管 T6、第七晶体管 T7、第八晶体管 T8、第九晶体管 T9、第十晶体管 T10、第十一晶体管 T11、第十二晶体管 T12、第十三晶体管 T13、第十四晶体管 T14、第十五晶体管 T15、第十六晶体管 T16 和第十七晶体管 T17 均为 N 型晶体管为例进行说明。基于本公开对该实现方式的描述和教导，本领域普通技术人员在没有做出创造性劳动前提下能够容易想到本公开实施例采用 P 型晶体管或 N 型和 P 型晶体管组合的实现方式，因此，这些实现方式也是在本公开的保护范围内的。

例如，图 5 是本公开实施例提供的一种移位寄存器 100 的驱动时序图。接下来以图 4 所示的移位寄存器和图 5 所示的驱动时序为例介绍本公开实施例提供的移位寄存器的工作原理。例如，本公开实施例提供的移位寄存器 100 可以实现正向扫描和反向扫描，也就是说，输入电路 105 和复位电路 120 的功能可以交换，在下文中以正向扫描为例说明。

例如，如图 5 所示，在一帧的显示时间内（包括第一阶段 t1、第二阶段 t2、第三阶段 t3 和第四阶段 t4），第一控制信号 GCH1 为高电平电压（例如 5V、10V 或其他数值），第二控制信号 GCH2 为低电平电压（例如 0V、-5V 或其他数值）。由于第一控制信号 GCH1 为高电平电压，第六晶体管 T6 和第八晶体管 T8 开启；第二控制信号 GCH2 为低电平电压，第九晶体管 T9 和第十一晶体管 T11 关闭。由于第六晶体管 T6 将第一电源端（提供第一电源电压 VGL）和第二下拉节点 PD2 导通，所以，第二下拉节点 PD2 在该一帧的显示时间内为低电平电压。

在另一帧显示时间内（包括第五阶段 t5、第六阶段 t6、第七阶段 t7 和第八阶段 t8），第一控制信号 GCH1 为低电平电压（例如 0V、-5V 或其他数值），第二控制信号 GCH2 为高电平电压（例如 5V、10V 或其他数值）。由于第

一控制信号 GCH1 为低电平电压，第六晶体管 T6 和第八晶体管 T8 关闭；第二控制信号 GCH2 为高电平电压，第九晶体管 T9 和第十一晶体管 T11 开启。由于第九晶体管 T9 将第一电源端（提供第一电源电压 VGL）和第一下拉节点 PD1 导通，所以，第一下拉节点 PD1 在该另一帧的显示时间内为低电平电压。

在一帧显示时间内，例如，该一帧显示时间包括第一阶段 t1、第二阶段 t2、第三阶段 t3 和第四阶段 t4。

例如，在第一阶段 t1，第一时钟信号 CK1 为高电平，第二时钟信号 CK2 为低电平，第三时钟信号 CK3 为低电平，第四时钟信号 CK4 为低电平，输入信号 INPUT 为高电平，复位信号 RESET 为低电平。由于输入信号 INPUT 为高电平，第一晶体管 T1 开启，将第一时钟信号 CK1 写入上拉节点 PU，使上拉节点 PU 为第一高电平电压（约等于第一时钟信号 CK1 的高电平电压），也就是说，输入电路 105 在开启时被配置为将第一时钟信号 CK1 写入上拉节点 PU（第一晶体管 T1 在被开启时，将第一时钟信号 CK1 写入上拉节点 PU）。由于上拉节点 PU 具有第一高电平电压，第七晶体管 T7 和第十晶体管 T10 开启，第七晶体管 T7 将第一电源电压 VGL 写入第一下拉节点 PD1，第十晶体管 T10 将第一电源电压 VGL 写入第二下拉节点 PD2。在第一阶段 t1，第一电容 C1 被充电。

例如，在第二阶段 t2，第一时钟信号 CK1 为低电平，第二时钟信号 CK2 为高电平，第三时钟信号 CK3 为低电平，第四时钟信号 CK4 为低电平，输入信号 INPUT 为低电平，复位信号 RESET 为低电平。由于第一电容 C1 的自举作用，上拉节点 PU 的电压进一步升高为第二高电平电压（约等于第一高电平电压与第二时钟信号 CK2 的高电平电压之和），第二晶体管 T2 开启，将第二时钟信号 CK2 的高电平电压写入输出端 OUTPUT，也就是说，输出电路 110 被配置为将第二时钟信号 CK2 写入输出端 OUTPUT。

例如，在第三阶段 t3，第一时钟信号 CK1 为低电平，第二时钟信号 CK2 为低电平，第三时钟信号 CK3 为高电平，第四时钟信号 CK4 为低电平，输入信号 INPUT 为低电平，复位信号 RESET 为高电平。第三晶体管 T3 开启，将第三时钟信号 CK3 的高电平电压写入上拉节点 PU，也就是说，复位电路 120 被配置为将第三时钟信号 CK3 写入上拉节点 PU。此时，上拉节点 PU 的

电压例如与第一高电平电压(约等于第一时钟信号 CK1 的高电平电压)相同，输出端 OUTPUT 降低为低电平电压。

例如，在第四阶段 t4，第一时钟信号 CK1 为低电平，第二时钟信号 CK2 为低电平，第三时钟信号 CK3 为低电平，第四时钟信号 CK4 为高电平，输入信号 INPUT 为低电平，复位信号 RESET 为低电平。第八晶体管 T8 将第四时钟信号 CK4 写入第一下拉节点 PD1，第二电容 C2 充电。由于第一下拉节点 PD1 为高电平，第五晶体管 T5 开启，第五晶体管 T5 将第一电源电压 VGL 写入上拉节点 PU；第十二晶体管 T12 开启，第十二晶体管 T12 将第一电源电压 VGL 写入输出端 OUTPUT。

在该帧中，由于第一控制信号 GCH1 为高电平电压，第一控制电路 140 可以控制第一下拉节点 PD1 工作；而第二控制信号 GCH2 为低电平电压，第二控制电路 150 可以控制第二下拉节点 PD2 不工作。这样可以使得上拉节点下拉电路 130 中的晶体管 T5 工作而晶体管 T4 不工作、使得输出下拉电路 160 中的晶体管 T12 工作而晶体管 T13 不工作。从而降低了晶体管长时间处于开启状态导致故障的可能性，提高了移位寄存器的抗干扰能力，进而提高了移位寄存器的可靠性。在另一帧显示时间内，例如，该另一帧显示时间包括第五阶段 t5、第六阶段 t6、第七阶段 t7 和第八阶段 t8。

例如，在第五阶段 t5，第一时钟信号 CK1 为高电平，第二时钟信号 CK2 为低电平，第三时钟信号 CK3 为低电平，第四时钟信号 CK4 为低电平，输入信号 INPUT 为高电平，复位信号 RESET 为低电平。第一晶体管 T1 开启，将第一时钟信号 CK1 写入上拉节点 PU，使上拉节点 PU 为第一高电平电压（约等于第一时钟信号 CK1 的高电平电压），也就是说，输入电路 105 被配置为将第一时钟信号 CK1 写入上拉节点 PU。由于上拉节点 PU 具有第一高电平电压，第七晶体管 T7 和第十晶体管 T10 开启，第七晶体管 T7 将第一电源电压 VGL 写入第一下拉节点 PD1，第十晶体管 T10 将第一电源电压 VGL 写入第二下拉节点 PD2。在第五阶段 t5，第一电容 C1 被充电。

例如，在第六阶段 t6，第一时钟信号 CK1 为低电平，第二时钟信号 CK2 为高电平，第三时钟信号 CK3 为低电平，第四时钟信号 CK4 为低电平，输入信号 INPUT 为低电平，复位信号 RESET 为低电平。由于第一电容 C1 的自举作用，上拉节点 PU 的电压进一步升高为第二高电平电压（约等于第一

高电平电压与第二时钟信号 CK2 的高电平电压之和），第二晶体管 T2 开启，将第二时钟信号 CK2 的高电平电压写入输出端 OUTPUT，也就是说，输出电路 110 被配置为将第二时钟信号 CK2 写入输出端 OUTPUT。

例如，在第七阶段 t7，第一时钟信号 CK1 为低电平，第二时钟信号 CK2 为低电平，第三时钟信号 CK3 为高电平，第四时钟信号 CK4 为低电平，输入信号 INPUT 为低电平，复位信号 RESET 为高电平。第三晶体管 T3 开启，将第三时钟信号 CK3 的高电平电压写入上拉节点 PU，也就是说，复位电路 120 被配置为将第三时钟信号 CK3 写入上拉节点 PU。此时，上拉节点 PU 的电压例如与第一高电平电压（约等于第一时钟信号 CK1 的高电平电压）相同，输出端 OUTPUT 降低为低电平电压。

例如，在第八阶段 t8，第一时钟信号 CK1 为低电平，第二时钟信号 CK2 为低电平，第三时钟信号 CK3 为低电平，第四时钟信号 CK4 为高电平，输入信号 INPUT 为低电平，复位信号 RESET 为低电平。第十一晶体管 T11 将第四时钟信号写入第二下拉节点 PD2，第三电容 C3 充电。由于第二下拉节点 PD2 为高电平，第四晶体管 T4 开启，第四晶体管 T4 将第一电源电压 VGL 写入上拉节点 PU；第十三晶体管 T13 开启，第十三晶体管 T13 将第一电源电压 VGL 写入输出端 OUTPUT。

在该另一帧中，由于第一控制信号 GCH1 为低电平电压，第一控制电路 140 可以控制第一下拉节点 PD1 不工作；而第二控制信号 GCH2 为高电平电压，第二控制电路 150 可以控制第二下拉节点 PD2 工作。这样可以使得上拉节点下拉电路 130 中的晶体管 T5 不工作而晶体管 T4 工作、使得输出下拉电路 160 中的晶体管 T12 不工作而晶体管 T13 工作。从而降低晶体管长时间处于开启状态导致故障的可能性，提高了移位寄存器的抗干扰能力，进而提高了移位寄存器的可靠性。

例如，在本公开实施例提供的移位寄存器 100 中，在不同的帧中，第一控制电路 140 和第二控制电路 150 可以控制第一下拉节点 PD1 和第二下拉节点 PD2 分别工作，这样可以使得上拉节点下拉电路 130 中的两个晶体管 T4 和 T5 分时工作、使得输出下拉电路 160 中的两个晶体管 T12 和 T13 分时工作，大大降低了晶体管长时间处于开启状态导致故障的可能性，提高了移位寄存器的抗干扰能力，进而提高了移位寄存器的可靠性。

例如，所述第四晶体管和所述第五晶体管在所述第一控制电路和所述第二控制电路的控制下交替工作；所述第十二晶体管和所述第十三晶体管在所述第一控制电路和所述第二控制电路的控制下交替工作。

例如，在本公开实施例中所述的“一帧”和“另一帧”可以是相邻的两帧，也可以是不相邻的两帧，在此不做限定。例如，移位寄存器的各信号的驱动时序可以为该“一帧”的驱动时序和该“另一帧”的驱动时序的交替，交替的周期可以为每帧进行交替、每两帧进行交替、每三帧进行交替等，本公开在此不作限定。例如，对于连续的 N 帧（F(1)~F(N)）：当每帧进行交替时，奇数帧的驱动时序为该“一帧”的驱动时序，偶数帧的驱动时序为该“另一帧”的驱动时序。当每两帧进行交替时，F(2n-1)和 F(2n)帧的驱动时序为该“一帧”的驱动时序，F(2n+1)和 F(2n+2)帧的驱动时序为该“另一帧”的驱动时序，其中，n 为大于 0 的整数。当每三帧进行交替时，F(3n-2)、F(3n-1)和 F(3n)帧的驱动时序为该“一帧”的驱动时序，F(3n+1)、F(3n+2)和 F(3n+3)帧的驱动时序为该“另一帧”的驱动时序，其中，n 为大于 0 的整数。

例如，以当移位寄存器正常工作时，放电信号 EN 为低电平，第十四晶体管 T14、第十五晶体管 T15 和第十六晶体管 T16 关闭，此时放电电路 180 为移位寄存器没有影响。当电路出现异常掉电时，放电信号 EN 变为高电平，第十四晶体管 T14、第十五晶体管 T15 和第十六晶体管 T16 开启，放电信号 EN 通过第十四晶体管 T14 将输出端 OUTPUT 设置为高电平，这样可以将受到移位寄存器输出端 OUTPUT 信号控制的像素电路开启，提供了放电通道，防止异常掉电损坏移位寄存器、栅极驱动电路或显示面板；第十五晶体管 T15 将第一电源电压 VGL 写入第二下拉节点 PD2 以将其设置为低电平电压，防止第二下拉节点 PD2 的电荷积累损坏电路；第十六晶体管 T16 将第一电源电压 VGL 写入第一下拉节点 PD1 以将其设置为低电平电压，防止第一下拉节点 PD1 的电荷积累损坏电路。

本公开的实施例还提供一种栅极驱动电路 10，如图 6 所示，栅极驱动电路 10 包括本公开任一实施例提供的移位寄存器 100。

例如，参见图 6，本公开实施例提供的栅极驱动电路 10，包括级联的多个本公开任一实施例提供的移位寄存器 100，除第一级和最后一级移位寄存器 100 之外，本级移位寄存器 100 的输入端（用于接收输入信号 INPUT）与

上一级移位寄存器 100 的输出端 OUTPUT 连接; 本级移位寄存器 100 的复位信号端（用于接收复位信号 RESET）与下一级移位寄存器 100 的输出端 OUTPUT 连接。

例如，第一级移位寄存器的输入端与第一触发信号端连接以接收第一触发信号 STV1; 最后一级移位寄存器的复位信号端与第二触发信号端连接以接收第二触发信号 STV2。

例如，当栅极驱动电路 10 正向扫描时，第一触发信号 STV1 作为第一级移位寄存器的输入信号，第二触发信号 STV2 作为最后一级移位寄存器的复位信号; 当栅极驱动电路 10 反向扫描时，第二触发信号 STV2 作为最后一级移位寄存器的输入信号，第一触发信号 STV1 作为第一级移位寄存器的复位信号。例如，在反向扫描时，移位寄存器的输入电路与复位电路的功能互换。

例如，如图 6 所示，栅极驱动电路 10 包括 n 级移位寄存器 SR1、SR2……SRn，这些移位寄存器 SR1、SR2……SRn 均可以是本公开任一实施例提供的移位寄存器 100。移位寄存器 SR1、SR2……SRn 的输出端 OUTPUT 分别与栅线 G1、G2……Gn 对应连接。

需要说明的是，由于本公开实施例提供的栅极驱动电路 10 可以实现正向扫描和逆向扫描，在扫描方向切换时，时序上的“上一级”和“下一级”会相应变换，因此，上述的“上一级”和“下一级”并不是指扫描时序上的上一级和下一级，而是指物理连接上的上一级和下一级。

本公开的实施例还提供一种显示面板 1，如图 7 所示，显示面板 1 包括本公开任一实施例提供的栅极驱动电路 10。

例如，如图 7 所示，本公开实施例提供的显示面板 1 还包括栅线 11、数据线 12 以及由栅线 11 和数据线 12 交叉限定的多个像素单元 13，栅极驱动电路 10 被配置为向栅线 11 提供栅极驱动信号。

例如，栅线 11 可以包括图 6 中所示的栅线 G1、G2……Gn，移位寄存器 SR1、SR2……SRn 中每级移位寄存器用于向对应的栅线 G1、G2……Gn 输出一行栅极驱动信号。

本公开的实施例还提供一种本公开任一实施例提供的移位寄存器 100 的驱动方法，如图 8 所示，该方法包括如下步骤:

步骤 S10: 在一帧显示时间内，将第一控制信号 GCH1 设置为高电平电

压，将第二控制信号 GCH2 设置为低电平电压，其中，当所述第一控制信号为高电平电压时，将第四时钟信号写入第一下拉节点、将第一电源电压写入第二下拉节点，以及响应于所述上拉节点的电压为高电平电压，将所述第一电源电压写入所述第一下拉节点;

步骤 S20: 在至少另一帧显示时间内，将第二控制信号 GCH2 设置为高电平电压，将第一控制信号 GCH1 设置为低电平电压，其中，当所述第二控制信号为高电平电压时，将所述第四时钟信号写入所述第二下拉节点、将所述第一电源电压写入所述第一下拉节点，以及响应于所述上拉节点的电压为高电平电压，将所述第一电源电压写入所述第二下拉节点。

例如，在每帧显示时间内，将第一控制信号 GCH1 和第二控制信号 GCH2 均设置为与上一帧显示时间内信号的反向信号。也就是说，每帧第一控制信号 GCH1 和第二控制信号 GCH2 均是上一帧的反向信号。例如，在上一帧中，第一控制信号 GCH1 为高电平电压（例如 5V），第二控制信号 GCH2 为低电平电压（例如 0V），则在本帧中，第一控制信号 GCH1 为低电平电压（例如 0V），第二控制信号 GCH2 为高电平电压（例如 5V）。

例如，根据电路的具体情况，可以灵活选择每隔若干帧将第一控制信号 GCH1 和第二控制信号 GCH2 变换一次。

例如，本公开实施例提供的移位寄存器、栅极驱动电路、显示面板及驱动方法可以使第一控制电路和第二控制电路分时工作，降低了晶体管长时间处于开启状态导致的风险、增强了抗干扰能力、提高了栅极驱动电路及显示面板的可靠性。

例如，本公开实施例提供的移位寄存器、栅极驱动电路、显示面板及驱动方法可以应用于车载显示系统。

虽然上文中已经用一般性说明及具体实施方式，对本公开作了详尽的描述，但在本公开实施例基础上，可以对之作一些修改或改进，这对本领域技术人员而言是显而易见的。因此，在不偏离本公开精神的基础上所做的这些修改或改进，均属于本公开要求保护的范围。

本公开要求于 2017 年 2 月 23 日递交的中国专利申请第 201710099908.6 号的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

权利要求书

1、一种移位寄存器，包括:

输入电路，与上拉节点连接，被配置为将第一时钟信号写入所述上拉节点;

输出电路，与所述上拉节点及输出端分别连接，被配置为将第二时钟信号写入所述输出端;

上拉节点下拉电路，与所述上拉节点、第一下拉节点、第二下拉节点及第一电源端分别连接;

第一控制电路，被配置为响应于第一控制信号将第四时钟信号写入所述第一下拉节点、将第一电源电压写入所述第二下拉节点，以及响应于所述上拉节点的电压将所述第一电源电压写入所述第一下拉节点;

第二控制电路，被配置为响应于第二控制信号将所述第四时钟信号写入所述第二下拉节点、将所述第一电源电压写入所述第一下拉节点，以及响应于所述上拉节点的电压将所述第一电源电压写入所述第二下拉节点；以及

输出下拉电路，与所述输出端、所述第一下拉节点、所述第二下拉节点及所述第一电源端分别连接;

其中，所述第一控制信号和所述第二控制信号互为反向信号。

2、根据权利要求 1 所述的移位寄存器，还包括复位电路，与所述上拉节点连接，被配置为将第三时钟信号写入所述上拉节点；其中，

所述输入电路包括第一晶体管，所述第一晶体管的第一极与第一时钟信号端连接以接收所述第一时钟信号，所述第一晶体管的栅极与输入端连接以接收输入信号，所述第一晶体管的第二极与所述上拉节点连接;

所述输出电路包括第二晶体管，所述第二晶体管的第一极与第二时钟信号端连接以接收所述第二时钟信号，所述第二晶体管的栅极与所述上拉节点连接，所述第二晶体管的第二极与所述输出端连接;

所述复位电路包括第三晶体管，所述第三晶体管的第一极与第三时钟信号端连接以接收所述第三时钟信号，所述第三晶体管的栅极与复位信号端连接以接收复位信号，所述第三晶体管的第二极与所述上拉节点连接。

3、根据权利要求 1 所述的移位寄存器，其中，所述上拉节点下拉电路包

括第四晶体管和第五晶体管；

所述第四晶体管的第一极与所述上拉节点连接，所述第四晶体管的栅极与所述第二下拉节点连接，所述第四晶体管的第二极与所述第一电源端连接以接收所述第一电源电压；

所述第五晶体管的第一极与所述上拉节点连接，所述第五晶体管的栅极与所述第一下拉节点连接，所述第五晶体管的第二极与所述第一电源端连接以接收所述第一电源电压。

4、根据权利要求 3 所述的移位寄存器，其中，所述第四晶体管和所述第五晶体管在所述第一控制电路和所述第二控制电路的控制下交替工作。

5、根据权利要求 1 所述的移位寄存器，其中，

所述第一控制电路包括第六晶体管、第七晶体管和第八晶体管；

所述第六晶体管的第一极与所述第二下拉节点连接，所述第六晶体管的栅极与第一控制信号端连接以接收所述第一控制信号，所述第六晶体管的第二极与所述第一电源端连接以接收所述第一电源电压；

所述第七晶体管的第一极与所述第一下拉节点连接，所述第七晶体管的栅极与所述上拉节点连接，所述第七晶体管的第二极与所述第一电源端连接以接收所述第一电源电压；

所述第八晶体管的第一极被配置为接收第四时钟信号，所述第八晶体管的栅极与所述第一控制信号端连接以接收所述第一控制信号，所述第八晶体管的第二极与所述第一下拉节点连接；

所述第二控制电路包括第九晶体管、第十晶体管和第十一晶体管；

所述第九晶体管的第一极与所述第一下拉节点连接，所述第九晶体管的栅极与第二控制信号端连接以接收所述第二控制信号，所述第九晶体管的第二极与所述第一电源端连接以接收所述第一电源电压；

所述第十晶体管的第一极与所述第二下拉节点连接，所述第十晶体管的栅极与所述上拉节点连接，所述第十晶体管的第二极与所述第一电源端连接以接收所述第一电源电压；

所述第十一晶体管的第一极被配置为接收第四时钟信号，所述第十一晶体管的栅极与所述第二控制信号端连接以接收所述第二控制信号，所述第十一晶体管的第二极与所述第二下拉节点连接。

6、根据权利要求 1 所述的移位寄存器，其中，所述输出下拉电路包括第十二晶体管和第十三晶体管；

所述第十二晶体管的第一极与所述输出端连接，所述第十二晶体管的栅极与所述第一下拉节点连接，所述第十二晶体管的第二极与所述第一电源端连接以接收所述第一电源电压；

所述第十三晶体管的第一极与所述输出端连接，所述第十三晶体管的栅极与所述第二下拉节点连接，所述第十三晶体管的第二极与所述第一电源端连接以接收所述第一电源电压。

7、根据权利要求 6 所述的移位寄存器，其中，所述第十二晶体管和所述第十三晶体管在所述第一控制电路和所述第二控制电路的控制下交替工作。

8、根据权利要求 1 所述的移位寄存器，还包括第一存储电路，与所述上拉节点及所述输出端分别连接，其中，所述第一存储电路包括第一电容，所述第一电容的第一端与所述上拉节点连接，所述第一电容的第二端与所述输出端连接。

9、根据权利要求 1-8 任一项所述的移位寄存器，还包括放电电路，与放电信号端、所述输出端、所述第一下拉节点、所述第二下拉节点及所述第一电源端分别连接，被配置为当出现异常掉电时，将放电信号写入所述输出端、将所述第一电源电压分别写入所述第一下拉节点及所述第二下拉节点。

10、根据权利要求 9 所述的移位寄存器，其中，所述放电电路包括第十四晶体管、第十五晶体管和第十六晶体管；

所述第十四晶体管的第一极与所述放电信号端连接以接收所述放电信号，所述第十四晶体管的栅极与所述放电信号端连接以接收所述放电信号，所述第十四晶体管的第二极与所述输出端连接；

所述第十五晶体管的第一极与所述第二下拉节点连接，所述第十五晶体管的栅极与所述放电信号端连接以接收所述放电信号，所述第十五晶体管的第二极与所述第一电源端连接；

所述第十六晶体管的第一极与所述第一下拉节点连接，所述第十六晶体管的栅极与所述放电信号端连接以接收所述放电信号，所述第十六晶体管的第二极与所述第一电源端连接。

11、根据权利要求 1-8 任一项所述的移位寄存器，还包括第二存储电路

和第三存储电路，其中，

所述第二存储电路与所述第一下拉节点及所述第一电源端分别连接，被配置为保持所述第一下拉节点与所述第一电源端之间的电压差；

所述第三存储电路与所述第二下拉节点及所述第一电源端分别连接，被配置为保持所述第二下拉节点与所述第一电源端之间的电压差。

12、根据权利要求 11 所述的移位寄存器，其中，

所述第二存储电路包括第二电容，所述第二电容的第一端与所述第一下拉节点连接，所述第二电容的第二端与所述第一电源端连接；

所述第三存储电路包括第三电容，所述第三电容的第一端与所述第二下拉节点连接，所述第三电容的第二端与所述第一电源端连接。

13、根据权利要求 1-8 任一项所述的移位寄存器，还包括第十七晶体管，其中，所述第一控制电路和所述第二控制电路通过所述第十七晶体管接收所述第四时钟信号，所述第十七晶体管的第一极与第四时钟信号端连接，所述第十七晶体管的栅极与所述第四时钟信号端连接，所述第十七晶体管的第二极与所述第一控制电路及所述第二控制电路连接。

14、一种栅极驱动电路，包括如权利要求 1-13 任一项所述的移位寄存器。

15、根据权利要求 14 所述的栅极驱动电路，包括级联的多个所述移位寄存器，其中，除第一级和最后一级移位寄存器之外，本级移位寄存器的输入端与上一级移位寄存器的输出端连接；本级移位寄存器的复位信号端与下一级移位寄存器的输出端连接。

16、一种显示面板，包括如权利要求 14 或 15 所述的栅极驱动电路。

17、一种如权利要求 1-13 任一项所述的移位寄存器的驱动方法，包括：

在一帧显示时间内，将第一控制信号设置为高电平电压，将第二控制信号设置为低电平电压，其中，当所述第一控制信号为高电平电压时，将第四时钟信号写入第一下拉节点、将第一电源电压写入第二下拉节点，以及响应于所述上拉节点的电压为高电平电压，将所述第一电源电压写入所述第一下拉节点；

在至少另一帧显示时间内，将所述第二控制信号设置为高电平电压，将所述第一控制信号设置为低电平电压，其中，当所述第二控制信号为高电平电压时，将所述第四时钟信号写入所述第二下拉节点、将所述第一电源电压

写入所述第一下拉节点，以及响应于所述上拉节点的电压为高电平电压，将所述第一电源电压写入所述第二下拉节点。

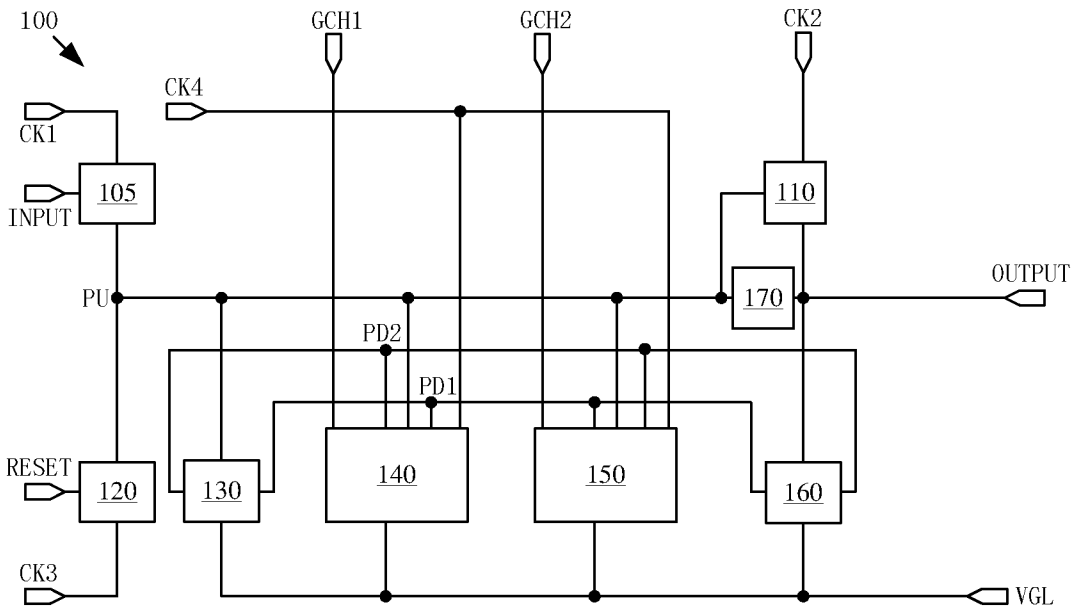
100
GCH1
GCH2
CK2
CK4
CK1
105
INPUT
110
OUTPUT
PU
170
PD2
PD1
RESET
120
130
140
150
160
CK3
VGL

图 1

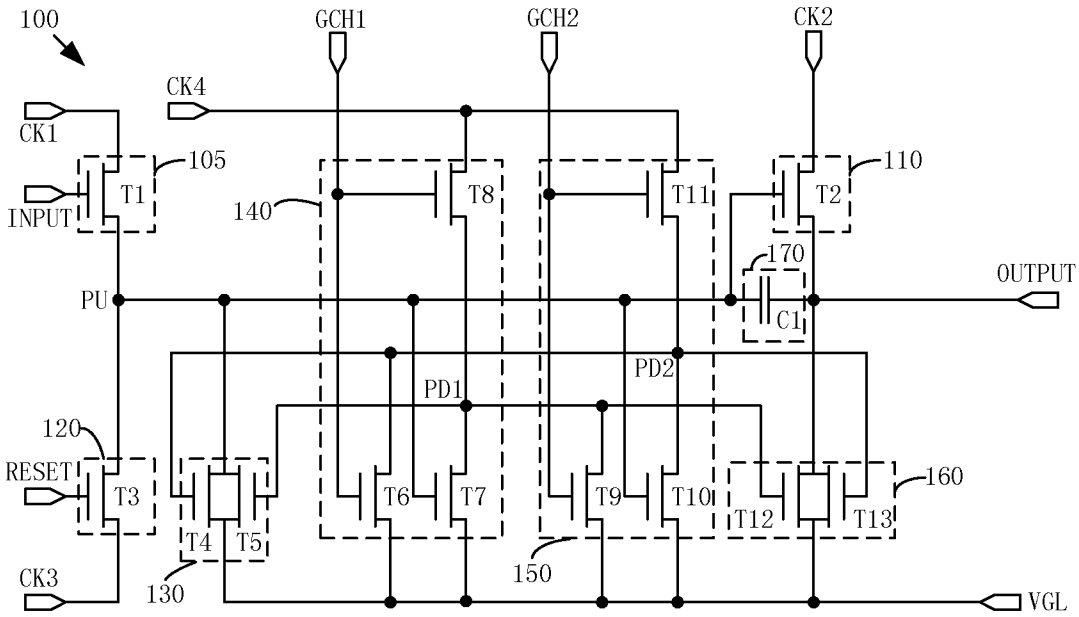
100
GCH1
GCH2
CK2
CK4
CK1
105
T1
INPUT
140
T8
T11
110
T2
170
OUTPUT
PU
C1
PD2
PD1
120
RESET
T3
T6
T7
T9
T10
T12
T13
160
T4
T5
150
CK3
130
VGL

图 2

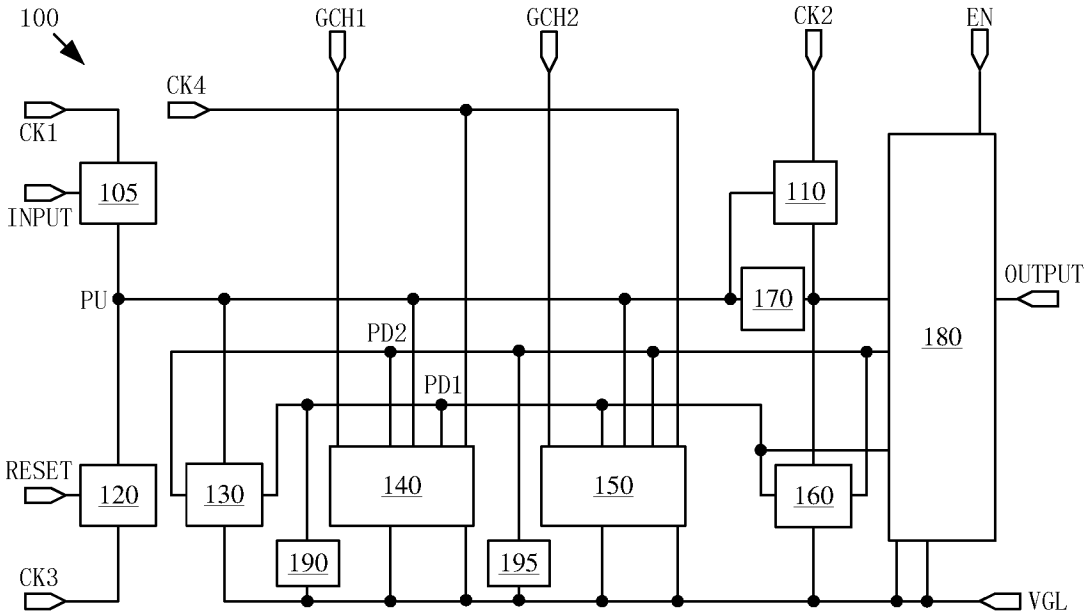
100
GCH1
GCH2
CK2
EN
CK4
CK1
105
INPUT
110
OUTPUT
PU
170
PD2
180
PD1
RESET
120
130
140
150
160
190
195
CK3
VGL

图 3

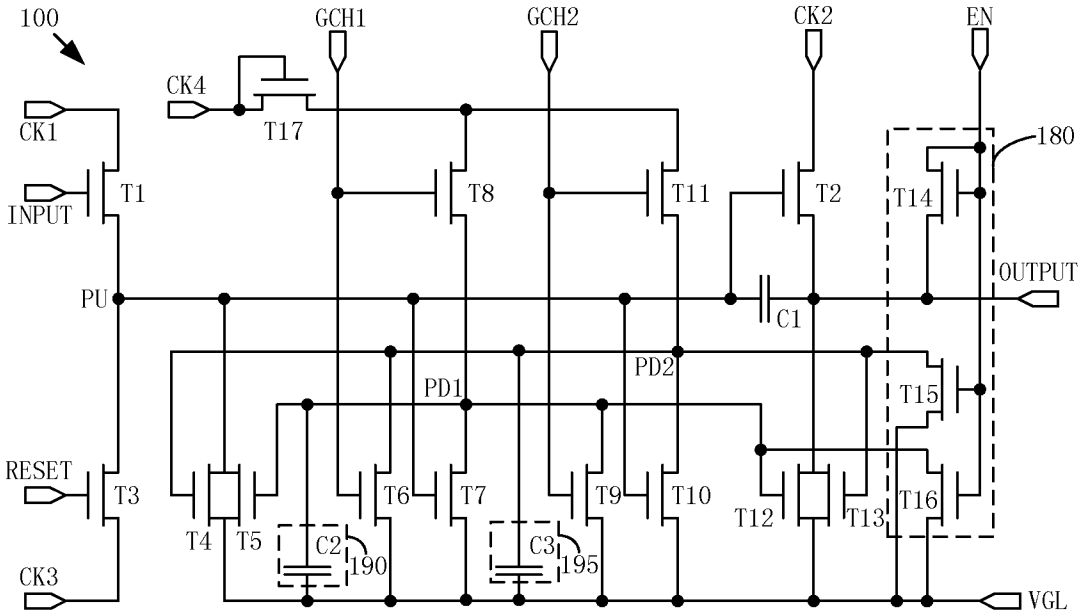
100
GCH1
GCH2
CK2
EN
CK4
T17
CK1
T1
T8
T11
T2
T14
180
INPUT
OUTPUT
PU
C1
PD2
PD1
T15
RESET
T3
T6
T7
T9
T10
T12
T13
T16
T4
T5
C2
190
C3
195
CK3
VGL

图 4

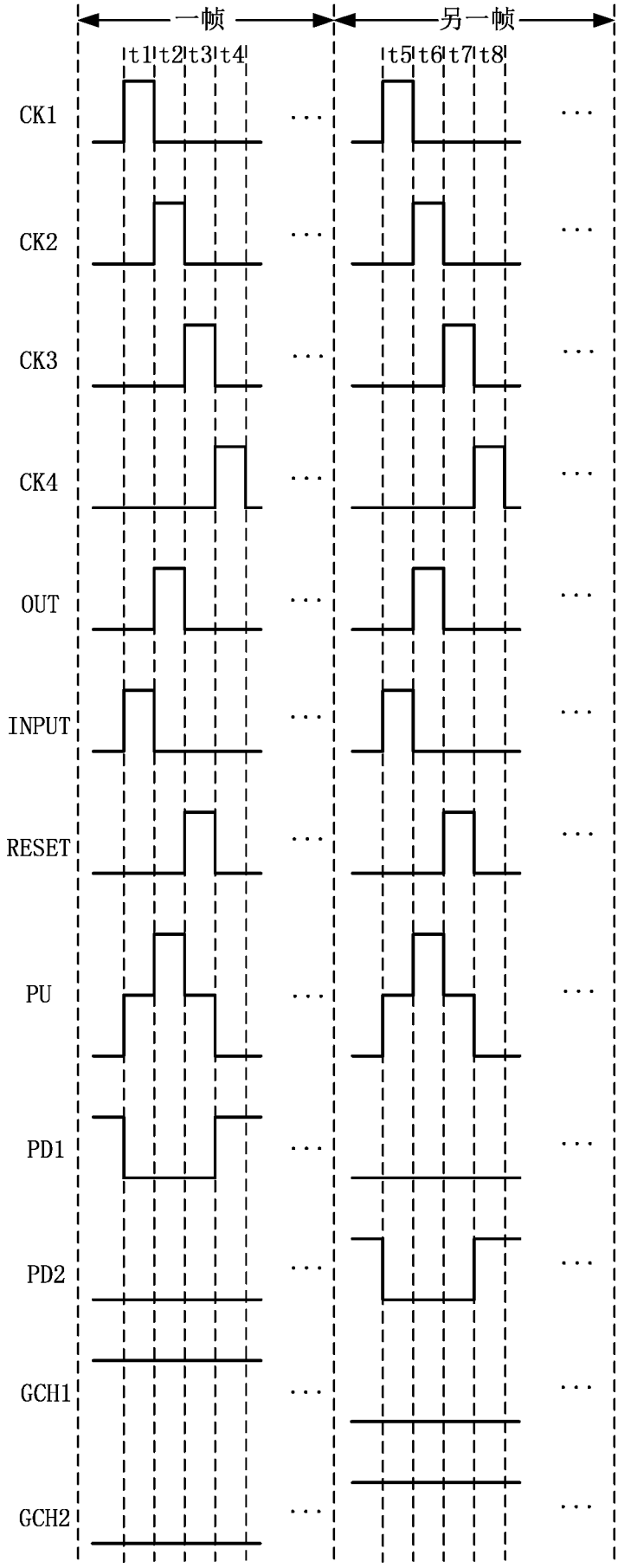
一帧
另一帧
t1 t2 t3 t4
t5 t6 t7 t8
CK1
CK2
CK3
CK4
OUT
INPUT
RESET
PU
PD1
PD2
GCH1
GCH2

图 5

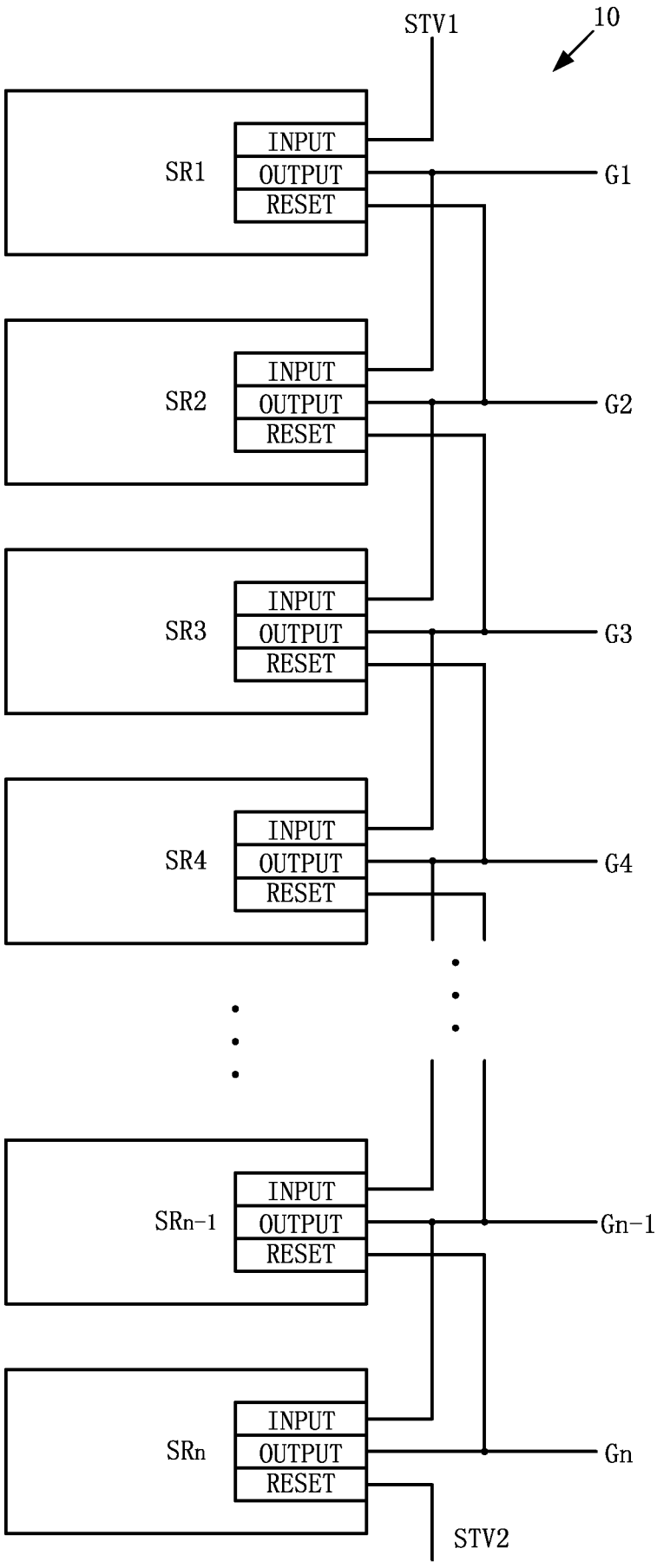
STV1
10
SR1
INPUT
OUTPUT
RESET
G1
SR2
INPUT
OUTPUT
RESET
G2
SR3
INPUT
OUTPUT
RESET
G3
SR4
INPUT
OUTPUT
RESET
G4
SRn-1
INPUT
OUTPUT
RESET
Gn-1
SRn
INPUT
OUTPUT
RESET
Gn
STV2

图 6

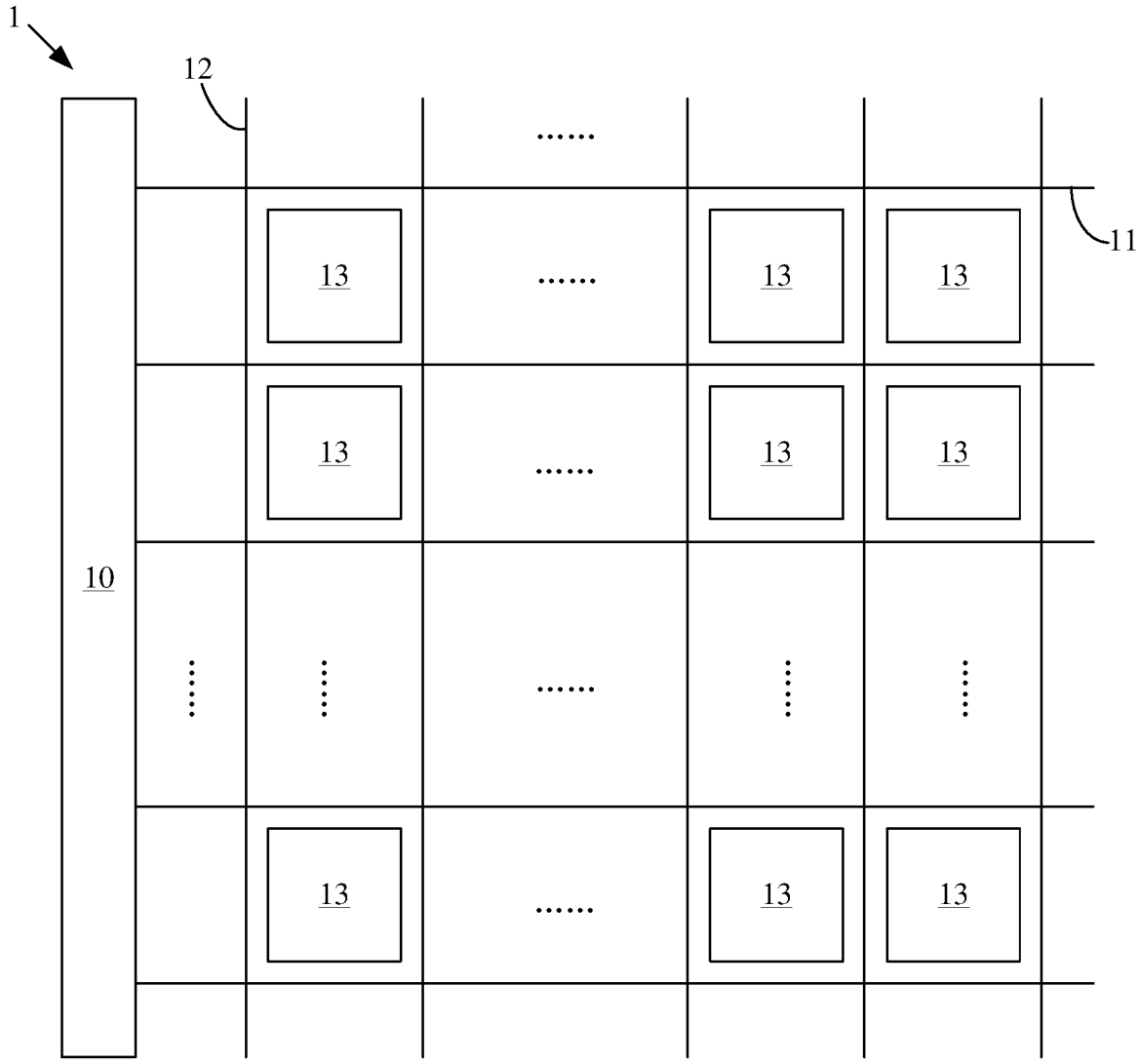
1
12
11
10
13
13
13
13
13
13
13
13
13
13
13
13
13
13

图 7

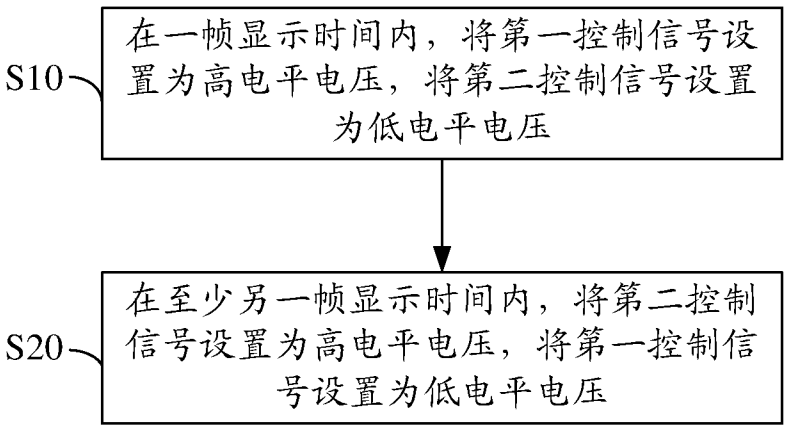
S10
在一帧显示时间内，将第一控制信号设置为高电平电压，将第二控制信号设置为低电平电压
S20
在至少另一帧显示时间内，将第二控制信号设置为高电平电压，将第一控制信号设置为低电平电压

图 8

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/101554

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20 (2006.01) i; G11C 19/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI: 移位, 寄存, 第四, 时钟, 上拉, 节点, 下拉, 第二, 反向, 复位, 交替, 轮流, 充电, 可靠, 抗干扰, shift, register, output, pull?down, circuit, second, node, storage, interfere, clock, third, control, alternative, work

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 106782282 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 31 May 2017 (31.05.2017), description, paragraphs [0031]-[0082], and figures 1-8	1-17
A	CN 1797509 A (LG. PHILIPS LCD CO., LTD.), 05 July 2006 (05.07.2006), description, pages 10-12, and figure 9	1-17
A	CN 103700333 A (LG DISPLAY CO., LTD.), 02 April 2014 (02.04.2014), entire document	1-17
A	CN 104361852 A (SHANGHAI AVIC OPTOELECTRONICS CO. LTD. et al.), 18 February 2015 (18.02.2015), entire document	1-17
A	CN 104252853 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 31 December 2014 (31.12.2014), entire document	1-17
A	CN 101847445 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 29 September 2010 (29.09.2010), entire document	1-17
A	KR 20140095209 A (LG DISPLAY CO., LTD.), 01 August 2014 (01.08.2014), entire document	1-17

☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
21 November 2017	19 December 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer WEI, Yanyan Telephone No. (86-10) 62414004

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/101554

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2006145999 A1 (LG PHILIPS LCD CO., LTD.), 06 July 2006 (06.07.2006), entire document	1-17

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/101554

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 106782282 A	31 May 2017	None	
CN 1797509 A	05 July 2006	JP 4225508 B2	18 February 2009
		CN 100418120 C	10 September 2008
		JP 2006189762 A	20 July 2006
		TW 200622971 A	01 July 2006
		KR 101110133 B1	20 February 2012
		US 7528820 B2	05 May 2009
		KR 20060076147 A	04 July 2006
		US 2006139292 A1	29 June 2006
		TW I306234 B	11 February 2009
CN 103700333 A	02 April 2014	US 2014085285 A1	27 March 2014
		CN 103700333 B	08 June 2016
		US 8994629 B2	31 March 2015
		KR 20140041047 A	04 April 2014
CN 104361852 A	18 February 2015	None	
CN 104252853 A	31 December 2014	None	
CN 101847445 A	29 September 2010	US 2010245337 A1	30 September 2010
		US 8552959 B2	08 October 2013
		CN 101847445 B	21 November 2012
KR 20140095209 A	01 August 2014	None	
US 2006145999 A1	06 July 2006	KR 101066493 B1	21 September 2011
		US 7595783 B2	29 September 2009
		KR 20060079038 A	05 July 2006

国际检索报告

国际申请号
PCT/CN2017/101554

A. 主题的分类

G09G 3/20(2006.01)i; G11C 19/28(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G; G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNPAT,WPI,EPODOC,CNKI：移位，寄存，第四，时钟，上拉，节点，下拉，第二，反向，复位，交替，轮流，充电，可靠，抗干扰，shift, register, output, pull?down, circuit, second, node, storage, interfere, clock, third, control, alternative, work

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 106782282 A (京东方科技集团股份有限公司 等) 2017年 5月 31日 (2017-05-31) 说明书第[0031]-[0082]段，图1-8	1-17
A	CN 1797509 A (LG.菲利浦LCD株式会社) 2006年 7月 5日 (2006-07-05) 说明书第10-12页，图9	1-17
A	CN 103700333 A (乐金显示有限公司) 2014年 4月 2日 (2014-04-02) 全文	1-17
A	CN 104361852 A (上海中航光电子有限公司 等) 2015年 2月 18日 (2015-02-18) 全文	1-17
A	CN 104252853 A (京东方科技集团股份有限公司 等) 2014年 12月 31日 (2014-12-31) 全文	1-17
A	CN 101847445 A (北京京东方光电科技有限公司) 2010年 9月 29日 (2010-09-29) 全文	1-17
A	KR 20140095209 A (LG DISPLAY CO., LTD.) 2014年 8月 1日 (2014-08-01) 全文	1-17

☑ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2017年 11月 21日	2017年 12月 19日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 卫研研 电话号码 (86-10)62414004

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告

国际申请号
PCT/CN2017/101554

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 2006145999 A1 (LG PHILIPS LCD CO., LTD.) 2006年 7月 6日 (2006-07-06) 全文	1-17

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2017/101554

检索报告引用的专利文件			公布日（年/月/日）	同族专利			公布日（年/月/日）
CN	106782282	A	2017年 5月 31日	无			
CN	1797509	A	2006年 7月 5日	JP	4225508	B2	2009年 2月 18日
				CN	100418120	C	2008年 9月 10日
				JP	2006189762	A	2006年 7月 20日
				TW	200622971	A	2006年 7月 1日
				KR	101110133	B1	2012年 2月 20日
				US	7528820	B2	2009年 5月 5日
				KR	20060076147	A	2006年 7月 4日
				US	2006139292	A1	2006年 6月 29日
				TW	I306234	B	2009年 2月 11日
CN	103700333	A	2014年 4月 2日	US	2014085285	A1	2014年 3月 27日
				CN	103700333	B	2016年 6月 8日
				US	8994629	B2	2015年 3月 31日
				KR	20140041047	A	2014年 4月 4日
CN	104361852	A	2015年 2月 18日	无			
CN	104252853	A	2014年 12月 31日	无			
CN	101847445	A	2010年 9月 29日	US	2010245337	A1	2010年 9月 30日
				US	8552959	B2	2013年 10月 8日
				CN	101847445	B	2012年 11月 21日
KR	20140095209	A	2014年 8月 1日	无			
US	2006145999	A1	2006年 7月 6日	KR	101066493	B1	2011年 9月 21日
				US	7595783	B2	2009年 9月 29日
				KR	20060079038	A	2006年 7月 5日