(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H03F 21/00

(45) 공고일자 2000년02월01일
(11) 등록번호 10-0241204
(24) 등록일자 1999년11월02일

(21) 출원번호 10-1996-0041009
(22) 출원일자 1996년09월20일
(65) 공개번호 특1997-0018998
(43) 공개일자 1997년04월30일
(30) 우선권주장 95-243049 1995년09월21일 일본(JP)

(73) 특허권자 가부시키가이샤 도시바 니시무로 타이죠
일본국 가나가와현 가와사끼시 사이와이구 호리가와죠 72반지
(72) 발명자 이시다 신지
일본국 가나가와현 가와사키시 가와사키구 에키마에혼정 25번지 1 도시바 마이크로 일렉트로닉스 가부시키가이샤 내
(74) 대리인 김윤배, 이범일

심사관 : 퇴-정순원

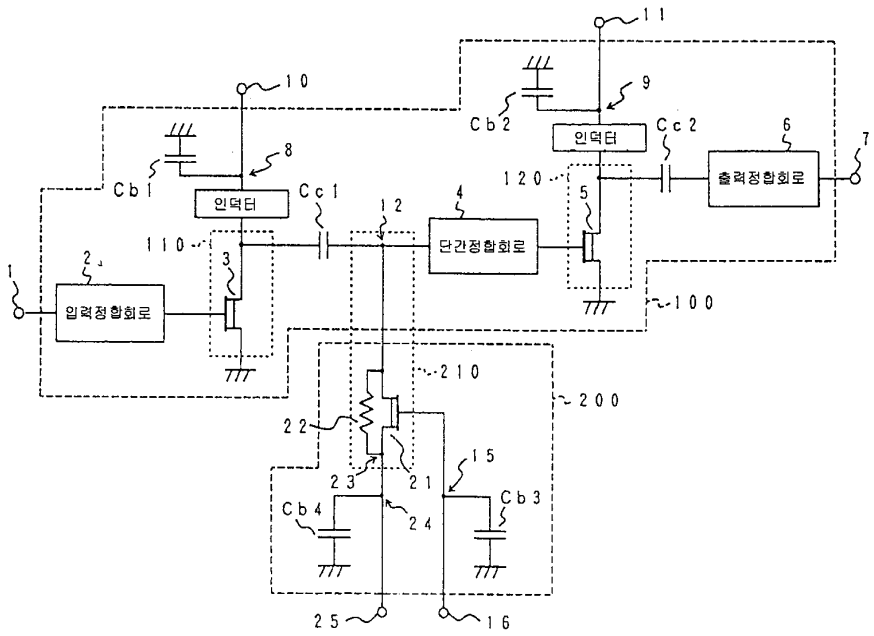
(54) 이득제어회로 및 가변이득 전력증폭기

요약

시스템 간략화의 요구를 만족할 수 있는 이득제어회로 및, 이 이득제어회로가 이용된 가변이득 고주파전력증폭기를 제공한다.

드레인을, 입력단자(1) 및 출력단자(7)를 각각 갖추어 이득이 제어되는 고주파전력증폭회로(100)에 접속하고, 소스를 급전단자(25)에 접속하며, 게이트를 이득제어단자(16)에 접속하는 디플리션형 MESFET(21)와, 이 MESFET(21)의 소스-드레인간에 병렬로 접속되고, MESFET(21)의 드레인과 소스간에 정전위를 인가하는 고저항소자(22)를 구비하고, 이득의 제어를 정전위의 신호로 행하는 것을 특징으로 한다.

대표도



명세서

도면의 간단한 설명

제1도는 본 발명의 제1실시예에 따른 가변이득 고주파전력증폭기의 회로도.

제2도는 본 발명의 제2실시예에 따른 가변이득 고주파전력증폭기의 회로도.

제3도는 본 발명의 제3실시예에 따른 가변이득 고주파전력증폭기의 회로도.

제4도는 본 발명의 제4실시예에 따른 가변이득 고주파전력증폭기의 회로도.

제5도는 본 발명의 제5실시예에 따른 가변이득 고주파전력증폭기의 회로도.

제6도는 본 발명의 제6실시예에 따른 가변이득 고주파전력증폭기의 회로도.

제7도는 종래의 가변이득 고주파전력증폭기의 회로도이다.

* 도면의 주요부분에 대한 부호의 설명

1 : 입력단자	2 : 입력정합회로
3 : 인헨스먼트형 MESFET	4, 4-1, 4-2 : 단간정합회로
5, 5-1, 5-2 : 인헨스먼트형 MESFET	6 : 출력정합회로
7 : 출력 단자	10 : 제1급전단자
11, 11-1, 11-2 : 제2급전단자	16 : 이득제어단자(제어신호단자)
21 : 디플리션형 MESFET	22 : 고저항소자(전압인가수단)
25 : 제3급전단자	26 : 배선
27 : 고저항소자	31, 32, 33 : 배선
100 : 고주파전력증폭회로	110 : 제1증폭단
120 : 제2증폭단	130 : 제3증폭단
200 : 이득제어회로	210 : 이득제어단
300 : GaAs칩	400 : 알루미나세라믹 기판
Cc1~Cc4 : DC블록·콘덴서	Cb1~Cb7 : 바이패스·콘덴서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 이득제어회로와, 이 이득제어회로가 이용된 가변이득 고주파전력증폭기에 관한 것이다.

제7도는 종래의 가변이득 고주파전력증폭기의 회로도이다.

제7도에 나타낸 가변이득 고주파전력증폭기는 고주파전력증폭회로(100)와, 고주파전력증폭회로(100; 이득제어형회로)에 접속된 이득을 가변하기 위한 이득제어 회로(200)를 포함한다.

제7도에 나타낸 바와 같이, 고주파전력증폭회로(100)는 입력용 외부단자(1)에 접속된 입력정합회로(2)와, 이 입력정합회로(2)에 게이트를 접속하고, 소스를 접지했으며, 제1증폭단(110)을 구성하는 디플리션(depletion)형 MESFET(3:Metal Semiconductor Field Elect Transistor), 이 MESFET(3)의 드레인에 DC블록·콘덴서(Cc1) 및 인덕터를 매개로 결합된 단간정합회로(4), 이 단간정합회로(4)에 게이트를 접속하고, 소스를 접지했으며, 제2증폭단(120)을 구성하는 디플리션형 MESFET(5), 이 MESFET(5)의 드레인에 DC블록·콘덴서(Cc2)를 매개로 결합됨과 더불어 출력용 외부단자(7)에 접속된 출력정합회로(6), MESFET(3)의 드레인에 바이패스·콘덴서(Cb1)에 의해 교류접지된 노드(8)를 매개로 접속된 제1급전용 외부단자(10) 및, MESFET(5)의 드레인에 바이패스·콘덴서(Cb2)에 의해 교류접지된 노드(9) 및 인덕터를 매개로 접속된 제2급전용 외부단자(11)를 포함하고 있다.

또한, 이득제어회로(200)는 DC블록·콘덴서(Cc1)와 단간정합회로(4)의 노드(12)에 드레인을 접속하고, 소스를 접지한 이득제어단(210)을 구성하는 디플리션형 MESFET(14)와, MESFET(14)의 게이트에 바이패스·콘덴서(Cb3)에 의해 교류접지된 노드(15)를 매개로 접속된 이득제어용 외부단자(16)를 포함하고 있다.

제7도에 나타낸 가변이득 고주파전력증폭기에서는 이득제어단(210)에 있어서, 디플리션형 MESFET(14)의 전기전도도를 게이트전압에 의해 제어할 수 있는 것을 이용하여 이득을 제어한다. 즉, MESFET(14)의 전기전도도를 최소로 함으로써 제7도에 나타낸 고주파전력증폭기의 이득을 최대로 하고, 반대로 MESFET(14)의 전기전도도를 최대로 함으로써 그 이득을 최소로 한다. 이득을 제어하기 위한 MESFET(14)에는, 임계치 전압의 제어가 용이하면서 짧은 게이트 폭으로도 전기전도도를 높일 수 있다. 디플리션형 MESFET가 일반적으로 이용되고 있다.

이득제어의 일예는 다음과 같다.

이득제어단자(16)에 0V를 인가함으로써, 디플리션형 MESFET(14)의 전기전도도가 최대로 되고, 고주파전력증폭기의 이득이 최소로 된다.

또한, 이득제어단자(16)에 -3V를 인가함으로써, 디플리션형 MESFET(14)의 전기전도도가 최소로 되고, 고

주파전력증폭기의 이득이 최대로 된다.

또한, 상기 고주파전력증폭기는 화합물 반도체집적회로, 예컨대 GaAs를 반도체로 하는 MESFET에 의해 구성되어 있다. 이는, GaAs의 물성에 의해 GaAs를 반도체로 하는 집적회로는 실리콘을 반도체로 하는 집적회로 보다도 고주파 특성이 우수한 회로가 얻어지고, 저전압화 할 수 있는 등의 이점 때문이다.

고주파전력증폭기는 종래 무선송신기의 종단증폭회로등에 이용되고 있다. 그러나, 최근 무선송신기로써, 예컨대 휴대전화 등 휴대형 장치에 속하는 것이 나타나고 있다. 휴대형 장치의 분야에서는 장치의 소형화가 전제로 되어 있으며, 그 내부에 조립되는 시스템의 간략화가 요구되고 있다.

그러나, 제7도에 나타낸 종래의 가변이득 고주파전력증폭기에서는, 이득을 제어하기 위한 제어신호로 부(負)전위가 불가결하다. 이 때문에, 시스템에 정전위를 가진 이득제어용 신호를 부전위로 변환하는 컨버터를 짜 넣을 필요가 있고, 시스템의 간략화의 요구를 만족시키지 않는다는 문제가 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 점을 감안하여 발명된 것으로, 시스템 간략화의 요구를 만족시킬 수 있는 이득제어회로와, 이 이득제어회로가 이용된 가변이득 고주파 전력증폭기를 제공하는 것에 그 목적이 있다.

또한, 시스템 간략화의 요구를 만족시킴과 동시에 외부단자의 수도 증가시키지 않으면서 정 귀환발진을 억제할 수 있는 이득제어회로와, 이 이득제어회로가 이용된 가변이득 고주파전력증폭기를 제공하는 것에 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명에 따른 고주파전력증폭회로의 제어노드로부터 이득제어회로에 의해 이끌어진 전력의 강도에 따라 정의 공급전압을 기초로 하여 회로동작의 이득을 제어하기 위한 이득제어회로는, 상기 고주파전력증폭회로의 제어노드에 접속된 일단과, 외부 공급전압이 인가되는 전압공급단자에 접속된 타단 및, 외부 정전압 제어신호가 인가되는 제어신호단자에 접속된 게이트단자를 갖춘 디플리션형 트랜지스터와; 상기 트랜지스터의 턴-온 저항이 정전압 제어신호에 따라 제어되도록 상기 트랜지스터의 양단간에 시프트전압을 인가함으로써, 정방향으로 상기 트랜지스터의 임계전압을 시프팅하기 위한 상기 디플리션형 트랜지스터의 양단에 병렬로 접속된 전압인가수단을 구비하여 구성되고, 상기 고주파전력증폭회로의 이득은 상기 정전압 제어신호에 따라 고주파전력증폭회로로부터 이끌어진 전력의 강도를 제어함으로써 제어되는 것을 특징으로 한다.

또한, 본 발명에 따른 증폭회로와 이 증폭회로의 제어노드로부터 이끌어진 전력의 강도를 제어함으로써 상기 증폭회로의 이득을 제어하기 위한 이득제어회로를 갖추고, 상기 증폭회로와 이득제어회로는 각각 정의 공급전압에 따라 동작되는 가변이득 전력증폭기에 있어서, 상기 이득제어회로는 상기 증폭회로의 제어노드에 접속된 일단과, 외부 공급전압이 인가되는 전압공급단자에 접속된 타단 및, 외부 정전압 제어신호가 인가되는 제어신호단자에 접속된 게이트 단자를 갖춘 디플리션형 트랜지스터와; 상기 트랜지스터의 턴-온 저항이 정전압 제어신호에 따라 제어되도록 상기 트랜지스터의 양단간에 시프트전압을 인가함으로써, 정방향으로 상기 트랜지스터의 임계전압을 시프팅하기 위한 상기 디플리션형 트랜지스터의 양단에 병렬로 접속된 전압인가수단을 구비하여 구성되고, 상기 증폭회로의 이득은 상기 정전압 제어신호에 따라 증폭회로로부터 이끌어진 전력의 강도를 제어함으로써 제어되는 것을 특징으로 한다.

또한, 전압인가수단은 저항소자이고, 이 저항소자를 통해 전류가 흐를 때 발생된 전압강하가 시프트 전압으로 사용되고, 트랜지스터의 타단과 트랜지스터의 게이트는 각각 바이패스·콘덴서를 통해 교류접지되고, 트랜지스터의 적어도 하나의 단으로부터 부유 캐패시턴스를 통해 그 게이트단자로 신호가 전송되는 것을 방지하기 위해 트랜지스터의 게이트단자와 제어신호단자간 또 다른 저항소자가 접속되며, 트랜지스터의 전압공급단자가 고주파전력증폭회로의 전압공급단자에 공통으로 이용된 것을 특징으로 한다.

더욱이, 증폭회로는 멀티-스테이지(multi-stage) 증폭회로로 구성되고, 그 제어노드는 제1스테이지 증폭기 다음에 제공된 노드이고, 멀티-스테이지 증폭회로의 각 증폭 스테이지는 각각 정전압공급단자를 갖추고 제1스테이지 증폭기의 정전압공급단자를 제외한 멀티-스테이지 증폭회로의 정전압공급단자중 어느 하나에 상기 트랜지스터의 전압공급단자가 접속되며, 멀티-스테이지 증폭회로의 각 증폭 스테이지는 각각 정전압공급단자를 갖추고 제1스테이지 증폭기의 정전압공급단자에 상기 트랜지스터의 전압공급단자가 접속되는 것을 특징으로 한다.

[실시예]

이하, 예시도면을 참조하면서 본 발명의 실시예를 상세히 설명한다.

제1도는 본 발명의 제1실시예에 따른 가변이득 고주파전력증폭기의 회로도이다.

제1도에 나타낸 바와 같이, 고주파전력증폭회로(100)와, 고주파전력증폭회로(100)에 접속된 이득을 가변하기 위한 이득제어회로(200)를 포함한다.

우선, 고주파전력증폭회로(100)는 입력용 외부단자에 접속되는 단자(1)에 접속된 입력정합회로(2)와, 이 입력정합회로(2)에 게이트를 접속하고, 소스를 접지했으며, 제1증폭단(110)을 구성하는 디플리션형 MESFET(3), 이 MESFET(3)의 드레인에 DC블록·콘덴서(Cc1)를 매개로 결합된 단간정합회로(4), 이 단간정합회로(4)에 게이트를 접속하고, 소스를 접지했으며, 제2증폭단(120)을 구성하는 디플리션형 MESFET(5), 이 MESFET(5)의 드레인에 DC블록·콘덴서(Cc2)를 매개로 결합됨과 더불어 출력용 외부단자에 접속되는 단자(7)에 접속된 출력정합회로(6), MESFET(3)의 드레인에 바이패스·콘덴서(Cb1)에 의해 교류접지된 노드(8)를 매개로 접속된 제1급전용 외부단자(10) 및, MESFET(5)의 드레인에 바이패스·콘덴서(Cb2)에 의해 교류접지된 노드(9)를 매개로 접속된 제2급전용 외부단자(11)를 포함하고 있다.

고주파전력증폭회로(100)의 증폭단(110, 120)에는 각각 디플리션형의 MESFET(3, 5)가 이용되고 있다. 이들 디플리션형의 MESFET(3, 5)는 각각 부전위의 신호에 의해 제어된다. 이는 인헨스먼트형의 MESFET를 이용하여 증폭단(110, 120)을 구성하는 것보다도 큰 이득을 얻는 이점이 있기 때문이다.

더욱이, 고주파전력증폭회로(100)는 제1도에 나타낸 것에 한정하지 않고, 종래 어떤 회로가 사용되어도 좋다.

이득제어회로(200)는 시스템 간략화의 요구를 만족시키기 위해 다음과 같이 구성되어 있다.

이득제어회로(200)는 DC블록·콘덴서(Cc1)와 단간정합회로(4)의 제어노드(12)에 드레인을 접속하고, 소스를 접지한 이득제어단(210)을 구성하는 디플리션형 MESFET(21)와, MESFET(21)의 게이트에 바이패스·콘덴서(Cb3)에 의해 교류접지된 노드(15)를 매개로 접속된 이득제어용 외부단자에 접속되는 단자(16), MESFET(21)의 소스와 드레인간에 접속된 고주파차단소자로서의 고저항소자(22) 및, MESFET(21)의 드레인과 고저항소자(22)의 노드(23)에 바이패스·콘덴서(Cb4)에 의해 교류접지된 노드(24)를 매개로 접속된 제3급전용 외부단자에 접속되는 단자(25)를 포함하고 있다.

더욱이, 상기 고저항소자(22)의 저항치는 kΩ오더로 설정되고, 구체적인 값의 하나의 예는 10kΩ이다.

제1도에 나타낸 가변이득 고주파전력증폭기이면, 이득제어단(210)에 있어서, 디플리션형 MESFET(21)의 전기전도도를 게이트전압에 의해 제어할 수 있는 것을 이용하여 이득을 제어한다.

더욱이, 이득제어단(210)에 있어서, 디플리션형 MESFET(21)의 소스와 드레인에 고저항소자(22)를 매개로 정전위를 인가함으로써 이득제어전위를 정으로 한다.

이득제어의 일예는 다음과 같다.

이득제어단자(16)에 0V를 인가함으로써, MESFET(21)의 전기전도도가 최소로 되고, 고주파전력증폭기의 이득이 최대로 된다.

또한, 이득제어단자(16)에 +3V를 인가함으로써 디플리션형의 MESFET(14)의 전기전도도가 최대로 되고, 고주파전력증폭기의 이득이 최소로 된다.

이와 같은 제1도에 나타낸 고주파전력증폭기에서는, 그 이득을 부전위를 사용하지 않고, 정전위만으로 제어할 수 있다. 이 결과, 이득제어용 신호의 전위를 변환하는 컨버터를 삭감할 수 있고, 시스템 간략화의 요구를 만족시킬 수 있다. 따라서, 이런 종류의 증폭기가 놓여지는 서키트보드를 보다 작게 할 수 있다. 보다 작은 서키트보드가 얻어짐으로써, 휴대형 장치 예컨대, 휴대전화의 크기는 보다 소형화된다.

더욱이, 본 제1실시예에 따른 가변이득 고주파전력증폭기에서는 그 고주파 전력증폭회로(100)에 입력되는 고주파신호의 전위를 부전위로 할 필요가 있고, 고주파신호를 부전위로 변환하는 컨버터가 필요하다.

그러나, 제7도에 나타낸 바와 같은 종래의 가변이득 고주파전력증폭기에 비해, 컨버터의 수를 감소시킬 수 있다.

또한, 본 제1실시예에 따른 가변이득 고주파전력증폭기를 이용하여 시스템을 구성하면, 컨버터의 수를 감소시킬 수 있기 때문에, 서키트보드 상에 실장하는 부품(IC) 점수를 감소할 수 있다. 이 때문에, 부품 비용을 절감할 수 있으면서 어셈블리 수율을 향상시켜 시스템의 제조비용을 종래보다 낮게 억제할 수 있다.

다음에, 본 발명의 제2실시예에 따른 가변이득 고주파전력증폭기에 대하여 설명한다.

제2도는 본 발명의 제2실시예에 따른 가변이득 고주파전력증폭기의 회로도이다.

제2도에 나타낸 바와 같이, 제2실시예에 따른 가변이득 고주파전력증폭기는 시스템 간략화의 요구를 만족시키기 위해 제1실시예와 같은 이득제어회로(200)를 갖추고 있다. 다른 부분은 디플리션형 MESFET(21)의 드레인과 고저항소자(22)의 노드(23)를 바이패스·콘덴서(Cb2)에 의해 교류접지된 노드(9)에 배선(26)에 의해 접속하고, MESFET(21)의 급전단자를 MESFET(5)의 급전단자(11)와 공통으로 한 것이다. 이에 의해, 제1실시예에 따른 증폭기와 비교하여 급전단자를 1개 감소시킬 수 있다. 따라서, 시스템 간략화 할 수 있는 가변고주파 전력증폭기이면서도 그 단자수를 종래의 이득제어신호로 부전위를 사용한 가변고주파 전력증폭기와 동일한 단자수로 할 수 있다.

또한, 시스템을 간략화 할 수 있는 가변고주파 전력증폭기의 급전단자를 1개 감소시킴으로써, 이런 종류의 증폭기가 놓여지는 서키트보드의 배선패턴의 간단화와, 이득제어신호용 컨버터의 삭감을 동시에 달성할 수 있으며, 상기 제1실시예에 따른 증폭기에 비해, 서키트보드의 축소화를 보다 촉진시킬 수 있다.

더욱이, 단자수가 감소됨으로써, 제1실시예에 비해 증폭기와 서키트보드의 접촉점이 적게되고, 어셈블리가 용이하게 된다. 어셈블리가 용이하게 되면, 어셈블리 수율이 제1실시예 보다도 더욱 향상하게 된다.

더욱이, MESFET(21)의 급전단자의 삭감은 MESFET(21)의 급전단자를 MESFET(3)의 급전단자(10)와 공통으로 하는 것으로도 달성할 수 있다.

그러나, 이득은 MESFET(3)의 출력전력을 이득제어용 MESFET(21)를 통해 접지전위로 유도하는 것으로 제한된다. 이 때문에, MESFET(21)의 급전단자를 MESFET(3)의 급전단자(10)와 공통으로 하면, MESFET(3)의 출력전력이 다시 MESFET(3)의 급전단자로 되돌아가 버린다. 이 때문에, 정귀환이 걸리고 회로가 발진해 버리는 것이 예상된다.

상기 제2실시예에서는 이와 같은, 회로의 발진을 MESFET(21)의 급전단자를 MESFET(5)의 급전단자(11)와 공통으로 함으로써, 해소한다. 따라서, 상기 제2실시예에서는 회로가 발진하는 것도 없고, 시스템을 간략화 할 수 있는 가변고주파 전력증폭기의 단자수를 감소시킬 수 있다.

다음에, 본 발명의 제3실시예에 따른 가변이득 고주파전력증폭기에 대해 설명한다.

제3도는 본 발명의 제3실시예에 따른 가변이득 고주파전력증폭기의 회로도이다.

제3도에 나타낸 바와 같이, 제3실시예에 따른 가변이득 고주파전력증폭기는 시스템의 간략화를 가능하게 하면서도 제2실시예와 마찬가지로 급전단자수의 증가를 억제한 예이다.

제2실시예에서도 기술한 바와 같이, MESFET(21)의 급전단자를 MESFET(3)의 급전단자(10)와 공통으로 하면, 회로의 발진이 예상된다.

본 제3실시예에 따른 가변이득 고주파전력증폭기는 MESFET(21)의 급전단자를 MESFET(3)의 급전단자(10)와 공통으로 해도 회로의 발진을 억제할 수 있도록 한 것이다.

상세하게는 제3도에 나타낸 바와 같이, MESFET(21)의 드레인과 고저항소자(22)의 노드(23)를 바이패스·콘덴서(Cb1)에 의해 교류접지된 노드(8)에 배선(26)에 의해 접속한다. 그리고, 이 배선(26) 중에 고저항소자(27)를 끼워설치해 둔다. 이에 의해, MESFET(21)의 급전단자를 MESFET(3)의 급전단자(10)와 공통으로 해도, 고저항소자(27)에 의해 MESFET(3)의 출력전력이 다시 MESFET(3)의 급전단자로 되돌아가는 것이 방지된다. 따라서, 정귀환이 걸리지 않고, 회로의 발진을 억제할 수 있다.

더욱이, 상기 고저항소자(27)의 저항치는 kΩ오더로 설정되고, 구체적인 값의 하나의 예는 10kΩ이다.

다음에, 본 발명의 제4실시예에 따른 가변이득 고주파전력증폭기에 대해 설명한다.

제4도는 본 발명의 제4실시예에 따른 가변이득 고주파전력증폭기의 구성도이다.

제1, 제2, 제3실시예에 따른 가변이득 고주파전력증폭기는 각각 GaAs를 반도체에 이용하고 있다. GaAs를 반도체에 이용한 집적회로는 반도체를 대표하는 재료인 실리콘을 반도체에 이용한 집적회로보다도 고주파 특성이 우수함과 더불어 저전압으로 동작시킬 수 있다.

이와 같이, GaAs 집적회로는 실리콘 집적회로에 비해 우수한 면을 갖고 있지만, GaAs는 실리콘에 비해 고가이다.

본 제4실시예에서는 시스템의 간략화를 달성할 수 있고, 게다가 고주파특성에 우수하면서 저전압으로 동작하는 가변이득 고주파전력증폭기를 보다 저가격으로 소비자에게 제공하도록 하는 것이다.

제4도에 나타낸 바와 같이, 본 제4실시예에 따른 가변이득 고주파전력증폭기에서는 증폭기의 전체를 GaAs칩에 형성시키지 않고, 증폭기를 GaAs칩(300)과 알루미나기판(400)과 구별하여 형성했다. GaAs칩(300)은 알루미나세라믹기판(400) 상에 놓여진다. GaAs칩(300)이 놓여진 알루미나세라믹기판(400)은 도시하지 않은 외위기(패키지)의 안에 장착되고, 알루미나세라믹기판(400)이 장착된 외위기가 가변이득 고주파전력증폭기로서 도시하지 않은 서키트보드에 취부된다.

GaAs칩(300)에는 제1증폭단(110)을 구성하는 디플리션형 MESFET(3)와, 이 MESFET(3)의 게이트에 부전위의 바이어스 전위를 인가하고, 제1도-제3도에서는 생략되어 있던 게이트 바이어스회로(150), 단간정합회로(4), 이 단간정합회로(4)와 제1증폭단(110)을 서로 결합하는 DC블록·콘덴서(Cc1), 제2증폭단을 구성하는 디플리션형 MESFET(5), 이 MESFET(5)의 게이트에 부전위의 바이어스전위를 인가하고, 제1도-제3도에서는 생략되어 있던 게이트 바이어스회로(160), 게이트 바이어스회로(160)와 단간정합회로(4)를 서로 결합하는 DC블록·콘덴서(Cc4) 및, 이득제어단(210)을 구성하는 디플리션형 MESFET(21) 및 고저항소자(22)가 각각 형성되어 있다.

또한, 알루미나세라믹기판(400) 상에는 입력단자(1)에 접속된 입력정합회로(2)와, 입력정합회로(2)와 GaAs칩(300)의 입력패드를 결합하는 DC블록·콘덴서(Cc3), 출력단자(7)에 접속된 출력정합회로(6), 출력정합회로(6)와 GaAs칩(300)의 출력패드를 결합하는 DC블록·콘덴서(Cc2), MESFET(3) 드레인과 급전단자(10)의 접속점을 교류접지하는 바이패스·콘덴서(Cb1), DFESFET(5)의 드레인과 급전단자(11)의 접속점을 교류접지하는 바이패스·콘덴서(Cb2), MESFET(21)의 게이트와 이득제어단자(16)의 접속점을 교류접지하는 바이패스·콘덴서(Cb3), MESFET(21)의 드레인과 고저항소자(22)의 노드(23)와 급전단자(11)의 접속점을 교류접지하는 바이패스·콘덴서(Cb4), 게이트 바이어스회로(150,160) 각각의 저전위측저항과 게이트 바이어스용 급전단자(28)의 접속점을 교류 접지하는 바이패스·콘덴서(Cb5) 및, GaAs칩(300)의 접지패드 각각과 접지단자(29)를 서로 접속하는 접지선(30)이 각각 형성되어 있다.

더욱이, 본 예에서는 단자수를 삭감하기 위해 알루미나세라믹기판(400) 상에, 급전단자(11)에 접속된 배선(31)을 형성하고, 이 배선(31)에 바이패스·콘덴서(Cb2)에 의한 교류접지점(9)과, 바이패스·콘덴서(Cb4)에 의한 교류접지점(24)을 공통으로 접속하고 있다.

이와 같은 가변이득 고주파전력증폭기이면, 모든 바이패스·콘덴서(Cb1~Cb5), 일부의 DC블록·콘덴서(Cc3, Cc4), 입력정합회로(2), 출력정합회로(6), 단자수를 삭감하기 위한 배선(31)을 각각, 알루미나세라믹기판(400) 상에 형성한다. 이에 의해, GaAs칩(300)으로부터 면적이 큰 콘덴서, 배선 등을 떼어낼 수 있고, GaAs칩(300)의 면적을 작게할 수 있다. GaAs는 고가재료이지만, GaAs칩(300)의 면적이 작게됨으로써, GaAs웨이퍼 1장당 형성할 수 있는 칩(300)의 수를 증가할 수 있어 제조비용이 저하된다. 이에 의해, 시스템의 간략화를 달성할 수 있음과 더불어 우수한 고주파특성을 가지면서 저소비전력의 가변이득 고주파전력증폭기를 보다 저가격으로 제공할 수 있다.

다음에, 본 발명의 제5실시예에 따른 가변이득 고주파전력증폭기에 대해 설명한다.

제5도는 본 발명의 제5실시예에 따른 가변이득 고주파전력증폭기의 회로도이다.

제1~제4실시예에 따른 가변이득 고주파증폭기에서는, 그 증폭단의 수가 2개인 것을 나타냈지만, 증폭단의 수는 2개로 한정하는 것이 아니고, 2개 이상으로 할 수 있다.

제5도에 나타낸 바와 같이, 본 제5실시예에 따른 증폭기에서는 제1증폭단(110), 제2증폭단(120) 및, 제3증폭단(130)의 3개의 증폭단을 갖추고 있다. 그리고, 이득을 제어하기 위한 이득제어수단(210)은 제1증폭단(110)과 제2증폭단(120) 사이에 설치되어 있다.

이득을 제어하기 위한 이득제어수단(210)은 제2증폭단과 제3증폭단(130)의 사이에 설치해도 되지만, 이득제어단(210)은 제5도에 나타낸 바와 같이 증폭단의 최초의 방향, 바람직하게는 최초의 증폭단, 즉 제1증폭단(110)과 제2증폭단(120)의 사이에 설치되는 것이 좋다.

고주파전력증폭기에서는 제1증폭단(110), 제2증폭단(120), 제3증폭단(130)으로 순차, 증폭단이 뒤의 단으로 됨에 따라 출력전력이 높게된다. 이 때문에, 최종의 증폭단(제5도에서는 제3증폭단(130))에서는 꽤 큰 전력이 다루어진다. 큰 전력을 다루기 때문에, 최종의 증폭단(130)에 형성되는 MESFET(5-2)의 크기는 꽤 크다.

이에 대하여, 최초의 증폭단(제5도에서는 제1증폭단(110))에서 다루어지는 전력은 최종의 증폭단에서 다루어지는 전력보다도 작다. 이 때문에, 최초의 증폭단(110)에 형성되는 MESFET(3)의 크기는 MESFET(5-2)보다도 꽤 작게할 수 있다.

결국, 이득제어수단(210)을 증폭단의 최초의 방향, 바람직하게는 최초의 증폭단인 제1증폭단(110)과 제2증폭단(120)의 사이에 설치됨으로써, 이득제어단(210)을 형성하는 MESFET(21)가 다루는 전력을 작게할 수 있어 MESFET(21)의 크기를 작게할 수 있다. MESFET(21)의 크기를 작게할 수 있으면, GaAs칩의 면적을 축소시킬 수 있고, 제조비용의 절감을 촉진시킬 수 있다.

또한, 제5실시예에 따른 가변이득 고주파전력증폭기에서는 단자수의 증가를 방지하기 위하여, MESFET(21)의 급전단자를 제2증폭단(120)의 MESFET(5-1)의 급전단자(11-1)와 공통화하고 있다.

MESFET(21)의 급전단자는 제3증폭단(130)의 MESFET(5-2)의 급전단자(11-2)와 공통화되면, 그 단자수의 증가를 방지할 수 있지만, MESFET(21)의 급전단자는 이득제어단(210)의 직후의 증폭단(제5도에서는 증폭단(120))을 형성하는 MESFET(제5도에서는 MESFET(5-1))의 급전단자와 공통화되는 것이 바람직하다.

본 발명에 따른 증폭기는 휴대형 장치의 서키트보드의 조립에 알맞게 사용되는 것이다. 휴대형 장치는 인체에 접촉하는 기회가 다른 장치, 예컨대 고정형 장치에 비해 압도적으로 많다. 인체에 접촉되는 기회가 많다는 것은 정전기가 인가될 가능성이 보다 높다는 것이다.

만약, 다루어지는 전력이 큰 제3증폭단(130)측으로부터 증폭기의 안에 서어지가 인가되면, 상당히 큰 서어지가 증폭기의 안으로 침입할 것으로 예상된다. 여기서, MESFET(21)의 급전단자가 제3증폭단(130)의 MESFET(5-2)의 급전단자(11-2)와 공통화되어 있으면, 상당히 큰 서어지가 MESFET(21)에 인가되는 것으로 된다. MESFET(21)의 크기가 작게 형성되어 있으면, MESFET(21)가 큰 서어지에 의해 파괴되어 증폭기가 고장날지도 모른다.

이에 대해, 제2증폭단(120)에서는 다루어지는 전력이 제3증폭단(130) 보다도 작다. 이 때문에, 제2증폭단(120)측으로부터 증폭기의 안으로 침입하는 서어지의 크기는, 제3증폭단(130)측으로부터 증폭기의 안으로 침입하는 서어지의 크기보다도 비교적 작다.

따라서, MESFET(21)의 급전단자는 이득제어단 직후의 증폭단의 급전단자와 공통화 됨으로써, 의외의 서어지가 원인으로 되는 것과 같은 증폭기의 고장이 발생할 가능성을 보다 감소시킬 수 있어 높은 신뢰성을 갖는 가변이득 고주파전력증폭기를 얻을 수 있다.

다음에, 본 발명의 제6실시예에 따른 가변이득 고주파전력증폭기에 대해 설명한다.

제6도는 본 발명의 제6실시예에 따른 가변이득 고주파전력증폭기의 구성도이다.

제2~제5실시예에 따른 가변이득 고주파전력증폭기에서는 이득제어회로에 포함되는 디플리션형 MESFET(21)의 급전단자를 별도의 MESFET의 급전단자와 공통화 함으로써, 증폭기의 단자수를 1개 감소할 수 있었다.

본 제6실시예에 따른 가변이득 고주파전력증폭기에서는 증폭기의 단자수를 2개이상 감소하여 제2~제5실시예에 비해 증폭기의 단자수를 좀더 적게하도록 한 것이다.

제6도에 나타낸 바와 같이, 알루미나세라믹기판(400) 상에는 바이패스·콘덴서(Cb2)에 의한 교류접지점(9) 및 바이패스·콘덴서(Cb4)에 의한 교류접지점(24) 각각에 접속된 배선(31)과, 바이패스·콘덴서(Cb1)에 의한 교류접지점(8)에 접속된 상기 배선(31)으로부터 분리되어 있는 배선(32)이 형성되어 있다. 배선(31)은 바이패스·콘덴서(Cb6)에 접속되고, 한편 배선(32)은 바이패스·콘덴서(Cb7)에 접속되어 있다.

더욱이, 본 예에서는 알루미나세라믹기판(400) 상에 급전단자(11)에 접속된 배선(33)이 형성되고, 이 배선(33)에 상기 바이패스·콘덴서(Cb6)에 의한 교류접지점(34)과, 상기 바이패스·콘덴서(Cb7)에 의한 교류접지점(35)을 공통으로 접속하고 있다.

이와 같은 가변이득 고주파전력증폭기이면, 이득제어단(210)을 구성하는 디플리션형 MESFET(21)의 급전단자와, 제2증폭단(120)을 구성하는 MESFET(5)의 급전단자를 바이패스·콘덴서(Cb2, Cb4)를 매개로 배선(31)에 공통으로 접속하고, 더욱이 이 배선(31)과, 제1증폭단(110)을 구성하는 MESFET(3)의 급전단자에 바이패스·콘덴서(Cb1)를 매개로 접속되어 있는 배선(32)을 바이패스·콘덴서(Cb6, Cb7)를 매개로 배선(33)에 공통으로 접속한다. 그리고, 이 배선(33)을 1개의 급전단자(11)에 접속한다. 이에 의해, 3개 MESFET(3, 5, 21)의 급전단자를 1개의 급전단자(11)에 공통으로 접속할 수 있어 증폭기의 단자수를 2개 감소할 수 있다. 따라서, 본 제6실시예에 따른 증폭기에서는 제2~제5실시예에 비해 좀더 단자수를 감소할 수 있다.

또한, 이득제어단(210)의 MESFET(21)의 급전단자를 제1증폭단(110)의 MESFET(3)의 급전단자와 공통으로 하면, 회로가 발진할 가능성이 있는 것을 상술했다.

그러나, 본 제6실시예에서는 MESFET(21)의 급전단자를 MESFET(3)의 급전단자와 직접 접속시키지 않고, MESFET(21)의 급전단자와 MESFET(3)의 급전단자와의 사이에, 제6도에 나타낸 바와 같이 3개의 바이패스·콘덴서(Cb4, Cb6, Cb7)를 끼워설치하고 있다. 이와 같이, MESFET(21)의 급전단자와 MESFET(3)의 급전단자

를 복수의 바이패스·콘덴서를 매개로 접속함으로써, 회로가 발진할 가능성을 제어할 수 있다.

또한, 바이패스·콘덴서(Cb2, Cb4)를 일체화하여 1개의 바이패스·콘덴서로 하고, 바이패스·콘덴서(Cb6, Cb7)를 일체화하여 1개의 바이패스·콘덴서로 하는 것도 가능하다. 이 경우에는 바이패스·콘덴서의 수를 2개 감소할 수 있어 증폭기의 제조비용을 보다 낮게 억제할 수 있다.

더욱이, 바이패스·콘덴서(Cb2, Cb4)의 접지측 전극에 접지전위를 인가하는 배선과, 바이패스·콘덴서(Cb6, Cb7)의 접지측 전극에 접지전위를 인가하는 배선을 알루미나세라믹기판(400) 상에 각각 형성하면, 회로가 발진할 가능성을 억제할 수 있는 효과를 보다 더 높일 수 있다.

발명의 효과

이상 설명한 바와 같이 본 발명에 의하면, 시스템 간략화의 요구를 만족할 수 있는 이득제어회로와, 이 이득제어회로가 이용된 가변이득 고주파전력증폭기, 시스템 간략화의 요구를 만족할 수 있음과 더불어 외부단자의 수도 증가시키지 않으면서 정 귀환발진을 억제할 수 있는 이득제어회로 및, 이 이득제어회로가 이용된 가변이득 고주파전력증폭기를 각각 제공할 수 있다.

(57) 청구의 범위

청구항 1

고주파전력증폭회로의 제어노드로부터 이득제어회로에 의해 이끌어진 전력의 강도에 따라 정의 공급전압을 기초로 하여 회로동작의 이득을 제어하기 위한 이득제어회로에 있어서, 상기 고주파전력증폭회로의 제어노드에 접속된 일단과, 외부 공급전압이 인가되는 전압공급단자에 접속된 타단 및, 외부 정전압 제어신호가 인가되는 제어신호단자에 접속된 게이트단자를 갖춘 디플리션형 트랜지스터와, 상기 트랜지스터의 턴-온 저항이 정전압 제어신호에 따라 제어되도록 상기 트랜지스터의 양단간에 시프트전압을 인가함으로써, 정방향으로 상기 트랜지스터의 임계전압을 시프팅하기 위한 상기 디플리션형 트랜지스터의 양단에 병렬로 접속된 전압인가수단을 구비하여 구성되고, 상기 고주파전력증폭회로의 이득은 상기 정전압 제어신호에 따라 고주파전력증폭회로로부터 이끌어진 전력의 강도를 제어함으로써 제어되는 것을 특징으로 하는 이득제어회로.

청구항 2

제1항에 있어서, 상기 전압인가수단은 저항소자이고, 이 저항소자를 통해 전류가 흐를 때 발생된 전압강하가 시프트 전압으로 사용되는 것을 특징으로 하는 이득제어회로.

청구항 3

제2항에 있어서, 상기 트랜지스터의 타단과 상기 트랜지스터의 게이트는 각각 바이패스·콘덴서를 통해 교류접지된 것을 특징으로 하는 이득제어회로.

청구항 4

제3항에 있어서, 상기 트랜지스터의 적어도 하나의 단으로부터 부유 캐패시턴스를 통해 그 게이트단자로 신호가 전송되는 것을 방지하기 위해 상기 트랜지스터의 게이트단자와 제어신호단자간 또 다른 저항소자가 접속된 것을 특징으로 하는 이득제어회로.

청구항 5

제1항에 있어서, 상기 트랜지스터의 전압공급단자가 고주파전력증폭회로의 전압공급단자에 공통으로 이용된 것을 특징으로 하는 이득제어회로.

청구항 6

제4항에 있어서, 상기 트랜지스터의 전압공급단자가 고주파전력 증폭회로의 전압공급단자에 공통으로 이용된 것을 특징으로 하는 이득제어회로.

청구항 7

증폭회로와 이 증폭회로의 제어노드로부터 이끌어진 전력의 강도를 제어함으로써 상기 증폭회로의 이득을 제어하기 위한 이득제어회로를 갖추고, 상기 증폭회로와 이득제어회로는 각각 정의 공급전압에 따라 동작되는 가변이득 전력증폭기에 있어서, 상기 이득제어회로는; 상기 증폭회로의 제어노드에 접속된 일단과, 외부 공급전압이 인가되는 전압공급단자에 접속된 타단 및, 외부 정전압 제어신호가 인가되는 제어신호단자에 접속된 게이트단자를 갖춘 디플리션형 트랜지스터와, 상기 트랜지스터의 턴-온 저항이 정전압 제어신호에 따라 제어되도록 상기 트랜지스터의 양단간에 시프트전압을 인가함으로써, 정방향으로 상기 트랜지스터의 임계전압을 시프팅하기 위한 상기 디플리션형 트랜지스터의 양단에 병렬로 접속된 전압인가수단을 구비하여 구성되고, 상기 증폭회로의 이득은 상기 정전압 제어신호에 따라 증폭회로로부터 이끌어진 전력의 강도를 제어함으로써 제어되는 것을 특징으로 하는 가변이득 전력증폭기.

청구항 8

제7항에 있어서, 상기 전압인가수단은 저항소자이고, 이 저항소자를 통해 전류가 흐를 때 발생된 전압강하가 시프트 전압으로 사용되는 것을 특징으로 하는 가변이득 전력증폭기.

청구항 9

제8항에 있어서, 상기 트랜지스터의 타단과 상기 트랜지스터의 게이트는 각각 바이패스·콘덴서를 통해

교류접지된 것을 특징으로 하는 가변이득 전력증폭기.

청구항 10

제7항에 있어서, 상기 트랜지스터의 적어도 하나의 단으로부터 부유 캐패시턴스를 통해 그 게이트단자로 신호가 전송되는 것을 방지하기 위해 상기 트랜지스터의 게이트단자와 제어신호단자간 또 다른 저항소자가 접속된 것을 특징으로 하는 가변이득 전력증폭기.

청구항 11

제7항에 있어서, 상기 트랜지스터의 전압공급단자가 증폭회로의 전압공급단자에 공통으로 이용된 것을 특징으로 하는 가변이득 전력증폭기.

청구항 12

제10항에 있어서, 상기 트랜지스터의 전압공급단자가 증폭회로의 전압공급단자에 공통으로 이용된 것을 특징으로 하는 가변이득 전력증폭기.

청구항 13

제7항에 있어서, 상기 증폭회로는 멀티-스테이지(multi-stage) 증폭회로로 구성되고, 그 제어노드는 제1스테이지 증폭기 다음에 제공된 노드인 것을 특징으로 하는 가변이득 전력증폭기.

청구항 14

제3항에 있어서, 상기 멀티-스테이지 증폭회로의 각 증폭 스테이지는 각각 정전압공급단자를 갖추고, 상기 제1스테이지 증폭기의 정전압공급단자를 제외한 멀티-스테이지 증폭회로의 정전압공급단자중 어느 하나에 상기 트랜지스터의 전압공급단자가 접속된 것을 특징으로 하는 가변이득 전력증폭기.

청구항 15

제13항에 있어서, 상기 멀티-스테이지 증폭회로의 각 증폭 스테이지는 각각 정전압공급단자를 갖추고, 상기 제1스테이지 증폭기의 정전압공급단자에 상기 트랜지스터의 전압공급단자가 접속된 것을 특징으로 하는 가변이득 전력증폭기.

청구항 16

제10항에 있어서, 상기 증폭회로는 멀티-스테이지 증폭회로로 구성되고, 그 제어노드는 제1스테이지 증폭기 다음에 제공된 노드인 것을 특징으로 하는 가변이득 전력증폭기.

청구항 17

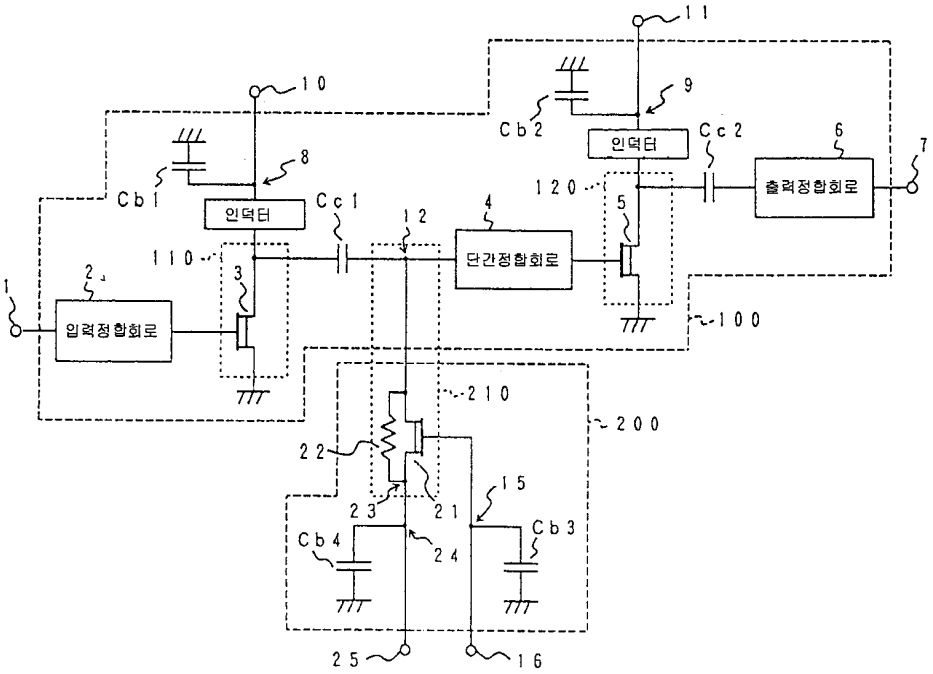
제16항에 있어서, 상기 멀티-스테이지 증폭회로의 각 증폭 스테이지는 각각 정전압공급단자를 갖추고, 상기 제1스테이지 증폭기의 정전압공급단자를 제외한 멀티-스테이지 증폭회로의 정전압공급단자중 어느 하나에 상기 트랜지스터의 전압공급단자가 접속된 것을 특징으로 하는 가변이득 전력증폭기.

청구항 18

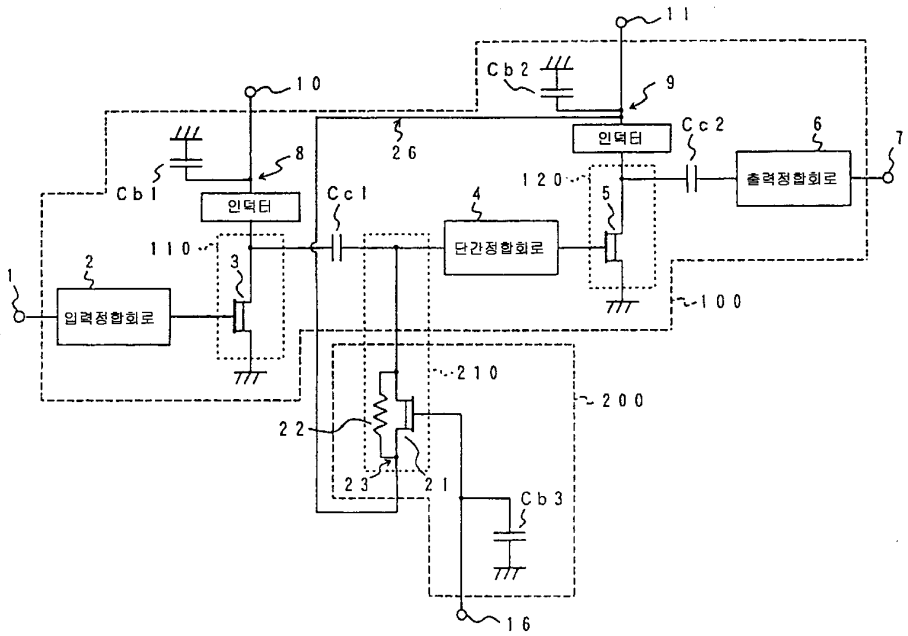
제16항에 있어서, 상기 멀티-스테이지 증폭회로의 각 증폭 스테이지는 각각 정전압공급단자를 갖추고, 상기 제1스테이지 증폭기의 정전압공급단자에 상기 트랜지스터의 전압공급단자가 접속된 것을 특징으로 하는 가변이득 전력증폭기.

도면

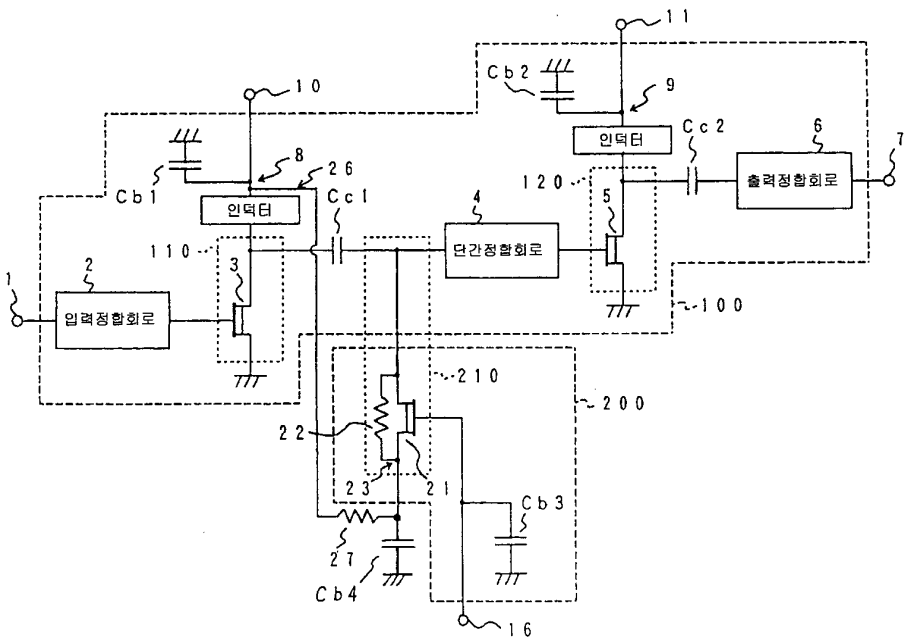
도면1


11
10
9
Cb2
인덕터
Cc2
6
7
8
Cb1
인덕터
Cc1
12
4
120
5
출력정합회로
110
3
단간정합회로
2
1
입력정합회로
100
210
200
22
15
23
21
Cb3
Cb4
24
25
16

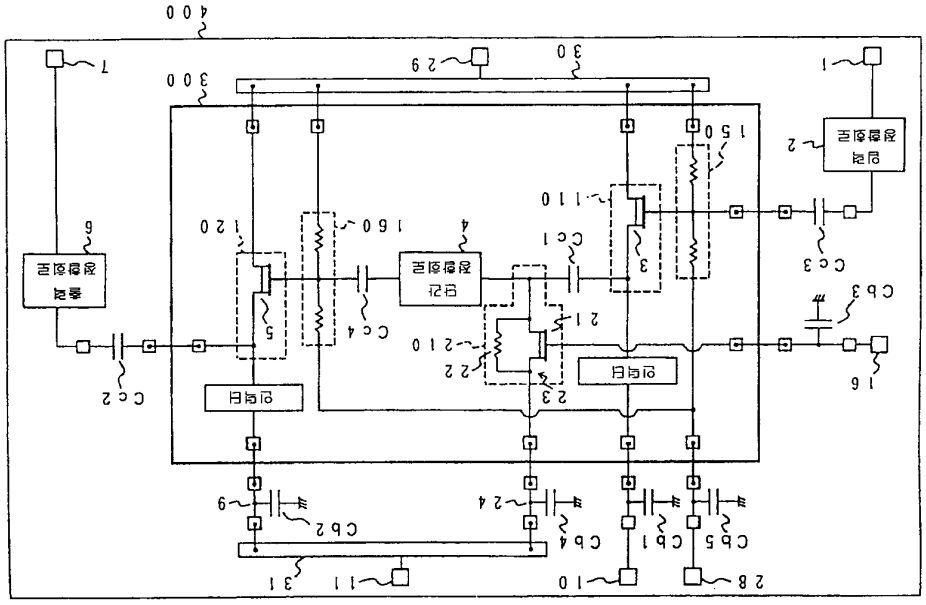
도면2


11
10
Cb2
9
26
인덕터
Cc2
6
7
8
Cb1
인덕터
Cc1
4
120
5
출력정합회로
110
3
단간정합회로
2
1
입력정합회로
100
210
200
22
23
21
Cb3
16

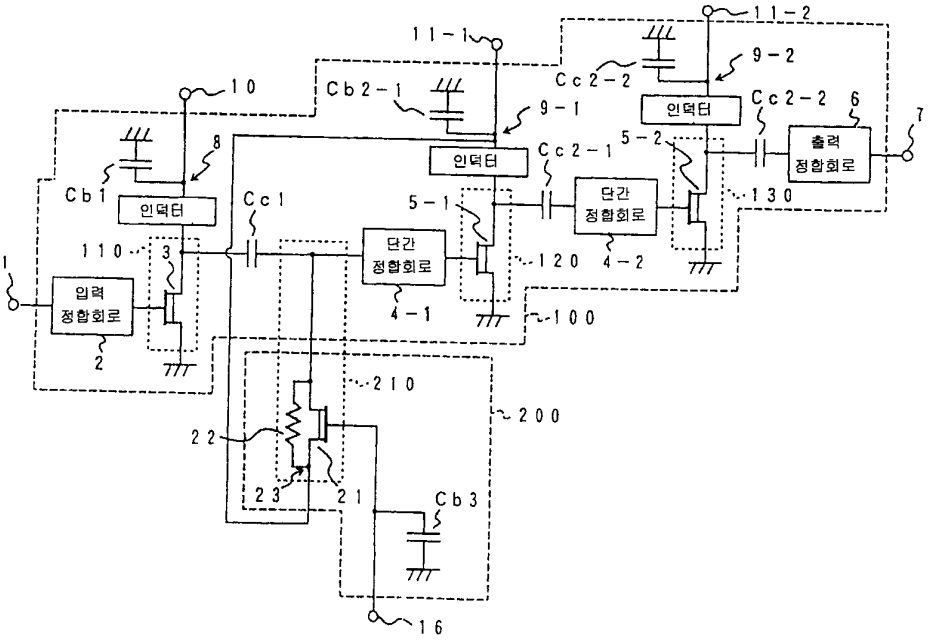
도면3


입력정합회로
인덕터
단간정합회로
출력정합회로
Cb1
Cb2
Cb3
Cb4
Cc1
Cc2
1
2
3
4
5
6
7
8
9
10
11
16
21
22
23
26
27
100
110
120
200
210

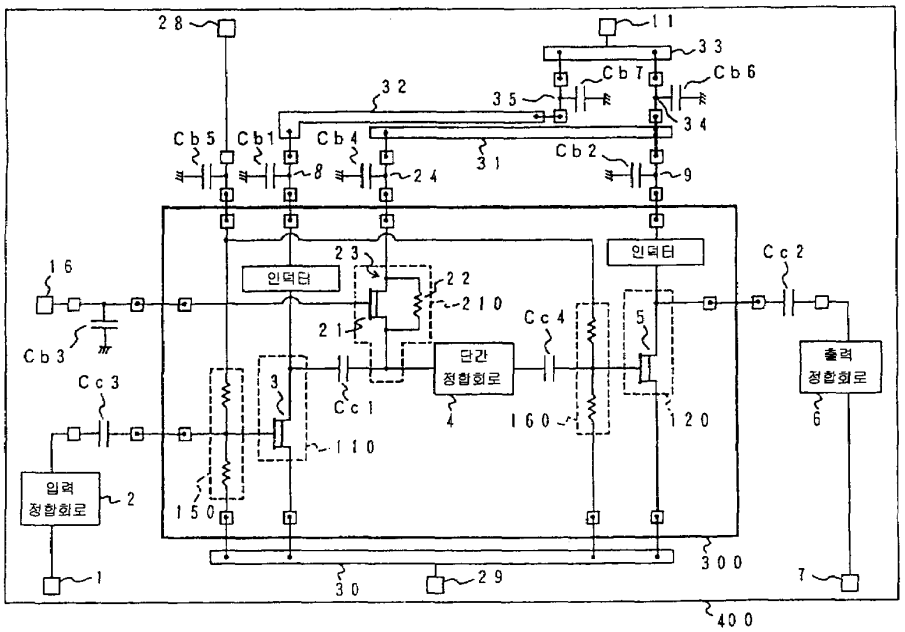
도면4


출력정합회로
단간정합회로
입력정합회로
Cb1
Cb2
Cb3
Cb4
Cb5
Cc1
Cc2
Cc3
Cc4
1
2
3
4
5
6
7
9
10
11
16
21
22
23
24
28
29
30
31
100
110
120
150
160
200
210
300
400

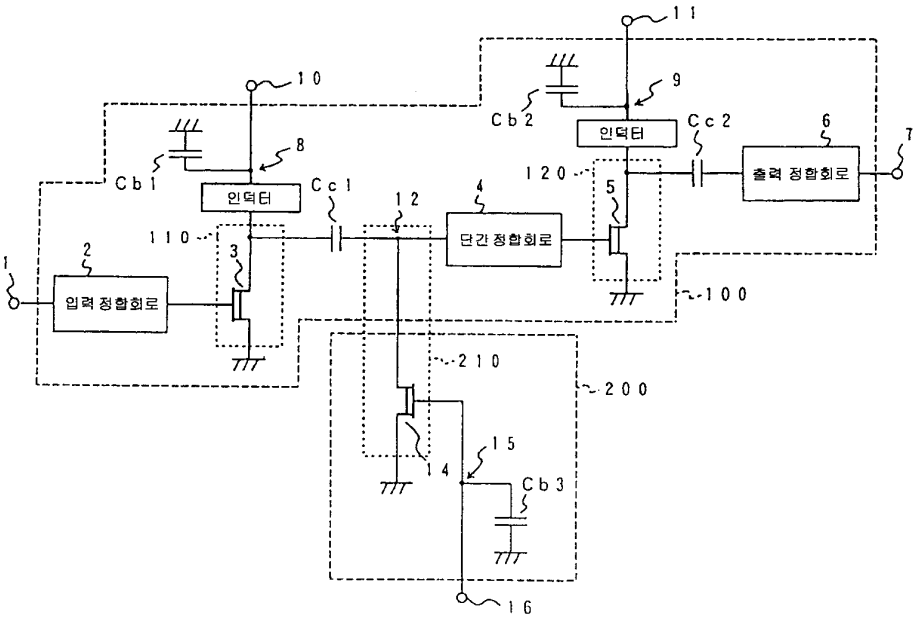
도면5


11-1
11-2
9-2
Cc2-2
10
Cb2-1
9-1
인덕터
Cc2-2
6
7
8
Cb1
인덕터
Cc2-1
5-2
출력
정합회로
Cc1
5-1
단간
정합회로
130
110
3
단간
정합회로
120
4-2
1
입력
정합회로
4-1
100
2
210
200
22
23
21
Cb3
16

도면6


28
11
33
Cb7
Cb6
32
35
34
Cb5
Cb1
Cb4
31
Cb2
8
24
9
인덕터
인덕터
Cc2
16
23
22
210
Cb3
21
Cc4
5
단간
정합회로
출력
정합회로
Cc3
3
Cc1
4
160
120
6
110
입력
정합회로
2
150
300
1
30
29
7
400

도면7


11
10
9
Cb2
인덕터
Cc2
6
7
8
Cb1
인덕터
Cc1
12
4
120
5
출력 정합회로
110
3
단간 정합회로
2
1
입력 정합회로
100
210
200
15
14
Cb3
16