



(12) 发明专利

(10) 授权公告号 CN 101548336 B

(45) 授权公告日 2012. 07. 11

(21) 申请号 200880000996. 9

(22) 申请日 2008. 06. 20

(30) 优先权数据

164545/2007 2007. 06. 22 JP

(85) PCT申请进入国家阶段日

2009. 04. 23

(86) PCT申请的申请数据

PCT/JP2008/001603 2008. 06. 20

(87) PCT申请的公布数据

W02009/001534 JA 2008. 12. 31

(73) 专利权人 松下电器产业株式会社

地址 日本大阪府

(72) 发明人 东亮太郎 岛川一彦 藤井觉

神泽好彦

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 汪惠民

(51) Int. Cl.

G11C 13/00 (2006. 01)

H01L 27/10 (2006. 01)

(56) 对比文件

JP 特表 2006-514392 A, 2006. 04. 27, 全文 .

US 7233024 B2, 2007. 06. 19, 全文 .

WO 2005/117021 A1, 2005. 12. 08, 全文 .

审查员 何明伦

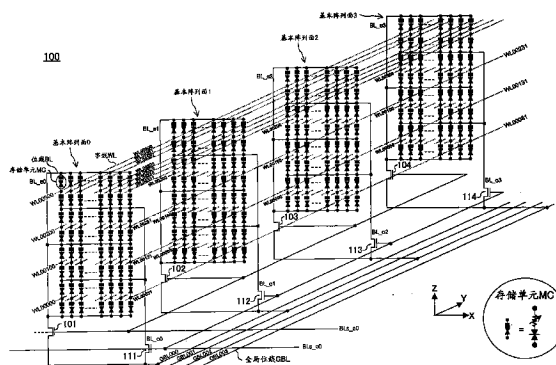
权利要求书 3 页 说明书 13 页 附图 19 页

(54) 发明名称

电阻变化型非易失性存储装置

(57) 摘要

本发明公开了一种电阻变化型非易失性存储装置。在沿 X 方向延伸的位线 (BL) 和沿 Y 方向延伸的字线 (WL) 之间的交点位置上形成有存储单元 (MC)。分别为每个位线组构成的且共用字线 (WL) 的多个基本阵列面排列在 Y 方向上, 该位线组由在 Z 方向上排列的位线 (BL) 组成。在各个基本阵列面中, 偶数层位线以及奇数层位线各自共同连接起来, 选择开关元件 (101 ~ 104) 控制共同连接起来的偶数层位线和全局位线 (GBL) 之间的连接 / 非连接间的切换, 选择开关元件 (111 ~ 114) 控制共同连接起来的奇数层位线和全局位线 (GBL) 之间的连接 / 非连接间的切换。



1. 一种电阻变化型非易失性存储装置,包括具有电阻值根据电信号发生可逆变化的电阻变化型元件的存储单元,其特征在于:

该电阻变化型非易失性存储装置,包括:

基板,和

形成在所述基板上并设置有多个所述存储单元的存储单元阵列;

在所述存储单元阵列中,

所述各个存储单元分别形成在位线和字线之间的交点位置上,并夹在该位线和该字线之间,所述位线沿 X 方向延伸并形成在多层中,所述字线沿 Y 方向延伸并形成在位线间的各层中,

分别为每个位线组构成的且共用字线的多个基本阵列面排列在所述 Y 方向上,该位线组由在层叠加的方向即 Z 方向上排列的位线组成,

在所述各个基本阵列面中,偶数层的位线共同连接起来,并且奇数层的位线共同连接起来;

所述电阻变化型非易失性存储装置,进一步包括:

全局位线,和

为所述各个基本阵列面设置的第一及第二选择开关元件;

所述第一选择开关元件,根据偶数层选择信号控制与该基本阵列面相关的全局位线和在该基本阵列面中共同连接起来的偶数层位线之间的电气连接/非电气连接间的切换,

所述第二选择开关元件,根据奇数层选择信号控制与该基本阵列面相关的全局位线和在该基本阵列面中共同连接起来的奇数层位线之间的电气连接/非电气连接间的切换。

2. 根据权利要求 1 所述的电阻变化型非易失性存储装置,其特征在于:

所述第一及第二选择开关元件由形成在所述基板上的金属氧化物半导体场效应晶体管构成。

3. 根据权利要求 2 所述的电阻变化型非易失性存储装置,其特征在于:

构成所述第一选择开关元件的金属氧化物半导体场效应晶体管和构成所述第二选择开关元件的金属氧化物半导体场效应晶体管,共有成为源极或漏极的扩散区域中的一个区域而构成金属氧化物半导体场效应晶体管对,该共有的扩散区域与所述全局位线相连接。

4. 根据权利要求 3 所述的电阻变化型非易失性存储装置,其特征在于:

在将所述基本阵列面的数量设为 n 、且 n 是 2 以上的整数时,

所述金属氧化物半导体场效应晶体管对设置成为栅极长度方向与 Y 方向一致,并且在 X 方向上排列有 n 对该金属氧化物半导体场效应晶体管对,

构成所述第一选择开关元件的各个金属氧化物半导体场效应晶体管的栅极彼此相连接,并且构成所述第二选择开关元件的各个金属氧化物半导体场效应晶体管的栅极彼此相连接。

5. 根据权利要求 4 所述的电阻变化型非易失性存储装置,其特征在于:

若在观看由所述 X 方向和所述 Y 方向形成的 XY 平面时,将所述金属氧化物半导体场效应晶体管对在栅极长度方向上的尺寸设为 Y_{tr} ,将所排列的 n 对所述金属氧化物半导体场效应晶体管对整体在 X 方向上的尺寸设为 X_{tr} ,将位线的布线间距设为 Y_m ,将字线的数量设为 k ,并将字线的布线间距设为 X_k ,则满足:

$Y_{tr} \leq n \times Y_m, X_{tr} \leq k \times X_k$ 。

6. 根据权利要求 4 所述的电阻变化型非易失性存储装置,其特征在于:

在所述金属氧化物半导体场效应晶体管对的每一对中,

构成所述第一选择开关元件的金属氧化物半导体场效应晶体管所具备的成为源极或漏极的扩散区域中的非共有扩散区域,与在该基本阵列面中共同连接起来的偶数层位线电气连接,

构成所述第二选择开关元件的金属氧化物半导体场效应晶体管所具备的成为源极或漏极的扩散区域中的非共有扩散区域,与在该基本阵列面中共同连接起来的奇数层位线电气连接。

7. 根据权利要求 6 所述的电阻变化型非易失性存储装置,其特征在于:

在所述全局位线和所述存储单元阵列之间设有布线层,

在所述布线层中,在各个基本阵列面中共同连接起来的偶数层位线的接点区域排列在 Y 方向上,并且在各个基本阵列面中共同连接起来的奇数层位线的接点区域排列在 Y 方向上,

将所述各个金属氧化物半导体场效应晶体管对中构成所述第一选择开关元件的金属氧化物半导体场效应晶体管所具备的成为源极或漏极的扩散区域中的非共有扩散区域与在该基本阵列面中共同连接起来的偶数层位线的接点连接起来的布线、以及将所述各个金属氧化物半导体场效应晶体管对中构成所述第二选择开关元件的金属氧化物半导体场效应晶体管所具备的成为源极或漏极的扩散区域中的非共有扩散区域与在该基本阵列面中共同连接起来的奇数层位线的接点连接起来的布线,形成在所述布线层中。

8. 根据权利要求 7 所述的电阻变化型非易失性存储装置,其特征在于:

共同连接起来的位线的连接通孔从所述布线层的接点区域沿着与基板垂直的方向延伸。

9. 根据权利要求 1~8 中任一项所述的电阻变化型非易失性存储装置,其特征在于:

所述全局位线形成在所述存储单元阵列的下层,并沿 Y 方向延伸。

10. 根据权利要求 1~8 中任一项所述的电阻变化型非易失性存储装置,其特征在于:

所述存储单元所具备的电阻变化型元件能够成为低电阻状态和高电阻状态,该电阻变化型元件具有双向性,即:当处于低电阻状态时,若施加电压超过第一电压,则变成高电阻状态,当处于高电阻状态时,若方向与所述第一电压施加方向相反的施加电压超过第二电压,则变成低电阻状态。

11. 根据权利要求 1~8 中任一项所述的电阻变化型非易失性存储装置,其特征在于:

所述存储单元具有与所述电阻变化型元件串联的二极管元件,

所述二极管元件相对于施加电压具有非线性电流特性,并且具有电流根据所述施加电压的方向在双向上流动的双向性,

当将施加在所述二极管元件上的电压表示为 V,将在所述二极管元件中流动的电流表示为 I,将决定阈值电压的规定电流表示为 I_t ,将第一阈值电压表示为 V_1 ,并将第二阈值电压表示为 V_2 时,满足:

$V_2 < 0 < V_1, I_t > 0$,

在满足 $V_1 \leq V$ 的区域中, $I_t \leq I$,

在满足 $V \leq V_2$ 的区域中, $I \leq -I_t$,

在满足 $V_2 < V < V_1$ 的区域中, $-I_t < I < I_t$ 。

电阻变化型非易失性存储装置

技术领域

[0001] 本发明涉及一种具有存储单元的非易失性存储装置,该存储单元是用所谓的电阻变化型元件构成的。

背景技术

[0002] 近年来,对具有用所谓电阻变化型元件构成的存储单元的非易失性存储装置正展开研究开发。电阻变化型元件指的是下述元件,即:该元件具有电阻值根据电信号而发生变化的性质,并且能够通过该电阻值的变化来存储信息。

[0003] 还有,在使用了电阻变化型元件的存储单元中,有一种使用了所谓的交叉点结构。在交叉点结构中,在相互正交的位线和字线之间的交点位置构成各个存储单元,并且该各个存储单元夹在位线和字线之间。

[0004] 在专利文献 1 中,公开了一种用具有双向性的可变电阻器作存储单元的非易失性存储装置。其中还公开了以下内容,即:以降低在非选择单元中流动的所谓漏电流为目的,对存储单元的二极管使用例如变阻器来作为双向非线性元件。还有,也公开了交叉点结构。

[0005] 在专利文献 2 中,公开了一种包括具有多层结构的三维交叉点型可变电阻存储阵列的非易失性存储装置。

[0006] 在非专利文献 1 中,公开了一种将可变电阻膜和单向二极管结合起来的存储单元结构。还公开了多层结构。

[0007] 在专利文献 3 中,公开了一种包含存储单元且具有三维结构的非易失性存储器,该存储单元包括多晶硅二极管和单极性可重写型可变电阻存储元件 (RRAM)。

[0008] 在专利文献 4 中,公开了一种包含由双极性可重写型可变电阻存储元件和齐纳二极管构成的存储单元的多层存储器结构。

[0009] 在专利文献 5 中,公开了一种包含由存储元件和单向控制元件构成的存储单元的多层存储器结构。专利文献 1:日本公开专利公报特开 2006-203098 号公报(图 2、图 5) 专利文献 2:日本公开专利公报特开 2005-311322 号公报(图 4) 专利文献 3:日本公开专利公报特开 2007-165873 号公报 专利文献 4:日本公开专利公报特表 2006-514393 号公报 专利文献 5:日本公开专利公报特开 2004-31948 号公报 非专利文献 1:I. G. Baek 等,“Multi-layer Cross-point Binary Oxide Resistive Memory (OxRRAM) for Post-NAND Storage Application”, IEDM2005 (IEEE International Electron Devices Meeting 2005), 769-772, Session 31 (FIG. 7, FIG. 11), 2005 年 12 月 5 日发明所要解决的技术问题

[0010] 在存储单元阵列的设计上,存在两个相互矛盾的要求,即:希望尽可能加大阵列单元的要求、和希望尽可能减小阵列单元的要求。也就是说,为了削减芯片面积,希望尽可能地使阵列单元增大,并使周边电路的面积缩小。另一方面,为了降低非选择存储单元的漏电流,优选使阵列单元尽可能减小。还有,通过缩小阵列单元,能够实现高速化、低功耗化及冗余补救的高效化等。

[0011] 还有,在交叉点结构中,在进行读出操作及写入操作时降低非选择存储单元的漏

电流成为一个重要的课题。特别是,当元件为例如通过施加正压使该元件成为高阻态化且通过施加负压使该元件成为低阻态化的那种电阻由于施加双向电压而变化的双向型电阻变化元件时,该元件无法采用一般在单向型电阻变化元件时所能使用的通过施加逆向偏压来积极削减漏电流的方法。为此,漏电流将取决于特定工作偏压条件下双向二极管的导通 (ON)/ 断开 (OFF) 特性,阵列尺寸也必然由此而决定。若从目前能够预想到的二极管特性来判断,则有必要较大幅度地削减阵列尺寸,因此需要多分割 (multi-segment) 存储单元阵列。然而,当仅单纯地多分割存储单元阵列时,将导致平面布置 (layout) 面积大大增加,这种情况并不理想。

发明内容

[0012] 鉴于所述问题,本发明的目的在于:在使用电阻变化型元件的非易失性存储装置中能够实现下述结构,即:使阵列尺寸缩小以能够充分降低非选择存储单元的漏电流,而且平面布置面积并没有增加。解决问题的技术方案

[0013] 根据本发明,在使用电阻变化型元件的非易失性存储装置中,采用了多层交叉点结构,同时还采用了分层位线方式 (hierarchical bitline scheme),并且由于实现分层位线方式的选择开关元件所引起的平面布置面积增加的现象也得到抑制。

[0014] 也就是说,本发明涉及一种电阻变化型非易失性存储装置,包括具有电阻值根据电信号发生可逆变化的电阻变化型元件的存储单元,其特征在于:该电阻变化型非易失性存储装置包括基板、和形成在所述基板上并设置有多个所述存储单元的存储单元阵列;在所述存储单元阵列中,所述各个存储单元分别形成在位线和字线之间的交点位置上,并夹在该位线和该字线之间,所述位线沿 X 方向延伸并形成在多层中,所述字线沿 Y 方向延伸并形成在位线间的各层中,分别为每个位线组构成的且共用字线的多个基本阵列面排列在 Y 方向上,该位线组由在层叠加的方向即 Z 方向上排列的位线组成,在所述各个基本阵列面中,偶数层的位线共同连接起来,并且奇数层的位线共同连接起来;所述电阻变化型非易失性存储装置进一步包括全局位线 (global bit line)、和为所述各个基本阵列面设置的第一及第二选择开关元件;所述第一选择开关元件,根据偶数层选择信号控制与该基本阵列面相关的全局位线和在该基本阵列面中共同连接起来的偶数层位线之间的电气连接 / 非电气连接间的切换,所述第二选择开关元件,根据奇数层选择信号控制与该基本阵列面相关的全局位线和在该基本阵列面中共同连接起来的奇数层位线之间的电气连接 / 非电气连接间的切换。

[0015] 根据本发明,存储单元形成在位线和字线之间的交点位置上,该位线沿 X 方向延伸并形成在多层中,该字线沿 Y 方向延伸并形成在位线间的各层中。并且,分别为每个位线组构成的且共用字线的多个基本阵列面排列在 Y 方向上,该位线组由在 Z 方向上排列的位线组成。也就是说,实现了所谓的多层交叉点结构。并且,在各个基本阵列面中,偶数层的位线及奇数层的位线各自共同连接起来,第一选择开关元件控制共同连接起来的偶数层位线和全局位线之间的电气连接 / 非电气连接间的切换,另一方面第二选择开关元件控制共同连接起来的奇数层位线和全局位线之间的电气连接 / 非电气连接间的切换。也就是说,在各个基本阵列面中,利用两个选择开关元件,实现了分层位线方式。由此,因为没过于使平面布置面积增大就能够缩小阵列尺寸,所以能充分削减非选择存储单元的漏电流。发明

的效果

[0016] 根据本发明,以很小的平面布置面积就能够实现存储单元阵列已被多分割的电阻变化型非易失性存储装置。

附图说明

[0017] 图 1(a) 是本发明实施方式所涉及的存储单元的电路图,图 1(b) 是单向型存储单元的电路图,图 1(c) 是无二极管存储单元的电路图。图 2(a) 是表示单层交叉点结构的附图,图 2(b) 是表示多层交叉点结构的附图。图 3(a) ~ 图 3(d) 表示的是本发明实施方式所涉及的存储单元的剖面结构的示例,图 3(e) 表示的是图 1(c) 的无二极管存储单元的剖面结构的示例。图 4 是表示本发明实施方式所涉及的存储单元之电流 - 电压关系的曲线图。图 5 是表示本发明实施方式所涉及的存储单元阵列结构的电路图。图 6 是将图 5 的基本阵列展开成单层结构时的等效电路图。图 7 是表示图 5 的存储单元阵列及其周边电路的电路图。图 8 是表示使用了多个图 5 所示的存储单元阵列的电阻变化型非易失性存储装置之主要部分的电路图。图 9 是表示电阻变化型非易失性存储装置整体结构的电路图。图 10 是图 5 的存储单元阵列的工作时序图。图 11(a) 是表示本发明实施方式所涉及的存储单元阵列的物理结构的平面图,图 11(b) 是表示本发明实施方式所涉及的存储单元阵列的物理结构的剖面图。图 12 是按照各层来分解存储单元阵列的物理结构后所得到的平面图。图 13 是按照各层来分解存储单元阵列的物理结构后所得到的平面图。图 14 是表示存储单元周边的物理结构的变形例的附图。图 15 是表示存储单元周边的物理结构的变形例的附图。图 16 是用来说明选择开关元件设置方法的附图。图 17 是表示大存储阵列的电流 - 电压特性的曲线图。图 18 是表示当采用了本发明实施方式所涉及的结构时的存储阵列的电流 - 电压特性的曲线图。图 19 是表示双向二极管元件的电压 - 电流特性之一例的曲线图。(符号说明)

[0018]	MC	存储单元 BL	位线 WL	字线 GBL	全局位线
	BL_e0 ~ BL_e3	共同连接起来的偶数层位线 BL_o0 ~ BL_o3	共同连接起来的奇数层位线		
	BLs_e0	偶数层选择信号 BLs_o0	奇数层选择信号 1		电阻变
	化型元件 2	二极管元件 3	基板 100		存储单元阵
	列 101 ~ 104	第一选择开关元件 111 ~ 114	第二选择开关元件		

具体实施方式

[0019] 下面,参照附图来详细说明本发明的实施方式。

[0020] 图 1(a) 是本实施方式所涉及的存储单元(交叉点式存储单元)的电路图。如图 1(a) 所示,在本实施方式中以双向型存储单元作为前提。双向型存储单元由电阻双向变化的电阻变化型元件 1、和串联在该电阻变化型元件 1 上的双向二极管元件 2 构成。电阻变化型元件 1 能够处于低电阻状态和高电阻状态,并且电阻值根据电信号而产生可逆变化,因此能够存储信息。也就是说,具有双向性,即:若在电阻变化型元件 1 处于低电阻状态时,施加电压超过规定的第一电压,该电阻变化型元件 1 就变成高电阻状态;若在该电阻变化型元件 1 处于高电阻状态时,方向与第一电压的施加方向相反的施加电压超过规定的第二电压,该电阻变化型元件 1 就变成低电阻状态。双向二极管元件 2 相对于施加电压具有非线性

性电流特性,并且具有电流进行双向流动的双向性。

[0021] 图 19 表示的是双向二极管元件的电压 - 电流特性之一例。 $I_t (> 0)$ 表示决定阈值电压的规定电流, V_1 表示第一阈值电压, V_2 表示第二阈值电压。如图 19 所示,该特性为非线性,在电压 V 满足 $V_2 < V < V_1$ 的区域中,电阻变大,实质上没有电流流动。此时满足 $-I_t < I < I_t$ 。另一方面,在电压 V 满足 $V \leq V_2$ 或 $V_1 \leq V$ 的区域中,电阻值骤然下降,有大电流流动。此时,在满足 $V_1 \leq V$ 的区域中为 $I_t \leq I$,在满足 $V \leq V_2$ 的区域中为 $I \leq -I_t$ 。

[0022] 在此,阈值电压指的是规定电流在流动时的电压。这里的规定电流是为决定阈值电压而能够任意决定的值,是由二极管所控制的元件的特性以及二极管的特性决定的。在通常情况下,将从实质上没有电流流动的状态转换到有大电流流动的状态时的电流决定为阈值电流。

[0023] 此外,虽然在图 19 中正压时的电流大小和负压时的电流大小是以坐标原点为中心对称的,但是它们没有必要一定要对称。例如,可以是 $|V_1| < |V_2|$,也可以是 $|V_2| < |V_1|$ 。

[0024] 还有,用设在位线和字线之间的双向型存储单元来实现一位存储元件。

[0025] 此外,在本发明所涉及的结构中,还能使用图 1(b) 所示的单向型存储单元、及图 1(c) 所示的仅由电阻变化型元件构成的无二极管存储单元。

[0026] 图 2 是表示包含存储单元的立体结构的概念图。图 2(a) 是所谓的单层交叉点式存储单元的立体结构图,在相互正交的位线和字线的交点位置上形成有存储单元 MC,该存储单元 MC 夹在位线和字线之间。图 2(b) 是所谓的多层交叉点式存储单元的立体结构图,是将图 2(a) 的单层交叉点式存储单元叠加起来的结构。

[0027] 图 3(a) 表示的是本实施方式所涉及的存储单元的剖面结构的一个示例。在图 3(a) 中,下布线 11 及上布线 12 中的一个为位线,另一个为字线。并且,在下布线 11 和上布线 12 之间,依次形成有下电极 13、二极管元件 14(相当于双向二极管元件 2)、内部电极 15、TaO 膜 16(相当于电阻变化型元件 1) 以及上电极 17。此外,就 TaO 膜 16 来说,当用 TaO_x 表示钽氧化物时,至少要满足 $0 < x < 2.5$ 。特别是本实施方式中的 TaO_x 膜优选满足 $0.8 \leq x \leq 1.9$ 。

[0028] 图 3(b) 表示的是本实施方式所涉及的存储单元的剖面结构的其它示例, TaO 膜为双层结构。也就是说,用所形成的第一 TaO 氧化物层 (TaO_x) 16a 和第二 TaO 氧化物层 (TaO_y) 16b 代替 TaO 膜 16。在此,优选满足 $0 < x < 2.5$ 及 $x < y$ 。更加优选第二 TaO 氧化物层 (TaO_y) 16b 与上电极 17 相连接,且其膜厚在 1nm 以上且 8nm 以下,并且还优选满足 $0.8 \leq x \leq 1.9$ 以及 $2.1 \leq y < 2.5$ 。

[0029] 图 3(c) 及图 3(d) 表示的是本实施方式所涉及的存储单元的剖面结构的其它示例。在图 3(c) 中省略了内部电极 15,在图 3(d) 中进一步省略了下电极 13 及上电极 17,因而下布线 11、上布线 12 还分别兼作下电极、上电极。还有,图 3(e) 表示的是图 1(c) 的无二极管存储单元的剖面结构的一个示例。此外,在图 3(c)、图 3(d) 及图 3(e) 中,与图 3(b) 相同也能使 TaO 膜 16 成为双层结构。此外,虽然图 3 所示的结构是在二极管元件上设置有电阻变化型元件,但也可以构成为在电阻变化型元件上设置有二极管元件。

[0030] 图 4 是表示本实施方式所涉及的存储单元的电流 - 电压关系的曲线图。图 4 的曲线图与图 1(a) 的电路图相对应。在图 4 中,横轴表示加在位线 - 字线间的电压,纵轴表示

在存储单元中流动的电流。还有,“LR 单元”表示存储单元处于低电阻状态,“HR 单元”表示存储单元处于高电阻状态。如图 4 所示,若目前存储单元处于低电阻状态(LR 单元),当电压上升并超过大约“2V”时,则电流大幅度增加。当电压进一步升高并接近“4V”时,存储单元的电阻值变化,而成为高电阻状态(HR 单元),则电流大幅度减少。另一方面,当电压下降并在大约“-4V”以下时,存储单元的电阻值变化,而成为低电阻状态(LR 单元),则电流大幅度增加。如上所述,在双向上产生电阻变化。

[0031] 图 5 是表示本实施方式所涉及的电阻变化型非易失性存储装置的存储单元阵列结构的电路图。在图 5 中,将位线延伸的方向定为 X 方向,将字线延伸的方向定为 Y 方向,将位线层及字线层层叠起来的方向定为 Z 方向。

[0032] 在图 5 中,位线 BL 沿 X 方向延伸,并形成在多层(在图 5 中为 5 层)中,字线 WL 沿 Y 方向延伸,并形成在位线之间的各层(在图 5 中为 4 层)中。并且,在存储单元阵列 100 中,在位线 BL 和字线 WL 的交点位置上形成有各个存储单元 MC,且该各个存储单元 MC 夹在该位线 BL 与该字线 WL 之间。此外,为了简化附图,而省略图示一部分存储单元 MC 及一部分字线。

[0033] 并且,基本阵列面 0~3 分别由形成在位线 BL 和字线 WL 之间的存储单元 MC 构成,且该基本阵列面 0~3 分别是由排列在 Z 方向上的各层的位线 BL 组成的每个位线组构成的。在各个基本阵列面 0~3 中共用字线 WL。如图 5 所示,在各个基本阵列面 0~3 中,在 X 方向上设置有 32 个存储单元 MC,在 Z 方向上设置有 8 个存储单元 MC。还有,存储单元阵列 100 由排列在 Y 方向上的 4 个基本阵列面 0~3 构成。不过,基本阵列面中的存储单元的数量以及排列在 Y 方向上的基本阵列面的数量并不限于此。

[0034] 并且,在各个基本阵列面 0~3 中,偶数层位线 BL 共同连接起来(BL_e0~BL_e3),并且奇数层位线 BL 共同连接起来(BL_o0~BL_o3)。

[0035] 还形成有沿 Y 方向延伸的全局位线 GBL000~GBL003。还有,分别为各个基本阵列面 0~3 设置了第一选择开关元件 101~104 及第二选择开关元件 111~114。在图 5 中,第一选择开关元件 101~104 及第二选择开关元件 111~114 由 n 型 MOS(金属氧化物半导体场效应)晶体管构成。

[0036] 第一选择开关元件 101~104,根据偶数层选择信号 BLs_e0 控制与该基本阵列面相关的全局位线 GBL000~GBL003 和在该基本阵列面中共同连接起来的偶数层位线 BL_e0~BL_e3 之间的电气连接/非电气连接间的切换。第二选择开关元件 111~114,根据奇数层选择信号 BLs_o0 控制与该基本阵列面相关的全局位线 GBL000~GBL003 和在该基本阵列面中共同连接起来的奇数层位线 BL_o0~BL_o3 之间的电气连接/非电气连接间的切换。

[0037] 由这一构成实现了所述多层交叉点结构。而且还实现了使用位线 BL 和全局位线 GBL 而得到的分层位线方式。还有,在各个基本阵列面 0~3 中,分别将偶数层位线 BL 及奇数层位线 BL 共同连接起来,由此能够将用来实现分层位线方式的选择开关元件数减少到两个。因此,不增加平面布置面积,就能够实现阵列尺寸小的存储单元阵列。

[0038] 图 6 是表示将一个基本阵列面展开成单层结构的等效电路的附图。如图 6 所示,具有八层且每层排列有 32 个存储单元 MC 的基本阵列面与具有两层且每层排列有 128 个存储单元 MC 的阵列等效,这能够理解成可以分别将偶数层位线 BL 及奇数层位线 BL 共同连接

起来。

[0039] 图 7 是表示图 5 的存储单元阵列 100 及其周边电路的电路图。在图 7 中,全局位线译码 / 驱动器 122 驱动控制全局位线 GBL。子位线选择电路 123,按照地址信号 $A0 \sim Ax$ 控制偶数层选择信号 BLs_e0 及奇数层选择信号 BLs_o0 。字线译码 / 驱动器 121 驱动控制各条字线 WL。

[0040] 图 8 是表示电阻变化型非易失性存储装置的主要部分的电路图。如图 8 所示,在实际装置中,设置有多个图 5 所示的存储单元阵列 100,由此构成了存储阵列 200。在图 8 的示例中,设置有 $(n+1) \times 16$ 个存储单元阵列 100。字线译码 / 驱动器 201 驱动控制各条字线 WL,全局位线译码 / 驱动器 202 驱动控制各条全局位线 GBL。子位线选择电路 203,按照地址信号 $A0 \sim Ax$ 控制用于各个存储单元阵列 100 的偶数层选择信号 $BLs_e0 \sim BLs_en$ 及奇数层选择信号 $BLs_o0 \sim BLs_on$ 。

[0041] 图 9 是表示电阻变化型非易失性存储装置的整体结构的电路图。在图 9 中,主要部 300 相当于图 8 所示的结构。

[0042] 在图 9 中,地址输入电路 211 在清除周期、写入周期或读出周期中暂时地锁存来自外部的地址信号,然后将已锁存的地址信号输出给子位线选择电路 203、全局位线译码 / 驱动器 202 以及字线译码 / 驱动器 201。控制电路 212 接收多个输入信号后,将表示清除周期、写入周期、读出周期以及待机时的状态的信号作为与下述各个电路对应的信号输出给子位线选择电路 203、全局位线译码 / 驱动器 202、字线译码 / 驱动器 201、写入电路 214 以及数据输入 / 输出电路 215。还有,控制电路 212 将清除周期、写入周期及读出周期时的清除、写入或读出脉冲产生触发信号输出给写入脉冲产生电路 213。写入脉冲产生电路 213 产生清除周期、写入周期及读出周期内的各清除、写入或读出时间脉冲并持续任意期间 (tp_E 、 tp_P 、 tp_R) 后,输出给全局位线译码 / 驱动器 202 及字线译码 / 驱动器 201。

[0043] 图 10 是图 5 等所示的存储单元阵列的工作时序图。如图 10 所示,能够将存储单元阵列的动作期间大致分为清除周期、写入周期、读出周期以及待机四部分。

[0044] 首先,对写入周期进行说明。在写入周期中,所选择的存储单元的电阻变化型元件从高电阻状态变为低电阻状态,或者从低电阻状态变为高电阻状态。首先,向所选择的全局位线 (在图 10 中为 GBL000) 施加写入电压 V_w 。在除此以外的非选择全局位线上没有施加写入电压 V_w 。还有,在位线选择信号 (偶数层选择信号及奇数层选择信号) 中,所选择的位线选择信号 (在图 10 中为 BLs_e0) 变为电压 V_{sel} 。除此以外的非选择位线选择信号没有产生变化。

[0045] 在图 5 中,由于偶数层选择信号 BLs_e0 变化为电压 V_{sel} ,所以 n 型晶体管即第一选择开关元件 101 ~ 104 导通。并且,因为向全局位线 GBL000 施加写入电压 V_w ,所以在基本阵列面 0 中共同连接起来的偶数层位线 BL_e0 上施加了电压 V_w 。也就是说,位线 BL_e0 成为选择位线。在除此以外的非选择位线上没有施加电压 V_w 。

[0046] 并且,使选择字线 (在图 10 中为 WL00000) 的电压从 V_0 变为 $0V$ 。除此以外的非选择字线的电压仍为 V_0 。由此向夹在选择位线 BL_e0 与选择字线 WL00000 之间的存储单元 MC 施加电压 V_w ,结果是该存储单元 MC 的电阻值发生变化。

[0047] 在清除周期中,基本动作虽然与写入周期相同,但向所选择的存储单元 MC 施加逆向电压 V_e 则与写入周期不同。也就是说,因为选择全局位线 GBL000 的电压仍为 $0V$,所以当

位线选择信号 BLs_e0 变为电压 V_{se1} 时,选择位线 BL_e0 的电压成为 $0V$ 。另一方面,选择字线 $WL00000$ 的电压从 V_0 变为清除电压 V_e 。其结果是向夹在选择位线 BL_e0 和选择字线 $WL00000$ 之间的存储单元 MC 施加了与写入周期方向相反的电压 V_e ,由此该存储单元 MC 的电阻值发生变化。

[0048] 在读出周期中,基本动作虽然与写入周期相同,但向所选择的存储单元 MC 施加比写入电压 V_w 小的读出电压 (V_r-V_{r0}) 则与写入周期不同。也就是说,因为选择全局位线 $GBL000$ 的电压变为电压 V_r ,所以当位线选择信号 BLs_e0 变为电压 V_{se1} 时,选择位线 BL_e0 的电压成为 V_r 。另一方面,选择字线 $WL00000$ 的电压从 V_0 变为 V_{r0} 。其结果是向夹在选择位线 BL_e0 和选择字线 $WL00000$ 之间的存储单元 MC 施加了电压 V_r-V_{r0} ,由此能够进行该存储单元 MC 的电阻变化型元件是高电阻状态还是低电阻状态的读出。

[0049] <存储单元阵列的物理结构>图 11 是表示本实施方式所涉及的存储单元阵列的物理结构的附图。图 11(a) 是平面图,图 11(b) 是剖面图。在图 11(a) 中,左右方向是位线 BL 延伸的 X 方向,上下方向是字线 WL 延伸的 Y 方向,与纸面垂直的方向是 Z 方向。在图 11(b) 中,左右方向是位线 BL 延伸的 X 方向,上下方向是 Z 方向,与纸面垂直的方向是字线 WL 延伸的 Y 方向。

[0050] 在图 11 所示的物理结构中,在基板 3 上形成了具有多个存储单元 MC 的存储单元阵列。并且,全局位线 $GBL0 \sim GBL3$ 沿 Y 方向延伸,并形成在比最下层位线 BL 还靠下的下层(第一布线层)中。还有,第一及第二选择开关元件由 MOSFET(金属氧化物半导体场效应晶体管)构成,是由比全局位线 $GBL0 \sim GBL3$ 还靠下的、形成在基板 3 中的扩散层 105 及栅极 106 构成的。全局位线 $GBL0 \sim GBL3$ 通过第一接点(contact)与扩散层 105 相连接。

[0051] 还有,在各个基本阵列面 $0 \sim 3$ 中,偶数层的各条位线 BL 通过设置在字线层和位线层之间的接点 107 共同连接起来($BL_e0 \sim BL_e3$)。奇数层的各条位线 BL 也同样通过设置在字线层和位线层之间的接点 108 共同连接起来($BL_o0 \sim BL_o3$)。并且,共同连接起来的偶数层位线 $BL_e0 \sim BL_e3$ 分别通过第三接点(接点 131)连接在第二布线上,共同连接起来的奇数层位线 $BL_o0 \sim BL_o3$ 分别通过第三接点(接点 132)连接在第二布线上。

[0052] 构成第一及第二选择开关元件的扩散层 105 通过第一接点、第一布线及第二接点连接在第二布线上。并且,共同连接起来的偶数层位线 $BL_e0 \sim BL_e3$ 及共同连接起来的奇数层位线 $BL_o0 \sim BL_o3$ 经由第二布线与扩散层 105 电气连接在一起。

[0053] 图 12 及图 13 是按照各层分解图 11 所示的物理结构所得到的平面图。参考图 12 及图 13,来进一步详细说明本实施方式所涉及的存储单元阵列的物理结构。

[0054] 图 12(a) 是表示从构成第一及第二选择开关元件的扩散层和栅极形成到第一接点时的附图。如图 12(a) 所示,图 5 的第一选择开关元件 101 $\sim$ 104 及第二选择开关元件 111 $\sim$ 114 由 MOSFET 构成,该 MOSFET 由扩散层 105 及栅极 106 构成。还有,构成与基本阵列面 0 相关的第一及第二选择开关元件 101、111 的 MOSFET 共有成为源极或漏极的扩散区域中的一个区域,并构成了 MOSFET 对。同样,与基本阵列面 1 相关的第一及第二选择开关元件 102、112、与基本阵列面 2 相关的第一及第二选择开关元件 103、113、以及与基本阵列面 3 相关的第一及第二选择开关元件 104、114 也分别共有扩散区域,并构成了 MOSFET 对。

[0055] 所设置的四对 MOSFET 对的栅极长度方向与 Y 方向一致,并且该四对 MOSFET 对排列在 X 方向上。此外,MOSFET 对的数量与基本阵列面的数量相等,当基本阵列面为 n (n 为 2

以上的整数)个时,则排列有n对MOSFET对。

[0056] 还有,在四对MOSFET对中,构成第一选择开关元件101~104的MOSFET的栅极彼此连接起来,同时,第二选择开关元件111~114的栅极也彼此连接起来,从而形成了偶数层选择栅极106a和奇数层选择栅极106b。偶数层选择信号BLs_e0供向偶数层选择栅极106a,奇数层选择信号BLs_o0供向奇数层选择栅极106b。

[0057] 还有,在各MOSFET对共有的扩散区域,分别形成有用来与全局位线GBL0~GBL3连接的第一接点(接点141等)。还有,在第一选择开关元件101~104的其它扩散区域,分别形成有用来与共同连接起来的偶数层位线BL_e0~BL_e3连接的第一接点(接点142等),在第二选择开关元件111~114的其它扩散区域,分别形成有用来与共同连接起来的奇数层位线BL_o0~BL_o3连接的第一接点(接点143等)。

[0058] 图12(b)是表示在图12(a)所示结构的基础上形成了包含全局位线的第一布线和第二接点后的附图。如图12(b)所示,全局位线GBL0~GBL3分别沿Y方向延伸,并通过第一接点(接点141等)与各MOSFET对的共有扩散区域相连接。还设置有通过第一接点与第一选择开关元件101~104的其它扩散区域连接的布线(布线144等)。并且,在该布线上形成有用来与共同连接起来的偶数层位线BL_e0~BL_e3连接的第二接点(接点145等)。而且,设置有通过第一接点与第二选择开关元件111~114的其它扩散区域连接的布线(布线146等)。并且,在该布线上形成有用来与共同连接起来的奇数层位线BL_o0~BL_o3连接的第二接点(接点147等)。

[0059] 图12(c)是表示在图12(b)所示结构的基础上形成了第二布线和第三接点后的附图。该第二布线形成在位于全局位线GBL和存储单元阵列之间的布线层中。如图12(c)所示,四个接点131在左端并列设置在Y方向上,并且其它四个接点132在右端并列设置在Y方向上。也就是说,在各个基本阵列面0~3中共同连接起来的偶数层位线BL_e0~BL_e3的接点区域并列设置在Y方向上,同时,在各个基本阵列面0~3中共同连接起来的奇数层位线BL_o0~BL_o3的接点区域并列设置在Y方向上。还有,从图11(b)的剖面图可以看出共同连接起来的位线BL的连接通孔(contact via)从该布线层的接点区域沿与基板3垂直的方向延伸。

[0060] 并且,设置有布线(布线148等),使接点131与连接在第一选择开关元件101~104的其它扩散区域上的第二接点(接点145等)连接起来。还设置有布线(布线149等),使接点132与连接在第二选择开关元件111~114的其它扩散区域上的第二接点(接点147等)连接起来。由此,接点131分别连接在第一选择开关元件101~104的非共有扩散区域上,接点132分别连接在第二选择开关元件111~114的非共有扩散区域上。

[0061] 如上所述,在全局位线与存储单元阵列之间设置有布线层,并且为实现共同连接起来的位线与选择开关元件之间的电气连接而使该布线层的布线夹持在该两者之间,从而选择开关元件的设置将不会受限于位线接点区域的布置情况,因此能够实现自由度高的设置及尺寸结构。

[0062] 图13(a)是表示在图12(c)所示结构的基础上所形成的偶数层位线的附图。如图13(a)所示,偶数层位线BL通过分别设置在字线层与位线层之间的接点107而共同连接起来(BL_e0~BL_e3),还进一步连接在图12(c)所示的接点131上。此外,在图13(a)及其它平面图中,虽然存储单元MC呈矩形形状,但从实际的成品尺寸来看该存储单元MC为圆形

形状。

[0063] 图 13(b) 是表示在图 12(c) 所示结构的基础上所形成的字线的附图。还有,在图 13(b) 中,用由虚线围成的矩形表示存储单元 MC 一位的尺寸(间距)。在此,X 方向(位线方向)的间距与 Y 方向(字线方向)的间距彼此相等。

[0064] 图 13(c) 是表示在图 12(c) 所示结构的基础上所形成的奇数层位线的附图。如图 13(c) 所示,奇数层位线 BL 通过分别设置在字线层与位线层之间的接点 108 而共同连接起来(BL_o0 ~ BL_o3),还进一步连接在图 12(c) 所示的接点 132 上。

[0065] 此外,当采用所述物理结构时,所增加的平面布置面积相当于用来设置将偶数层位线连接起来的接点 107、131 的区域、以及用来设置将奇数层位线连接起来的接点 108、132 的区域。在此,将 X 方向上的存储单元间距及通孔间距(接点区域的长度)都设为 $0.48 \mu\text{m}$ 。此时,当例如 X 方向上的存储单元数为 32 时,则接点区域所占比例为: $(0.48 \times 2) / (0.48 \times 32 + 0.48 \times 2) = 5.9\%$ 也就是说,当 X 方向上的存储单元数量相当多时,平面布置面积并没有明显增加。

[0066] 图 14 是表示存储单元周边的物理结构的变形例的附图,是在图 13(b) 所示平面图的基础上加以改变而成的。

[0067] 在图 14(a) 的变形例中,使字线 WL 的宽度比图 13(b) 宽,从而字线 WL 的宽度大于位线 BL 的宽度。或者,也可以使位线 WL 的宽度比图 13(b) 窄。但是,字线 WL 及位线 BL 的间距并没在图 13(b) 的基础上发生变化,因此存储单元 MC 的尺寸 X、Y 没有发生变化。

[0068] 增加字线宽度的原因是:由于字线比位线长,所以降低字线的电阻值,能够尽可能减小写入及读出时的电位降。另一方面,因为位线比字线短,所以难于产生电位降。由此,削减位线宽度,并尽可能地扩大间距,便能够防止制造时由于微粒(particle)等引起的短路缺陷所造成的成品率下降。

[0069] 首先,将字线和位线的掩膜尺寸设为不同数值的方法是一种实现图 14(a) 所示结构的方法。在制造工艺中分别实现字线形成工序及位线形成工序之光刻条件最佳化的方法也是一种实现图 14(a) 所示结构的方法。一般认为作为实现光刻条件最佳化的方法有例如调整曝光时间长短、以及在字线形成工序中采用感光度更高的曝光装置的方法。

[0070] 在图 14(b) 的变形例中,与图 14(a) 一样,使字线 WL 的宽度大于位线 BL 的宽度。并且,增大字线 WL 的间距。由此,存储单元 MC 的横向尺寸较长,X 方向的间距比 Y 方向的间距大。图 14(b) 所示结构的目的是实现方法与图 14(a) 相同。

[0071] 在图 14(c) 的变形例中,在图 14(b) 的基础上还进一步使存储单元 MC 自身的形状也成为长方形。也就是说,存储单元 MC 的形状成为 X 方向尺寸大于 Y 方向尺寸的长方形。但是,实际加工成的形状是椭圆形。这样一来,因为通过增加存储单元的面积,能够增大读出电流(特别是电阻变化型元件处于低电阻状态时的读出电流),所以能够使读出操作容限(margin)增大。

[0072] 图 15 也是表示存储单元周边的物理结构的变形例的附图,是在图 11(b) 所示剖面图的基础上加以改变而成的。在图 15 的变形例中,位线 BL 的厚度小于字线 WL 的厚度。如上所述,图 15 的变形例是基于下述条件的示例,即:能够使位线的电阻高于字线的电阻。由此,能够使存储单元阵列整体高度降低。特别是容易确保多层化时的平坦性,并且光刻工序等微细加工也变得容易。还能够降低位线的寄生电容。

[0073] 一般认为：实现图 15 结构的方法除了有单纯地使位线层的膜厚小于字线层的膜厚的方法以外，还有例如用不同于字线的材料作位线材料的方法。例如，字线可以由铝、铜等形成，位线可以由钨、钽 (Ta) 及氮化钽 (TaN) 等薄膜导电材料形成。此外，图 14 及图 15 所示的变形例并不仅适用于本实施方式中的采用了多层型分层位线的交叉点结构存储单元，对单层结构的分层位线以及一般的交叉点型存储单元也适用，此时有希望获得相同的效果。

[0074] 在本实施方式的存储单元阵列的物理结构中，成为第一及第二选择开关元件的 MOSFET 形成在比位线及字线还靠下的下层。此时，优选所形成的 MOSFET 区域从 Z 方向看去时（看向 XY 平面时）没有从位线和字线交叉且设有存储单元的区域中露出来。也就是说，用来实现分层位线方式的第一及第二选择开关元件没有使存储单元阵列面积增大。而且，优选没有增大存储单元的间距（布线间距）就能实现所述 MOSFET 布置的方法。参考图 16 对该方法进行说明。

[0075] 如图 16(a) 所示，首先以下述结构作为前提，即：使构成第一选择开关元件的偶数层选择用晶体管 and 构成第二选择开关元件的奇数层选择用晶体管组成一对，并共有源、漏极之一（相当于图 12(a) 所示的 MOSFET 对）。将成对的晶体管在 Y 方向上的尺寸设为 Y_{tr} 。根据设计规则及晶体管的击穿电压规格等决定尺寸 Y_{tr} 。还有，将位线 BL 的布线间距（存储单元的 Y 方向间距）设为 Y_m 。 $Y_m = L$ （布线宽度）+ S （布线间距）。并且，将字线 WL 的布线间距设为 X_k 。

[0076] 在此，假设当 $Y_{tr} \leq 4 \times Y_m$ 成立时就设置四条位线。也就是说，设置四个基本阵列面。此时，需要奇数层选择用晶体管和偶数层选择用晶体管各四个。将在 X 方向上设置了四对奇数层选择用晶体管和偶数层选择用晶体管对时的尺寸设为 X_{tr} 。根据设计规则及晶体管的电流规格等决定尺寸 X_{tr} 。并且，若将字线所在的 X 方向上的范围设为 X_m ，则要决定出能满足 $X_m > X_{tr}$ 的字线的数量。在图 11 的物理结构中，当看 XY 平面时字线 WL 的数量为 32。

[0077] 还有，图 16(b) 表示 $4 \times Y_m < Y_{tr} \leq 8 \times Y_m$ 成立时的示例。在图 16(b) 的示例中，设有八条位线，并设置有八个基本阵列面。还有，在 X 方向上设有八对奇数层选择用晶体管和偶数层选择用晶体管对，要决定出能满足 X_m 大于此时的尺寸 X_{tr} 的字线的数量。

[0078] 此外，在图 16 示例以外的情况下，例如当 $Y_{tr} \leq 6 \times Y_m$ 成立时，只要进行下述设置即可，即：设置六条位线，并设置六个基本阵列面，且在 X 方向上设置六对奇数层选择用晶体管和偶数层选择用晶体管对。还有，例如当 $8 \times Y_m < Y_{tr} \leq 16 \times Y_m$ 成立时，基于与上述相同的想法，只要进行下述设置即可，即：设置十六条位线，并设置十六个基本阵列面，且在 X 方向上设置十六对奇数层选择用晶体管和偶数层选择用晶体管对。

[0079] 一般来说，若在观看 XY 平面时，将位线的数量（相当于基本阵列面的数量）设为 n 并将字线的数量设为 k ，则优选满足： $Y_{tr} \leq n \times Y_m$ 、 $X_{tr} \leq X_m = k \times X_k$ 。此时，构成第一及第二选择开关元件的晶体管的区域并没有从设有存储单元的区域中露出。因此，不增大存储单元阵列的平面布置面积，就能够设置用来实现分层位线方式的第一及第二选择开关元件。

[0080] 本申请发明人在考虑多层型分层位线结构时注重的是以下几个方面。

[0081] 第一个方面是本申请发明人认为从削减制造工序的观点来看，优选在字线或位线

的上下层(Z方向)两侧设置存储单元的结构。也就是说,若在相互叠加起来的字线和位线的所有交叉点上都设置有存储单元,则具有下述优点,即:相对于Z方向的存储单元数来说,能够将字线及位线的条数减至最少。但若在所述多层结构中将各层所有的位线共同连接起来,则与所选择的一条字线相对地将选出两个存储单元。

[0082] 在本发明中,为了能够相对于所选择的一条字线选出一个存储单元,而将位线分成偶数层和奇数层后,使偶数层和奇数层的位线各自共同连接起来,而且还分别设置了选择开关元件,从而能够对偶数层和奇数层中的任意之一进行选择。也就是说,将图6左侧所示的结构作为基本阵列面的结构。还有,使包含设置在基本阵列面下层的选择开关元件的且设置有多个基本阵列面的平面布置的XY形状成为矩形形状。通过简单地排列成这种平面布置,很容易地就能够构成存储器。

[0083] 第二个方面是探讨了偶数层和奇数层所对应的选择开关元件的布置方法。也就是说,虽然一个基本阵列面需要两个选择开关元件,但优选由基本阵列面自身的设置尺寸决定存储单元阵列的平面布置尺寸,而并非由选择开关元件的设置尺寸决定该存储单元阵列的平面布置尺寸。因此,下述设置方法非常有效,即:在Y方向上设置多个基本阵列面,并将这些基本阵列面所对应的多个选择开关元件设置为使该多个选择开关元件全部位于所述基本阵列面之下的区域中。

[0084] 第三个方面是进一步对将多个基本阵列面所对应的多个选择开关元件全部设置在该多个基本阵列面之下的区域中时的设置结构进行了探讨。

[0085] 所考虑的是:在图5所示的结构中,将第一选择开关元件101~104和第二选择开关元件111~114设置在相关的多个基本阵列面0~3之下,并用很少的布线层实现与位线之间的连接。从图8中可以看出:相对于包括多个基本阵列面(在图5中为四个基本阵列面)的块100来说,X方向的偶/奇数层选择信号被排列在X方向上的块100所共有。在此,因为偶/奇数层选择信号连接在选择开关元件的栅极上,所以在X方向上设置栅极的多晶硅布线、并且只用多晶硅布线连接块内外的晶体管的栅极。这一结构对于削减布线层数是有效的。

[0086] 基于这一想法,如图12(a)所示,使构成第一选择开关元件101~104的MOSFET的栅极宽度方向与X方向一致,以将多晶硅栅极的位置对齐并相互连接起来,从而形成了偶数层选择栅极106a。同样地使构成第二选择开关元件111~114的MOSFET的栅极宽度方向与X方向一致,以将多晶硅栅极的位置对齐并相互连接起来,从而形成了奇数层选择栅极106b。并且,用构成第一选择开关元件101~104的MOSFET和构成第二选择开关元件111~114的MOSFET分别构成栅极长度方向为Y方向的MOSFET对,各MOSFET对共有扩散区域。

[0087] 还有,当为所述平面布置时,构成选择开关元件的MOSFET的栅极宽度方向与存储单元阵列的位线为同一方向。由此,通过增加基本阵列面中同一位线上的位数,就能增大各个选择开关元件的栅极宽度,而不会使各个选择开关元件从存储单元阵列中露出。也就是说,选择开关元件的栅极宽度的自由度提高。

[0088] 另一方面,如参照图16所说明的那样,按照构成选择开关元件的MOSFET的设计规则及击穿电压规格等,决定成对的选择开关元件的Y方向(栅极长度方向)尺寸 Y_{tr} 。也就是说,通过调整基本阵列面的数量,使存储单元阵列的Y方向尺寸大于 Y_{tr} ,就能够使选择

开关元件在 Y 方向上不从存储单元阵列中露出。

[0089] 这样一来,就能够自由设定存储单元阵列之下的选择开关元件的 X 方向(栅极宽度方向)尺寸,并使 Y 方向(栅极长度方向)尺寸也具有一定的自由度。因此,这一结构还能适应选择开关元件的晶体管种类及栅极宽度尺寸的改变,并能灵活适应各种工艺,同时还能够确实获得作为选择开关元件所需要的晶体管能力。

[0090] 下面,在特别关注全局位线方向的基础上,对本发明的存储阵列结构的效果进行说明。

[0091] 如图 5 及图 8 所示,本发明的存储阵列结构示例的一个特征在于:全局位线 GBL 的方向与位线 BL 的方向垂直(与字线 WL 的方向相同)。这样设置是为了保证在同时选择多个存储单元时不会使电流集中在全局位线 GBL 或字线 WL 上。

[0092] 也就是说,在图 8 的结构中,当进行十六位访问(各块一位)时,若选择了一个位线选择信号(还包含区分为偶数/奇数层选择信号的情况),则选出与该位线选择信号相关的 16 个块,即:块 0~块 15。在各个块中,用所选择的一条字线和一条全局位线选出一个存储单元。因此,用单独的字线和全局位线对每块一位共计十六位进行访问。

[0093] 因为本存储单元由电阻变化型元件构成,所以在被访问期间电流持续流动,特别是,在清除及写入时由于其性质的缘故则将有较大电流流动。在本发明的结构中,在从全局位线译码/驱动器 202 到字线译码/驱动器 201 为止的电流通路上仅存在一个选择存储单元。因此,在对驱动选择线的驱动器的能力进行设计时,仅考虑这一个存储单元即可,还具有能够将布线的电压降削减到最小的效果。还有,在图 8 中,假设同时进行 16 位的访问,因而在 Y 方向上设置了 16 列块,但是根据本发明的结构,通过增加块的列数,即:例如在同时进行 32 位的访问时在 Y 方向上设置 32 列,在同时进行 64 位的访问时在 Y 方向上设置 64 列,就能够在不损害各位特性的情况下很容易地增加同时访问的位数。

[0094] 另一方面,在全局位线与位线在同一方向的情况下,在所选择的一条位线中流动的电流将与进行同时访问的位数成比例地增加。由此,将产生下述问题,即:位线驱动器的能力不足,在离位线驱动器近的位和离位线驱动器远的位之间由于加在存储单元上的电压相差很大而使得存储单元的特性存在很大差异。特别是在写入时影响更大。

[0095] 因此,根据本发明的结构,能够收到下述效果,即:容易同时进行多位访问,并且由于各个选择驱动器仅负责一位存储单元,所以能够获得总是稳定的存储单元的特性。

[0096] 而且,在选择开关元件的布置中,也由于全局位线 GBL 的方向与位线 BL 的方向垂直,而使得连接变得容易。也就是说,如图 12(b) 所示,使位线选择信号线作为栅极布线形成在 X 方向上,使各条全局位线 GBL 沿着 Y 方向形成在各个选择开关元件的上层,并且经由接点 141 连接在扩散层上,从而很容易就能够实现布线连接。

[0097] 图 17 及图 18 是用来表示本实施方式效果的附图,并且是表示根据本实施方式而使位线漏电流得以降低的曲线图。图 17 表示的是当没有采用本实施方式结构时的大存储阵列(4k×4k 位)的电流-电压特性,图 18 表示的是当采用本实施方式结构时的小存储阵列(32×4k 位)的电流-电压特性。还有,在图 17 及图 18 中,用虚线表示从所选择的存储单元中流出的电流值。

[0098] 如图 17 所示,在为大存储阵列时,来自非选择存储单元的漏电流就会超过选择存储单元的电流。与此相对,如图 18 所示,当按照本实施方式的结构使阵列尺寸缩小时,来自

非选择存储单元的漏电流变得特别小。由此,确实能够检测出选择存储单元的电流。产业实用性

[0099] 综上所述,在本发明中,因为能够以很小的平面布置面积实现存储单元阵列已被多分割的电阻变化型非易失性存储装置,所以例如在实现高集成且小面积的存储器时本发明是有用的。

双向型存储单元

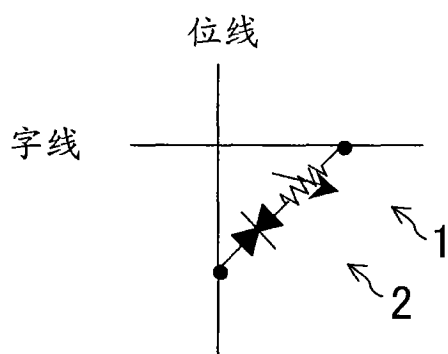


图 1(a)

单向型存储单元

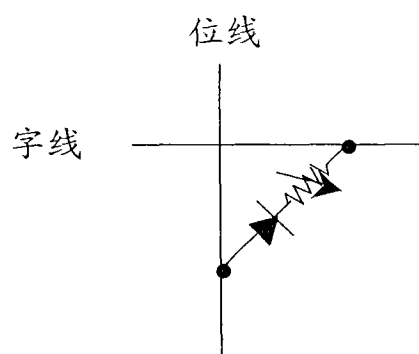


图 1(b)

无二极管存储单元

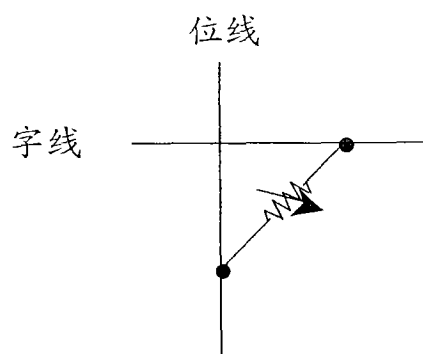


图 1(c)

单层交叉点式存储单元

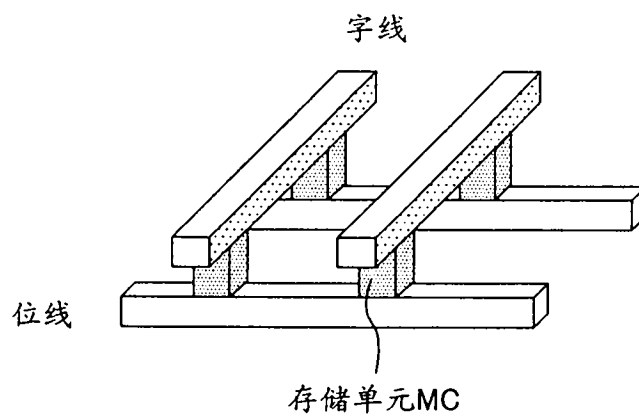


图 2(a)

多层交叉点式存储单元

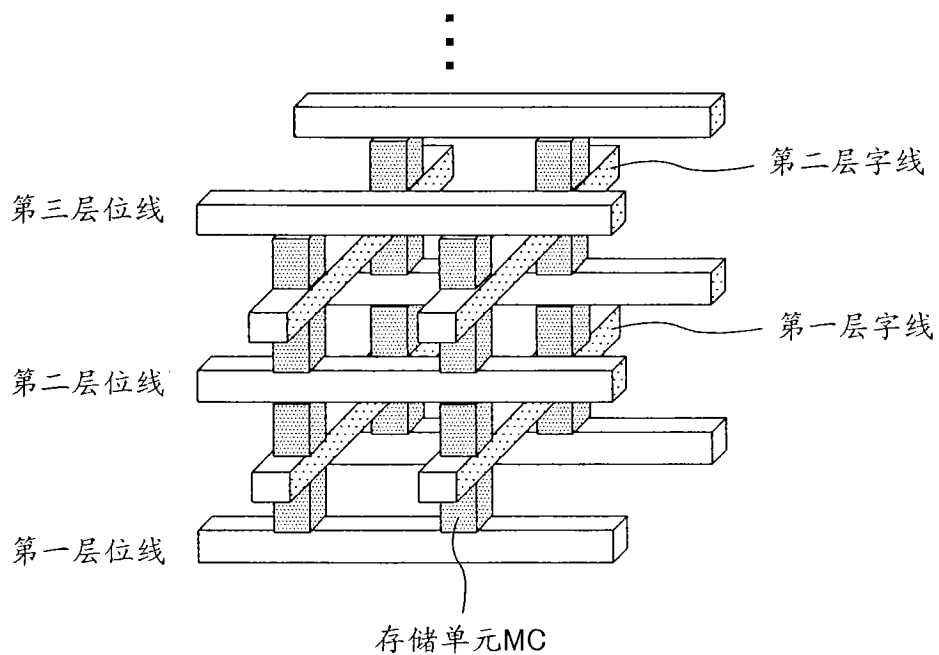


图 2(b)

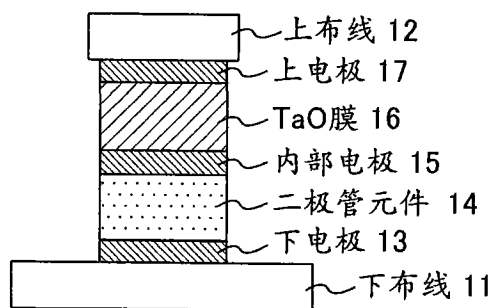


图 3(a)

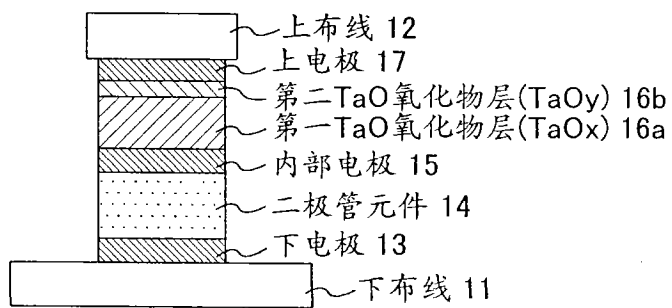


图 3(b)

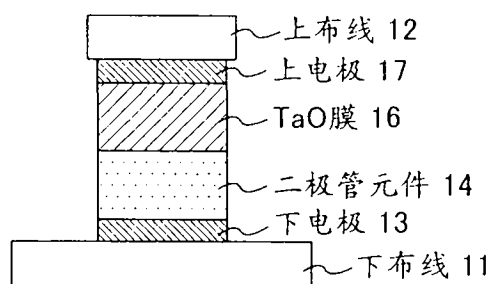


图 3(c)

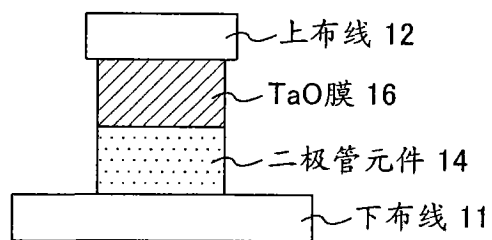


图 3(d)

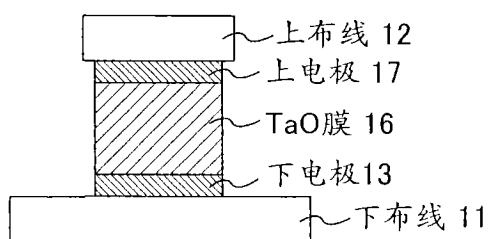


图 3(e)

存储单元的电流特性

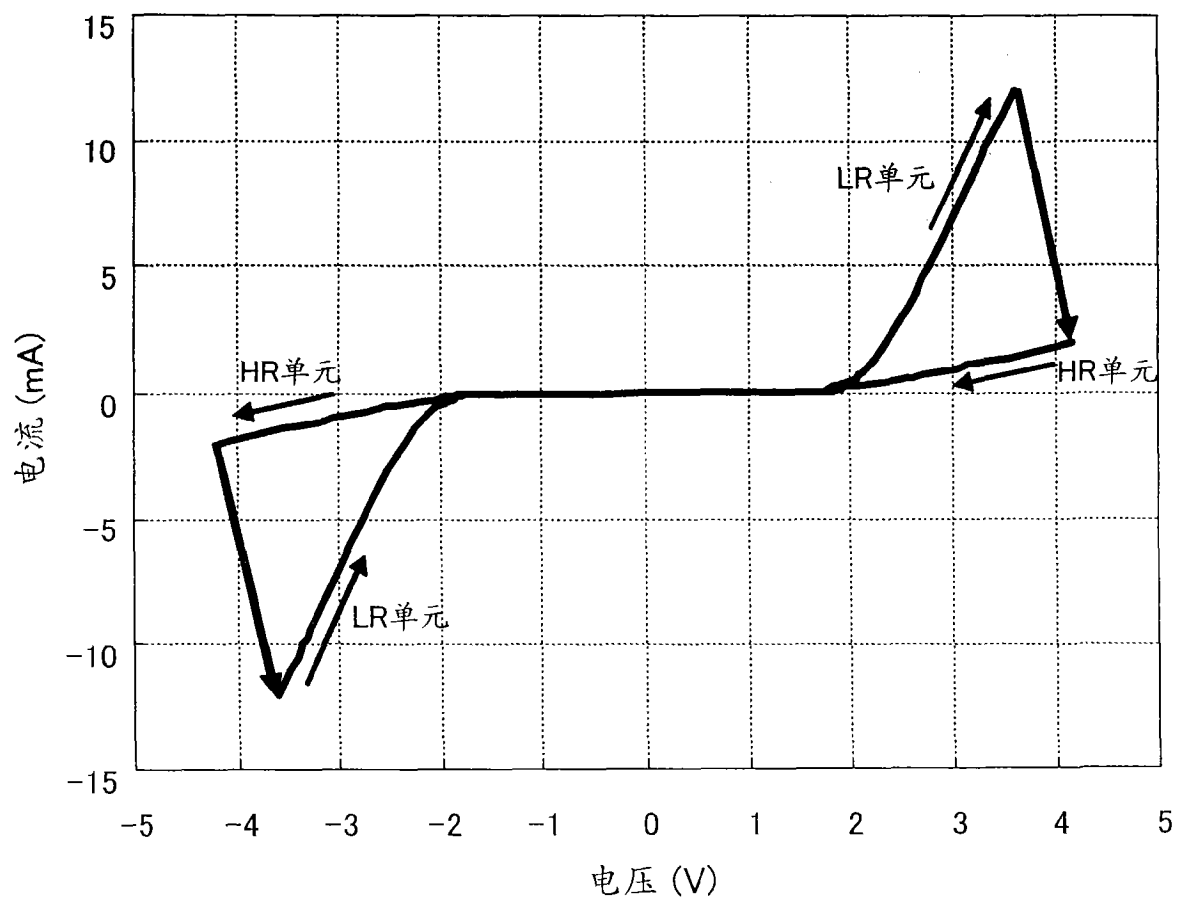


图 4

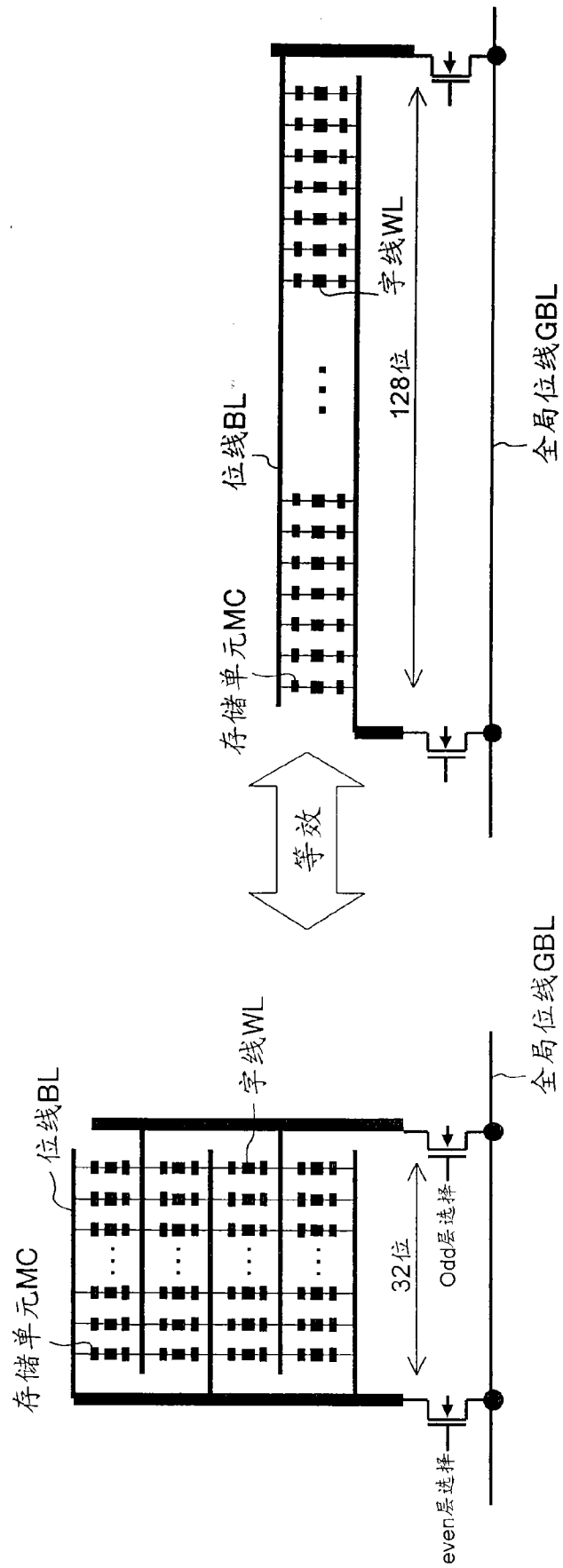


图6

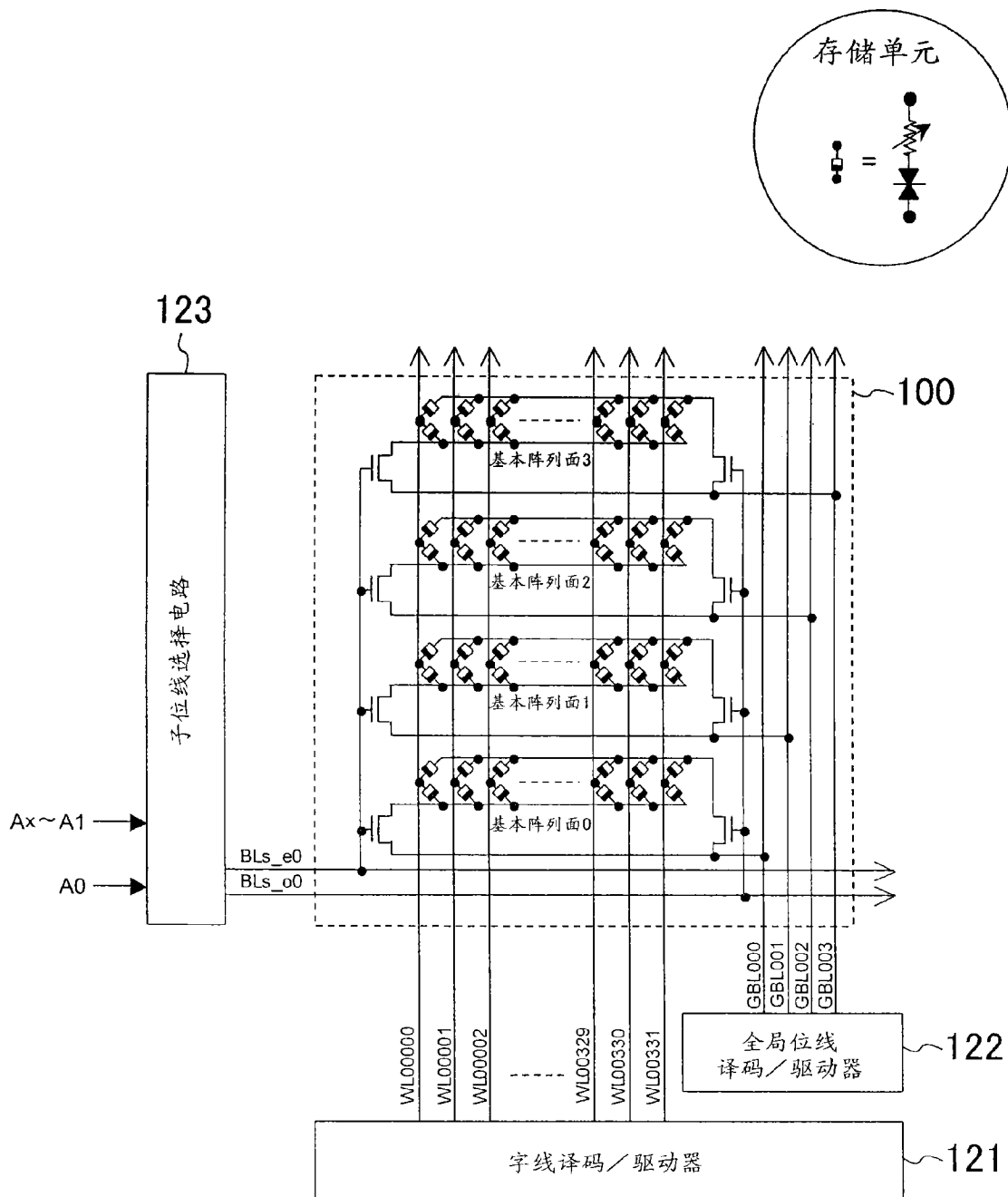


图 7

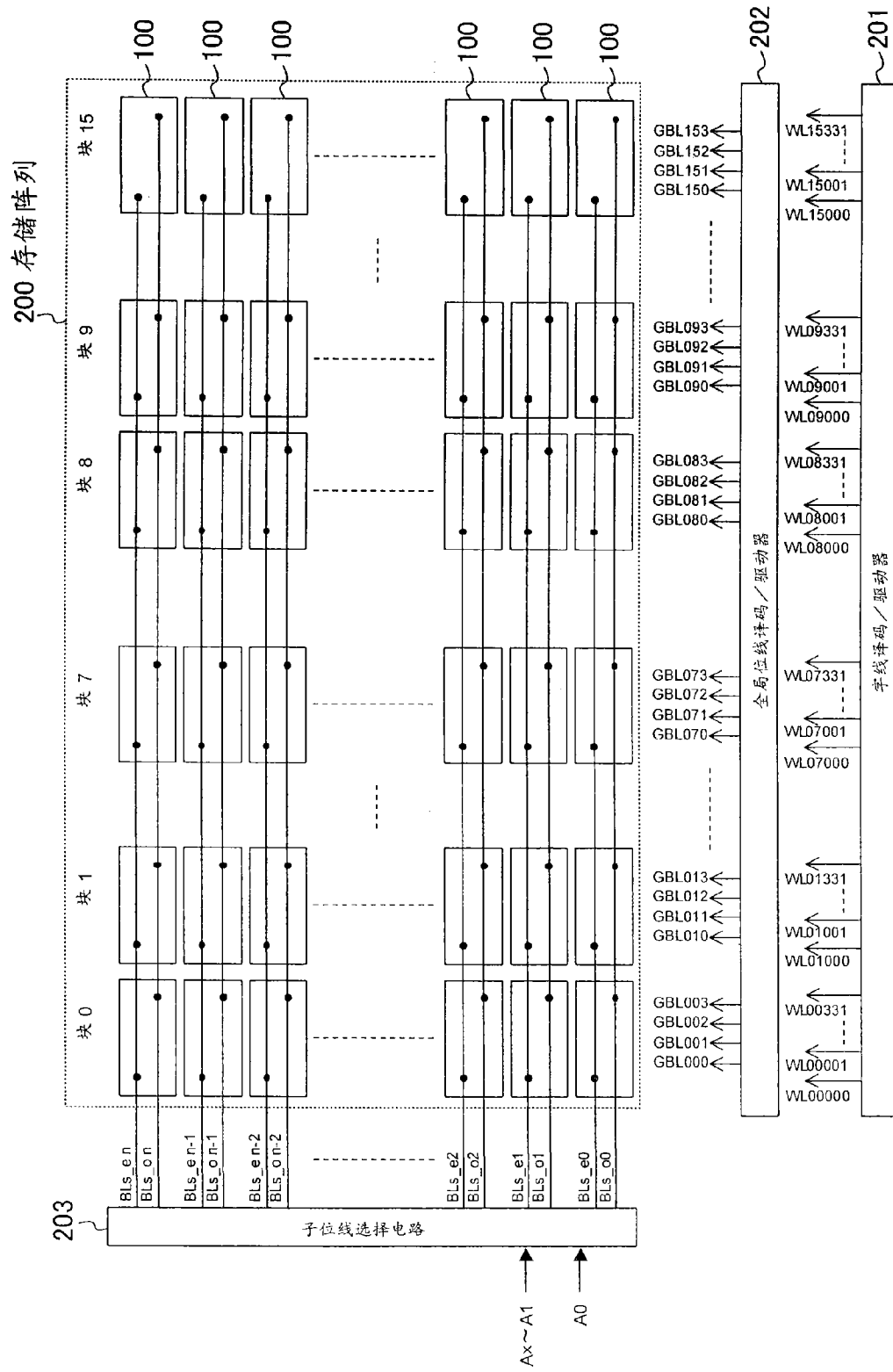


图8

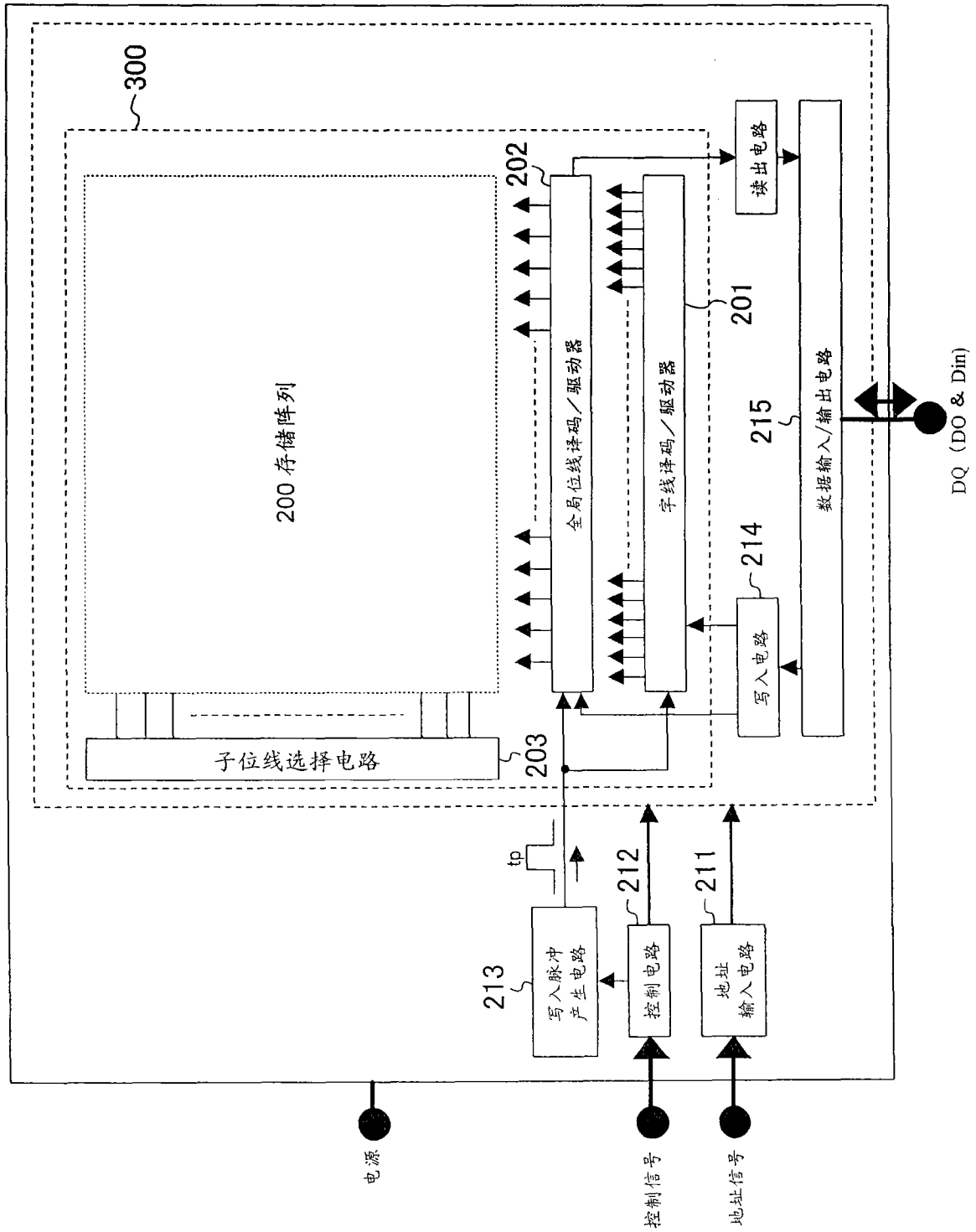


图9

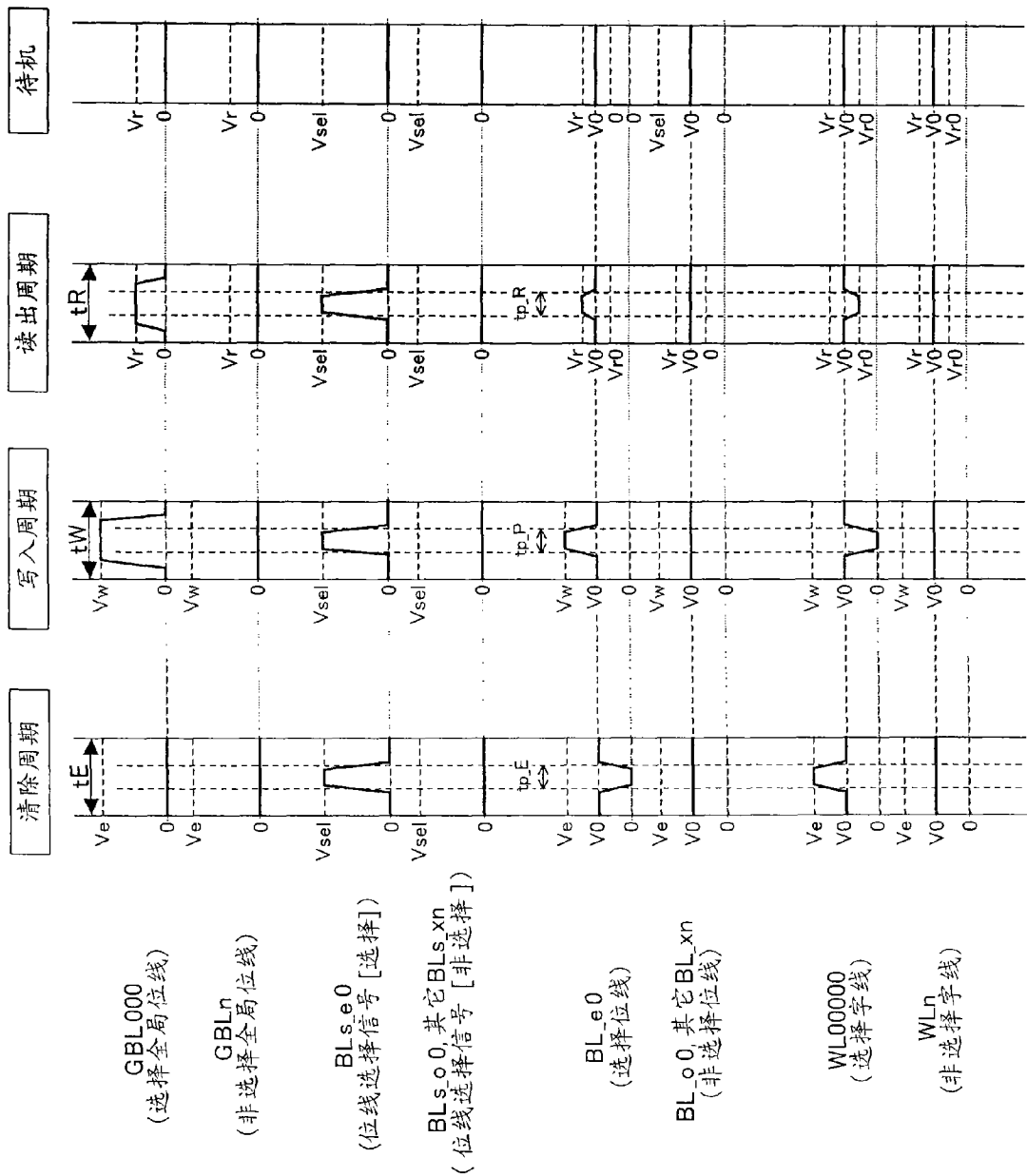
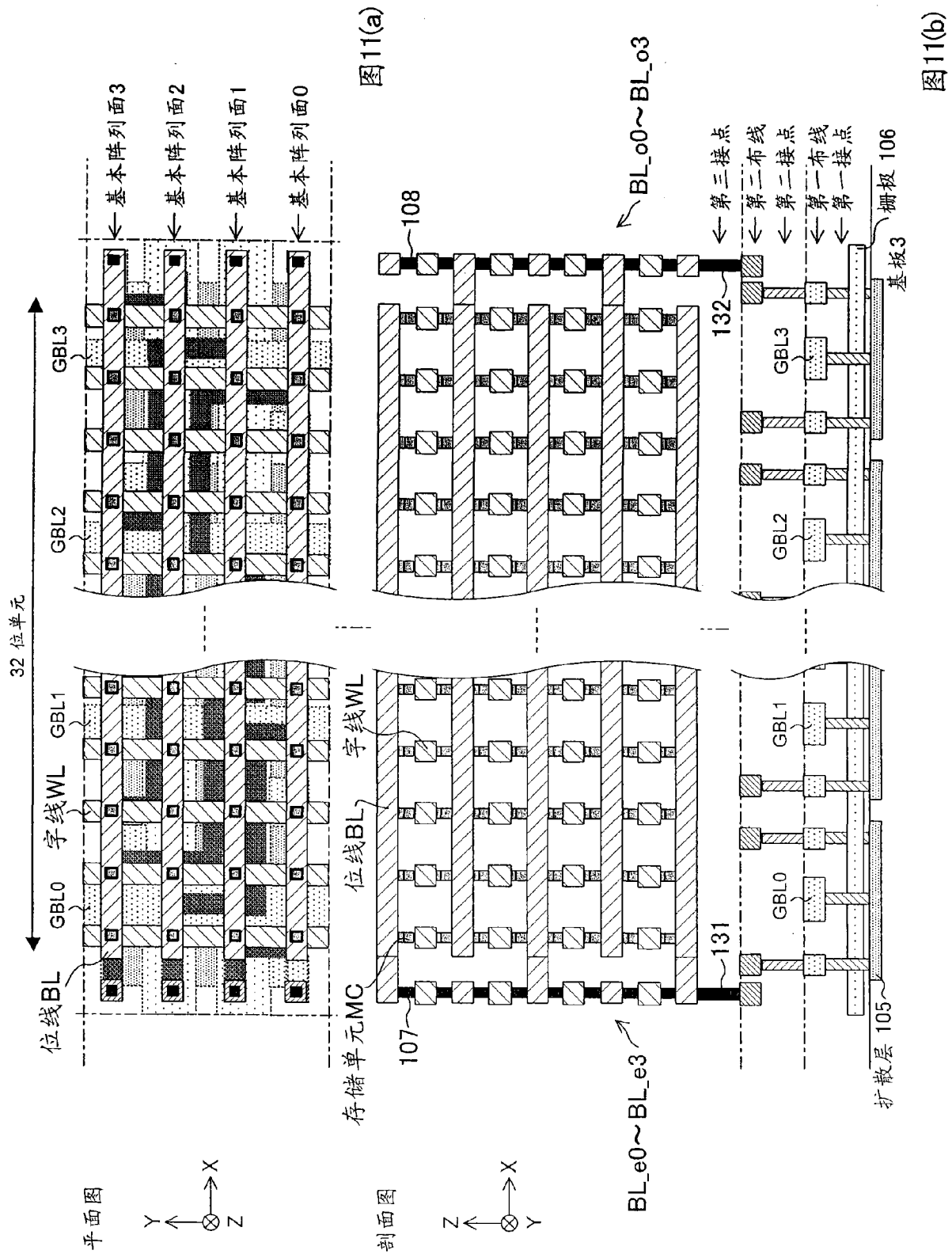
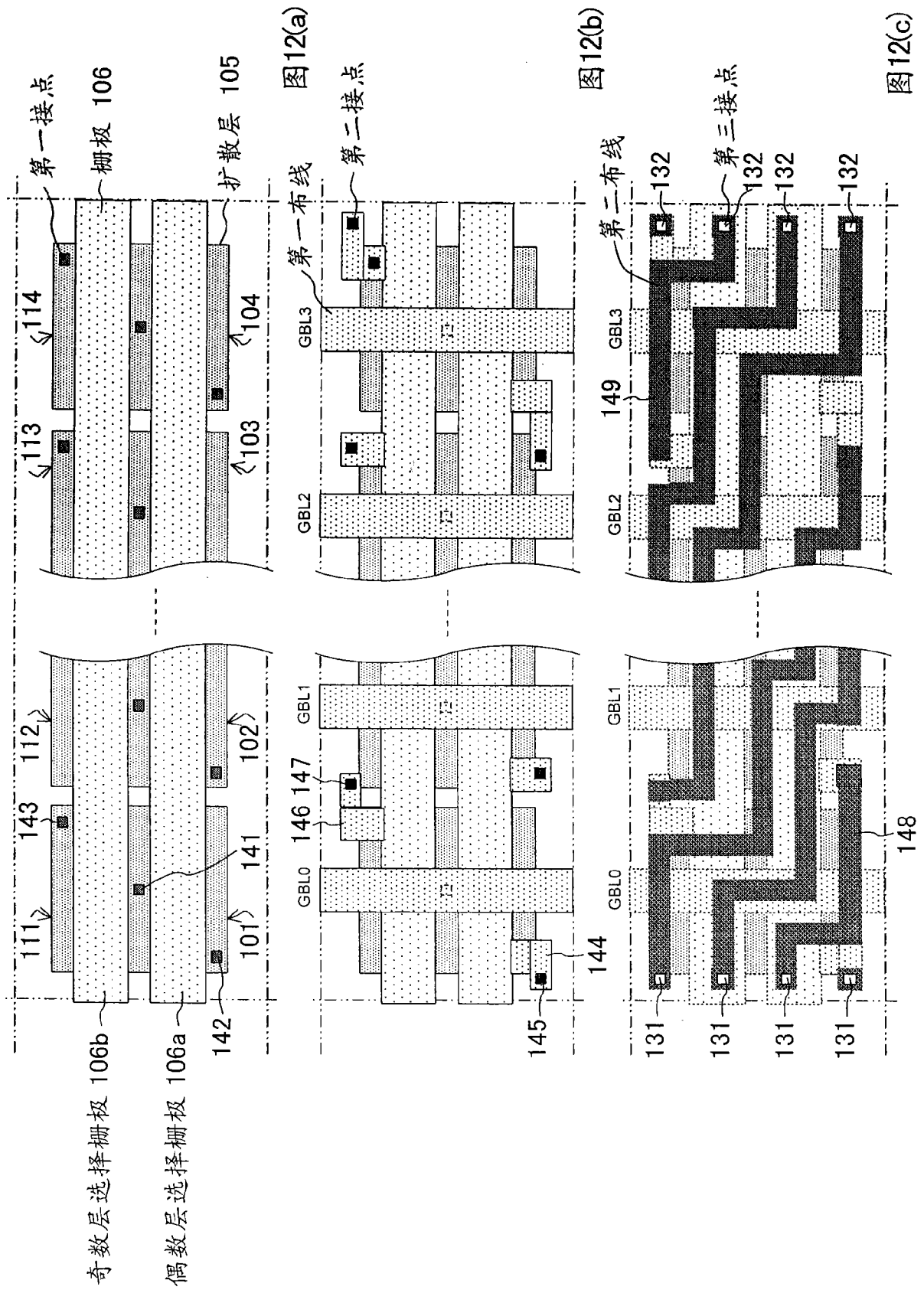
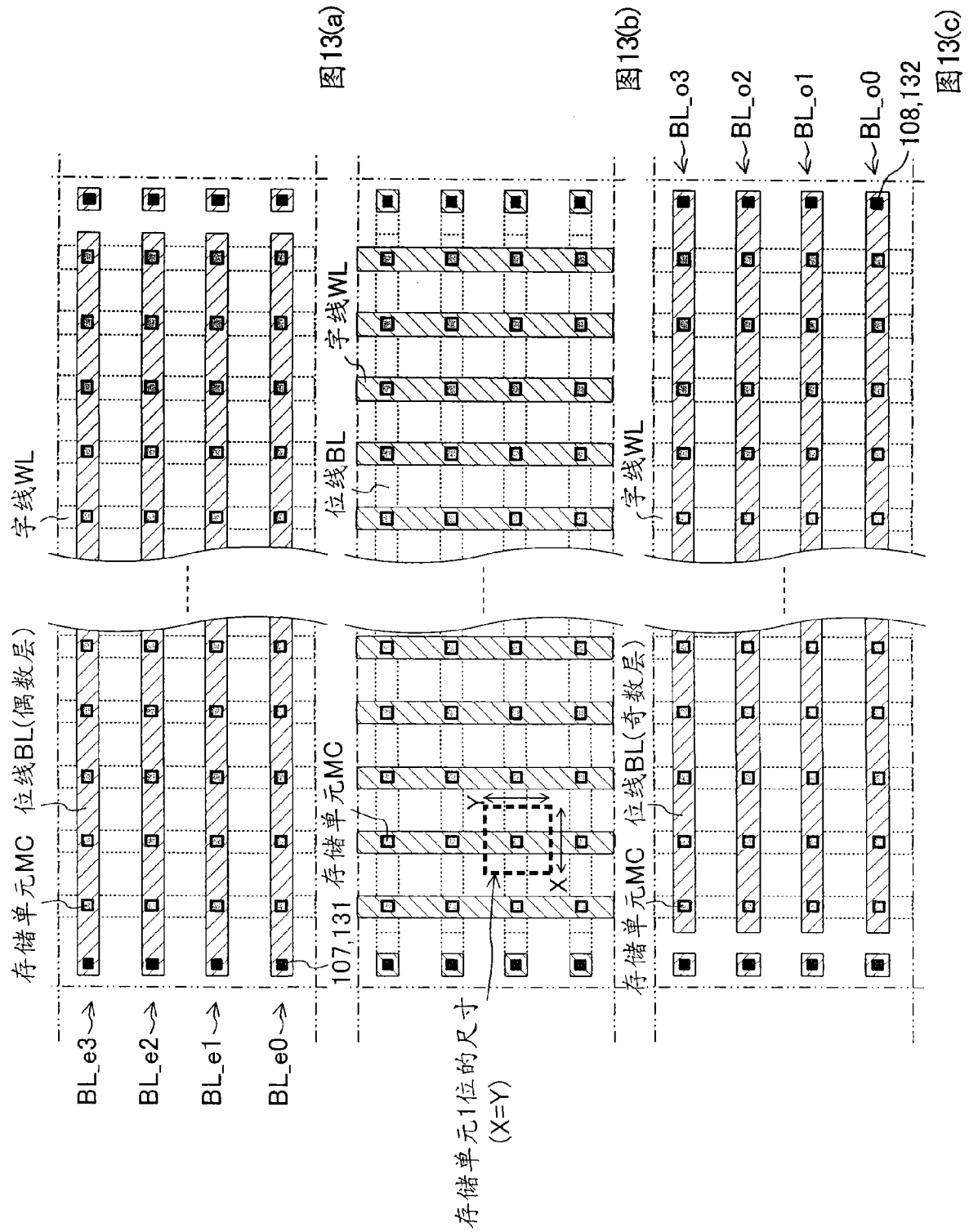
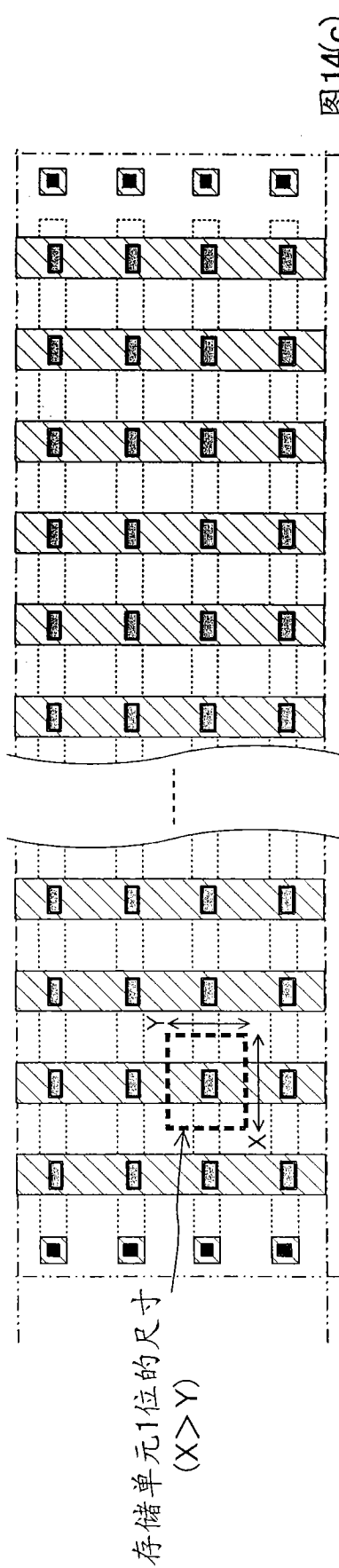
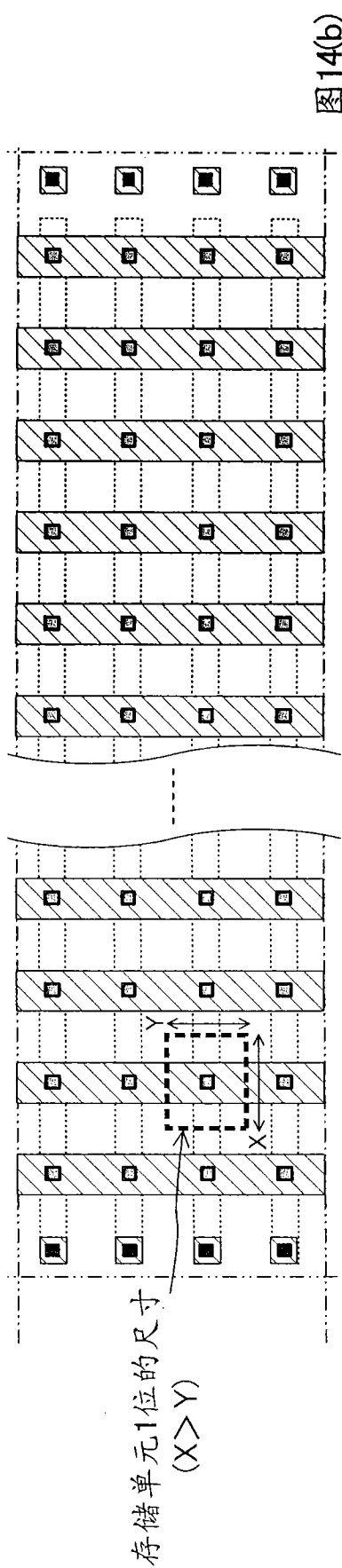
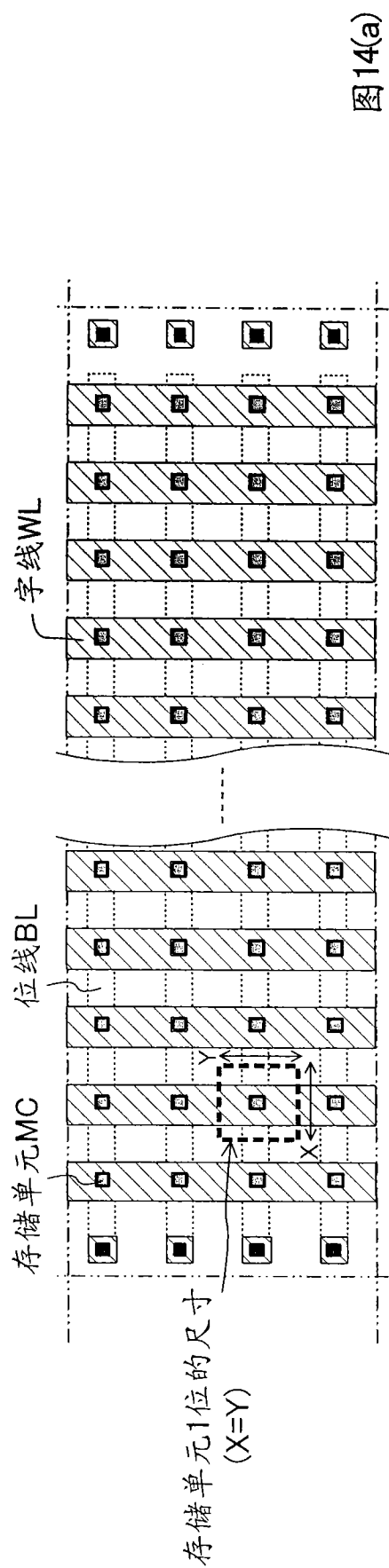


图10









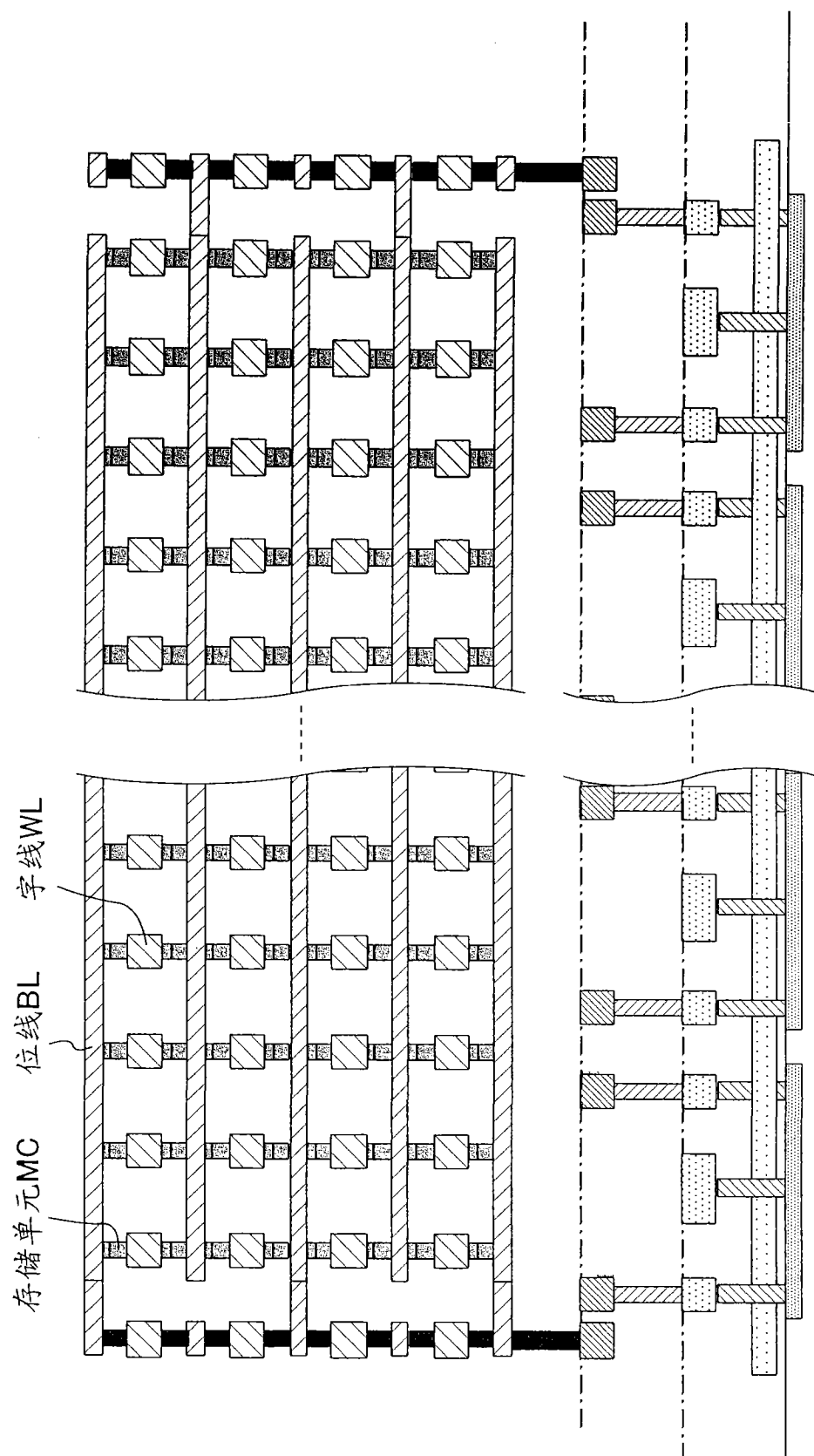
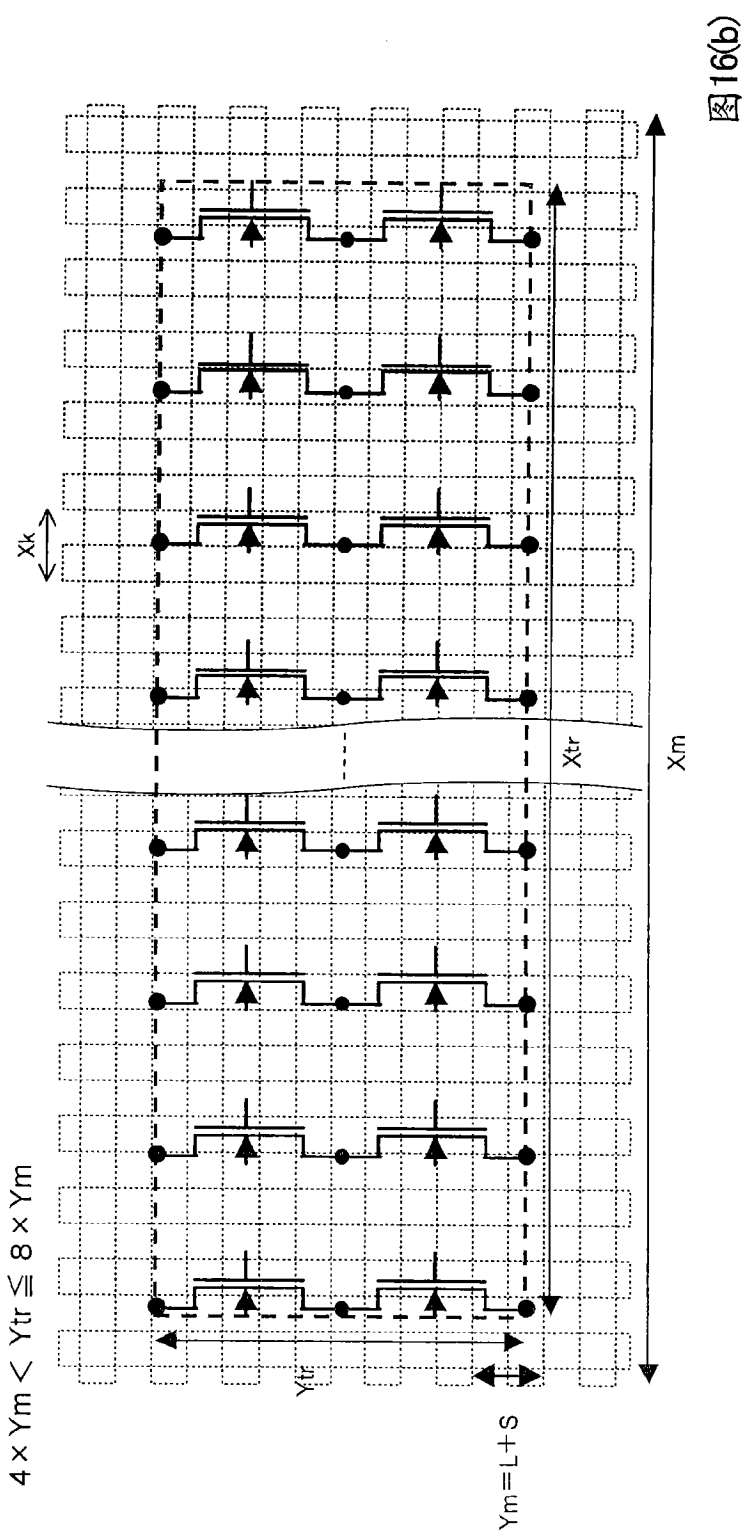
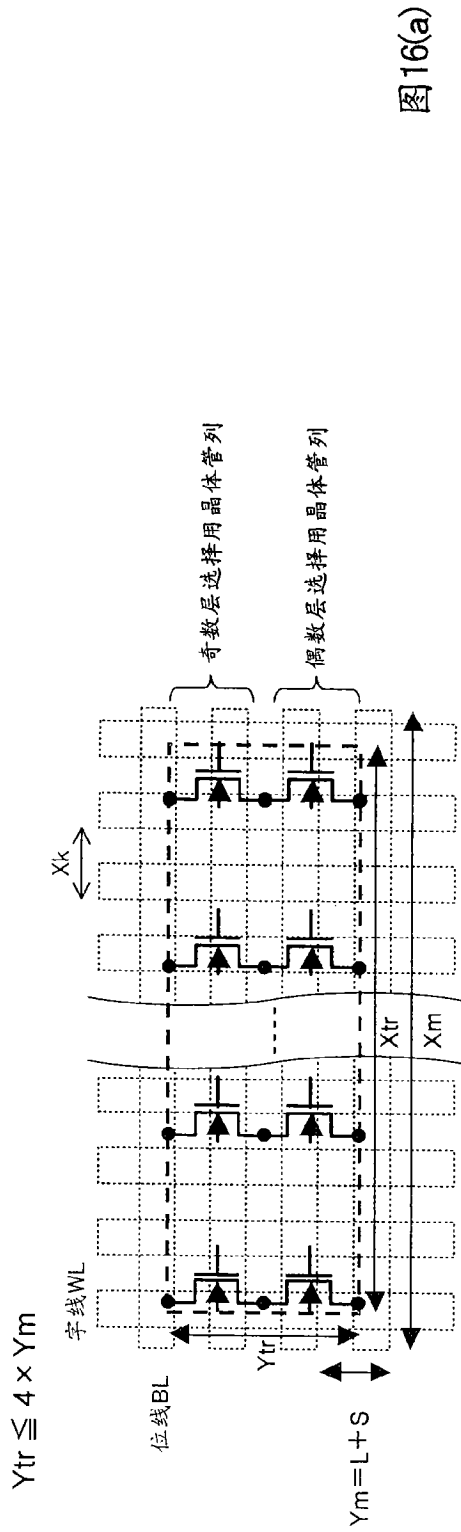


图15



4k×4k位存储阵列的I-V特性

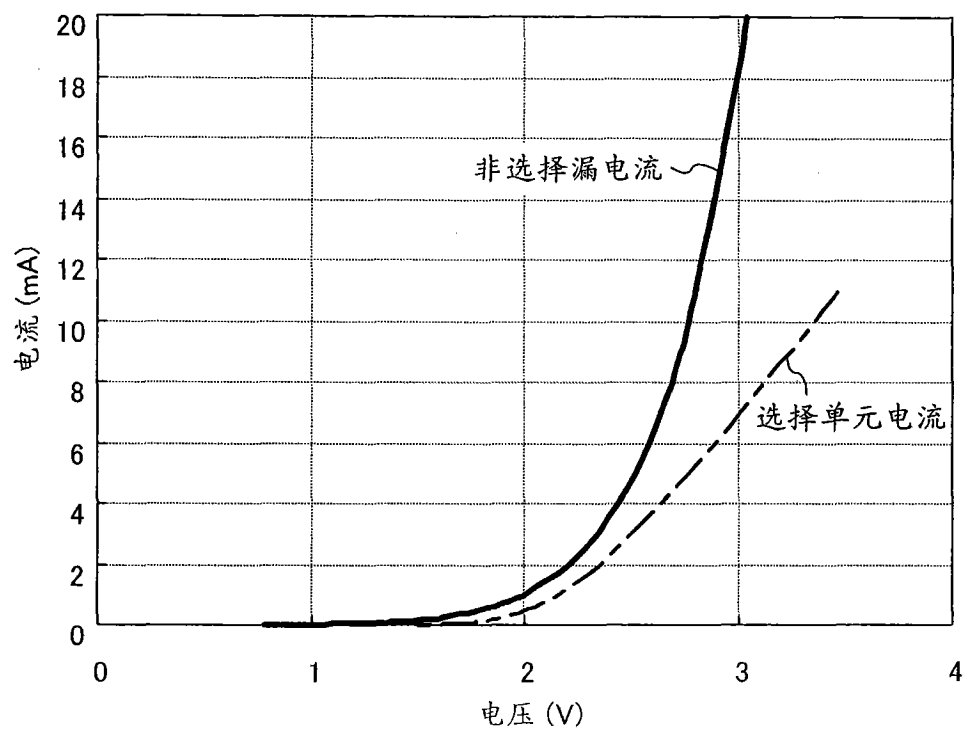


图 17

32 × 4 k 位存储阵列的 I-V 特性

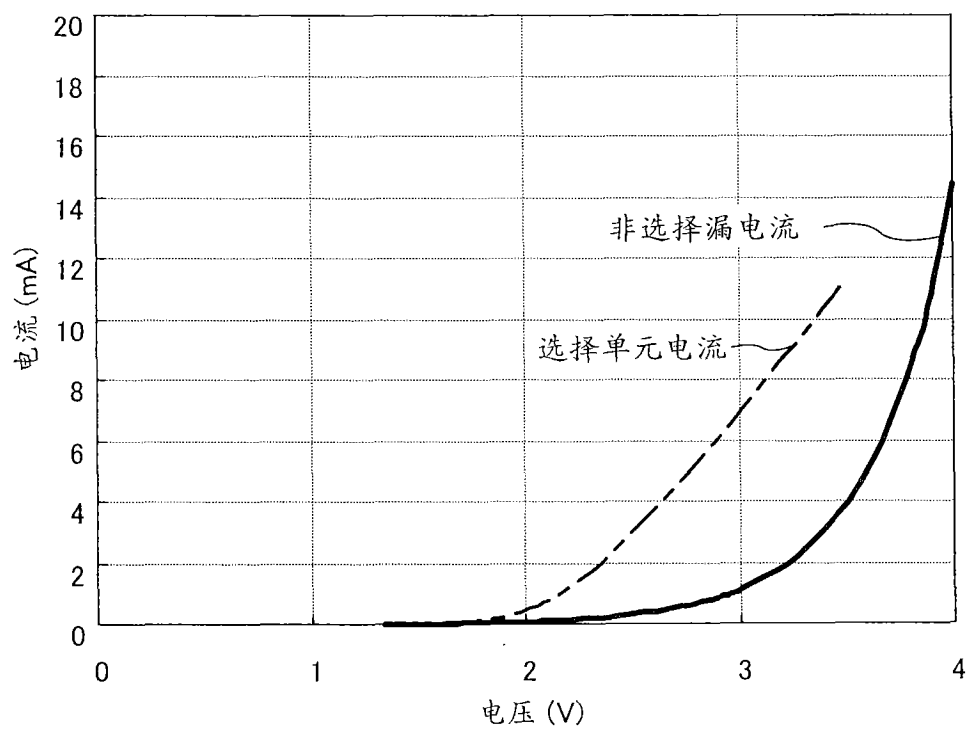


图 18

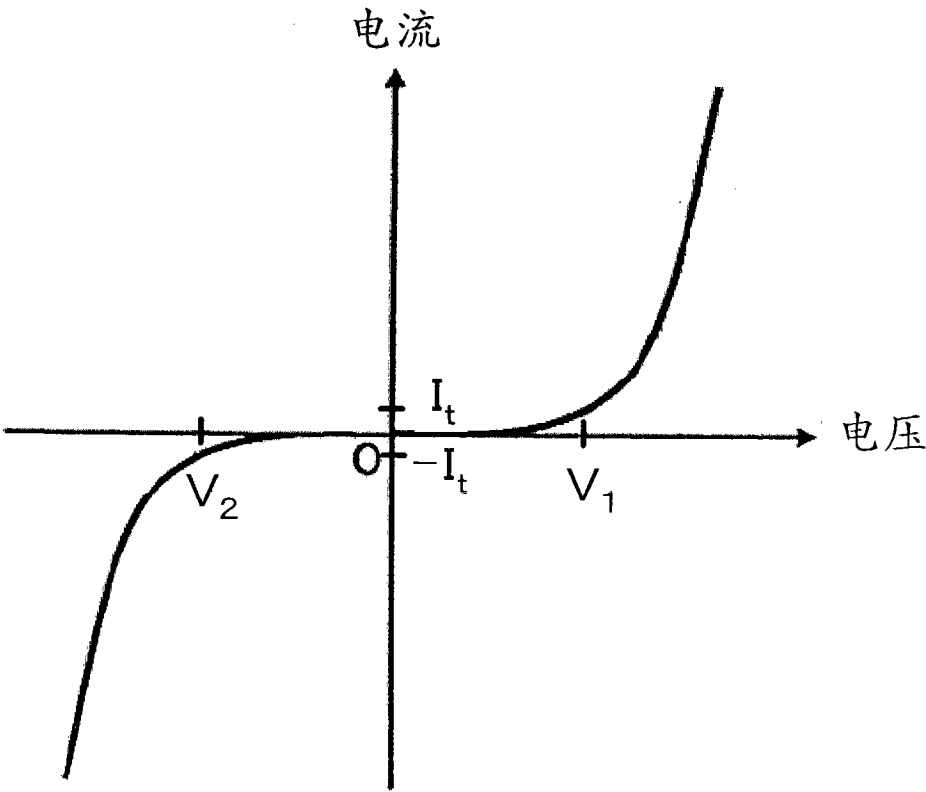


图 19