

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号
特表2024-542933
(P2024-542933A)

(43)公表日 令和6年11月19日(2024.11.19)

(51)国際特許分類

F I

テーマコード (参考)

G 0 6 F 13/16 (2006.01) G 0 6 F 13/16 5 1 0 D 5 B 1 6 0

G 0 6 F 12/00 (2006.01) G 0 6 F 12/00 5 9 7 R

審査請求 未請求 予備審査請求 未請求 (全50頁)			
(21)出願番号	特願2024-520748(P2024-520748)	(71)出願人	507364838
(86)(22)出願日	令和4年10月3日(2022.10.3)		クアルコム、インコーポレイテッド
(85)翻訳文提出日	令和6年4月4日(2024.4.4)		アメリカ合衆国 カリフォルニア 9 2 1
(86)国際出願番号	PCT/US2022/045561		2 1 サン ディエゴ モアハウス ドライ
(87)国際公開番号	WO2023/075993		ブ 5 7 7 5
(87)国際公開日	令和5年5月4日(2023.5.4)	(74)代理人	100108453
(31)優先権主張番号	17/452,606		弁理士 村山 靖彦
(32)優先日	令和3年10月28日(2021.10.28)	(74)代理人	100163522
(33)優先権主張国・地域又は機関			弁理士 黒田 晋平
	米国(US)	(72)発明者	シャムクマール・ソジーア
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA, RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,A T,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR ,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC, 最終頁に続く		アメリカ合衆国・カリフォルニア・9 2 1 2 1-1 7 1 4・サン・ディエゴ・モ アハウス・ドライヴ・5 7 7 5
		(72)発明者	パンカジ・デシュムク
			アメリカ合衆国・カリフォルニア・9 2 最終頁に続く

(54)【発明の名称】 擬似チャネルベースのメモリスistemにおけるレイテンシの低減

(57)【要約】

様々な実施形態は、擬似チャネルベースのメモリスistemにおけるレイテンシを低減させる方法及びデバイスを含む。実施形態は、複数の擬似チャネルのうちの1つを第1の入力／出力（I O）に選択的に通信可能に接続するように構成された第1の擬似チャネル選択デバイスと、複数の擬似チャネルのうちの1つを第2のI Oに選択的に通信可能に接続するように構成された第2の擬似チャネル選択デバイスとを含んでもよく、第1の擬似チャネル選択デバイス及び第2の擬似チャネル選択デバイスは、複数の擬似チャネルのうちの第1の擬似チャネルを第1のI O及び第2のI Oに同時に通信可能に接続するように動作可能であってもよい。実施形態は、第1の擬似チャネルをターゲットとするメモリアクセスコマンドを受信し、メモリアクセスコマンドを実行するために第1の擬似チャネルデータバス及び第2の擬似チャネルデータバスを使用するように構成された擬似チャネルベースのメモリスistemを含んでもよい。

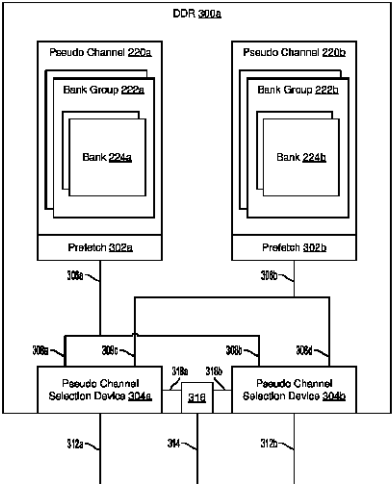


FIG. 3A

【特許請求の範囲】

【請求項 1】

擬似チャネルベースのメモリシステムであって、

複数の擬似チャネルのうちの 1 つを第 1 の入力／出力（I/O）に選択的に通信可能に接続するように構成された第 1 の擬似チャネル選択デバイスと、

前記複数の擬似チャネルのうちの 1 つを第 2 の I/O に選択的に通信可能に接続するように構成された第 2 の擬似チャネル選択デバイスと、を備え、

前記第 1 の擬似チャネル選択デバイス及び前記第 2 の擬似チャネル選択デバイスは、第 1 の動作モードにおいて、前記複数の擬似チャネルのうちの第 1 の擬似チャネルを前記第 1 の I/O 及び前記第 2 の I/O に同時に通信可能に接続するように動作可能である、擬似チャネルベースのメモリシステム。

10

【請求項 2】

前記第 1 の I/O は、第 1 の擬似チャネルデータバスを含み、前記第 2 の I/O は、第 2 の擬似チャネルデータバスを含み、前記擬似チャネルベースのメモリシステムは、

前記第 1 の擬似チャネルデータバスよりも大きいビット幅を有し、前記第 1 の擬似チャネルに通信可能に接続された、第 1 の内部データバスと、

前記第 1 の擬似チャネルデータバスと同じビット幅を有し、前記第 1 の内部データバスの第 1 の部分と前記第 1 の擬似チャネル選択デバイスとの間に通信可能に接続された第 2 の内部データバスと、

前記第 2 の擬似チャネルデータバスと同じビット幅を有し、前記第 1 の内部データバスの第 2 の部分と前記第 2 の擬似チャネル選択デバイスとの間に通信可能に接続された第 3 の内部データバスと、を更に備える、請求項 1 に記載の擬似チャネルベースのメモリシステム。

20

【請求項 3】

前記第 1 の内部データバスは、前記第 1 の擬似チャネルデータバスの整数倍に等しいビット幅を有する、請求項 2 に記載の擬似チャネルベースのメモリシステム。

【請求項 4】

前記第 1 の擬似チャネルデータバスよりも大きいビット幅を有し、前記複数の擬似チャネルのうちの第 2 の擬似チャネルに通信可能に接続された第 4 の内部データバスと、

前記第 1 の擬似チャネルデータバスと同じビット幅を有し、前記第 4 の内部データバスの第 1 の部分と前記第 1 の擬似チャネル選択デバイスとの間に通信可能に接続された第 5 の内部データバスと、

30

前記第 2 の擬似チャネルデータバスと同じビット幅を有し、前記第 4 の内部データバスの第 2 の部分と前記第 2 の擬似チャネル選択デバイスとの間に通信可能に接続された第 6 の内部データバスと、を更に備える、請求項 2 に記載の擬似チャネルベースのメモリシステム。

【請求項 5】

前記第 1 の擬似チャネル選択デバイス及び前記第 2 の擬似チャネル選択デバイスは、前記擬似チャネルベースのメモリシステムが前記第 1 の擬似チャネルをターゲットとする低レイテンシタイプメモリアクセスコマンドを受信したことに応じて、前記第 1 の擬似チャネルを前記第 1 の I/O 及び前記第 2 の I/O に同時に通信可能に接続するように動作可能である、請求項 1 に記載の擬似チャネルベースのメモリシステム。

40

【請求項 6】

メモリ制御デバイスを更に備え、前記メモリ制御デバイスは、

前記第 1 の擬似チャネルをターゲットとする前記低レイテンシタイプメモリアクセスコマンドを受信し、

前記低レイテンシタイプメモリアクセスコマンドを受信したことに応じて、前記第 1 の擬似チャネル選択デバイス及び前記第 2 の擬似チャネル選択デバイスに、前記第 1 の擬似チャネルを前記第 1 の I/O 及び前記第 2 の I/O に同時に通信可能に接続させるために、少なくとも 1 つの擬似チャネル選択信号を前記第 1 の擬似チャネル選択デバイス及び前記第

50

２の擬似チャネル選択デバイスに送信するように構成されている、請求項５に記載の擬似チャネルベースのメモリシステム。

【請求項７】

前記第１の擬似チャネル選択デバイス及び前記第２の擬似チャネル選択デバイスは、前記擬似チャネルベースのメモリシステムが、前記擬似チャネルベースのメモリシステムに、連続メモリアクセスコマンドを低レイテンシタイプメモリアクセスコマンドとして扱わせるように構成されたモードレジスタ書き込みコマンドを受信したことに応じて、かつ前記擬似チャネルベースのメモリシステムが前記第１の擬似チャネルをターゲットとする連続メモリアクセスコマンドを受信したことに応じて、前記第１の擬似チャネルを前記第１のＩＯ及び前記第２のＩＯに同時に通信可能に接続するように動作可能である、請求項１

10

【請求項８】

メモリ制御デバイスを更に備え、前記メモリ制御デバイスは、前記モードレジスタ書き込みコマンドを受信し、前記モードレジスタ書き込みコマンドを受信したことに応じて、前記メモリ制御デバイスに、前記連続メモリアクセスコマンドを低レイテンシタイプメモリアクセスコマンドとして扱わせるように構成されたレジスタ値を設定し、

前記第１の擬似チャネルをターゲットとする前記連続メモリアクセスコマンドを受信し、

前記連続メモリアクセスコマンドを受信したことに応じて、前記第１の擬似チャネル選択デバイス及び前記第２の擬似チャネル選択デバイスに、前記第１の擬似チャネルを前記第１のＩＯ及び前記第２のＩＯに同時に通信可能に接続させるために、少なくとも１つの擬似チャネル選択信号を前記第１の擬似チャネル選択デバイス及び前記第２の擬似チャネル選択デバイスに送信するように構成されている、請求項７に記載の擬似チャネルベースのメモリシステム。

20

【請求項９】

前記第１の擬似チャネル選択デバイス及び前記第２の擬似チャネル選択デバイスは各々、少なくとも１つのマルチプレクサを含む、請求項１に記載の擬似チャネルベースのメモリシステム。

【請求項１０】

第２の動作モードにおいて、前記第１の擬似チャネル選択デバイスは、前記第１の擬似チャネルを前記第１のＩＯに通信可能に接続するように動作可能であり、前記第２の擬似チャネル選択デバイスは、前記複数の擬似チャネルのうちの第２の擬似チャネルを前記第２のＩＯに通信可能に接続するように動作可能である、請求項１に記載の擬似チャネルベースのメモリシステム。

30

【請求項１１】

擬似チャネルベースのメモリシステムにおけるレイテンシを低減させる方法であって、複数の擬似チャネルのうちの１つを複数の入力／出力（ＩＯ）のうちの第１のＩＯに選択的に通信可能に接続するように構成された第１の擬似チャネル選択デバイスによって、前記複数の擬似チャネルのうちの第１の擬似チャネルを前記第１のＩＯに通信可能に接続することと、

40

第１の動作モードにおいて、前記第１の擬似チャネル選択デバイスによって前記第１の擬似チャネルを前記第１のＩＯに通信可能に接続すると同時に、第２の擬似チャネル選択デバイスによって前記第１の擬似チャネルを前記複数のＩＯのうちの第２のＩＯに通信可能に接続することと、を含み、前記第２の擬似チャネル選択デバイスは、前記複数の擬似チャネルのうちの１つを前記第２のＩＯに選択的に通信可能に接続するように構成されている、方法。

【請求項１２】

前記第１のＩＯは、第１の擬似チャネルデータバスを含み、前記第２のＩＯは、第２の擬似チャネルデータバスを含み、前記方法は、

50

前記第 1 の擬似チャネルデータバスよりも大きいビット幅を有し、前記第 1 の擬似チャネルに通信可能に接続された第 1 の内部データバスと、前記第 1 の擬似チャネルデータバスと同じビット幅を有し、前記第 1 の内部データバスの第 1 の部分と前記第 1 の擬似チャネル選択デバイスとの間に通信可能に接続された第 2 の内部データバスとを介して、前記第 1 の擬似チャネルデータバスと前記第 1 の擬似チャネルとの間でデータを送信することと、

前記第 1 の内部データバスと、前記第 2 の擬似チャネルデータバスと同じビット幅を有し、前記第 1 の内部データバスの第 2 の部分と前記第 2 の擬似チャネル選択デバイスとの間に通信可能に接続された第 3 の内部データバスとを介して、前記第 2 の擬似チャネルデータバスと前記第 1 の擬似チャネルとの間でデータを送信することと、を更に含む、請求項 1 1 に記載の方法。

10

【請求項 1 3】

前記第 1 の内部データバスは、前記第 1 の擬似チャネルデータバスの整数倍に等しいビット幅を有する、請求項 1 2 に記載の方法。

【請求項 1 4】

前記第 1 の擬似チャネルデータバスよりも大きいビット幅を有し、前記第 2 の擬似チャネルに通信可能に接続された第 4 の内部データバスと、前記第 1 の擬似チャネルデータバスと同じビット幅を有し、前記第 4 の内部データバスの第 1 の部分と前記第 1 の擬似チャネル選択デバイスとの間に通信可能に接続された第 5 の内部データバスとを介して、前記第 1 の擬似チャネルデータバスと前記複数の擬似チャネルのうちの第 2 の擬似チャネルとの間でデータを送信することと、

20

前記第 4 の内部データバスと、前記第 2 の擬似チャネルデータバスと同じビット幅を有し、前記第 4 の内部データバスの第 2 の部分と前記第 2 の擬似チャネル選択デバイスとの間に通信可能に接続された第 6 の内部データバスとを介して、前記第 2 の擬似チャネルデータバスと前記第 2 の擬似チャネルとの間でデータを送信することと、を更に含む、請求項 1 2 に記載の方法。

【請求項 1 5】

前記第 1 の擬似チャネルをターゲットとする低レイテンシタイプメモリアクセスコマンドを受信することを更に含み、

前記第 1 の擬似チャネル選択デバイスによって前記第 1 の擬似チャネルを前記第 1 の I/O に通信可能に接続することと同時に、前記第 2 の擬似チャネル選択デバイスによって前記第 1 の擬似チャネルを前記第 2 の I/O に通信可能に接続することは、前記低レイテンシタイプメモリアクセスコマンドを受信したことに応じて行われる、請求項 1 1 に記載の方法。

30

【請求項 1 6】

前記低レイテンシタイプメモリアクセスコマンドを受信したことに応じて、前記第 1 の擬似チャネル選択デバイス及び前記第 2 の擬似チャネル選択デバイスに、前記第 1 の擬似チャネルを前記第 1 の I/O 及び前記第 2 の I/O に同時に通信可能に接続させるために、少なくとも 1 つの擬似チャネル選択信号を前記第 1 の擬似チャネル選択デバイス及び前記第 2 の擬似チャネル選択デバイスに送信することを更に含む、請求項 1 5 に記載の方法。

40

【請求項 1 7】

前記擬似チャネルベースのメモリシステムに、連続メモリアクセスコマンドを低レイテンシタイプメモリアクセスコマンドとして扱わせるように構成されたモードレジスタ書き込みコマンドを受信することと、

前記第 1 の擬似チャネルをターゲットとする連続メモリアクセスコマンドを受信することと、を更に含み、

前記第 1 の擬似チャネル選択デバイスによって前記第 1 の擬似チャネルを前記第 1 の I/O に通信可能に接続することと同時に、前記第 2 の擬似チャネル選択デバイスによって前記第 1 の擬似チャネルを前記第 2 の I/O に通信可能に接続することは、前記モードレジスタ書き込みコマンドを受信したことに応じて、かつ前記連続メモリアクセスコマンドを受

50

信することに応じて行われる、請求項 11 に記載の方法。

【請求項 18】

前記モードレジスタ書き込みコマンドを受信したことに応じて、前記擬似チャネルベースのメモリシステムに前記連続メモリアクセスコマンドを低レイテンシタイプメモリアクセスコマンドとして扱わせるように構成されたレジスタ値を設定することと、

前記連続メモリアクセスコマンドを受信したことに応じて、前記第 1 の擬似チャネル選択デバイス及び前記第 2 の擬似チャネル選択デバイスに、前記第 1 の擬似チャネルを前記第 1 の I/O 及び前記第 2 の I/O に同時に通信可能に接続させるために、少なくとも 1 つの擬似チャネル選択信号を前記第 1 の擬似チャネル選択デバイス及び前記第 2 の擬似チャネル選択デバイスに送信することと、を更に含む、請求項 17 に記載の方法。

10

【請求項 19】

前記第 1 の擬似チャネル選択デバイス及び前記第 2 の擬似チャネル選択デバイスは各々、少なくとも 1 つのマルチプレクサを含む、請求項 11 に記載の方法。

【請求項 20】

第 2 の動作モードにおいて、前記第 2 の擬似チャネル選択デバイスによって、前記複数の擬似チャネルのうちの第 2 の擬似チャネルを前記複数の I/O のうちの前記第 2 の I/O に通信可能に接続することを更に含む、請求項 11 に記載の方法。

【請求項 21】

第 1 の擬似チャネルを含む複数の擬似チャネルを備える擬似チャネルベースのメモリシステムであって、

20

前記擬似チャネルベースのメモリシステムは、

前記第 1 の擬似チャネルをターゲットとするメモリアクセスコマンドを受信し、

前記メモリアクセスコマンドを実行するために、第 1 の擬似チャネルデータバス及び第 2 の擬似チャネルデータバスを使用するように構成されている、擬似チャネルベースのメモリシステム。

【請求項 22】

前記メモリアクセスコマンドは、読み取りメモリアクセスコマンドであり、

前記擬似チャネルベースのメモリシステムは、前記メモリアクセスコマンドを実行するために前記第 1 の擬似チャネルデータバス及び前記第 2 の擬似チャネルデータバスを使用することが、前記第 1 の擬似チャネルデータバス及び前記第 2 の擬似チャネルデータバスを同時に介して、前記読み取りメモリアクセスコマンドに応じて前記第 1 の擬似チャネルからデータを出力することを含むように構成されている、請求項 21 に記載の擬似チャネルベースのメモリシステム。

30

【請求項 23】

前記メモリアクセスコマンドは、書き込みメモリアクセスコマンドであり、

前記擬似チャネルベースのメモリシステムは、前記メモリアクセスコマンドを実行するために前記第 1 の擬似チャネルデータバス及び前記第 2 の擬似チャネルデータバスを使用することが、前記第 1 の擬似チャネルデータバス及び前記第 2 の擬似チャネルデータバスを同時に介して前記第 1 の擬似チャネルについての前記書き込みメモリアクセスコマンドのデータを受信することを含むように構成されている、請求項 21 に記載の擬似チャネルベースのメモリシステム。

40

【請求項 24】

前記メモリアクセスコマンドは、前記メモリアクセスコマンドが低レイテンシタイプメモリアクセスコマンドであることを前記擬似チャネルベースのメモリシステムに指示するように構成されている、請求項 21 に記載の擬似チャネルベースのメモリシステム。

【請求項 25】

前記擬似チャネルベースのメモリシステムは、前記擬似チャネルベースのメモリシステムに、連続メモリアクセスコマンドを低レイテンシタイプメモリアクセスコマンドとして扱わせるように構成されたモードレジスタ書き込みコマンドを受信するように更に構成され、前記第 1 の擬似チャネルをターゲットとする前記メモリアクセスコマンドは、前記モ

50

ードレジスタ書き込みコマンドに対する連続メモリアクセスコマンドである、請求項 2 1 に記載の擬似チャネルベースのメモリシステム。

【請求項 2 6】

第 1 の擬似チャネルを含む複数の擬似チャネルを有する擬似チャネルベースのメモリシステムにおけるレイテンシを低減させる方法であって、

前記第 1 の擬似チャネルをターゲットとするメモリアクセスコマンドを受信することと、

前記メモリアクセスコマンドを実行するために第 1 の擬似チャネルデータバス及び第 2 の擬似チャネルデータバスを使用することと、を含む、方法。

【請求項 2 7】

前記メモリアクセスコマンドは、読み取りメモリアクセスコマンドであり、

前記メモリアクセスコマンドを実行するために前記第 1 の擬似チャネルデータバス及び前記第 2 の擬似チャネルデータバスを使用することは、前記第 1 の擬似チャネルデータバス及び前記第 2 の擬似チャネルデータバスを同時に介して、前記読み取りメモリアクセスコマンドに応じて前記第 1 の擬似チャネルからデータを出力することを含む、請求項 2 6 に記載の方法。

【請求項 2 8】

前記メモリアクセスコマンドは、書き込みメモリアクセスコマンドであり、

前記メモリアクセスコマンドを実行するために前記第 1 の擬似チャネルデータバス及び前記第 2 の擬似チャネルデータバスを使用することは、前記第 1 の擬似チャネルデータバス及び前記第 2 の擬似チャネルデータバスを同時に介して前記第 1 の擬似チャネルについての前記書き込みメモリアクセスコマンドのデータを受信することを含む、請求項 2 6 に記載の方法。

【請求項 2 9】

前記メモリアクセスコマンドは、前記メモリアクセスコマンドが低レイテンシタイプメモリアクセスコマンドであることを前記擬似チャネルベースのメモリシステムに指示するように構成されている、請求項 2 6 に記載の方法。

【請求項 3 0】

前記擬似チャネルベースのメモリシステムに、連続メモリアクセスコマンドを低レイテンシタイプメモリアクセスコマンドとして扱わせるように構成されたモードレジスタ書き込みコマンドを受信することを更に含み、前記第 1 の擬似チャネルをターゲットとする前記メモリアクセスコマンドは、前記モードレジスタ書き込みコマンドに対する連続メモリアクセスコマンドである、請求項 2 6 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

関連出願

本出願は、2021年10月28日に出願された米国非仮特許出願第17／452，606号からの優先権の利益を主張する。なお、当該出願の内容全体は、参照により本明細書に組み込まれる。

【背景技術】

【0 0 0 2】

次世代のダブルデータレートランダムアクセスメモリ（本明細書では「DDR」と呼ばれる）は、高性能、低電力、競争力のあるメモリコスト、様々なパッケージタイプ、並びにモバイル用途及び非モバイル用途に魅力的なマルチソーシング可用性をバランス良く提供することができるので、モバイルデバイスに広く使用されると思われる。しかしながら、提案されたDDRシステム又は既存のDDRシステムは、より大きいレイテンシを示すデータ通信プロトコルを使用する高性能、低レイテンシ、及び低電力方式に基づいており、それによって、これらのシステムの使用及び効率は、車両安全関連システムなどの多くの用途に許容可能な使用及び効率を下回るレベルに制限される。例えば、提案された低電

10

20

30

40

50

力DDR（「LPDDR」）システムは、前の世代と比較したときに、いくつかの動作点について劣化したレイテンシをもたらす手法を利用し得る。

【発明の概要】

【課題を解決するための手段】

【0003】

開示される様々な態様は、擬似チャネルベースのメモリシステムにおけるレイテンシを低減させるデバイス及び方法を含む。様々な態様は、複数の擬似チャネルのうちの1つを第1の入力／出力（IO）に選択的に通信可能に接続するように構成された第1の擬似チャネル選択デバイスと、複数の擬似チャネルのうちの1つを第2のIOに選択的に通信可能に接続するように構成された第2の擬似チャネル選択デバイスとを含む擬似チャネルベースのメモリシステムを含んでもよく、第1の擬似チャネル選択デバイス及び第2の擬似チャネル選択デバイスは、第1の動作モードにおいて複数の擬似チャネルのうちの第1の擬似チャネルを第1のIO及び第2のIOに同時に通信可能に接続するように動作可能である。

10

【0004】

いくつかの態様では、第1のIOは、第1の擬似チャネルデータバスを含んでもよく、第2のIOは、第2の擬似チャネルデータバスを含んでもよく、擬似チャネルベースのメモリシステムは、第1の擬似チャネルデータバスよりも大きいビット幅を有し、第1の擬似チャネルに通信可能に接続された第1の内部データバスと、第1の擬似チャネルデータバスと同じビット幅を有し、第1の内部データバスの第1の部分と第1の擬似チャネル選択デバイスとの間に通信可能に接続された第2の内部データバスと、第2の擬似チャネルデータバスと同じビット幅を有し、第1の内部データバスの第2の部分と第2の擬似チャネル選択デバイスとの間に通信可能に接続された第3の内部データバスとを更に含んでもよい。

20

【0005】

いくつかの態様では、第1の内部データバスは、第1の擬似チャネルデータバスの整数倍に等しいビット幅を有してもよい。

【0006】

いくつかの態様は、第1の擬似チャネルデータバスよりも大きいビット幅を有し、複数の擬似チャネルのうちの第2の擬似チャネルに通信可能に接続された第4の内部データバスと、第1の擬似チャネルデータバスと同じビット幅を有し、第4の内部データバスの第1の部分と第1の擬似チャネル選択デバイスとの間に通信可能に接続された第5の内部データバスと、第2の擬似チャネルデータバスと同じビット幅を有し、第4の内部データバスの第2の部分と第2の擬似チャネル選択デバイスとの間に通信可能に接続された第6の内部データバスとを更に含んでもよい。

30

【0007】

いくつかの態様では、第1の擬似チャネル選択デバイス及び第2の擬似チャネル選択デバイスは、擬似チャネルベースのメモリシステムが第1の擬似チャネルをターゲットとする低レイテンシタイプメモリアクセスコマンドを受信したことに応じて、第1の擬似チャネルを第1のIO及び第2のIOに同時に通信可能に接続するように動作可能であってもよい。

40

【0008】

いくつかの態様は、第1の擬似チャネルをターゲットとする低レイテンシタイプメモリアクセスコマンドを受信し、低レイテンシタイプメモリアクセスコマンドを受信したことに応じて、第1の擬似チャネル選択デバイス及び第2の擬似チャネル選択デバイスに、第1の擬似チャネルを第1のIO及び第2のIOに同時に通信可能に接続させるために、少なくとも1つの擬似チャネル選択信号を第1の擬似チャネル選択デバイス及び第2の擬似チャネル選択デバイスに送信するように構成されたメモリ制御デバイスを更に含んでもよい。

【0009】

50

いくつかの態様では、第1の擬似チャネル選択デバイス及び第2の擬似チャネル選択デバイスは、擬似チャネルベースのメモリシステムに、連続メモリアクセスコマンドを低レイテンシタイプメモリアクセスコマンドとして扱わせるように構成されたモードレジスタ書き込みコマンドを、擬似チャネルベースのメモリシステムが受信したことに応じて、かつ擬似チャネルベースのメモリシステムが第1の擬似チャネルをターゲットとする連続メモリアクセスコマンドを受信したことに応じて、第1の擬似チャネルを第1のI/O及び第2のI/Oに同時に通信可能に接続するように動作可能であってもよい。

【0010】

いくつかの態様は、モードレジスタ書き込みコマンドを受信し、モードレジスタ書き込みコマンドを受信したことに応じて、メモリ制御デバイスに、連続メモリアクセスコマンドを低レイテンシタイプメモリアクセスコマンドとして扱わせるように構成されたレジスタ値を設定し、第1の擬似チャネルをターゲットとする連続メモリアクセスコマンドを受信し、連続メモリアクセスコマンドを受信したことに応じて、第1の擬似チャネル選択デバイス及び第2の擬似チャネル選択デバイスに、第1の擬似チャネルを第1のI/O及び第2のI/Oに同時に通信可能に接続させるために、少なくとも1つの擬似チャネル選択信号を第1の擬似チャネル選択デバイス及び第2の擬似チャネル選択デバイスに送信するように構成されたメモリ制御デバイスを更に含んでもよい。

【0011】

いくつかの態様では、第1の擬似チャネル選択デバイス及び第2の擬似チャネル選択デバイスは各々、少なくとも1つのマルチプレクサを含んでもよい。

【0012】

いくつかの態様では、第2の動作モードにおいて、第1の擬似チャネル選択デバイスは、第1の擬似チャネルを第1のI/Oに通信可能に接続するように動作可能であり、第2の擬似チャネル選択デバイスは、複数の擬似チャネルのうちの第2の擬似チャネルを第2のI/Oに通信可能に接続するように動作可能である。

【0013】

様々な態様は、第1の擬似チャネルを含む複数の擬似チャネルを含む擬似チャネルベースのメモリシステムを含んでもよく、擬似チャネルベースのメモリシステムは、第1の擬似チャネルをターゲットとするメモリアクセスコマンドを受信し、メモリアクセスコマンドを実行するために第1の擬似チャネルデータバス及び第2の擬似チャネルデータバスを使用するように構成されている。

【0014】

いくつかの態様では、メモリアクセスコマンドは、読み取りメモリアクセスコマンドであってもよく、擬似チャネルベースのメモリシステムは、メモリアクセスコマンドを実行するために第1の擬似チャネルデータバス及び第2の擬似チャネルデータバスを使用することが、第1の擬似チャネルデータバス及び第2の擬似チャネルデータバスを同時に介して、読み取りメモリアクセスコマンドに応じて第1の擬似チャネルからデータを出力することを含むように構成されてもよい。

【0015】

いくつかの態様では、メモリアクセスコマンドは書き込みメモリアクセスコマンドであってもよく、擬似チャネルベースのメモリシステムは、メモリアクセスコマンドを実行するために第1の擬似チャネルデータバス及び第2の擬似チャネルデータバスを使用することが、第1の擬似チャネルデータバス及び第2の擬似チャネルデータバスを同時に介して第1の擬似チャネルについての書き込みメモリアクセスコマンドのデータを受信することを含むように構成されてもよい。

【0016】

いくつかの態様では、メモリアクセスコマンドは、メモリアクセスコマンドが低レイテンシタイプメモリアクセスコマンドであることを擬似チャネルベースのメモリシステムに示すように構成されてもよい。

【0017】

10

20

30

40

50

いくつかの態様では、擬似チャネルベースのメモリシステムは、擬似チャネルベースのメモリシステムに、連続メモリアクセスコマンドを低レイテンシタイプメモリアクセスコマンドとして扱わせるように構成されたモードレジスタ書き込みコマンドを受信するように更に構成されてもよく、第1の擬似チャネルをターゲットとするメモリアクセスコマンドは、モードレジスタ書き込みコマンドに対する連続メモリアクセスコマンドであってもよい。

【0018】

更なる態様は、上記で要約されたシステムの動作を実行する方法を含む。

【0019】

本明細書に組み込まれ、本明細書の一部を構成する添付の図面は、様々な実施形態のうちの例示的な実施形態を示し、上記の一般的な説明及び下記の発明を実施するための形態とともに、特許請求の範囲の特徴を説明するのに役立つ。

【図面の簡単な説明】

【0020】

【図1】様々な実施形態を実装するのに適した例示的なコンピューティングデバイスを示す構成要素ブロック図である。

【図2】様々な実施形態を実装するのに好適な例示的な擬似チャネルベースのメモリシステムを示す構成要素ブロック図である。

【図3A】様々な実施形態を実装するのに適した例示的な擬似チャネルベースのメモリシステムを示す構成要素ブロック図である。

【図3B】様々な実施形態を実装するのに適した例示的な擬似チャネルベースのメモリシステムを示す構成要素ブロック図である。

【図4A】様々な実施形態を実装するのに適した例示的な擬似チャネルベースのメモリシステムを示す構成要素ブロック図及び機能図である。

【図4B】様々な実施形態を実装するのに適した例示的な擬似チャネルベースのメモリシステムを示す構成要素ブロック図及び機能図である。

【図4C】様々な実施形態を実装するのに適した例示的な擬似チャネルベースのメモリシステムを示す構成要素ブロック図及び機能図である。

【図5】一実施形態による、擬似チャネルベースのメモリシステムにおけるレイテンシを低減させる方法を示すプロセスフロー図である。

【図6】一実施形態による、擬似チャネルベースのメモリシステムにおけるレイテンシを低減させる方法を示すプロセスフロー図である。

【図7】一実施形態による、読み取りメモリコマンドのために擬似チャネルベースのメモリシステムにおけるレイテンシを低減させる方法を示すプロセスフロー図である。

【図8】一実施形態による、書き込みメモリコマンドのために擬似チャネルベースのメモリシステムにおけるレイテンシを低減させる方法を示すプロセスフロー図である。

【図9】一実施形態による、擬似チャネルベースのメモリシステムにおけるレイテンシを低減させる方法を示すプロセスフロー図である。

【図10A】一実施形態による、擬似チャネルベースのメモリシステムにおいてレイテンシを低減させる場合及びレイテンシを低減させない場合のメモリアクセスコマンドの例を示すタイミング図である。

【図10B】一実施形態による、擬似チャネルベースのメモリシステムにおいてレイテンシを低減させる場合及びレイテンシを低減させない場合のメモリアクセスコマンドの例を示すタイミング図である。

【図11A】一実施形態による、擬似チャネルベースのメモリシステムにおけるレイテンシを低減させる場合及びレイテンシを低減させない場合のメモリアクセスコマンドの例を示すタイミング図である。

【図11B】一実施形態による、擬似チャネルベースのメモリシステムにおけるレイテンシを低減させる場合及びレイテンシを低減させない場合のメモリアクセスコマンドの例を示すタイミング図である。

10

20

30

40

50

【図 1 2】一実施形態に係る、低レイテンシタイプメモリアクセスコマンドを使用して擬似チャネルベースのメモリシステムにおけるレイテンシを低減させる一例を示すタイミング図である。

【図 1 3 A】一実施形態による、モードレジスタ書き込みを使用して低レイテンシタイプメモリアクセスコマンドを有効にする擬似チャネルベースのメモリシステムにおけるレイテンシを低減させる例を示すタイミング図である。

【図 1 3 B】一実施形態による、モードレジスタ書き込みを使用して低レイテンシタイプメモリアクセスコマンドを有効にする擬似チャネルベースのメモリシステムにおけるレイテンシを低減させる例を示すタイミング図である。

【図 1 4 A】一実施形態による、擬似チャネルベースのメモリシステムにおけるレイテンシを低減させる場合及びレイテンシを低減させない場合のメモリアクセスコマンドの例を示すタイミング図である。

10

【図 1 4 B】一実施形態による、擬似チャネルベースのメモリシステムにおけるレイテンシを低減させる場合及びレイテンシを低減させない場合のメモリアクセスコマンドの例を示すタイミング図である。

【図 1 5】様々な実施形態を実装するのに適した例示的なモバイルコンピューティングデバイスを示す構成要素ブロック図である。

【図 1 6】様々な実施形態を実装するのに適した例示的なモバイルコンピューティングデバイスを示す構成要素ブロック図である。

【図 1 7】様々な実施形態を実装するのに適した例示的なサーバを示す構成要素ブロック図である。

20

【発明を実施するための形態】

【0021】

添付の図面を参照しながら、様々な実施形態について詳細に説明する。可能な場合はどこでも、同じか又は同様の部分を指すために、図面全体にわたって同じ参照番号が使用される。特定の例及び実装形態に対してなされる参照は、例示を目的としており、特許請求の範囲を限定するものではない。

【0022】

様々な実施形態は、擬似チャネルベースのメモリシステムにおいてレイテンシを低減させる方法、及びそのような方法を実施するコンピューティングデバイスを含む。擬似チャネル選択デバイスは、擬似チャネルベースのメモリシステムにおいて使用されてもよい。複数の擬似チャネルは、擬似チャネルの専用入力／出力（ＩＯ）データバスよりも広い内部データバスを介して擬似チャネル選択デバイスに通信可能に接続されてもよい。擬似チャネル選択デバイスは、擬似チャネルベースのメモリシステムが、複数の擬似チャネルの複数のＩＯを並列に使用して、擬似チャネルからデータを読み取ること、及び／又は擬似チャネルにデータを書き込むことを可能にするように構成されてもよい。

30

【0023】

「コンピューティングデバイス」という用語は、パーソナルコンピュータ、デスクトップコンピュータ、オールインワンコンピュータ、ワークステーション、スーパーコンピュータ、メインフレームコンピュータ、埋め込み型コンピュータ（車両及び他のより大きいシステムなど）、コンピュータ化された車両（例えば、乗用車、商用車、レクリエーションビークル、軍用車両、ドローンなど、部分的又は完全に自律型の地上、航空、及び／又は水中車両）、サーバ、マルチメディアコンピュータ、及びゲームコンソールを含む固定コンピューティングデバイスを指すことがある。「コンピューティングデバイス」及び「モバイルコンピューティングデバイス」という用語は、セルラー電話、スマートフォン、パーソナル又はモバイルマルチメディアプレーヤ、携帯情報端末（ＰＤＡ）、ラップトップコンピュータ、タブレットコンピュータ、コンバーチブルラップトップ／タブレット（２－ｉｎ－１コンピュータ）、スマートブック、ウルトラブック、ネットブック、パームトップコンピュータ、ワイヤレス電子メール受信機、マルチメディアインターネット対応セルラー電話、モバイルゲームコンソール、ワイヤレスゲームコントローラ、並びに

40

50

、メモリ及びプログラマブルプロセッサを含む同様のパーソナル電子デバイスのうちのいずれか1つ又はすべてを指すために本明細書において互換的に使用される。

【0024】

説明を容易かつ明瞭にするために、様々な実施形態をコード、例えばプロセッサ実行可能命令に関して説明するが、任意のデータ、例えばコード、プログラムデータ、又はメモリに記憶された他の情報に同様に適用可能である場合がある。「コード」、「データ」、及び「情報」という用語は、本明細書では互換的に使用され、様々な実施形態を説明する際に例として使用されるコード、データ、情報のタイプに請求項及び説明の範囲を制限するように意図されない。

【0025】

次世代のダブルデータレートランダムアクセスメモリ（本明細書では「DDR」と呼ぶ）は、高性能、低電力、競争力のあるメモリコスト、様々なパッケージタイプ、及び／又はモバイル用途並びに非モバイル用途にとって魅力的なマルチソーシング可用性をバランス良く提供することができる。既存のDDRシステムは、複数の擬似チャンネルがDDRシステムのチャンネルごとに実現される擬似チャンネルモードをサポートする。しかしながら、提案されたDDRシステム又は既存のDDRシステムは、高レイテンシを示すことがあるデータ通信プロトコルを使用する高性能、低レイテンシ、及び／又は低電力方式に基づく。このようなレイテンシは、これらのシステムの使用及び効率を、多くの用途に許容可能な使用及び効率を下回るレベルに制限する。

【0026】

提案されたDDRシステム又は既存のDDRシステムは、DDRシステムのチャンネルごとに複数の擬似チャンネルが実現される擬似チャンネルモードをサポートする。各擬似チャンネルは、専用バンク及び専用データバスを有し、少なくとも1つの他の擬似チャンネルとコマンド及びアドレスバスを共有するか、又は専用コマンド及びアドレスバスを有し得る。擬似チャンネルのIOは、IO方式、具体的には、パルス振幅変調（PAM）コーディングを介して書き込み／読み取りごとに複数バイトのデータ（例えば、2バイト）を送るPAM（例えば、PAM4）と、書き込み／読み取りサイクルごとに1バイトのデータを送る非0復帰（NRZ）コーディングとの組合せによって管理され得る。PAMコーディングは、1600MHzより大きいクロック周波数に使用され得、一方、NRZ符号化は、1600MHz以下のクロック周波数に使用され得る。PAMコーディングに基づくIOシグナリングは、PAM送信機がPAMマルチレベル信号を駆動するときにDC電流を消費するので、その動作周波数が低下するにつれてIO電力効率を悪化させる。しかしながら、NRZ送信機は、それほど多くのDC電流を消費せず、NRZ信号インターフェースは、携帯電話などの電力効率に依存するシステムにおける低周波数により適している。その結果、2つの異なるIO方式は、同じデータ伝送を達成するために、書き込み／読み取り動作中に動的バースト長を必要とする。書き込み／読み取りバースト長のこれらの差は、異なるIO方式間のレイテンシの差をもたらす。正味の結果として、NRZコーディングが使用されるとき、あるクロック周波数（例えば、1600MHz）未満では、メモリバンクへのデータの転送又はメモリバンクからのデータの転送により時間がかかるようになり、レイテンシが増大する。このことは、いくつかの用途では許容できない場合がある。

【0027】

本明細書で説明する実施形態は、DDRシステムの複数の擬似チャンネルのうちの少なくとも1つの選択された擬似チャンネルを、複数の擬似チャンネルのうちの少なくとも2つによって共有されるIOデータバスに選択的に通信可能に接続するように構成された1つ又は複数の擬似チャンネル選択デバイスを使用することによって、DDRシステムにおける読み取り動作及び／又は書き込み動作についてのレイテンシを低減させて、DDRシステムの前述の問題に対処する。本明細書で説明する実施形態は、DDR、LPDDR、GDDR、WideIOなどの任意のDDRシステムに適用され得る。例えば、1つ又は複数の擬似チャンネル選択デバイスの実装形態は、2つ（又はそれより大）のデータバス（例えば、16ビットデータバス）を同時に使用してデータ（例えば、32ビット、64ビットなど

10

20

30

40

50

）を転送することによってNRZコーディングIO方式が実施されるときに、DDRを低周波数（例えば、 $\leq 1600\text{MHz}$ ）で動作させるとレイテンシを低減させ得る。別の例として、1つ又は複数の擬似チャネル選択デバイスの実装形態は、DDRを高周波数（例えば、 $> 1600\text{MHz}$ ）で動作させ、PAMコーディングIO方式が、2つ（又はそれより大）のデータバス（例えば、16ビットデータバス）を同時に使用してデータ（例えば、32ビット、64ビットなど）を転送することによって実施されるときに、レイテンシを低減させ得る。

【0028】

様々な実施形態は、提案されたDDRシステム又は既存のDDRシステムと比較して、メモリアクセストラザクシオンのレイテンシを低減させる、DDRシステムにおける擬似チャネルについての適応IO方式を含む。DDRシステムは、DDRチップ上に集積された、多重化能力及び逆多重化能力を伴って構成されたマルチプレクサなど、1つ又は複数の擬似チャネル選択デバイスを含んでもよい。各擬似チャネル選択デバイスは、2つ（又はそれより大）の擬似チャネルがDDRシステムの専用データバスを共有することを可能にし得る。いくつかの例では、より大きい擬似チャネル選択デバイスは、複数のより小さい擬似チャネル選択デバイスを含んでもよい。

【0029】

図3A及び図4A～図4Cを参照して以下で詳細に説明する1つの実施形態では、2つ以上の擬似チャネル選択デバイスの各々は、DDRシステムのそれぞれの専用データバス（例えば、16ビットバス）に接続されてもよく、2つ（又はそれより大）の擬似チャネルが専用データバスを共有することを可能にしてもよい。2つ（又はそれより大）の擬似チャネル選択デバイスを提供し、擬似チャネル選択デバイスを2つ（又はそれより大）の擬似チャネルに接続することによって、2つ（又はそれより大）の擬似チャネルは、結合されたデータバス（例えば、32ビットバス）にアクセスし得る。結合データバスは、2つ以上の擬似チャネル選択デバイスに接続された専用データバスを含んでもよく、したがって、個々の専用データバスよりも大きい幅（例えば、2倍）を有してもよい。言い換えれば、結合データバスの幅は、ビット単位では、各メモリバンクに接続された専用データバスの幅の「1」よりも大きい倍数であってもよい。各擬似チャネルは、内部データバスによって2つ（又はそれより大）の擬似チャネル選択デバイスに通信可能に接続されてもよい。擬似チャネルにおける内部データバスのビット幅は、結合データバスと同じ幅であってもよく、各擬似チャネル選択デバイスにおける内部データバスのビット幅は、内部データバスのビット幅の半分以下など、内部データバスのビット幅の何分の一であってもよい。例えば、各内部データバスは、擬似チャネルにおいて32ビットの内部データバスであってもよく、2つ又は（それより大）の擬似チャネル選択デバイスの各々において16ビット以下の内部データバスであってもよい。2つ（又はそれより大）の擬似チャネル選択デバイスは、それぞれの内部データバスを介して、選択された擬似チャネルを結合データバスに選択的に接続してもよい。2つ（又はそれより大）の擬似チャネル選択デバイスは、 $m:n$ マルチプレクサであってもよい。ここで、「 m 」及び「 n 」は、専用データバスの幅に等しい整数「 m 」、及びそれぞれの擬似チャネル選択デバイスに通信可能に接続された擬似チャネルの数に等しい整数「 n 」など、「1」よりも大きい整数である。例えば、擬似チャネル選択デバイスは $16n:16$ マルチプレクサであってもよい。別の例として、2つの擬似チャネルに対して、擬似チャネル選択デバイスは $32:16$ マルチプレクサであってもよい。

【0030】

図3B及び図4A～図4Cを参照しながら以下で詳細に説明する別の実装形態では、擬似チャネル選択デバイスは、DDRシステムの2つ（又はそれより大）の専用データバス（例えば、16ビットバス）に接続され得、2つ（又はそれより大）の擬似チャネルが専用データバスを共有することを可能にし得る。擬似チャネル選択デバイスを提供し、擬似チャネル選択デバイスを2つ（又はそれより大）の擬似チャネルに接続することによって、2つ（又はそれより大）の擬似チャネルは、結合データバス（例えば、32ビットバス

）へのアクセスを有し得る。結合データバスは、擬似チャンネル選択デバイスに接続された専用データバスを含んでもよく、したがって、個々の専用データバスよりも大きい幅（例えば、2倍）を有してもよい。言い換えれば、結合データバスの幅は、ビット単位では、各メモリバンクに接続された専用データバスの幅の「1」よりも大きい倍数であってもよい。各擬似チャンネルは、内部データバスによって擬似チャンネル選択デバイスに通信可能に接続されてもよい。内部データバスのビット幅は、結合データバスと同じ幅であってもよい。例えば、各内部データバスは32ビットの内部データバスであってもよい。擬似チャンネル選択デバイスは、それぞれの内部データバスを介して、選択された擬似チャンネルを結合データバスに選択的に接続してもよい。擬似チャンネル選択デバイスは、 $p:n$ マルチプレクサであってもよい。ここで、「 p 」及び「 n 」は、結合データバスの幅に等しい整数「 p 」、及び擬似チャンネル選択デバイスに通信可能に接続された擬似チャンネルの数に等しい整数「 n 」など、「1」より大きい整数である。例えば、擬似チャンネル選択デバイスは $32:n:32$ マルチプレクサであってもよい。別の例として、2つの擬似チャンネルに対して、擬似チャンネル選択デバイスは $64:32$ マルチプレクサであってもよい。擬似チャンネル選択デバイスは、上述の2つ（又はそれより大）の擬似チャンネル選択デバイスと同様に構成された複数のより小さい擬似チャンネル選択デバイスを更に含んでもよい。

10

【0031】

DDRシステムは、少なくとも2つの擬似チャンネルなど、DDRチップごとに任意の数の擬似チャンネルで構成されてもよい。例えば、DDRチップは、2つの擬似チャンネル、3つの擬似チャンネル、4つの擬似チャンネル、6つの擬似チャンネル、8つの擬似チャンネルなどを含んでもよい。1つ又は複数の擬似チャンネル選択デバイスは、DDRチップの擬似チャンネルのうちの少なくとも1つを選択するように構成されてもよい。DDRチップは、結合データバスに並列に通信可能に接続された複数の擬似チャンネル選択デバイスを含んでもよい。複数の擬似チャンネル選択デバイスは、上述したように、より大きい擬似チャンネル選択デバイスとして一緒に機能するように構成されてもよく、その結果、結合データバスに選択的に通信可能に接続する擬似チャンネルの選択は、複数の擬似チャンネル選択デバイスを介して制御されてもよい。

20

【0032】

メモリアクセストランザクションのために擬似チャンネルのうちの少なくとも1つを選択する1つ又は複数の擬似チャンネル選択デバイスを使用するDDRシステムは、接続された擬似チャンネルごとに結合データバスの幅を使用することを可能にすることによって、特に既存のDDRシステムのNRZコーディングIO方式と比較して、レイテンシを低減させる。より広い幅の結合データバスを介してデータを送信するためのバースト長は、1回の書き込み又は読み取り動作においてNRZを使用して送信されるビット数を2倍（又はそれより大）にすることによって、より狭い幅の専用データバスと比較して短縮される。より広い幅の結合データバス及び短縮されたバースト長の結果として、データ伝送のレイテンシは、従来のDDRシステムと比較して低減される。

30

【0033】

図1は、様々な実施形態とともに使用するのに適したコンピューティングデバイス100を含むシステムを示す。コンピューティングデバイス100は、中央処理ユニット104と、メモリ106と、通信インターフェース108と、メモリインターフェース110と、周辺デバイスインターフェース120と、処理デバイス124とを有するシステムオンチップ（SoC）102を含んでもよい。コンピューティングデバイス100は、ワイヤード又はワイヤレスモデムなどの通信構成要素112、メモリ114、ワイヤレス通信リンクを確立するためのアンテナ116、及び／又は周辺デバイス122を更に含んでもよい。プロセッサ124は、様々な処理デバイスのいずれか、例えば、いくつかのプロセッサコアを含んでもよい。

40

【0034】

「システムオンチップ」又は「SoC」という用語は、通常、限定はしないが、処理デバイス、メモリ、及び通信インターフェースを含む相互接続された電子回路のセットを指

50

すために本明細書において使用される。処理デバイスは、中央処理ユニット（CPU）104、並びに／又は汎用プロセッサ、中央処理ユニット（CPU）104、デジタル信号プロセッサ（DSP）、グラフィックス処理ユニット（GPU）、加速処理ユニット（APU）、セキュア処理ユニット（SPU）、知的財産ユニット（IPU）、カメラサブシステム用の画像プロセッサ若しくはディスプレイ用のディスプレイプロセッサなどのコンピューティングデバイスの特定の構成要素のサブシステムプロセッサ、補助プロセッサ、周辺デバイスプロセッサ、シングルコアプロセッサ、マルチコアプロセッサ、コントローラ、及び／若しくはマイクロコントローラを含むプロセッサ124などの、様々な異なるタイプのプロセッサ並びに／又はプロセッサコアを含んでもよい。処理デバイスは、フィールドプログラマブルゲートアレイ（FPGA）、特定用途向け集積回路（ASIC）、他のプログラマブル論理デバイス、個別ゲート論理、トランジスタ論理、性能監視ハードウェア、ウォッチドッグハードウェア、及び／又は時間基準などの、他のハードウェア及びハードウェアの組合せを更に組み入れてもよい。集積回路は、集積回路の構成要素がシリコンなどの単体の半導体材料上に存在するように構成されてもよい。

10

【0035】

SOC102は、1つ又は複数のCPU104及びプロセッサ124を含んでもよい。コンピューティングデバイス100は、2つ以上のSOC102を含み、それによって、CPU104、プロセッサ124、及びプロセッサコアの数を増やしてもよい。コンピューティングデバイス100はまた、SOC102に関連付けられていないCPU104及びプロセッサ124を含んでもよい。個々のCPU104及びプロセッサ124は、マルチコアプロセッサであってもよい。CPU104及びプロセッサ124は各々、コンピューティングデバイス100の他のCPU104及びプロセッサ124と同じであることも異なっていることもある、特定の目的のために構成されてもよい。同じ構成又は異なる構成のCPU104、プロセッサ124、及びプロセッサコアのうちの1つ又は複数のは、一緒にグループ化されてもよい。CPU104、プロセッサ124、又はプロセッサコアのグループは、マルチプロセッサクラスタと呼ばれることがある。

20

【0036】

SOC102のメモリ106は、SOC102のCPU104、プロセッサ124、又は他の構成要素によるアクセスのためにデータ及びプロセッサ実行可能コードを記憶するように構成された、揮発性又は不揮発性のメモリであってもよい。コンピューティングデバイス100及び／又はSOC102は、様々な目的のために構成された1つ又は複数のメモリ106を含んでもよい。1つ又は複数のメモリ106は、メインメモリ又はキャッシュメモリとして実装される、DDRを含む、ランダムアクセスメモリ（RAM）などの揮発性メモリを含んでもよい。これらのメモリ106は、データセンサ若しくはサブシステムから受信されたデータ、不揮発性メモリから要求され、様々なファクタに基づいて将来のアクセスを予想して不揮発性メモリからメモリ106にロードされるデータ及び／若しくはプロセッサ実行可能コード命令、並びに／又はCPU104及び／若しくはプロセッサ124によって生成され、不揮発性メモリには記憶されずに将来迅速にアクセスできるように一時的に記憶される中間処理データ及び／若しくはプロセッサ実行可能コード命令の限られた量を、一時的に保持するように構成されてもよい。メモリ106は、SOC102のCPU104、プロセッサ124、又は他の構成要素のうちの1つ又は複数によるアクセスのために、別のメモリ106又はメモリ114などの、別のメモリデバイスからメモリ106にロードされるデータ及びプロセッサ実行可能コードを、少なくとも一時的に記憶するように構成されてもよい。いくつかの実施形態では、任意の数及び組合せのメモリ106が、ワнтаイムプログラマブル又は読み取り専用メモリを含んでもよい。

30

40

【0037】

メモリインターフェース110及びメモリ114は、コンピューティングデバイス100がデータ及びプロセッサ実行可能コードを揮発性及び／又は不揮発性記憶媒体に記憶し、データ及びプロセッサ実行可能コードを揮発性及び／又は不揮発性記憶媒体から検索することを可能にするために同時に作動してもよい。メモリ114は、メモリ114がS o

50

C 1 0 2 の C P U 1 0 4、プロセッサ 1 2 4、又は他の構成要素のうちの 1 つ又は複数によるアクセスのためにデータ又はプロセッサ実行可能コードを記憶してもよい、メインメモリなどのメモリ 1 0 6 の実施形態とほとんど同じように構成されてもよい。いくつかの実施形態では、不揮発性であるメモリ 1 1 4 は、コンピューティングデバイス 1 0 0 の電源が切断された後に情報を保持してもよい。電源が再び投入され、コンピューティングデバイス 1 0 0 が再起動すると、メモリ 1 1 4 上に記憶された情報は、コンピューティングデバイス 1 0 0 に利用可能であってもよい。いくつかの実施形態では、揮発性であるメモリ 1 1 4 は、コンピューティングデバイス 1 0 0 の電源が切断された後に情報を保持しなくてもよい。メモリインターフェース 1 1 0 は、メモリ 1 1 4 へのアクセスを制御し、S o C 1 0 2 の C P U 1 0 4、プロセッサ 1 2 4、又は他の構成要素がメモリ 1 1 4 からデータを読み取り、メモリ 1 1 4 にデータを書き込むことを可能にしてもよい。

10

【0038】

コンピューティングデバイス 1 0 0 及び／又は S o C 1 0 2 の構成要素の一部又は全部は、依然として様々な実施形態の機能を果たしながら、異なるように配置され、かつ／又は組み合わせられてもよい。コンピューティングデバイス 1 0 0 は、構成要素の各々のうちの 1 つに限定されなくてもよく、各構成要素の複数のインスタンスが、コンピューティングデバイス 1 0 0 の様々な構成の中に含まれてもよい。

【0039】

図 2 は、様々な実施形態を実装するのに適した例示的な擬似チャネルベースのメモリシステム（例えば、図 1 のメモリ 1 0 6、メモリ 1 1 4）を示す。図 1 及び図 2 を参照すると、例示的な擬似チャネルベースのメモリシステムは、任意の数の D D R チップ 2 0 0 を含んでもよい。各 D D R チップ 2 0 0 は、任意の数のバンク 2 2 4 a、2 2 4 b を含んでもよい。例えば、D D R チップ 2 0 0 は、3 2 個のバンクを含んでもよい。バンク 2 2 4 a、2 2 4 b は、任意の数及び組み合わせで配置されて、任意の数のバンクグループ 2 2 2 a、2 2 2 b を形成し得る。例えば、D D R チップ 2 0 0 は、1 6 個のバンクグループ 2 2 2 a、2 2 2 b を含んでもよく、各バンクグループ 2 2 2 a、2 2 2 b は、2 個のバンク 2 2 4 a、2 2 4 b を含んでもよい。バンクグループ 2 2 2 a は、2 つのバンク 2 2 4 a を含み、バンクグループ 2 2 2 b は、2 つのバンク 2 2 4 b を含む。バンク 2 2 4 a、2 2 4 b 及びバンクグループ 2 2 2 a、2 2 2 b は、少なくとも 2 つの擬似チャネル 2 2 0 a、2 2 0 b を形成するために、任意の数及び組み合わせで配置されてもよい。言い換えれば、各擬似チャネル 2 2 0 a、2 2 0 b は、1 つ又は複数のバンクグループ 2 2 2 a、2 2 2 b を含んでもよく、各バンクグループ 2 2 2 a、2 2 2 b は、1 つ又は複数のバンク 2 2 4 a、2 2 4 b を含んでもよい。擬似チャネル 2 2 0 a、2 2 0 b の異なるバンクグループ 2 2 2 a、2 2 2 b は、同じ数のバンク 2 2 4 a、2 2 4 b を含んでもよく、又は異なる数のバンク 2 2 4 a、2 2 4 b を含んでもよい。異なる擬似チャネル 2 2 0 a、2 2 0 b は、同じ数のバンクグループ 2 2 2 a、2 2 2 b を含んでもよく、又は異なる数のバンクグループ 2 2 2 a、2 2 2 b を含んでもよい。例えば、D D R チップ 2 0 0 は、2 つの擬似チャネル 2 2 0 a、2 2 0 b を含んでもよく、各擬似チャネル 2 2 0 a、2 2 0 b は、8 つのバンクグループ 2 2 2 a、2 2 2 b を含んでもよく、各バンクグループ 2 2 2 a、2 2 2 b は、2 つのバンク 2 2 4 a、2 2 4 b を含んでもよい。より具体的には、擬似チャネル 2 2 0 a は 8 つのバンクグループ 2 2 2 a を含んでもよく、各バンクグループ 2 2 2 a は 2 つのバンク 2 2 4 a を含んでもよく、擬似チャネル 2 2 0 b は 8 つのバンクグループ 2 2 2 b を含んでもよく、各バンクグループ 2 2 2 b は 2 つのバンク 2 2 4 b を含んでもよい。

20

30

40

【0040】

バンク 2 2 4 a、2 2 4 b を含む擬似チャネル 2 2 0 a、2 2 0 b は、内部バス 2 3 0 を介して擬似チャネル I O 2 0 2 a、2 0 2 b 及び共有 I O 2 1 0 に通信可能に接続することができる。例えば、各擬似チャネル 2 2 0 a、2 2 0 b は、擬似チャネル I O 2 0 2 a、2 0 2 b のうちの専用チャネルに通信可能に接続されてもよく、少なくとも 2 つの擬似チャネル 2 2 0 a、2 2 0 b は、共有 I O 2 1 0 に通信可能に接続されてもよい。した

50

がって、DDRチップ200は、同じ数の擬似チャンネル220a、220b及び擬似チャンネルIO202a、202bを含んでもよい。

【0041】

各擬似チャンネルIO202a、202bは、それぞれデータバス204a、204bを含んでもよい。各擬似チャンネルIO202a、202bは、DDRチップ200がホスト（例えば、図1のCPU104、プロセッサ124）からデータを受信し、通信可能に接続されたデータバス204a、204bを介して擬似チャンネル220a、220bにデータを送信することを可能にするように構成されてもよい。更に、各擬似チャンネルIO202a、202bは、DDRチップ200が擬似チャンネル220a、220bからデータを受信し、通信可能に接続されたデータバス204a、204bを介してホストにデータを送信することを可能にするように構成されてもよい。データバス204a、204bは、通信可能に接続された擬似チャンネルIO202a、202b専用のデータバス204a、204bよりも大きいデータバスの一部であってもよい。各擬似チャンネルIO202a、202bは、擬似チャンネルIO202a、202bに通信可能に接続された擬似チャンネル220a、220bの動作のための信号を提供するように構成された書き込みクロック206a、206b及び読み取りストロープ208a、208bを更に含んでもよい。

10

【0042】

各共有IO210は、コマンドアドレス（CA）バス214を含んでもよい。CAバス214は、DDRチップ200が、共有IO210に通信可能に接続された擬似チャンネル220a、220b内の指定されたアドレスにおいて、読み取り及び／又は書き込みなどのメモリアクセスコマンドを実行することを可能にするように構成されてもよい。各共有IO210は、共有IO210に通信可能に接続された擬似チャンネル220a、220bの動作のための信号を提供するように構成されたクロック212、チップ選択216、及びリセット218を更に含んでもよい。

20

【0043】

従来、各擬似チャンネル220a、220bは、擬似チャンネルIO202a、202bのそれぞれの専用チャンネルのみに通信可能に接続されてもよく、他の擬似チャンネルIO202a、202bには通信可能に接続されなくてもよい。例えば、擬似チャンネル220aは、擬似チャンネルIO202aのみに通信可能に接続されてもよく、擬似チャンネル220bは、擬似チャンネルIO202bのみに通信可能に接続されてもよい。特に、擬似チャンネル220aは、擬似チャンネルIO202aのデータバス204aのみに通信可能に接続されてもよく、擬似チャンネル220bは、擬似チャンネルIO202bのデータバス204bのみに通信可能に接続されてもよい。本明細書で提供される実施形態では、各擬似チャンネル220a、220bは、複数の擬似チャンネルIO202a、202bに通信可能に接続されてもよい。例えば、擬似チャンネル220aは、擬似チャンネルIO202a、202bに通信可能に接続されてもよく、擬似チャンネル220bは、擬似チャンネルIO202a、202bに通信可能に接続されてもよい。特に、擬似チャンネル220aは、擬似チャンネルIO202aのデータバス204a及び擬似チャンネルIO202bのデータバス204bに通信可能に接続されてもよく、擬似チャンネル220bは、擬似チャンネルIO202aのデータバス204a及び擬似チャンネルIO202bのデータバス204bに接続されてもよい。このように擬似チャンネル220a、220bを複数のデータバス204a、204bに通信可能に接続すると、擬似チャンネル220a、220bには、従来のように擬似チャンネル220a、220bをデータバス204a、204bのうちの専用データバスのみに接続する場合よりも大きいデータバスのより大きい部分へのアクセスが提供され得る。例えば、擬似チャンネル220a、220bを複数のデータバス204a、204bに接続すると、擬似チャンネル220a、220bには、組み合わせられたデータバス204a、204bのサイズのより大きいデータバスの一部へのアクセスが提供され得る。従来のように擬似チャンネル220a、220bをデータバス204a、204bのうちの専用データバスのみに接続すると、擬似チャンネル220a、220bには、個々のデータバス204a、204bのサイズのより大きいデータバスの一部へのアクセスが提供される。

30

40

50

【0044】

図3A及び図3Bは、様々な実施形態を実装するのに適した例示的な擬似チャンネルベースのメモリシステム（例えば、図1のメモリ106、メモリ114）を示す。図1～図3Bを参照すると、例示的な擬似チャンネルベースのメモリシステムは、任意の数のDDRチップ300a、300b（例えば、図2のDDRチップ200）を含んでもよい。DDRチップ300a、300bは、任意の数及び組み合わせのバンク224a、224b、バンクグループ222a、222b、及び擬似チャンネル220a、220bを含んでもよい。説明を容易にし、明確にするために、本明細書で提示される例は、2つの擬似チャンネルに基づく。しかしながら、そのような例は、特許請求の範囲又は説明の範囲を限定することを意味せず、本明細書で提示される例は、2つの擬似チャンネル、3つの擬似チャンネル、4つの擬似チャンネル、6つの擬似チャンネル、8つの擬似チャンネル、「x」が「0」よりも大きい整数である $2 \times$ 個の擬似チャンネルなどを含むDDRチップに同様に適用されてもよい。

10

【0045】

DDRチップ300a、300bは、各擬似チャンネル220a、220bに関連付けられたプリフェッチメモリ302a、302bを更にも含む。プリフェッチメモリ302a、302bは、関連付けられた擬似チャンネル220a、220bのバンク224a、224bから検索されたデータを保持するように構成されてもよい。プリフェッチメモリ302a、302bは、一般に、バンク224a、224bに比べて容量がより小さくてもよい。いくつかの例では、プリフェッチメモリ302a、302bは、本明細書で更に説明する内部データバス306a、306bのビット幅に等しい容量を有してもよい。例えば、プリフェッチメモリ302a、302bは、256ビットの結合容量を有するレジスタのアレイであってもよい。

20

【0046】

図3Aに示す例では、DDRチップ300aは、擬似チャンネル選択デバイス304a、304bを更にも含む。例えば、擬似チャンネル選択デバイス304a、304bは、任意の数及び組み合わせのマルチプレクサであってもよい。各擬似チャンネル選択デバイス304a、304bは、擬似チャンネルデータバス312a、312b（例えば、図2のデータバス204a、204b）に通信可能に接続されてもよい。各擬似チャンネル選択デバイス304a、304bは、少なくとも2つの擬似チャンネル220a、220bに通信可能に接続されてもよい。擬似チャンネル選択デバイス304a、304bは、内部データバス306a、306b、308a、308b、308c、308dを介して擬似チャンネル220a、220bに通信可能に接続されてもよい。例えば、内部データバス306a及び308aは、擬似チャンネル選択デバイス304aと擬似チャンネル220aとを通信可能に接続してもよく、内部データバス306a及び308bは、擬似チャンネル選択デバイス304bと擬似チャンネル220aとを通信可能に接続してもよい。更に、内部データバス306b及び308cは、擬似チャンネル選択デバイス304aと擬似チャンネル220bとを通信可能に接続してもよく、内部データバス306b及び308dは、擬似チャンネル選択デバイス304bと擬似チャンネル220bとを通信可能に接続してもよい。擬似チャンネル選択デバイス304a、304bは、本明細書で更に説明するように、内部データバス306a、306b、308a、308b、308c、308dを介して複数の擬似チャンネルデータバス312a、312bに擬似チャンネル220a、220bを通信可能に接続するように構成されてもよい。内部データバス306a、306bは、内部データバス306a、306bが通信可能に接続され得る少なくとも2つの擬似チャンネルデータバス312a、312bと同じビット幅を有するようにサイズを決定されてもよい。例えば、内部データバス306a、306bはそれぞれ32ビット幅を有してもよく、擬似チャンネルデータバス312a、312bはそれぞれ16ビット幅を有してもよい。内部データバス308a、308b、308c、308dは、内部データバス308a、308b、308c、308dが通信可能に接続され得る擬似チャンネルデータバス312a、312bと同じビット幅を有するようにサイズを決定されてもよい。例えば、内部データバス30

30

40

50

8 a、308 b、308 c、308 dはそれぞれ16ビット幅を有してもよく、擬似チャネルデータバス312 a、312 bは各々、16ビット幅を有してもよい。

【0047】

別の例として、専用内部データバス（図示せず）は、擬似チャネル220 a、220 bをそれぞれの擬似チャネル選択デバイス304 a、304 bと通信可能に接続してもよい。専用内部データバスは、専用内部データバスが通信可能に接続され得る擬似チャネルデータバス312 a、312 bと同じビット幅を有するようにサイズを決定されてもよい。例えば、専用内部データバスはそれぞれ16ビット幅を有してもよく、擬似チャネルデータバス312 a、312 bは各々、16ビット幅を有してもよい。プリフェッチメモリ302 a、302 bは、それぞれの専用内部データバスの組み合わせビット幅に等しい容量を有してもよく、又は専用内部データバスごとに別々のプリフェッチメモリが設けられてもよい。

10

【0048】

DDRチップ300 aは、擬似チャネル選択信号線318 a、318 bを介して、CAバス314（例えば、図2のCAバス214）及び擬似チャネル選択デバイス304 a、304 bに通信可能に接続され得る擬似チャネルコントローラ316を含んでもよい。擬似チャネルコントローラ316は、CAバス314を介してメモリアクセスコマンドを受信するように構成されてもよい。擬似チャネルコントローラ316は、メモリアクセスコマンドを解釈して、擬似チャネル選択信号線318 a、318 bを介して擬似チャネル選択デバイス304 a、304 bに擬似チャネル選択信号を提供するかどうかを判定する（擬似チャネル選択信号をアサート又はデアサートすることによって判定することを含む）ように構成されてもよい。擬似チャネルコントローラ316は、メモリアクセスが低レイテンシタイプメモリアクセスであることを示すように構成されたメモリアクセスコマンドを受信してもよい。例えば、メモリアクセスコマンドは、低レイテンシタイプメモリアクセスの、フィールド内の値などの指示を含んでもよい。別の例として、モードレジスタ書き込みが、メモリアクセスコマンドに先行してもよく、モードレジスタ書き込みは、任意の後続のメモリアクセスコマンドが低レイテンシタイプメモリアクセスとして実施されるべきであることを擬似チャネルコントローラ316に指示するためにレジスタ値を設定するように構成されてもよい。擬似チャネルコントローラ316はまた、低レイテンシタイプメモリアクセスのターゲットとなる擬似チャネル220 a、220 bを決定し、擬似チャネル選択デバイス304 a、304 bに擬似チャネル選択信号を発行してもよい。擬似チャネル選択信号は、メモリアクセスのターゲットとなる擬似チャネル220 a、220 bを内部データバス306 a、306 b、308 a、308 b、308 c、308 dを介して擬似チャネルデータバス312 a、312 bに通信可能に接続するように構成するように、擬似チャネル選択デバイス304 a、304 bに促し得る。いくつかの例では、擬似チャネル選択デバイス304 a、304 bへの擬似チャネル選択信号は、同じ擬似チャネル選択信号であってもよい。いくつかの例では、擬似チャネル選択デバイス304 a、304 bへの擬似チャネル選択信号は、それぞれに異なる擬似チャネル選択信号であってもよい。前述の例のいずれかにおいて、DDRチップ300 a、並びに／又は擬似チャネル選択デバイス304 a、304 b及び擬似チャネルコントローラ316を含むDDRチップ300 aの構成要素は、メモリアクセスコマンドが、メモリアクセスが低レイテンシタイプメモリアクセスであることを示すように構成されているか、又はメモリアクセスコマンドがモードレジスタ書き込みの後に続くかにかかわらず、低レイテンシタイプメモリアクセスを実施する第1の動作モードで動作し得る。

20

30

40

【0049】

同様に、擬似チャネルコントローラ316は、メモリアクセスが標準タイプメモリアクセス又は非低レイテンシタイプメモリアクセスであることを示すように構成されたメモリアクセスコマンドを受信してもよい。例えば、メモリアクセスコマンドは、標準タイプメモリアクセス又は非低レイテンシタイプメモリアクセスの、フィールド内の値などの指示を含んでもよい。別の例として、メモリアクセスコマンドは、任意の後続のメモリアクセ

50

スコマンドが低レイテンシタイプメモリアクセスとして実施されるべきであることを擬似チャンネルコントローラ316に指示するためにレジスタ値を設定するように構成されたモードレジスタ書き込みの後に続く。更に、メモリアクセスコマンドは、任意の後続のメモリアクセスコマンドが標準タイプメモリアクセス又は非低レイテンシタイプメモリアクセスとして実施されるべきであることを擬似チャンネルコントローラ316に指示するためにレジスタ値を設定するように構成されたモードレジスタ書き込みの後に続く。

【0050】

擬似チャンネルコントローラ316はまた、標準タイプメモリアクセス又は非低レイテンシタイプメモリアクセスがターゲットとされる擬似チャンネル220a、220bを決定し、擬似チャンネル選択信号を擬似チャンネル選択デバイス304a、304bに発行してもよい。擬似チャンネル選択信号は、メモリアクセスのターゲットとなる擬似チャンネル220a、220bを内部データバス306a、306b、308a、308b、308c、308dを介してそれぞれの擬似チャンネルデータバス312a、312bに通信可能に接続するように構成するように、擬似チャンネル選択デバイス304a、304bに促し得る。いくつかの実施形態では、擬似チャンネル選択デバイス304a、304bへの擬似チャンネル選択信号は、同じ擬似チャンネル選択信号であってもよい。いくつかの実施形態において、擬似チャンネル選択デバイス304a、304bへの擬似チャンネル選択信号は、それぞれに異なる擬似チャンネル選択信号であってもよい。これらの実施形態のいずれかにおいて、DDRチップ300a、並びに／又は擬似チャンネル選択デバイス304a、304b及び擬似チャンネルコントローラ316を含むDDRチップ300aの構成要素は、メモリアクセスコマンドが、メモリアクセスが標準タイプメモリアクセス又は非低レイテンシタイプメモリアクセスであることを示すように構成されているかどうかにかかわらず、メモリアクセスコマンドが、任意の後続のメモリアクセスを低レイテンシタイプメモリアクセスとして実施させるモードレジスタ書き込みの後に続かない場合、又はメモリアクセスコマンドが、任意の後続のメモリアクセスを標準タイプメモリアクセス又は非低レイテンシタイプメモリアクセスとして実施させるモードレジスタ書き込みの後に続く場合、標準タイプメモリアクセス又は非低レイテンシタイプメモリアクセスを実施する第2の動作モードで動作してもよい。

【0051】

図3Bに示す例では、DDRチップ300bは、擬似チャンネル選択デバイス320を更に含んでもよく、擬似チャンネル選択デバイス320は、図3Aを参照しながら本明細書で説明したようないくつかの擬似チャンネル選択デバイス304a、304b及びそれらの組合せを含んでもよい。擬似チャンネル選択デバイス320は、擬似チャンネルデータバス312a、312b（例えば、図2のデータバス204a、204b）に通信可能に接続されてもよい。擬似チャンネル選択デバイス320はまた、少なくとも2つの擬似チャンネル220a、220bに通信可能に接続されてもよい。擬似チャンネル選択デバイス320は、内部データバス306a、306bを介して擬似チャンネル220a、220bに通信可能に接続されてもよい。擬似チャンネル選択デバイス320は、内部データバス306a、306b、308a、308b、308c、308dを通信可能に接続してもよく、擬似チャンネル選択デバイス304a、304bは、図3Aを参照して本明細書で説明したように、内部データバス306a、306b、308a、308b、308c、308dを介して擬似チャンネル220a、220bに通信可能に接続されてもよい。別の例として、擬似チャンネル選択デバイス320は、図3Aを参照して本明細書で説明したように、専用内部データバス（図示せず）を介して擬似チャンネル220a、220b及び擬似チャンネル選択デバイス304a、304bに通信可能に接続されてもよい。

【0052】

DDRチップ300bは、図3Aを参照して本明細書で説明したようなCAバス314（例えば、図2のCAバス214）に通信可能に接続され得、かつ擬似チャンネル選択信号線（単数又は複数）318cを介して擬似チャンネル選択デバイス320に通信可能に接続

され得る擬似チャネルコントローラ 316 を含んでもよい。擬似チャネルコントローラ 316 は、擬似チャネル選択デバイス 320 を介して擬似チャネル選択デバイス 304 a、304 b に通信可能に接続されてもよい。擬似チャネルコントローラ 316 は、C A バス 314 を介してメモリアクセスコマンドを受信するように構成されてもよい。擬似チャネルコントローラ 316 は、メモリアクセスコマンドを解釈して、擬似チャネル選択信号線 318 c を介して擬似チャネル選択デバイス 320、304 a、304 b に擬似チャネル選択信号を提供するかどうかを判定する（擬似チャネル選択信号をアサート又はデアサートすることによって決定することを含む）ように構成されてもよい。擬似チャネルコントローラ 316 は、メモリアクセスが低レイテンシタイプメモリアクセスであることを示すように構成されたメモリアクセスコマンドを受信し、図 3 A を参照して本明細書で説明したように、低レイテンシタイプメモリアクセスがターゲットとされる擬似チャネル 220 a、220 b を決定してもよい。擬似チャネルコントローラ 316 は、擬似チャネル選択信号を擬似チャネル選択デバイス 320 に発行してもよく、擬似チャネル選択デバイス 320 は、擬似チャネル選択信号を擬似チャネル選択デバイス 304 a、304 b に送信してもよい。いくつかの実施形態では、擬似チャネル選択デバイス 320 は、擬似チャネル選択信号を擬似チャネル選択デバイス 304 a、304 b のうちの 1 つ又は複数に転送してもよい。擬似チャネル選択信号は、図 3 A を参照して本明細書で説明したように、メモリアクセスのターゲットとなる擬似チャネル 220 a、220 b を内部データバス 306 a、306 b、308 a、308 b、308 c、308 d を介して擬似チャネルデータバス 312 a、312 b に通信可能に接続するように構成するように、擬似チャネル選択デバイス 304 a、304 b に促し得る。前述の例のいずれかにおいて、メモリアクセスコマンドが、メモリアクセスが低レイテンシタイプメモリアクセスであることを示すように構成されているか、又はメモリアクセスコマンドがモードレジスタ書き込みの後に続くかにかかわらず、D D R チップ 300 b 及び／又は擬似チャネル選択デバイス 304 a、304 b、320 及び擬似チャネルコントローラ 316 を含む D D R チップ 300 b の構成要素は、低レイテンシタイプメモリアクセスを実施する第 1 の動作モードで動作してもよい。

10

20

30

40

50

【0053】

同様に、擬似チャネルコントローラ 316 は、図 3 A を参照して本明細書で説明したように、メモリアクセスが標準タイプメモリアクセス又は非低レイテンシタイプメモリアクセスであることを示すように構成されたメモリアクセスコマンドを受信し、標準タイプメモリアクセス又は非低レイテンシタイプメモリアクセスがターゲットとされる擬似チャネル 220 a、220 b を決定してもよい。擬似チャネルコントローラ 316 は、擬似チャネル選択信号を擬似チャネル選択デバイス 320 に発行してもよく、擬似チャネル選択デバイス 320 は、擬似チャネル選択信号を擬似チャネル選択デバイス 304 a、304 b に送信してもよい。いくつかの実施形態では、擬似チャネル選択デバイス 320 は、擬似チャネル選択信号を擬似チャネル選択デバイス 304 a、304 b のうちの 1 つ又は複数に転送してもよい。擬似チャネル選択信号は、図 3 A を参照して本明細書で説明したように、メモリアクセスのターゲットとなる擬似チャネル 220 a、220 b を内部データバス 306 a、306 b、308 a、308 b、308 c、308 d を介してそれぞれの擬似チャネルデータバス 312 a、312 b に通信可能に接続するように構成するように、擬似チャネル選択デバイス 304 a、304 b に促し得る。D D R チップ 300 b、及び／又は擬似チャネル選択デバイス 304 a、304 b、320 及び擬似チャネルコントローラ 316 を含む D D R チップ 300 b の構成要素は、メモリアクセスコマンドが、メモリアクセスが標準タイプメモリアクセス又は非低レイテンシタイプメモリアクセスであることを示すように構成されているかどうかにかかわらず、メモリアクセスコマンドが、任意の後続のメモリアクセスを低レイテンシタイプメモリアクセスとして実施させるためのモードレジスタ書き込みの後に続かない場合、又はメモリアクセスコマンドが、任意の後続のメモリアクセスを標準タイプメモリアクセス又は非低レイテンシタイプメモリアクセスとして実施させるモードレジスタ書き込みの後に続く場合、標準タイプメモリアクセス

又は非低レイテンシタイプメモリアクセスを実施する第2の動作モードで動作してもよい。

【0054】

本明細書で提供される例では、構成要素の数、サイズ、及び／又は容量などの特定の値は、特許請求の範囲及び説明の範囲を限定することを意味しない。本明細書で提示される例は、本明細書で提供される例示的な数、サイズ、及び／若しくは容量よりも大きい並びに／又は小さい構成要素の数、サイズ、及び／若しくは容量を同様に適用してもよい。例えば、プリフェッチメモリ302a、302bは、256ビットより大きい又は小さい 2^X ビットの容量を有してもよい。別の例として、内部データバス306a、306bは、32ビットより大きい又は小さい 2^X ビット幅を有してもよい。別の例として、擬似チャネルデータバス312a、312bは、16ビットより大きい又は小さい 2^X ビット幅を有してもよい。別の例として、内部データバス308a、308b、308c、308dは、16ビットより大きい又は小さい 2^X ビット幅を有してもよい。前述の例では、「X」は「0」より大きい整数である。本明細書で指摘されるように、DDRチップ300a、300bは、2つよりも多くの擬似チャネル220a、220bを含んでもよい。したがって、DDRチップ300a、300bは、本明細書で提供される実施形態を実装するために、適切な数の擬似チャネル選択デバイス304a、304b、320、内部データバス306a、306b、308a、308b、308c、308d、及び擬似チャネル選択信号線318a、318b、318cを含んでもよい。例えば、DDRチップ300a、300bは、図3に示す例のように、擬似チャネル220a、220b、擬似チャネル選択デバイス304a、304b、320、内部データバス306a、306b、308a、308b、308c、308d、及び擬似チャネル選択信号線318a、318b、318cの1つ又は複数の複製を含んでもよい。別の例として、DDRチップ300a、300bは、図3A及び図3Bに示す例を拡張する追加の擬似チャネル、擬似チャネル選択デバイス、内部データバス、及び擬似チャネル選択信号線を含んでもよい。例えば、1つ又は複数の追加の擬似チャネルは、追加の内部データバスを介して、擬似チャネル選択デバイス304a、304b、320のうちの1つ又は複数及び少なくとも1つの追加の擬似チャネル選択デバイスに通信可能に接続されてもよく、追加の擬似チャネル選択信号線は、任意の追加の擬似チャネル選択デバイスに通信可能に接続されてもよい。

【0055】

図4A～図4Cは、様々な実施形態を実装するのに適した擬似チャネルベースのメモリシステム（例えば、図1のメモリ106、メモリ114）の例示的な機能を示す。図1～図4Cを参照すると、例示的な擬似チャネルベースのメモリシステムは、DDRチップ300a（例えば、図2のDDRチップ200）を含んでもよく、DDRチップ300aは、擬似チャネル220a、220b、バンク224a、224b、バンクグループ222a、222b、プリフェッチメモリ302a、302b、擬似チャネル選択デバイス304a、304b、内部データバス306a、306b、308a、308b、308c、308d、擬似チャネルコントローラ316、及び擬似チャネル選択信号線318a、318bを含む。DDRチップ300aはまた、擬似チャネルデータバス312a、312b、及びCAバス314を含んでもよい。

【0056】

図4A及び図4Bに示す例は、DDRチップ300a、並びに／又は低レイテンシタイプメモリアクセスを実施する第1の動作モードで動作する擬似チャネル選択デバイス304a、304b及び擬似チャネルコントローラ316を含むDDRチップ300aの構成要素の例であり得る。図4Aを参照すると、擬似チャネルコントローラ316は、擬似チャネル220aをターゲットとする低レイテンシタイプメモリアクセスを決定してもよい。擬似チャネルコントローラ316は、擬似チャネル選択デバイス304aに、擬似チャネル220aを擬似チャネルデータバス312aに通信可能に接続させるように構成された擬似チャネル選択信号を、擬似チャネル選択デバイス304aに送ってもよい。これに

応じて、擬似チャネル選択デバイス304aは、内部データバス306a、308aを介して擬似チャネル220aを擬似チャネルデータバス312aに通信可能に接続してもよい。擬似チャネル220aをターゲットとする同じ低レイテンシタイプメモリアクセスの場合、擬似チャネルコントローラ316は、擬似チャネル選択デバイス304bに、擬似チャネル220aを擬似チャネルデータバス312bに通信可能に接続させるように構成された擬似チャネル選択信号を、擬似チャネル選択デバイス304bに送ってもよい。これに応じて、擬似チャネル選択デバイス304bは、内部データバス306a、308bを介して擬似チャネル220aを擬似チャネルデータバス312bに通信可能に接続してもよい。擬似チャネル220aを擬似チャネルデータバス312a、312bに通信可能に接続することは、擬似チャネル選択デバイス304a、304bによって擬似チャネル220bを擬似チャネルデータバス312a、312bから通信可能に切断することを含んでもよい（破線の内部データバス306b、308c、308dを用いて示されている）。

10

【0057】

低レイテンシタイプ読み取りメモリアクセスの場合、データは、擬似チャネル220aに関連付けられたプリフェッチメモリ302aから読み出されてもよく、内部データバス306a、308a、308b及び擬似チャネル選択デバイス304a、304bを介して擬似チャネルデータバス312a、312bに提供されてもよい。低レイテンシタイプ書き込みメモリアクセスの場合、データは、擬似チャネル220aに関連付けられたバンク224aに書き込まれてもよく、内部データバス306a、308a、308b及び擬似チャネル選択デバイス304a、304bを介して擬似チャネルデータバス312a、312bから提供される。

20

【0058】

上述したように、代替的な実装形態では、擬似チャネル選択デバイス304aは、専用内部データバス（図示せず）を介して擬似チャネル220aを擬似チャネルデータバス312aに通信可能に接続してもよい。同様に、擬似チャネル選択デバイス304bは、専用内部データバス（図示せず）を介して擬似チャネル220aを擬似チャネルデータバス312bに通信可能に接続してもよい。

【0059】

図4Bを参照すると、擬似チャネルコントローラ316は、擬似チャネル220bをターゲットとする低レイテンシタイプメモリアクセスを決定してもよい。擬似チャネルコントローラ316は、擬似チャネル選択デバイス304aに、擬似チャネル220bを擬似チャネルデータバス312aに通信可能に接続させるように構成された擬似チャネル選択信号を、擬似チャネル選択デバイス304aに送ってもよい。これに応じて、擬似チャネル選択デバイス304aは、内部データバス306b、308cを介して擬似チャネル220bを擬似チャネルデータバス312aに通信可能に接続してもよい。擬似チャネル220bを対象とする同じ低レイテンシタイプメモリアクセスの場合、擬似チャネルコントローラ316は、擬似チャネル選択デバイス304bに、擬似チャネル220bを擬似チャネルデータバス312bに通信可能に接続させるように構成された擬似チャネル選択信号を、擬似チャネル選択デバイス304bに送ってもよい。これに応じて、擬似チャネル選択デバイス304bは、内部データバス306b、308dを介して擬似チャネル220bを擬似チャネルデータバス312bに通信可能に接続してもよい。擬似チャネル220bを擬似チャネルデータバス312a、312bに通信可能に接続することは、擬似チャネル選択デバイス304a、304bによって擬似チャネル220aを擬似チャネルデータバス312a、312bから通信可能に切断すること（破線の内部データバス306a、308a、308bを用いて示されている）を含んでもよい。

30

40

【0060】

低レイテンシタイプ読み取りメモリアクセスの場合、データは、擬似チャネル220bに関連付けられたプリフェッチメモリ302bから読み出されてもよく、内部データバス306b、308c、308d及び擬似チャネル選択デバイス304a、304bを介し

50

て擬似チャネルデータバス 3 1 2 a、3 1 2 b に提供されてもよい。低レイテンシタイプ書き込みメモリアクセスの場合、データは、擬似チャネル 2 2 0 b に関連付けられたバンク 2 2 4 b に書き込まれてもよく、内部データバス 3 0 6 b、3 0 8 c、3 0 8 d 及び擬似チャネル選択デバイス 3 0 4 a、3 0 4 b を介して擬似チャネルデータバス 3 1 2 a、3 1 2 b から提供されてもよい。

【0061】

上述したように、代替的な実装形態では、擬似チャネル選択デバイス 3 0 4 a は、専用内部データバス（図示せず）を介して擬似チャネル 2 2 0 b を擬似チャネルデータバス 3 1 2 a に通信可能に接続してもよい。同様に、擬似チャネル選択デバイス 3 0 4 b は、専用内部データバス（図示せず）を介して擬似チャネル 2 2 0 b を擬似チャネルデータバス 3 1 2 b に通信可能に接続してもよい。

10

【0062】

図 4 C に示す例は、DDR チップ 3 0 0 a、及び／又は擬似チャネル選択デバイス 3 0 4 a、3 0 4 b 及び擬似チャネルコントローラ 3 1 6 を含む DDR チップ 3 0 0 a の構成要素の例であり、DDR チップ 3 0 0 a 及び／又はその構成要素は、標準タイプメモリアクセス又は非低レイテンシタイプメモリアクセスを実施する第 2 の動作モードで動作する。図 4 C を参照すると、擬似チャネルコントローラ 3 1 6 は、擬似チャネル 2 2 0 a、2 2 0 b のいずれかをターゲットとする標準タイプメモリアクセス又は非低レイテンシタイプメモリアクセスを決定してもよい。擬似チャネルコントローラ 3 1 6 は、擬似チャネル選択デバイス 3 0 4 a に、擬似チャネル 2 2 0 a を擬似チャネルデータバス 3 1 2 a に通信可能に接続させるように構成された擬似チャネル選択信号を、擬似チャネル選択デバイス 3 0 4 a に送ってもよい。これに応じて、擬似チャネル選択デバイス 3 0 4 a は、内部データバス 3 0 6 a、3 0 8 a を介して擬似チャネル 2 2 0 a を擬似チャネルデータバス 3 1 2 a に通信可能に接続してもよい。擬似チャネル 2 2 0 a を擬似チャネルデータバス 3 1 2 a に通信可能に接続することは、擬似チャネル選択デバイス 3 0 4 a によって擬似チャネル 2 2 0 b を擬似チャネルデータバス 3 1 2 a から通信可能に切断すること（破線の内部データバス 3 0 8 c を用いて示されている）を含んでもよい。擬似チャネル 2 2 0 a、2 2 0 b のいずれかをターゲットとする同じ標準タイプメモリアクセス又は非低レイテンシタイプメモリアクセスの場合、擬似チャネルコントローラ 3 1 6 は、擬似チャネル選択デバイス 3 0 4 b に、擬似チャネル 2 2 0 b を擬似チャネルデータバス 3 1 2 b に通信可能に接続させるように構成された擬似チャネル選択信号を、擬似チャネル選択デバイス 3 0 4 b に送ってもよい。これに応じて、擬似チャネル選択デバイス 3 0 4 b は、内部データバス 3 0 6 b、3 0 8 d を介して擬似チャネル 2 2 0 b を擬似チャネルデータバス 3 1 2 b に通信可能に接続してもよい。擬似チャネル 2 2 0 b を擬似チャネルデータバス 3 1 2 b に通信可能に接続することは、擬似チャネル選択デバイス 3 0 4 b によって擬似チャネル 2 2 0 a を擬似チャネルデータバス 3 1 2 b から通信可能に切断すること（破線の内部データバス 3 0 8 b を用いて示されている）を含んでもよい。

20

30

【0063】

標準タイプメモリアクセス又は非低レイテンシタイプの読み取りメモリアクセスの場合、データは、ターゲットとされた擬似チャネル 2 2 0 a、2 2 0 b に関連付けられたプリフェッチメモリ 3 0 2 a、3 0 2 b から読み出されてもよく、ターゲットとされた擬似チャネル 2 2 0 a、2 2 0 b に通信可能に接続された擬似チャネルデータバス 3 1 2 a、3 1 2 b に適切な内部データバス 3 0 6 a、3 0 6 b、3 0 8 a、3 0 8 d 及び適切な擬似チャネル選択デバイス 3 0 4 a、3 0 4 b を介して提供されてもよい。標準タイプ書き込みメモリアクセス又は非低レイテンシタイプ書き込みメモリアクセスの場合、データは、ターゲットとされた擬似チャネル 2 2 0 a、2 2 0 b に関連付けられたバンク 2 2 4 a、2 2 4 b に書き込まれてもよく、ターゲットとされた擬似チャネル 2 2 0 a、2 2 0 b に通信可能に接続された擬似チャネルデータバス 3 1 2 a、3 1 2 b から適切な内部データバス 3 0 6 a、3 0 6 b、3 0 8 a、3 0 8 d 及び適切な擬似チャネル選択デバイス 3 0 4 a、3 0 4 b を介して提供されてもよい。

40

50

【0064】

代替実装形態では、擬似チャネル選択デバイス304aは、専用内部データバス（図示せず）を介して擬似チャネル220aを擬似チャネルデータバス312aに通信可能に接続してもよい。同様に、擬似チャネル選択デバイス304bは、専用内部データバス（図示せず）を介して擬似チャネル220bを擬似チャネルデータバス312bに通信可能に接続してもよい。

【0065】

図4A～図4Cを参照して説明した前述の例は、DDRチップ300b（例えば、図2のDDRチップ200）（図示せず）を含む、図3Bに示す例示的な擬似チャネルベースのメモリシステムに同様に適用可能であり得、DDRチップ300bは、擬似チャネル220a、220b、バンク224a、224b、バンクグループ222a、222b、プリフェッチメモリ302a、302b、擬似チャネル選択デバイス304a、304b、320、内部データバス306a、306b、308a、308b、308c、308d、擬似チャネルコントローラ316、及び擬似チャネル選択信号線（単数又は複数）318cを含む。DDRチップ300bはまた、擬似チャネルデータバス312a、312b、及びCAバス314を含んでもよい。しかしながら、擬似チャネルコントローラ316が擬似チャネル選択信号線318a、318を介して擬似チャネル選択信号を擬似チャネル選択デバイス304a、304bに送信するのではなく、擬似チャネルコントローラ316は、擬似チャネル選択信号線（単数又は複数）318cを介して擬似チャネル選択信号（単数又は複数）を擬似チャネル選択デバイス304a、304b、320に送信してもよい。いくつかの実施形態では、擬似チャネルコントローラ316は、1つ又は複数の擬似チャネル選択信号を擬似チャネル選択デバイス320に送信してもよく、擬似チャネル選択デバイス320は、1つ又は複数の擬似チャネル選択信号を擬似チャネル選択デバイス304a、304bに送信してもよい。

【0066】

図5は、いくつかの実施形態による、擬似チャネルベースのメモリシステム（例えば、図1のメモリ106、メモリ114、図2のDDR200、図3A～図4CのDDR300a、DDR300b）におけるレイテンシを低減させる方法500を示す。図1～図5を参照すると、方法500は、コンピューティングデバイス（例えば、図1のコンピューティングデバイス100）において実施されても、ハードウェアにおいて実施されても、プロセッサにおいて実行されるソフトウェアにおいて実施されても、又はソフトウェア構成プロセッサと、様々なメモリ／キャッシュ（例えば、図1のメモリ106、メモリ114、図2のDDR200、図3A～図4CのDDR300a、300b、図2～図4Cのバンク224a、224b）及び様々なメモリ／キャッシュコントローラ（例えば、図3A～図4Cの擬似チャネルコントローラ316）などの他の個々の構成要素を含む専用ハードウェアとの組合せにおいて実施されてもよい。様々な実施形態において使用可能な代替構成を包含するために、方法500を実施するハードウェアは、本明細書では「メモリ制御デバイス」と呼ばれる。

【0067】

ブロック502において、メモリ制御デバイスは、メモリアクセスコマンドを受信してもよい。メモリアクセスコマンドは、標準タイプメモリアクセスコマンド若しくは非低レイテンシタイプメモリアクセスコマンド、又は低レイテンシタイプメモリアクセスコマンドを含んでもよい。標準タイプメモリアクセスコマンド又は非低レイテンシタイプメモリアクセスコマンド及び低レイテンシタイプメモリアクセスコマンドは、低レイテンシタイプメモリアクセスコマンドが標準タイプメモリアクセスコマンド又は非低レイテンシタイプメモリアクセスコマンドよりも低いレイテンシを伴ってメモリアクセスを提供するように構成され得るメモリアクセスタイプコマンドであってもよい。いくつかの例では、メモリアクセスコマンドは、メモリアクセスコマンドが低レイテンシタイプメモリアクセスコマンドであるかどうかを示すように構成された態様を含んでもよい。例えば、メモリアクセスコマンドは、メモリアクセスコマンドが低レイテンシタイプメモリアクセスコマンド

であるかどうかを示す値を有するように構成されたフィールドを含んでもよい。メモリアクセスコマンドはまた、メモリアクセスコマンドについてのターゲットアドレスに関連付けられてもよく、ターゲットアドレスは、擬似チャネル（例えば、図 2～図 4 C の擬似チャネル 2 2 0 a、2 2 0 b）内に存在してもよい。

【0068】

メモリアクセスコマンドは、C A バス（例えば、図 2 の C A バス 2 1 4、図 3 A～図 4 C の C A バス 3 1 4）を介してメモリ制御デバイスによって受信されてもよい。いくつかの例では、メモリアクセスコマンドは、書き込みメモリアクセスであってもよく、書き込みメモリアクセスに関連付けられたデータは、1 つ又は複数の擬似チャネルデータバス（例えば、図 2 のデータバス 2 0 4 a、2 0 4 b、図 3 A～図 4 C の擬似チャネルデータバス 3 1 2 a、3 1 2 b）を介して、メモリ制御デバイスに関連付けられたメモリ又はメモリ制御デバイスに含まれるメモリ（例えば、図 1 のメモリ 1 0 6、メモリ 1 1 4、図 2 の D D R 2 0 0、図 3 A～図 4 C の D D R 3 0 0 a、3 0 0 b）において受信されてもよい。例えば、標準タイプ書き込みメモリアクセス又は非低レイテンシタイプ書き込みメモリアクセスの場合、データは、ターゲット擬似チャネル専用の擬似チャネルデータバス上で受信されてもよい。別の例では、低レイテンシタイプ書き込みメモリアクセスの場合、データは、複数の擬似チャネルデータバス上で受信されてもよく、複数の擬似チャネルデータバスのうちの 1 つは、ターゲット擬似チャネル専用の擬似チャネルデータバスであってもよい。いくつかの例では、ブロック 5 0 2 においてメモリアクセスコマンドを受信するメモリ制御デバイスは、擬似チャネルコントローラ（例えば、図 3 A～図 4 C の擬似チャネルコントローラ 3 1 6）を含んでもよい。

【0069】

ブロック 5 0 4 において、メモリ制御デバイスは、メモリアクセスコマンドの擬似チャネルを決定してもよい。メモリ制御デバイスは、受信されたアドレスをメモリアクセスコマンドに使用し、そのアドレスが存在する擬似チャネルを決定することができる。いくつかの例では、メモリ制御デバイスは、擬似チャネルの擬似チャネル識別子（I D）を擬似チャネルについてのアドレス範囲に関連付ける、テーブル、アレイなどのデータ構造にアクセスしてもよい。メモリ制御デバイスは、メモリアクセスコマンドのアドレスを擬似チャネルのアドレス範囲と比較し、メモリアクセスコマンドのアドレスが存在するアドレス範囲に関連付けられた擬似チャネル I D を決定することができる。いくつかの例では、ブロック 5 0 4 においてメモリアクセスコマンドの擬似チャネルを決定するメモリ制御デバイスは、擬似チャネルコントローラを含んでもよい。

【0070】

判定ブロック 5 0 6 において、メモリ制御デバイスは、受信されたメモリアクセスコマンドが低レイテンシタイプメモリアクセスコマンドであるかどうかを判定してもよい。メモリ制御デバイスは、メモリアクセスコマンドが低レイテンシタイプメモリアクセスコマンドであるかどうかを示すように構成されたメモリアクセスコマンドの態様を解釈して、受信されたメモリアクセスコマンドが低レイテンシタイプメモリアクセスコマンドであるかどうかを判定してもよい。例えば、メモリアクセスコマンドのフィールド内の値は、メモリアクセスコマンドが低レイテンシタイプメモリアクセスコマンドであるかどうかを示すように構成されてもよい。いくつかの例では、値は、ビット値であり得、ビット値の「1」が、低レイテンシタイプメモリアクセスコマンドを示してもよく、ビット値の「0」が、標準タイプメモリアクセスコマンド又は非低レイテンシタイプメモリアクセスコマンドを示してもよく、又はその逆であってもよい。いくつかの例では、判定ブロック 5 0 6 において、受信されたメモリアクセスコマンドが低レイテンシタイプメモリアクセスコマンドであるかどうかを判定するメモリ制御デバイスは、擬似チャネルコントローラを含んでもよい。

【0071】

受信されたメモリアクセスコマンドが低レイテンシタイプメモリアクセスコマンドであると判定したこと（すなわち、判定ブロック 5 0 6 = 「Y e s」）に応じて、メモリ制御

デバイスは、ブロック508において、2つ以上の擬似チャンネル選択デバイス（例えば、図3A～図4Cの擬似チャンネル選択デバイス304a、304b、320）に擬似チャンネル選択信号を送信してもよい。擬似チャンネル選択信号は、擬似チャンネル選択デバイスに、1つ又は複数の擬似チャンネルデータバスと複数の内部データバス（例えば、図3A～図4Cの内部データバス306a、306b、308a、308b、308c、308d）との間の通信接続を構成させるように構成されてもよい。事実上、擬似チャンネル選択信号は、擬似チャンネル選択デバイスに、1つ又は複数の擬似チャンネルデータバスと、擬似チャンネルのバンク（例えば、図2～図4Cのバンク224a、224b）を含む擬似チャンネルとの間の通信接続を構成させるように構成されてもよい。擬似チャンネル選択信号は、低レイテンシタイプメモリアクセスコマンドによってターゲットにされた擬似チャンネルを複数の擬似チャンネルデータバスに通信可能に接続するように擬似チャンネル選択デバイスに指示し得る。いくつかの例では、メモリ制御デバイスは、同じ擬似チャンネル選択信号を擬似チャンネル選択デバイスに送信してもよい。いくつかの例では、メモリ制御デバイスは、それぞれに異なる擬似チャンネル選択信号を擬似チャンネル選択デバイスに送信してもよい。いくつかの例では、擬似チャンネル選択信号を擬似チャンネル選択デバイスに送信することは、擬似チャンネル選択信号を送信しないことを含んでもよい。例えば、擬似チャンネル選択信号を受信しないことに応じて、擬似チャンネル選択デバイスは、デフォルトで特定の（予め構成された）擬似チャンネルを選択してもよい。メモリ制御デバイスは、低レイテンシタイプメモリアクセスを実現する第1の動作モードで動作してもよい。いくつかの例では、ブロック508において擬似チャンネル選択信号を擬似チャンネル選択デバイスに送信するメモリ制御デバイスは、擬似チャンネルコントローラを含んでもよい。

10

20

【0072】

ブロック510において、メモリ制御デバイスは、擬似チャンネルIO（例えば、図2の擬似チャンネルIO202a、202b、データバス204a、204b、図3A～図4Cの擬似チャンネル選択デバイス304a、304b、320、擬似チャンネルデータバス312a、312b）を同時に介してターゲット擬似チャンネルからデータを読み取り、かつ／又はターゲット擬似チャンネルにデータを書き込んでもよい。低レイテンシタイプメモリアクセスコマンドのターゲットとされた擬似チャンネルは、擬似チャンネル選択デバイスによって構成された通信接続を介して複数の擬似チャンネルデータバスを使用してメモリから読み取られ、及び／又はメモリに書き込まれ得る。従来、任意のメモリアクセスコマンドのターゲットとされた擬似チャンネルは、擬似チャンネルに専用の単一の擬似チャンネルデータバスのみを使用して、読み取り及び／又は書き込みされてもよい。したがって、擬似チャンネルのIOのビット幅は、単一の擬似チャンネルデータバスのビット幅によって制限される。複数の擬似チャンネルデータバスを同時に使用して低レイテンシタイプメモリアクセスコマンドのターゲットとされた擬似チャンネルからの読み取り及び／又はターゲットとされた擬似チャンネルへの書き込みを可能にすることによって、擬似チャンネルのIOのビット幅は、複数の擬似チャンネルデータバスの最大全ビット幅を使用することによる単一の擬似チャンネルデータバスの使用と比較して増加されてもよい。更に、複数の擬似チャンネルデータバスを使用してより多くのデータを同時に読み取りかつ／又は書き込むことができるので、擬似チャンネルのIOのビット幅の増加は、擬似チャンネルからの読み取り及び／又は擬似チャンネルへの書き込みのためのバースト長の短縮を可能にすることができる。いくつかの実施形態では、ブロック510において、擬似チャンネルIOを同時に介して擬似チャンネルからデータを読み取り、かつ／又は擬似チャンネルにデータを書き込むメモリ制御デバイスは、擬似チャンネルコントローラ、擬似チャンネル選択デバイス、及び／又は擬似チャンネルIO（例えば、図2の擬似チャンネルIO202a、202b）を含んでもよい。

30

40

【0073】

受信されたメモリアクセスコマンドが低レイテンシタイプメモリアクセスコマンドではないと判定したこと（すなわち、判定ブロック506＝「No」）に応じて、メモリ制御デバイスは、ブロック512において、擬似チャンネル選択信号を1つ又は複数の擬似チャンネル選択デバイスに送信してもよい。擬似チャンネル選択信号は、ブロック508において

50

説明した擬似チャネル選択信号と同様であってもよい。しかしながら、擬似チャネル選択信号は、擬似チャネル選択デバイスに、標準タイプメモリアクセスコマンド又は非低レイテンシタイプメモリアクセスコマンドによってターゲットにされた擬似チャネルを、擬似チャネル専用の単一の擬似チャネルデータベースに通信可能に接続させ得る。メモリ制御デバイスは、標準タイプメモリアクセス又は非低レイテンシタイプメモリアクセスを実施する第2の動作モードで動作してもよい。いくつかの例では、ブロック512において擬似チャネル選択信号を擬似チャネル選択デバイスに送信するメモリ制御デバイスは、擬似チャネルコントローラを含んでもよい。

【0074】

ブロック514において、メモリ制御デバイスは、単一の専用擬似チャネルIOを介して、ターゲット擬似チャネルからデータを読み取り、かつ／又はターゲット擬似チャネルにデータを書き込んでもよい。標準タイプメモリアクセスコマンド又は非低レイテンシタイプメモリアクセスコマンドのターゲット擬似チャネルは、それぞれの擬似チャネル選択デバイスによって構成された通信接続を介して、単一の専用擬似チャネルデータベースを使用して読み取られ、かつ／又は書き込まれてもよい。いくつかの実施形態では、ブロック514において単一の専用擬似チャネルIOを介して擬似チャネルからデータを読み取り、かつ／又は擬似チャネルにデータを書き込むメモリ制御デバイスは、擬似チャネルコントローラ、擬似チャネル選択デバイス、及び／又は擬似チャネルIO（例えば、図2の擬似チャネルIO202a、202b）を含んでもよい。

【0075】

図6は、いくつかの実施形態による、擬似チャネルベースのメモリシステム（例えば、図1のメモリ106、メモリ114、図2のDDR200、図3A～図4CのDDR300a、300b）におけるレイテンシを低減させる方法600を示す。図1～図6を参照すると、方法600は、コンピューティングデバイス（例えば、図1のコンピューティングデバイス100）において実施されても、ハードウェアにおいて実施されても、プロセッサにおいて実行されるソフトウェアにおいて実施されても、又はソフトウェア構成プロセッサと、様々なメモリ／キャッシュ（例えば、図1のメモリ106、メモリ114、図2のDDR200、図3A～図4CのDDR300a、300b、図2～図4Cのバンク224a、224b）及び様々なメモリ／キャッシュコントローラ（例えば、図3A～図4Cの擬似チャネルコントローラ316）などの他の個々の構成要素を含む専用ハードウェアとの組合せにおいて実施されてもよい。様々な実施形態において使用可能な代替構成を包含するために、方法600を実施するハードウェアは、本明細書では「メモリ制御デバイス」と呼ばれる。ブロック502、504、508、510は、図5を参照して本明細書で説明した方法500の同様に番号付けされたブロックと同様に実施されてもよい。

【0076】

ブロック602において、メモリ制御デバイスは、低レイテンシタイプメモリアクセスについてのモードレジスタ書き込みコマンドを受信してもよい。モードレジスタ書き込みコマンドは、任意の後続のメモリアクセスコマンドが低レイテンシタイプメモリアクセスとして実施されるべきであることをメモリ制御デバイスに示すためにレジスタ値を設定するように、メモリ制御デバイスに促すように構成されてもよい。

【0077】

ブロック604において、メモリ制御デバイスは、低レイテンシタイプメモリアクセスについてのレジスタ値を設定してもよい。その後、メモリ制御デバイスは、低レイテンシタイプメモリアクセスを実施する第1の動作モードで動作してもよい。ブロック602において低レイテンシタイプメモリアクセスについてのモードレジスタ書き込みコマンドを受信し、ブロック604において低レイテンシタイプメモリアクセスについてのレジスタ値を設定するメモリ制御デバイスは、擬似チャネルコントローラ（例えば、図3A～図4Cの擬似チャネルコントローラ316）を含んでもよい。

【0078】

ブロック502において、メモリ制御デバイスは、メモリアクセスコマンドを受信して

もよい。いくつかの例では、ブロック 502 においてメモリアクセスコマンドを受信するメモリ制御デバイスは、擬似チャンネルコントローラ（例えば、図 3A～図 4C の擬似チャンネルコントローラ 316）を含んでもよい。

【0079】

ブロック 504 において、メモリ制御デバイスは、メモリアクセスコマンドの擬似チャンネル（例えば、図 2～図 4C の擬似チャンネル 220a、220b）を決定してもよい。いくつかの例では、ブロック 504 においてメモリアクセスコマンドの擬似チャンネルを決定するメモリ制御デバイスは、擬似チャンネルコントローラを含んでもよい。

【0080】

ブロック 508 において、メモリ制御デバイスは、擬似チャンネル選択信号を擬似チャンネル選択デバイス（例えば、図 3A～図 4C の擬似チャンネル選択デバイス 304a、304b、320）に送信してもよい。いくつかの例では、ブロック 508 において擬似チャンネル選択信号を擬似チャンネル選択デバイスに送信するメモリ制御デバイスは、擬似チャンネルコントローラを含んでもよい。

【0081】

ブロック 510 において、メモリ制御デバイスは、擬似チャンネル I/O（例えば、図 2 のデータバス 204a、204b、図 3A～図 4C の擬似チャンネル選択デバイス 304a、304b、320、擬似チャンネルデータバス 312a、312b）を同時に介して擬似チャンネルからデータを読み取り、かつ／又は擬似チャンネルにデータを書き込んでもよい。いくつかの実施形態では、ブロック 510 において、擬似チャンネル I/O を同時に介して擬似チャンネルからデータを読み取り、かつ／又は擬似チャンネルにデータを書き込むメモリ制御デバイスは、擬似チャンネルコントローラ、擬似チャンネル選択デバイス、及び／又は擬似チャンネル I/O（例えば、図 2 の擬似チャンネル I/O 202a、202b）を含んでもよい。

【0082】

図 7 は、一実施形態による、読み取りメモリコマンドについての擬似チャンネルベースのメモリシステム（例えば、図 1 のメモリ 106、メモリ 114、図 2 の DDR 200、図 3A～図 4C の DDR 300a、300b）におけるレイテンシを低減させる方法 700 を示す。図 1～図 7 を参照すると、方法 700 は、コンピューティングデバイス（例えば、図 1 のコンピューティングデバイス 100）において実施されても、ハードウェアにおいて実施されても、プロセッサにおいて実行されるソフトウェアにおいて実施されても、又はソフトウェア構成プロセッサと、様々なメモリ／キャッシュ（例えば、図 1 のメモリ 106、メモリ 114、図 2 の DDR 200、図 3A～図 4C の DDR 300a、300b、図 2～図 4C のバンク 224a、224b、図 3A～図 4C の擬似チャンネル選択デバイス 304a、304b、320）及び様々なメモリ／キャッシュコントローラ（例えば、図 3A～図 4C の擬似チャンネルコントローラ 316）などの他の個々の構成要素を含む専用ハードウェアとの組合せにおいて実施されてもよい。様々な実施形態において使用可能な代替構成を包含するために、方法 700 を実施するハードウェアは、本明細書では「メモリ制御デバイス」と呼ばれる。ブロック 702、704、706、708 は、説明したような方法 500、600 のブロック 510 における動作に関する更なる詳細を含む。

【0083】

ブロック 702 において、メモリ制御デバイスは、擬似チャンネル読み取りデータを受信してもよい。擬似チャンネル読み取りデータは、低レイテンシタイプ読み取りメモリアクセスのターゲット擬似チャンネル（例えば、図 3A～図 4C の擬似チャンネル 220a、220b）に関連付けられたプリフェッチメモリ（例えば、図 3A～図 4C のプリフェッチメモリ 302a、302b）又はターゲット擬似チャンネルに含まれるプリフェッチメモリから読み取られてもよい。擬似チャンネル読み取りデータは、内部データバス（例えば、図 3A～図 4C の内部データバス 306a、306b、308a、308b、308c、308d）を介して複数の擬似チャンネル選択デバイス（例えば、図 3A～図 4C の擬似チャンネル選択デバイス 304a、304b、320）に送信されてもよい。いくつかの例では、ブロック 702 において擬似チャンネル読み取りデータを受信するメモリ制御デバイスは、複

10

20

30

40

50

数の擬似チャネル選択デバイスを含んでもよい。

【0084】

ブロック704において、メモリ制御デバイスは、擬似チャネル選択信号を受信してもよい。擬似チャネル選択信号は、説明したような方法500、600のブロック508において送信される擬似チャネル選択信号であってもよい。擬似チャネル選択信号は、複数の擬似チャネル選択デバイスにおいて受信されてもよい。いくつかの例では、ブロック704において擬似チャネル選択信号を受信するメモリ制御デバイスは、複数の擬似チャネル選択デバイスを含んでもよい。

【0085】

ブロック706において、メモリ制御デバイスは、擬似チャネル読み取りデータをターゲット擬似チャネルから複数の擬似チャネルIO（例えば、図2の擬似チャネルIO202a、202b、データバス204a、204b、図3A～図4Cの擬似チャネルデータバス312a、312b）に出力するように擬似チャネル選択デバイスを構成してもよい。擬似チャネル選択デバイスは、それぞれの擬似チャネルデータバス（例えば、図2のデータバス204a、204b、図3A～図4Cの擬似チャネルデータバス312a、312b）と複数の内部データバスとを通信可能に接続するように構成されてもよい。事実上、擬似チャネル選択デバイスは、複数の擬似チャネルデータバスと、ターゲット擬似チャネルのバンク（例えば、図2～図4Cのバンク224a、224b）を含むターゲット擬似チャネルとを通信可能に接続するように構成されてもよい。擬似チャネル選択デバイスは、擬似チャネル選択信号に応じて、低レイテンシタイプ読み取りメモリアクセスのターゲットとなる擬似チャネルを複数の擬似チャネルデータバスに通信可能に接続するように構成されてもよい。いくつかの例では、ブロック706においてターゲット擬似チャネルから複数の擬似チャネルIOに擬似チャネル読み取りデータを出力するように擬似チャネル選択デバイスを構成するメモリ制御デバイスは、複数の擬似チャネル選択デバイスを含んでもよい。

【0086】

ブロック708において、メモリ制御デバイスは、擬似チャネル選択デバイスにおける擬似チャネル読み取りデータを擬似チャネルIOに出力してもよい。メモリ制御デバイスは、ブロック706において、低レイテンシタイプ読み取りメモリアクセスのターゲット擬似チャネルに通信可能に接続された複数の擬似チャネルIOに、ブロック702において受信された擬似チャネル読み取りデータを同時に出力してもよい。いくつかの例では、ブロック708において擬似チャネル選択デバイスにおける擬似チャネル読み取りデータを擬似チャネルIOに出力するメモリ制御デバイスは、複数の擬似チャネル選択デバイス及び／又は擬似チャネルIOを含んでもよい。

【0087】

図8は、一実施形態による、書き込みメモリコマンドについての擬似チャネルベースのメモリシステム（例えば、図1のメモリ106、メモリ114、図2のDDR200、図3A～図4CのDDR300a、300b）におけるレイテンシを低減させる方法800を示す。図1～図8を参照すると、方法800は、コンピューティングデバイス（例えば、図1のコンピューティングデバイス100）において実施されても、ハードウェアにおいて実施されても、プロセッサにおいて実行されるソフトウェアにおいて実施されても、又はソフトウェア構成プロセッサと、様々なメモリ／キャッシュ（例えば、図1のメモリ106、メモリ114、図2のDDR200、図3A～図4CのDDR300a、300b、図2～図4Cのバンク224a、224b、図3A～図4Cの擬似チャネル選択デバイス304a、304b、320）及び様々なメモリ／キャッシュコントローラ（例えば、図3A～図4Cの擬似チャネルコントローラ316）などの他の個々の構成要素を含む専用ハードウェアとの組合せにおいて実施されてもよい。様々な実施形態において使用可能な代替構成を包含するために、方法800を実施するハードウェアは、本明細書では「メモリ制御デバイス」と呼ばれる。ブロック802、804、806は、図5及び図6を参照して本明細書で説明した方法500、600のブロック510において実行され得る

より詳細な動作を含む。

【0088】

ブロック802において、メモリ制御デバイスは、複数の擬似チャネルIO（例えば、図2の擬似チャネルIO202a、202b、データバス204a、204b、図3A～図4Cの擬似チャネルデータバス312a、312b）を介して擬似チャネル選択デバイス（例えば、図3A～図4Cの擬似チャネル選択デバイス304a、304b、320）において擬似チャネル書き込みデータを受信してもよい。擬似チャネル書き込みデータは、低レイテンシタイプ書き込みメモリアクセスのために、複数の擬似チャネルデータバス（例えば、図2のデータバス204a、204b、図3A～図4Cの擬似チャネルデータバス312a、312b）を介してホスト（例えば、図1のCPU104、プロセッサ124）から同時に受信されてもよい。各擬似チャネルデータバスは、異なる擬似チャネル選択デバイスに通信可能に接続されてもよい。各擬似チャネルデータバスによって送信されたデータは、それぞれの通信可能に接続された擬似チャネル選択デバイスにおいて同時に受信されてもよい。いくつかの例では、ブロック802において複数の擬似チャネルIOを介して擬似チャネル選択デバイスにおいて擬似チャネル書き込みデータを受信するメモリ制御デバイスは、複数の擬似チャネル選択デバイスを含んでもよい。

10

【0089】

ブロック704において、メモリ制御デバイスは、擬似チャネル選択信号を受信してもよい。擬似チャネル選択信号は、図5及び図6を参照して本明細書で説明した方法500、600のブロック508において送信される擬似チャネル選択信号であり得る。擬似チャネル選択信号は、複数の擬似チャネル選択デバイスにおいて受信されてもよい。いくつかの例では、ブロック804において擬似チャネル選択信号を受信するメモリ制御デバイスは、複数の擬似チャネル選択デバイスを含んでもよい。

20

【0090】

ブロック804において、メモリ制御デバイスは、複数の擬似チャネルIOからの擬似チャネル書き込みデータを低レイテンシタイプ書き込みメモリアクセスのターゲット擬似チャネル（例えば、図3A～図4Cの擬似チャネル220a、220b）に出力するように擬似チャネル選択デバイスを構成してもよい。擬似チャネル選択デバイスは、それぞれの擬似チャネルデータバス（例えば、図2のデータバス204a、204b、図3A～図4Cの擬似チャネルデータバス312a、312b）と複数の内部データバス（例えば、図3A～図4Cの内部データバス306a、306b、308a、308b、308c、308d）とを通信可能に接続するように構成されてもよい。事実上、擬似チャネル選択デバイスは、複数の擬似チャネルデータバスと、ターゲット擬似チャネルのバンク（例えば、図2～図4Cのバンク224a、224b）を含むターゲット擬似チャネルとを通信可能に接続するように構成されてもよい。擬似チャネル選択デバイスは、擬似チャネル選択信号に応じて、低レイテンシタイプ書き込みメモリアクセスのターゲットとなる擬似チャネルを複数の擬似チャネルデータバスに通信可能に接続するように構成されてもよい。いくつかの例では、ブロック806において、複数の擬似チャネルIOからの擬似チャネル書き込みデータを低レイテンシタイプ書き込みメモリアクセスのターゲット擬似チャネルに出力するように擬似チャネル選択デバイスを構成するメモリ制御デバイスは、複数の擬似チャネル選択デバイスを含んでもよい。

30

40

【0091】

ブロック806において、メモリ制御デバイスは、擬似チャネル選択デバイスにおける擬似チャネル書き込みデータを、低レイテンシタイプ書き込みメモリアクセスのターゲット擬似チャネルに出力してもよい。メモリ制御デバイスは、ブロック806において、複数の擬似チャネルIOに通信可能に接続された低レイテンシタイプ書き込みメモリアクセスのターゲット擬似チャネルに、ブロック802において受信された擬似チャネル書き込みデータを出力してもよい。いくつかの例では、ブロック808において、擬似チャネル選択デバイスにおける擬似チャネル書き込みデータを低レイテンシタイプ書き込みメモリアクセスのターゲット擬似チャネルに出力するメモリ制御デバイスは、複数の擬似チャネル

50

ル選択デバイスを含んでもよい。

【0092】

図9は、一実施形態による、擬似チャネルベースのメモリシステム（例えば、図1のメモリ106、メモリ114、図2のDDR200、図3A～図4CのDDR300a、300b）におけるレイテンシを低減させる方法900を示す。図1～図9を参照すると、方法900は、コンピューティングデバイス（例えば、図1のコンピューティングデバイス100）において実施されても、ハードウェアにおいて実施されても、プロセッサにおいて実行されるソフトウェアにおいて実施されても、又はソフトウェア構成プロセッサと、様々なメモリ／キャッシュ（例えば、図1のメモリ106、メモリ114、図2のDDR200、図3A～図4CのDDR300a、300b、図2～図4Cのバンク224a、224b）及び様々なメモリ／キャッシュコントローラ（例えば、図3A～図4Cの擬似チャネルコントローラ316）などの他の個々の構成要素を含む専用ハードウェアとの組合せにおいて実施されてもよい。様々な実施形態において可能な代替構成を包含するために、方法900を実施するハードウェアは、本明細書では「メモリ制御デバイス」と呼ばれる。いくつかの例では、方法900は、図5及び図6を参照して本明細書で説明した方法500、600より前に実施されてもよく、かつ／又は方法500、600と同時に実施されてもよい。

10

【0093】

判定ブロック902において、メモリ制御デバイスは、低レイテンシメモリアクセスコマンドを実行すべきかどうかを判定してもよい。いくつかの例では、低レイテンシメモリアクセスコマンドを実行すべきかどうかを判定するための条件が満たされてもよい。例えば、低レイテンシメモリアクセスコマンドを実施することは、擬似チャネルベースのメモリシステムのクロック周波数に依存し得る。例えば、低レイテンシメモリアクセスコマンドは、1600MHzなどのしきい値以下の擬似チャネルベースのメモリシステムのクロック周波数について実施されてもよい。別の例として、低レイテンシメモリアクセスコマンドを実施することは、擬似チャネルベースのメモリシステムについて実施されるI/O方式に依存し得る。例えば、低レイテンシメモリアクセスコマンドは、擬似チャネルベースのメモリシステムについて実施されるNRZコーディングI/O方式に関して実施されてもよい。別の例として、低レイテンシメモリアクセスコマンドを実施することは、擬似チャネルベースのメモリシステムのクロック周波数と、擬似チャネルベースのメモリシステムについて実施されるI/O方式との組合せに依存し得る。例えば、低レイテンシメモリアクセスコマンドは、1600MHzなどのしきい値以下の擬似チャネルベースのメモリシステムのクロック周波数について実施され、かつ擬似チャネルベースのメモリシステムについて実施されるNRZコーディングI/O方式に関して実施されてもよい。いくつかの例では、ブロック902において低レイテンシメモリアクセスコマンドを実行すべきかどうかを判定するメモリ制御デバイスは、擬似チャネルコントローラ（例えば、図3A～図4Cの擬似チャネルコントローラ316）を含んでもよい。

20

30

【0094】

低レイテンシメモリアクセスコマンドを実行すると判定したこと（すなわち、判定ブロック902＝「はい」）に応じて、メモリ制御デバイスは、例えば、図5を参照して本明細書で説明したブロック502、504、506のいずれかにおける動作から開始する方法500、又は例えば、図6を参照して本明細書で説明したブロック602、604のいずれかにおける動作から開始する方法600を実行してもよい。低レイテンシメモリアクセスコマンドを実行しないと判定したこと（すなわち、判定ブロック902＝「いいえ」）に応じて、メモリ制御デバイスは、図5を参照しながら本明細書で説明した方法500のブロック512における動作を実行してもよい。

40

【0095】

図10A、図10B、図11A、及び図11Bは、いくつかの実施形態による、擬似チャネルベースのメモリシステム（例えば、図1のメモリ106、メモリ114、図2のDDR200、図3A～図4CのDDR300a、300b）におけるレイテンシを低減さ

50

せる場合及びレイテンシを低減させない場合のメモリアクセスコマンドのタイミング図の例を示す。図 1～図 11 B を参照すると、第 2 の動作モードで動作する D D R（例えば、図 2 の D D R 2 0 0、図 3 A～図 4 C の D D R 3 0 0 a、3 0 0 b）は、図 1 0 A 及び図 1 1 A に示すように、標準タイプメモリアクセスコマンド又は非低レイテンシタイプメモリアクセスコマンドを従来通りに実施してもよく、第 1 の動作モードで動作する D D R は、図 1 0 B 及び図 1 1 B に示すように、低レイテンシタイプメモリアクセスコマンドを実施してもよい。D D R は、複数の擬似チャネルデータバス（例えば、図 2 のデータバス 2 0 4 a、2 0 4 b、図 3 A～図 4 C の擬似チャネルデータバス 3 1 2 a、3 1 2 b）（「データバス A」、「データバス B」）を含んでもよい。擬似チャネルデータバスは、特定のビット幅を有してもよい。例えば、擬似チャネルデータバスのビット幅は 1 6 ビットであってよい。

10

【0096】

標準タイプメモリアクセスコマンド又は非低レイテンシタイプメモリアクセスコマンドの従来の実装形態では、D D R は、特定のバースト長を必要とする単一の専用擬似チャネルデータバス、例えばデータバス A 上でデータを送信又は受信してもよい。図 1 0 A に示す例では、バースト長は 3 2 バイトである。図 1 1 A に示す例では、バースト長は 6 4 バイトである。低レイテンシタイプメモリアクセスコマンドを実施する場合、D D R は、複数の擬似チャネルデータバス、例えば、データバス A 及びデータバス B 上で同時にデータを送信又は受信してもよい。例えば、D D R は、複数の擬似チャネルデータバス上でデータの奇数バイト及び偶数バイトを代わる代わる送信又は受信してもよい。図 1 0 B 及び図 1 1 B に示す例では、D D R は、データバス A 上でデータの奇数バイトを送信又は受信し、データバス B 上でデータの偶数バイトを送信又は受信してもよい。別の例（図示せず）として、D D R は、データバス A 上でデータの偶数バイトを送信又は受信し、データバス B 上でデータの奇数バイトを送信又は受信してもよい。データバス A 及び B 上で送信又は受信される奇数及び偶数バイトの対は、上位バイト及び下位バイトを有するデータのワードであってもよい。上位バイトは、データバス A 又は B 上のうちの一方上で送信又は受信されてもよく、下位バイトは、データバス A 又は B 上のうちの他方上で送信又は受信されてもよい。例えば、上位バイトは、低レイテンシタイプメモリアクセスコマンドのターゲット擬似チャネル（例えば、図 3 A～図 4 C の擬似チャネル 2 2 0 a、2 2 0 b）専用のデータバス A 又は B 上で送信又は受信されてもよく、下位バイトは、他方のデータバス A 又は B 上で送信又は受信されてもよい。複数の擬似チャネルデータバス上でデータを送信又は受信すると、標準タイプメモリアクセスコマンド又は非低レイテンシタイプメモリアクセスコマンドの従来の実装形態と比較して、バースト長を短縮することが可能になる。例えば、標準タイプメモリアクセスコマンド又は非低レイテンシタイプメモリアクセスコマンドの従来の実装形態のバースト長は、データを送信又は受信するために使用される擬似チャネルデータバスの数によって除算されてもよい。図 1 0 B に示す例では、バースト長が 1 6 バイトであるのに対し、図 1 0 A に示す例では 3 2 バイトである。図 1 1 B に示す例では、バースト長が 3 2 バイトであるのに対して、図 1 1 A に示す例では 6 4 バイトである。また、バースト長を短縮すると、標準メモリアクセスコマンド又はレイテンシメモリアクセスコマンドと比較して、低レイテンシメモリアクセスコマンドを完了するためのクロックサイクルの数を減少させ得る。

20

30

40

【0097】

図 1 2 は、いくつかの実装形態による、低レイテンシタイプメモリアクセスコマンドを使用して擬似チャネルベースのメモリスシステム（例えば、図 1 のメモリ 1 0 6、メモリ 1 1 4、図 2 の D D R 2 0 0、図 3 A～図 4 C の D D R 3 0 0 a、3 0 0 b）におけるレイテンシを低減させる例示的なタイミング図を示す。図 1～図 1 2 を参照すると、第 1 の動作モードで動作する D D R（例えば、図 2 の D D R 2 0 0、図 3 A～図 4 C の D D R 3 0 0 a、3 0 0 b）は、低レイテンシタイプ読み取りメモリアクセスを実施してもよい。D D R は、低レイテンシタイプ読み取りメモリアクセスを実施するための信号、例えば、列アドレスストローブ（「C A S」）、及び擬似チャネル（例えば、図 3 A～図 4 C の擬似

50

チャンネル 220 a、220 b) についての低レイテンシタイプ読み取りメモリアクセスを実施するための信号(「RD__LL__PC0」)を受信してもよい。DDRは、低レイテンシタイプ読み取りメモリアクセスを実施するための信号に応じて、複数の擬似チャンネルデータバス(例えば、図2のデータバス204 a、204 b、図3 A~図4 Cの擬似チャンネルデータバス312 a、312 b)、データバスA及びデータバスB上のターゲット擬似チャンネルからデータを出力してもよい。

【0098】

図13 A及び図13 Bは、一実施形態による、低レイテンシタイプメモリアクセスコマンドを有効にするためにモードレジスタ書き込みを使用する擬似チャンネルベースのメモリシステム(例えば、図1のメモリ106、メモリ114、図2のDDR200、図3 A~図4 CのDDR300 a、300 b)におけるレイテンシを低減させる例を示すタイミング図である。図1~図13 Bを参照すると、第1の動作モードで動作するDDR(例えば、図2のDDR200、図3 A~図4 CのDDR300 a、300 b)は、モードレジスタ書き込みイネーブル低レイテンシタイプメモリアクセスコマンドに続いて低レイテンシタイプ読み取りメモリアクセスを実施してもよい。DDRは、DDRに連続メモリアクセスコマンドを低レイテンシタイプメモリアクセスコマンドとして実施するように促す、モードレジスタ書き込みについての信号(単数又は複数)(図13 Aの「MRW」、図13 Bの「MRW1」及び「MRW2」)を受信してもよい。モードレジスタ書き込みについて信号(単数又は複数)は、DDR内のレジスタアドレスと、レジスタに書き込むためのデータとを含んでもよい。例えば、図13 Bを参照すると、MRW1及びMRW2は共に、単一モードレジスタ書き込みを形成し得る。MRW1は、DDR内のレジスタアドレスを含んでもよく、MRW2は、レジスタに書き込むためのデータを含んでもよい。DDRは、読み取りメモリアクセスを実施するための信号、例えば、列アドレスストロブ(「CAS」)、及び擬似チャンネル(例えば、図3 A~図4 Cの擬似チャンネル220 a、220 b)についての標準読み取りメモリアクセス又は非低レイテンシ読み取りメモリアクセスを実施するための信号(「RD__PC0」)を受信してもよい。DDRは、モードレジスタ書き込みについての信号及び読み取りメモリアクセスを実施するための信号に応じて、読み取りメモリアクセスを低レイテンシタイプ読み取りメモリアクセスとして実施し、ターゲット擬似チャンネルからのデータを複数の擬似チャンネルデータバス(例えば、図2のデータバス204 a、204 b、図3 A~図4 Cの擬似チャンネルデータバス312 a、312 b)、データバスA及びデータバスB上に出力してもよい。

【0099】

図14 A及び図14 Bは、一実施形態による、擬似チャンネルベースのメモリシステム(例えば、図1のメモリ106、メモリ114、図2のDDR200、図3 A~図4 CのDDR300 a、300 b)におけるレイテンシを低減させる場合及びレイテンシを低減させない場合のメモリアクセスコマンドの例を示すタイミング図である。図1~図14 Bを参照すると、第2の動作モードで動作するDDR(例えば、図2のDDR200、図3 A~図4 CのDDR300 a、300 b)は、図14 Aに示されるような標準タイプメモリアクセスコマンド又は非低レイテンシタイプメモリアクセスコマンドを従来通りに実施してもよく、第1の動作モードで動作するDDRは、図14 Bに示されるような低レイテンシタイプメモリアクセスコマンドを実施してもよい。DDRは、複数の擬似チャンネル(例えば、図2~図4 Cの擬似チャンネル220 a、220 b)(「PC0」、「PC1」)と、擬似チャンネルデータバス(例えば、図2のデータバス204 a、204 b、図3 A~図4 Cの擬似チャンネルデータバス312 a、312 b)(「DQ0」、「DQ1」)とを含んでもよい。

【0100】

図14 A及び図14 Bに示す例では、それぞれのチップ選択(CS)信号は、それぞれのコマンド及びアドレス(CA)有効性信号(図14 AのA、B、C、D及び図14 BのQ、R、S、T)並びにそれぞれのメモリアクセスコマンド(コマンド)信号(図14 AのE、F、G、H及び図14 BのU、V、W、X)に対応してもよい。データ信号(図1

10

20

30

40

50

4 A の I、J、図 1 4 B の Y 1、Y 2、Z 1、Z 2) の送信は、それぞれのコマンド信号に対応してもよい。擬似チャネルベースのメモリシステムは、システムクロック (C K __ c、C K __ t) 及びそれぞれの擬似チャネルについてのクロック (P C 0、P C 1) など、P C 0 についての書き込みクロック (W C K 0 __ c、W C K 0 __ t) 及び P C 0 についての読み取りクロック (R D Q S 0 __ t、R D Q S 0 __ c)、並びに P C 1 についての書き込みクロック (W C K 1 __ c、W C K 1 __ t) 及び P C 1 についての読み取りクロック (R D Q S 1 __ t、R D Q S 1 __ c) など、様々なクロックの様々なクロックサイクルに従ってメモリアクセスコマンドを実施してもよい。

【0101】

図 1 4 A に示される例におけるメモリアクセスコマンドの場合、C A 有効性信号 A は、第 1 の C A S 信号 E に対応してもよく、C A 有効性信号 B は、第 1 の標準タイプメモリアクセスコマンド又は非低レイテンシタイプメモリアクセスコマンド F に対応してもよい。C A 有効性信号 C は、第 2 の C A S 信号 G に対応し得、C A 有効性信号 D は、第 2 の標準タイプメモリアクセスコマンド又は非低レイテンシタイプメモリアクセスコマンド H に対応してもよい。擬似チャネルについての標準タイプメモリアクセスコマンド又は非低レイテンシタイプメモリアクセスコマンドの従来の実装形態では、D D R は、各標準タイプメモリアクセスコマンド又は非低レイテンシタイプメモリアクセスコマンドについてのデータを単一の専用擬似チャネルデータバス上で送信又は受信してもよく、例えば、P C 0 (F) の読み取りメモリアクセスについての D Q 0 及び P C 1 (H) の読み取りメモリアクセスについての D Q 1 を送信又は受信してもよく、各読み取りメモリアクセスについて特定のバースト長が必要になる。図 1 4 A に示す例では、バースト長は 3 2 バイトである。それぞれに異なる擬似チャネルについての連続標準タイプメモリアクセスコマンド又は非低レイテンシタイプメモリアクセスコマンドは、同時に実施され得るが、同時に開始し完了するには揃い得ず、単一の標準タイプメモリアクセスコマンド又は非低レイテンシタイプメモリアクセスコマンドを完了するために必要とされるよりも多くのクロックサイクルが必要になる。例えば、P C 0 (F) の読み取りメモリアクセスに応じて D Q 0 上で送信されるデータ信号 (I) は、P C 1 (H) の読み取りメモリアクセスに応じて D Q 1 上で送信されるデータ信号 (J) と揃わないことがある。

【0102】

図 1 4 B に示される例におけるメモリアクセスコマンドについて、C A 有効性信号 Q は、第 1 の C A S 信号 U に対応してもよい。C A 有効性信号 R は、第 1 の低レイテンシタイプメモリアクセスコマンド V に対応してもよい。C A 有効性信号 S は、第 2 の C A S 信号 W に対応してもよく、C A 有効性信号 T は、第 2 の低レイテンシタイプメモリアクセスコマンド X に対応してもよい。擬似チャネルについての低レイテンシタイプメモリアクセスコマンド (V、X) を実施するために、D D R は、P C 0 (V) 又は P C 1 (X) の低レイテンシタイプ読み取りメモリアクセスについての D Q 0 及び D Q 1 などの、複数の擬似チャネルデータバス上で同時にデータを送信又は受信してもよい。例えば、D D R は、複数の擬似チャネルデータバス上でデータの奇数バイト及び偶数バイトを代わる代わる送信又は受信してもよい。図 1 4 B に示す例では、D D R は、D Q 0 上でデータの奇数バイトを送信又は受信し、同時に D Q 1 上でデータの偶数バイトを送信又は受信してもよい。複数の擬似チャネルデータバス上でデータを送信又は受信すると、標準タイプメモリアクセスコマンド又は非低レイテンシタイプメモリアクセスコマンドの従来の実装形態と比較してバースト長を短縮することが可能になる。例えば、標準タイプメモリアクセスコマンド又は非低レイテンシタイプメモリアクセスコマンドの従来の実装形態のバースト長は、データを送信又は受信するために使用される擬似チャネルデータバスの数によって除算されてもよい。図 1 4 B に示す例では、バースト長が 1 6 バイトであるのに対し、図 1 4 A に示す例では 3 2 バイトである。コマンドアドレス (C A) ラインに示されるように、P C 0 及び P C 1 などの、それぞれに異なる擬似チャネルについての連続低レイテンシタイプメモリアクセスコマンドが連続的に実施されてもよく、バースト長を短縮すると、同じ数の標準タイプメモリアクセスコマンド又は非低レイテンシタイプメモリアクセスコマンド

を完了するために必要とされるよりも少ないクロックサイクルを使用することが可能になり得る。例えば、データ信号（Y1）は、PC0（V）の読み取りメモリアクセスに応じてDQ1上で送信されるデータ信号（Y2）と同時にDQ0上で送信されてもよく、データ信号（Z1）は、PC1（X）の連続読み取りメモリアクセスに応じてDQ1上で送信されるデータ信号（Z2）と同時にDQ0上で送信されてもよい。

【0103】

（限定はしないが、図1～図14Bを参照して上記で説明した実施形態を含む）様々な実施形態によるシステムは、モバイルコンピューティングデバイスを含む多種多様なコンピューティングシステムにおいて実現されてもよく、様々な実施形態とともに使用するのに適したモバイルコンピューティングデバイスの一例が図15に示されている。モバイルコンピューティングデバイス1500は、タッチスクリーンコントローラ1504と内部メモリ1506とに結合されたプロセッサ1502を含んでもよい。プロセッサ1502は、汎用処理タスク又は特定の処理タスクに指定された1つ又は複数のマルチコア集積回路であり得る。内部メモリ1506は、揮発性又は不揮発性のメモリであってもよく、また、セキュアメモリ及び／若しくは暗号化メモリ、又は非セキュアメモリ及び／若しくは非暗号化メモリ、又はそれらの任意の組合せであってもよい。活用されてもよいメモリタイプの例には、限定はしないが、DDR、LPDDR、GDDR、WIDEIO、RAM、SRAM、DRAM、P-RAM、R-RAM、M-RAM、STT-RAM、及び埋込みDRAMが含まれる。タッチスクリーンコントローラ1504及びプロセッサ1502はまた、抵抗感知タッチスクリーン、容量性感知タッチスクリーン、赤外線感知タッチスクリーンなど、タッチスクリーンパネル1512に結合されてもよい。追加として、モバイルコンピューティングデバイス1500のディスプレイは、タッチスクリーン機能を有する必要はない。

【0104】

モバイルコンピューティングデバイス1500は、互いに結合され、かつ／又はプロセッサ1502に結合された、通信を送信及び受信するための1つ又は複数の無線信号トランシーバ1508（例えば、Peanut、Bluetooth、ZigBee、Wi-Fi、RF無線など）及びアンテナ1510を有する場合がある。トランシーバ1508及びアンテナ1510は、様々なワイヤレス送信プロトコルスタック及びインターフェースを実現するために、上述の回路とともに使用されてもよい。モバイルコンピューティングデバイス1500は、セルラーネットワークを経由した通信を可能にするとともにプロセッサに結合されているセルラーネットワークワイヤレスモデムチップ1516を含んでもよい。

【0105】

モバイルコンピューティングデバイス1500は、プロセッサ1502に結合された周辺デバイス接続インターフェース1518を含んでもよい。周辺デバイス接続インターフェース1518は、1つのタイプの接続を受け入れるように単独で構成されてもよく、又はユニバーサルシリアルバス（USB）、FireWire、Thunderbolt、若しくはPCIeなどの、一般的若しくはプロプライエタリな様々なタイプの物理接続及び通信接続を受け入れるように構成されてもよい。周辺デバイス接続インターフェース1518はまた、同様に構成された周辺デバイス接続ポート（図示せず）に結合されてもよい。

【0106】

モバイルコンピューティングデバイス1500はまた、オーディオ出力を提供するスピーカー1514を含んでもよい。モバイルコンピューティングデバイス1500はまた、本明細書で説明する構成要素の全部又は一部を収容する、プラスチック、金属、又は材料の組合せから構成されたハウジング1520を含んでもよい。モバイルコンピューティングデバイス1500は、使い捨てバッテリー又は充電式バッテリーなどの、プロセッサ1502に結合された電源1522を含んでもよい。充電式バッテリーはまた、モバイルコンピューティングデバイス1500の外部のソースから充電電流を受け取るために、周辺

デバイス接続ポートに結合されてもよい。モバイルコンピューティングデバイス 1500 はまた、ユーザ入力を受け取る物理ボタン 1524 を含んでもよい。モバイルコンピューティングデバイス 1500 はまた、モバイルコンピューティングデバイス 1500 をオンオフする電源ボタン 1526 を含んでもよい。

【0107】

(限定はしないが、図 1～図 14B を参照して上記で説明した実施形態を含む) 様々な実施形態によるシステムは、その一例が図 16 に示されているラップトップコンピュータ 1600 を含む多種多様なコンピューティングシステムにおいて実装されてもよい。多くのラップトップコンピュータは、コンピュータのポインティングデバイスとして働くタッチパッドのタッチ面 1617 を含み、したがって、タッチスクリーンディスプレイを装備した上述のコンピューティングデバイス上で実施されるものと同様のドラッグジェスチャー、スクロールジェスチャー、及びフリックジェスチャーを受信する場合がある。ラップトップコンピュータ 1600 は通常、揮発性メモリ 1612 と、フラッシュメモリのディスクドライブ 1613 などの大容量不揮発性メモリとに結合されたプロセッサ 1602 を含む。加えて、コンピュータ 1600 は、プロセッサ 1602 に結合されたワイヤレスデータリンク及び／又はセルラー電話送受信機 1616 に接続されてもよい、電磁放射を送受信するための 1 つ又は複数のアンテナ 1608 を有し得る。コンピュータ 1600 はまた、プロセッサ 1602 に結合されたフロッピーディスクドライブ 1614 及びコンパクトディスク (CD) ドライブ 1615 を含む場合がある。ノートブック構成では、コンピュータハウジングは、すべてがプロセッサ 1602 に結合されたタッチパッド 1617、キーボード 1618、及びディスプレイ 1619 を含む。コンピューティングデバイスの他の構成はよく知られているように、(例えば、USB 入力を介して) プロセッサに結合されたコンピュータマウス又はトラックボールを含んでよく、それらはまた、様々な実施形態とともに使用されてもよい。

【0108】

(限定はしないが、図 1～図 14B を参照して上記で説明した実施形態を含む) 様々な実施形態によるシステムが、様々な市販のサーバのうちのいずれかなど、固定コンピューティングシステムにおいて実装されてもよい。例示的なサーバ 1700 を図 17 に示す。そのようなサーバ 1700 は、通常、揮発性メモリ 1702 と、ディスクドライブ 1704 などの大容量不揮発性メモリとに結合された、1 つ又は複数のマルチコアプロセッサアセンブリ 1701 を含む。図 17 に示すように、マルチコアプロセッサアセンブリ 1701 は、それらをアセンブリのラックに挿入することによって、サーバ 1700 に追加されてもよい。サーバ 1700 はまた、プロセッサ 1701 に結合されたフロッピーディスクドライブ、コンパクトディスク (CD) 又はデジタル多用途ディスク (DVD) ディスクドライブ 1706 を含んでもよい。サーバ 1700 はまた、他のブロードキャストシステムコンピュータ及びサーバに結合されたローカルエリアネットワーク、インターネット、公衆交換電話網、並びに／又はセルラーデータネットワーク (例えば、CDMA、TDMA、GSM、PCS、3G、4G、LTE、5G 又は任意の他のタイプのセルラーデータネットワーク) など、ネットワーク 1705 とのネットワークインターフェース接続を確立するための、マルチコアプロセッサアセンブリ 1701 に結合されたネットワークアクセスポート 1703 を含んでもよい。

【0109】

実装例について、以下の段落において説明する。以下の実装形態例のいくつかについて、例示的なシステム、デバイス、又は方法に関して説明するが、更なる例示的な実装形態は、例示的なシステム又はデバイスの動作を実行する方法として実装される、以下の段落において論じられる例示的なシステム又はデバイス、例示的なシステム、デバイス、又は方法の動作を実行するための処理デバイス実行可能命令を伴って構成された処理デバイスを備えるコンピューティングデバイスによって実装される、以下の段落において論じられる例示的なシステム、デバイス、又は方法、例示的なシステム、デバイス、又は方法の機能を実行する手段を含むコンピューティングデバイスによって実装される、以下の段落に

において論じられる例示的なシステム、デバイス、又は方法、及びコンピューティングデバイスのプロセッサに例示的なシステム、デバイス、又は方法の動作を実行させるように構成されたプロセッサ実行可能命令を記憶した非一時的プロセッサ可読記憶媒体として実装される、以下の段落において論じられる例示的なシステム、デバイス、又は方法を含んでもよい。

【0110】

実施例1．擬似チャンネルベースのメモリシステムであって、複数の擬似チャンネルのうちの1つを第1の入力／出力（I/O）に選択的に通信可能に接続するように構成された第1の擬似チャンネル選択デバイスと、複数の擬似チャンネルのうちの1つを第2のI/Oに選択的に通信可能に接続するように構成された第2の擬似チャンネル選択デバイスとを含み、第1の擬似チャンネル選択デバイス及び第2の擬似チャンネル選択デバイスは、第1の動作モードにおいて複数の擬似チャンネルのうちの第1の擬似チャンネルを第1のI/O及び第2のI/Oに同時に通信可能に接続するように動作可能である、擬似チャンネルベースのメモリシステム。

10

【0111】

実施例2．第1のI/Oは、第1の擬似チャンネルデータバスを含み、第2のI/Oは、第2の擬似チャンネルデータバスを含み、擬似チャンネルベースのメモリシステムは、第1の擬似チャンネルデータバスよりも大きいビット幅を有し、第1の擬似チャンネルに通信可能に接続された第1の内部データバスと、第1の擬似チャンネルデータバスと同じビット幅を有し、第1の内部データバスの第1の部分と第1の擬似チャンネル選択デバイスとの間に通信可能に接続された第2の内部データバスと、第2の擬似チャンネルデータバスと同じビット幅を有し、第1の内部データバスの第2の部分と第2の擬似チャンネル選択デバイスとの間に通信可能に接続された第3の内部データバスとを更に含む、実施例1に記載の擬似チャンネルベースのメモリシステム。

20

【0112】

実施例3．第1の内部データバスは、第1の擬似チャンネルデータバスの整数倍に等しいビット幅を有する、実施例2に記載の擬似チャンネルベースのメモリシステム。

【0113】

実施例4．第1の擬似チャンネルデータバスよりも大きいビット幅を有し、複数の擬似チャンネルのうちの第2の擬似チャンネルに通信可能に接続された第4の内部データバスと、第1の擬似チャンネルデータバスと同じビット幅を有し、第4の内部データバスの第1の部分と第1の擬似チャンネル選択デバイスとの間に通信可能に接続された第5の内部データバスと、第2の擬似チャンネルデータバスと同じビット幅を有し、第4の内部データバスの第2の部分と第2の擬似チャンネル選択デバイスとの間に通信可能に接続された第6の内部データバスとを更に含む、実施例2又は3に記載の擬似チャンネルベースのメモリシステム。

30

【0114】

実施例5．第1の擬似チャンネル選択デバイス及び第2の擬似チャンネル選択デバイスは、擬似チャンネルベースのメモリシステムが第1の擬似チャンネルをターゲットとする低レイテンシタイプメモリアクセスコマンドを受信したことに応じて、第1の擬似チャンネルを第1のI/O及び第2のI/Oに同時に通信可能に接続するように動作可能である、実施例1から4のいずれかに記載の擬似チャンネルベースのメモリシステム。

40

【0115】

実施例6．第1の擬似チャンネルをターゲットとする低レイテンシタイプメモリアクセスコマンドを受信し、低レイテンシタイプメモリアクセスコマンドを受信したことに応じて、第1の擬似チャンネル選択デバイス及び第2の擬似チャンネル選択デバイスに、第1の擬似チャンネルを第1のI/O及び第2のI/Oに同時に通信可能に接続させるために、少なくとも1つの擬似チャンネル選択信号を第1の擬似チャンネル選択デバイス及び第2の擬似チャンネル選択デバイスに送信するように構成されたメモリ制御デバイスを更に含む、実施例5に記載の擬似チャンネルベースのメモリシステム。

【0116】

50

実施例 7. 第 1 の擬似チャネル選択デバイス及び第 2 の擬似チャネル選択デバイスは、擬似チャネルベースのメモリシステムが、擬似チャネルベースのメモリシステムに、連続メモリアクセスコマンドを低レイテンシタイプメモリアクセスコマンドとして扱わせるように構成されたモードレジスタ書き込みコマンドを受信したことに応答し、かつ擬似チャネルベースのメモリシステムが第 1 の擬似チャネルをターゲットとする連続メモリアクセスコマンドを受信したことに応じて、第 1 の擬似チャネルを第 1 の I/O 及び第 2 の I/O に同時に通信可能に接続するように動作可能である、実施例 1 から 4 のいずれかに記載の擬似チャネルベースのメモリシステム。

【0117】

実施例 8. メモリ制御デバイスを更に含み、メモリ制御デバイスは、モードレジスタ書き込みコマンドを受信し、モードレジスタ書き込みコマンドを受信したことに応じて、メモリ制御デバイスに、連続メモリアクセスコマンドを低レイテンシタイプメモリアクセスコマンドとして扱わせるように構成されたレジスタ値を設定し、第 1 の擬似チャネルをターゲットとする連続メモリアクセスコマンドを受信し、連続メモリアクセスコマンドを受信したことに応じて、第 1 の擬似チャネル選択デバイス及び第 2 の擬似チャネル選択デバイスに、第 1 の擬似チャネルを第 1 の I/O 及び第 2 の I/O に同時に通信可能に接続させるために、少なくとも 1 つの擬似チャネル選択信号を第 1 の擬似チャネル選択デバイス及び第 2 の擬似チャネル選択デバイスに送信するように構成されている、実施例 7 に記載の擬似チャネルベースのメモリシステム。

【0118】

実施例 9. 第 1 の擬似チャネル選択デバイス及び第 2 の擬似チャネル選択デバイスは各々、少なくとも 1 つのマルチプレクサを含む、実施例 1 から 8 のいずれかに記載の擬似チャネルベースのメモリシステム。

【0119】

実施例 10. 第 2 の動作モードにおいて、第 1 の擬似チャネル選択デバイスは、第 1 の擬似チャネルを第 1 の I/O に通信可能に接続するように動作可能であり、第 2 の擬似チャネル選択デバイスは、複数の擬似チャネルのうちの第 2 の擬似チャネルを第 2 の I/O に通信可能に接続するように動作可能である、実施例 1 から 9 のいずれかに記載の擬似チャネルベースのメモリシステム。

【0120】

実施例 11. 擬似チャネルベースのメモリシステムにおけるレイテンシを低減させる方法であって、複数の擬似チャネルのうちの 1 つを複数の入力／出力（I/O）のうちの第 1 の I/O に選択的に通信可能に接続するように構成された第 1 の擬似チャネル選択デバイスによって、複数の擬似チャネルのうちの第 1 の擬似チャネルを第 1 の I/O に通信可能に接続することと、第 1 の動作モードにおいて、第 1 の擬似チャネル選択デバイスによって第 1 の擬似チャネルを第 1 の I/O に通信可能に接続すると同時に、第 2 の擬似チャネル選択デバイスによって第 1 の擬似チャネルを複数の I/O のうちの第 2 の I/O に通信可能に接続することと、を含み、第 2 の擬似チャネル選択デバイスは、複数の擬似チャネルのうちの 1 つを第 2 の I/O に選択的に通信可能に接続するように構成されている、方法。

【0121】

実施例 12. 第 1 の I/O は、第 1 の擬似チャネルデータバスを含み、第 2 の I/O は、第 2 の擬似チャネルデータバスを含み、方法は、第 1 の擬似チャネルデータバスよりも大きいビット幅を有し、第 1 の擬似チャネルに通信可能に接続された第 1 の内部データバスと、第 1 の擬似チャネルデータバスと同じビット幅を有し、第 1 の内部データバスの第 1 の部分と第 1 の擬似チャネル選択デバイスとの間に通信可能に接続された第 2 の内部データバスとを介して、第 1 の擬似チャネルデータバスと第 1 の擬似チャネルとの間でデータを送信することと、第 1 の内部データバスと、第 2 の擬似チャネルデータバスと同じビット幅を有し、第 1 の内部データバスの第 2 の部分と第 2 の擬似チャネル選択デバイスとの間に通信可能に接続された第 3 の内部データバスとを介して、第 2 の擬似チャネルデータバスと第 1 の擬似チャネルとの間でデータを送信することと、を更に含む、実施例 11 に記

載の方法。

【0122】

実施例13．第1の内部データバスは、第1の擬似チャンネルデータバスの整数倍に等しいビット幅を有する、実施例12に記載の方法。

【0123】

実施例14．第1の擬似チャンネルデータバスよりも大きいビット幅を有し、第2の擬似チャンネルに通信可能に接続された第4の内部データバスと、第1の擬似チャンネルデータバスと同じビット幅を有し、第4の内部データバスの第1の部分と第1の擬似チャンネル選択デバイスとの間に通信可能に接続された第5の内部データバスとを介して、第1の擬似チャンネルデータバスと複数の擬似チャンネルのうちの第2の擬似チャンネルとの間でデータを送信することと、第4の内部データバスと、第2の擬似チャンネルデータバスと同じビット幅を有し、第4の内部データバスの第2の部分と第2の擬似チャンネル選択デバイスとの間に通信可能に接続された第6の内部データバスとを介して、第2の擬似チャンネルデータバスと第2の擬似チャンネルとの間でデータを送信することと、を更に含む、実施例12又は13に記載の方法。

10

【0124】

実施例15．第1の擬似チャンネルをターゲットとする低レイテンシタイプメモリアクセスコマンドを受信することを更に含み、第1の擬似チャンネル選択デバイスによって第1の擬似チャンネルを第1のIOに通信可能に接続することと同時に、第2の擬似チャンネル選択デバイスによって第1の擬似チャンネルを第2のIOに通信可能に接続することが、低レイテンシタイプメモリアクセスコマンドを受信したことに応じて行われる、実施例11から14のいずれかに記載の方法。

20

【0125】

実施例16．低レイテンシタイプメモリアクセスコマンドを受信したことに応じて、第1の擬似チャンネル選択デバイス及び第2の擬似チャンネル選択デバイスに、第1の擬似チャンネルを第1のIO及び第2のIOに同時に通信可能に接続させるために、少なくとも1つの擬似チャンネル選択信号を第1の擬似チャンネル選択デバイス及び第2の擬似チャンネル選択デバイスに送信することを更に含む、実施例15に記載の方法。

【0126】

実施例17．擬似チャンネルベースのメモリシステムに、連続メモリアクセスコマンドを低レイテンシタイプメモリアクセスコマンドとして扱わせるように構成されたモードレジスタ書き込みコマンドを受信することと、第1の擬似チャンネルをターゲットとする連続メモリアクセスコマンドを受信することと、を更に含み、第1の擬似チャンネル選択デバイスによって第1の擬似チャンネルを第1のIOに通信可能に接続することと同時に、第2の擬似チャンネル選択デバイスによって第1の擬似チャンネルを第2のIOに通信可能に接続することは、モードレジスタ書き込みコマンドを受信したことに応答し、かつ連続メモリアクセスコマンドを受信したことに応じて行われる、実施例11から14のいずれかに記載の方法。

30

【0127】

実施例18．モードレジスタ書き込みコマンドを受信したことに応じて、擬似チャンネルベースのメモリシステムに、連続メモリアクセスコマンドを低レイテンシタイプメモリアクセスコマンドとして扱わせるように構成されたレジスタ値を設定することと、連続メモリアクセスコマンドを受信したことに応じて、第1の擬似チャンネル選択デバイス及び第2の擬似チャンネル選択デバイスに、第1の擬似チャンネルを第1のIO及び第2のIOに同時に通信可能に接続させるために、少なくとも1つの擬似チャンネル選択信号を第1の擬似チャンネル選択デバイス及び第2の擬似チャンネル選択デバイスに送信することと、を更に含む、実施例17に記載の方法。

40

【0128】

実施例19．第1の擬似チャンネル選択デバイス及び第2の擬似チャンネル選択デバイスは各々、少なくとも1つのマルチプレクサを含む、実施例11から18のいずれかに記載の

50

方法。

【0129】

実施例20．第2の動作モードにおいて、第2の擬似チャネル選択デバイスによって、複数の擬似チャネルのうちの第2の擬似チャネルを複数のI/Oのうちの第2のI/Oに通信可能に接続することを更に含む、実施例11から19のいずれかに記載の方法。

【0130】

実施例21．第1の擬似チャネルを含む複数の擬似チャネルを含む擬似チャネルベースのメモリシステムであって、第1の擬似チャネルをターゲットとするメモリアクセスコマンドを受信し、メモリアクセスコマンドを実行するために第1の擬似チャネルデータバス及び第2の擬似チャネルデータバスを使用するように構成されている、擬似チャネルベースのメモリシステム。

10

【0131】

実施例22．メモリアクセスコマンドは、読み取りメモリアクセスコマンドであり、擬似チャネルベースのメモリシステムは、メモリアクセスコマンドを実行するために第1の擬似チャネルデータバス及び第2の擬似チャネルデータバスを使用することが、第1の擬似チャネルデータバス及び第2の擬似チャネルデータバスを同時に介して、読み取りメモリアクセスコマンドに応じて第1の擬似チャネルからデータを出力することを含むように構成されている、実施例21に記載の擬似チャネルベースのメモリシステム。

【0132】

実施例23．メモリアクセスコマンドは、書き込みメモリアクセスコマンドであり、擬似チャネルベースのメモリシステムは、メモリアクセスコマンドを実行するために第1の擬似チャネルデータバス及び第2の擬似チャネルデータバスを使用することが、第1の擬似チャネルデータバス及び第2の擬似チャネルデータバスを同時に介して第1の擬似チャネルについて書き込みメモリアクセスコマンドのデータを受信することを含むように構成されている、実施例21又は22に記載の擬似チャネルベースのメモリシステム。

20

【0133】

実施例24．メモリアクセスコマンドは、メモリアクセスコマンドが低レイテンシタイプメモリアクセスコマンドであることを擬似チャネルベースのメモリシステムに指示するように構成されている、実施例21から23のいずれかに記載の擬似チャネルベースのメモリシステム。

30

【0134】

実施例25．擬似チャネルベースのメモリシステムは、擬似チャネルベースのメモリシステムに、連続メモリアクセスコマンドを低レイテンシタイプメモリアクセスコマンドとして扱わせるように構成されたモードレジスタ書き込みコマンドを受信するように更に構成されており、第1の擬似チャネルをターゲットとするメモリアクセスコマンドは、モードレジスタ書き込みコマンドに対する連続メモリアクセスコマンドである、実施例21から23のいずれかに記載の擬似チャネルベースのメモリシステム。

【0135】

実施例26．第1の擬似チャネルを含む複数の擬似チャネルを有する擬似チャネルベースのメモリシステムにおけるレイテンシを低減させる方法であって、第1の擬似チャネルをターゲットとするメモリアクセスコマンドを受信することと、メモリアクセスコマンドを実行するために第1の擬似チャネルデータバス及び第2の擬似チャネルデータバスを使用することと、を含む方法。

40

【0136】

実施例27．メモリアクセスコマンドは、読み取りメモリアクセスコマンドであり、メモリアクセスコマンドを実行するために第1の擬似チャネルデータバス及び第2の擬似チャネルデータバスを使用することは、第1の擬似チャネルデータバス及び第2の擬似チャネルデータバスを同時に介して、読み取りメモリアクセスコマンドに応じて第1の擬似チャネルからデータを出力することを含む、実施例26に記載の方法。

【0137】

50

実施例 28. メモリアクセスコマンドは、書き込みメモリアクセスコマンドであり、メモリアクセスコマンドを実行するために第 1 の擬似チャネルデータベース及び第 2 の擬似チャネルデータベースを使用することは、第 1 の擬似チャネルデータベース及び第 2 の擬似チャネルデータベースを同時に介して、第 1 の擬似チャネルについての書き込みメモリアクセスコマンドのデータを受信することを含む、実施例 26 又は 27 に記載の方法。

【0138】

実施例 29. メモリアクセスコマンドは、メモリアクセスコマンドが低レイテンシタイプメモリアクセスコマンドであることを擬似チャネルベースのメモリシステムに指示するように構成されている、実施例 26 から 28 のいずれかに記載の方法。

【0139】

実施例 30. 擬似チャネルベースのメモリシステムに、連続メモリアクセスコマンドを低レイテンシタイプメモリアクセスコマンドとして扱わせるように構成されたモードレジスタ書き込みコマンドを受信することを更に含み、第 1 の擬似チャネルをターゲットとするメモリアクセスコマンドは、モードレジスタ書き込みコマンドに対する連続メモリアクセスコマンドである、実施例 26 から 28 のいずれかに記載の方法。

【0140】

様々な実施形態の動作を実行するためのプログラマブルプロセッサ上での実行のためのコンピュータプログラムコード又は「プログラムコード」は、C、C++、C#、Smalltalk、Java、JavaScript、Visual Basic、Structured Query Language（例えば、Transact-SQL）、Perl などの高水準プログラミング言語又は様々な他のプログラミング言語で記述される場合がある。本出願で使用するコンピュータ可読記憶媒体上に記憶されたプログラムコード又はプログラムは、そのフォーマットがプロセッサによって理解可能である（オブジェクトコードなどの）機械語コードを指す場合がある。

【0141】

上記の方法の説明及びプロセスフロー図は、単に説明のための例として提供されており、様々な実施形態の動作が提示された順序で実行されなければならないことを要求又は暗示するものではない。当業者によって理解されるように、上述の実施形態における動作の順序は、任意の順序で実施されてもよい。「その後（thereafter）」、「次いで（then）」、「次に（next）」などの語は、動作の順序を限定するものではない。これらの語は、方法の説明を通じて単に読者を導くために使用される。更に、例えば、冠詞「a」、「an」、又は「the」を使用する、単数形での請求項要素へのいかなる言及も、その要素を単数形に限定するものとして解釈されるべきではない。

【0142】

様々な実施形態に関して説明した様々な例示的な論理ブロック、モジュール、回路、及びアルゴリズム動作は、電子ハードウェア、コンピュータソフトウェア、又は両方の組合せとして実装されてもよい。ハードウェア及びソフトウェアのこの互換性を明確に示すために、様々な例示的な構成要素、ブロック、モジュール、回路及び動作について、概してそれらの機能性に関して上記で説明してきた。そのような機能がハードウェアとして実装されるのか又はソフトウェアとして実装されるのかは、特定の適用例及びシステム全体に課される設計上の制約に依存する。当業者は、説明した機能を特定の適用例ごとに様々な方法で実装してよいが、そのような実装決定は、特許請求の範囲からの逸脱を引き起こすものとして解釈されるべきではない。

【0143】

本明細書で開示する実施形態に関して説明した様々な例示的な論理、論理ブロック、モジュール、及び回路を実装するために使用されるハードウェアは、汎用プロセッサ、デジタル信号プロセッサ（DSP）、特定用途向け集積回路（ASIC）、フィールドプログラマブルゲートアレイ（FPGA）若しくは他のプログラマブル論理デバイス、個別ゲート論理若しくはトランジスタ論理、個別ハードウェア構成要素、又は本明細書で説明した機能を実行するように設計されたそれらの任意の組合せを用いて実装又は実行されてもよ

10

20

30

40

50

い。汎用プロセッサはマイクロプロセッサであってもよいが、代替として、プロセッサは、任意の従来のプロセッサ、コントローラ、マイクロコントローラ、又は状態機械であってもよい。プロセッサはまた、コンピューティングデバイスの組み合わせ、例えば、DSPとマイクロプロセッサとの組み合わせ、複数のマイクロプロセッサ、DSPコアと連携した1つ又は複数のマイクロプロセッサ、又は任意の他のそのような構成として実装されてもよい。代替的に、いくつかの動作又は方法は、所与の機能に固有の回路によって実行されてもよい。

【0144】

1つ又は複数の実施形態では、説明した機能は、ハードウェア、ソフトウェア、ファームウェア、又はそれらの任意の組合せで実現されてもよい。ソフトウェアにおいて実現される場合、機能は、1つ又は複数の命令又はコードとして、非一時的コンピュータ可読媒体又は非一時的プロセッサ可読媒体上に記憶されてもよい。本明細書で開示する方法又はアルゴリズムの動作は、非一時的コンピュータ可読記憶媒体又はプロセッサ可読記憶媒体上に存在し得るプロセッサ実行可能ソフトウェアモジュールにおいて具現化されてもよい。非一時的コンピュータ可読又はプロセッサ可読記憶媒体は、コンピュータ又はプロセッサによってアクセスされてもよい任意の記憶媒体であってもよい。限定ではなく例として、そのような非一時的コンピュータ可読媒体又は非一時的プロセッサ可読媒体は、RAM、ROM、EEPROM、FLASHメモリ、CD-ROM若しくは他の光ディスクストレージ、磁気ディスクストレージ若しくは他の磁気記憶デバイス、又は命令若しくはデータ構造の形態で所望のプログラムコードを記憶するために使用されてよく、コンピュータによってアクセスされてよい、任意の他の媒体を含んでよい。本明細書で使用するディスク(Disk)及びディスク(disk)は、コンパクトディスク(disc)(CD)、レーザーディスク(disc)、光ディスク(disc)、デジタル多用途ディスク(disc)(DVD)、フロッピーディスク(disk)、及びBlu-ray(登録商標)ディスク(disk)を含み、ここで、ディスク(disk)は、通常、データを磁氣的に再生し、ディスク(disc)は、レーザーを用いてデータを光学的に再生する。上記の組合せも、非一時的コンピュータ可読及びプロセッサ可読媒体の範囲内に含まれる。追加として、方法又はアルゴリズムの動作は、コンピュータプログラム製品の中に組み込まれてもよい非一時的プロセッサ可読媒体及び／又は非一時的コンピュータ可読媒体上のコード及び／又は命令のうちの1つ、又はその任意の組合せ若しくはセットとして存在してもよい。

【0145】

開示する実施形態の前述の説明は、任意の当業者が特許請求の範囲を製作又は使用することを可能にするために提供される。これらの実施形態への様々な修正が当業者には容易に明らかになり、本明細書において定義される一般原理は、特許請求の範囲から逸脱することなく他の実施形態及び実装形態に適用されてもよい。したがって、本開示は、本明細書で説明した実施形態及び実装形態に限定されることが意図されるものではなく、以下の特許請求の範囲、並びに本明細書で開示される原理及び新規の特徴と一致する最も広い範囲が与えられるべきである。

10

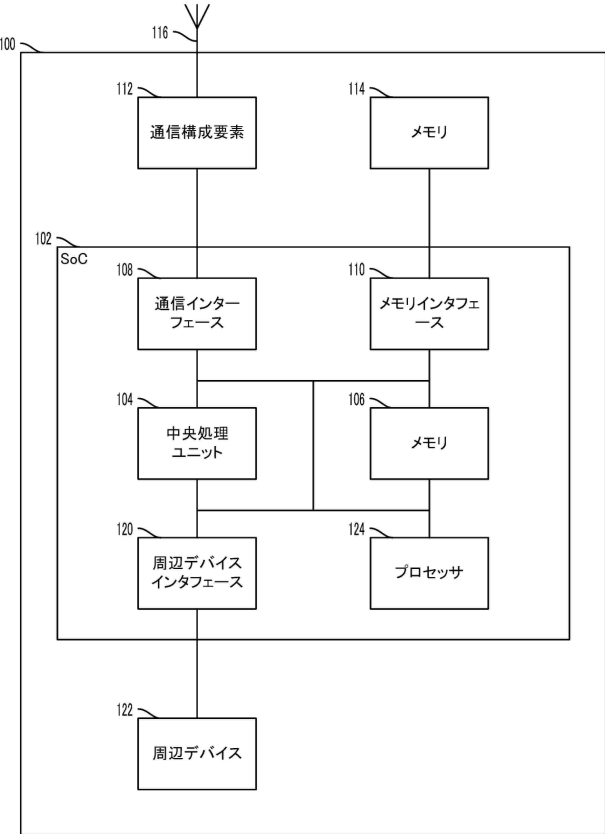
20

30

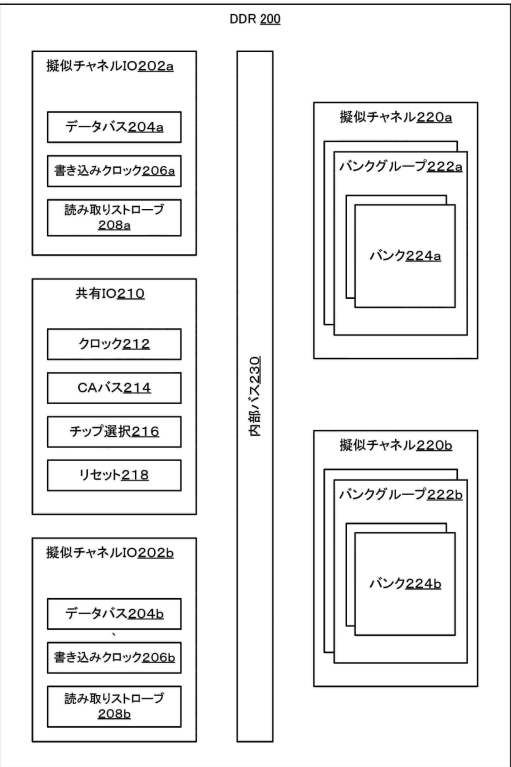
40

50

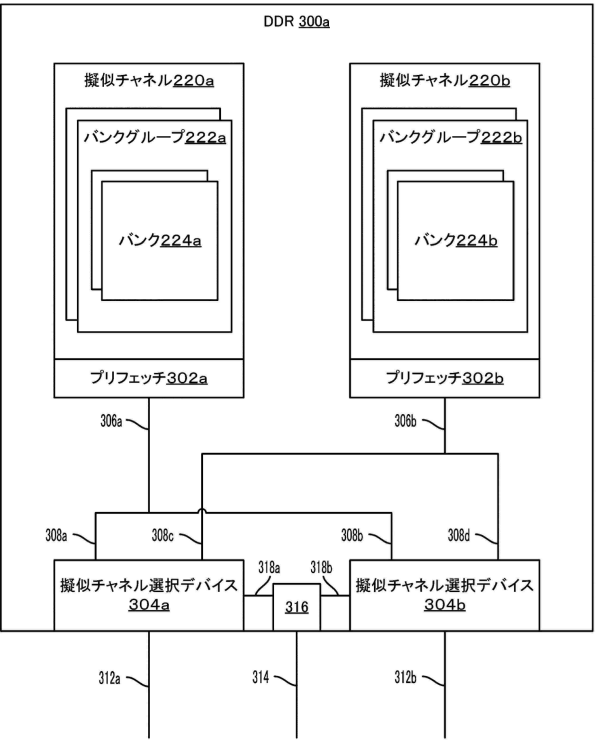
【図面】
【図 1】



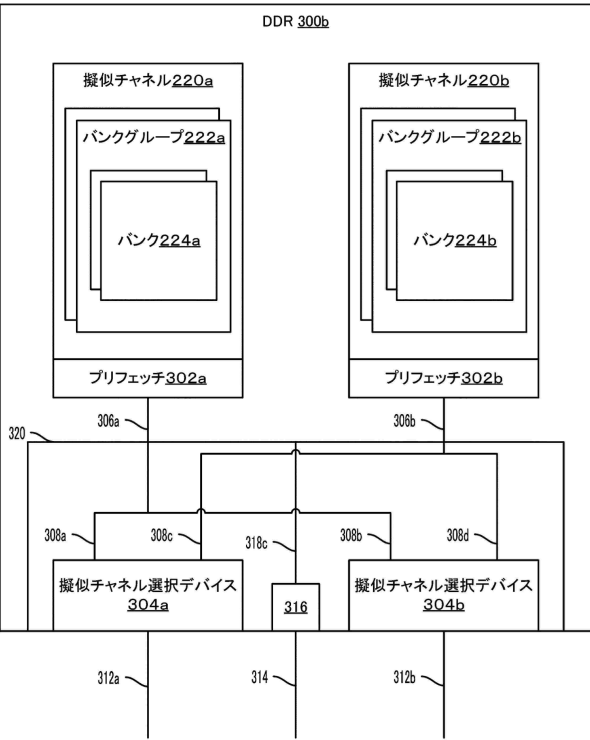
【図 2】



【図 3 A】



【図 3 B】



10

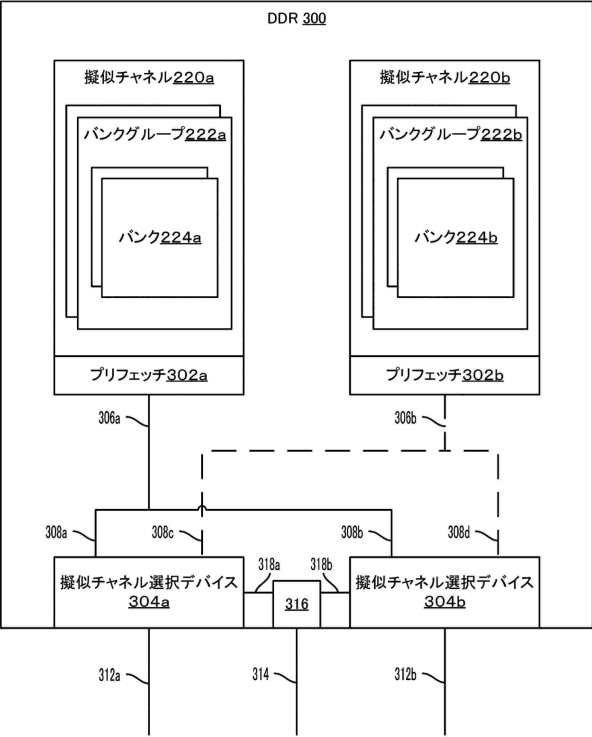
20

30

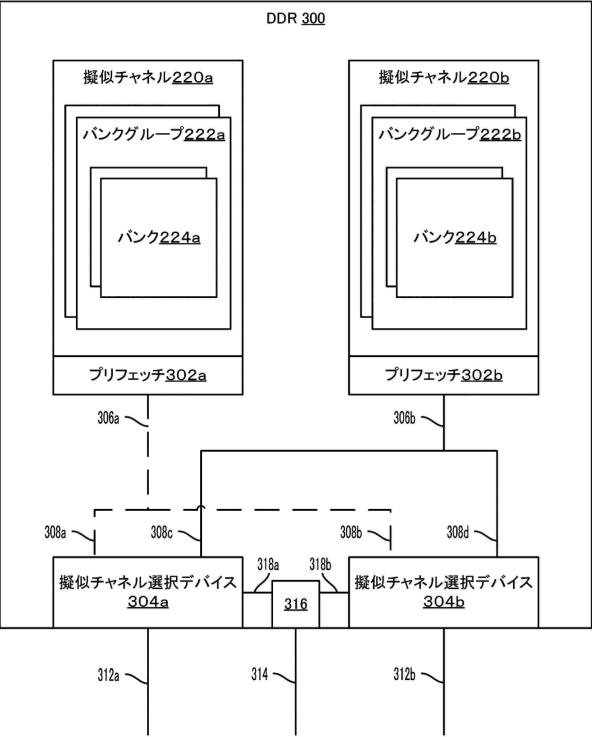
40

50

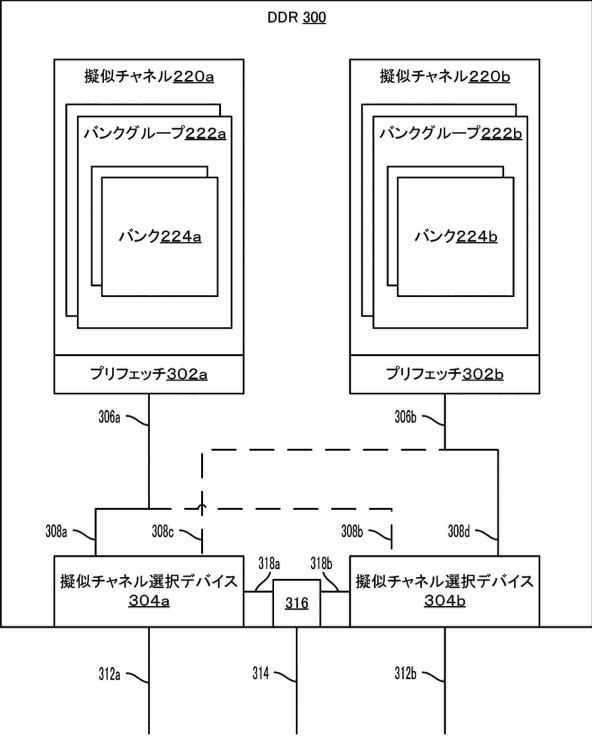
【図 4 A】



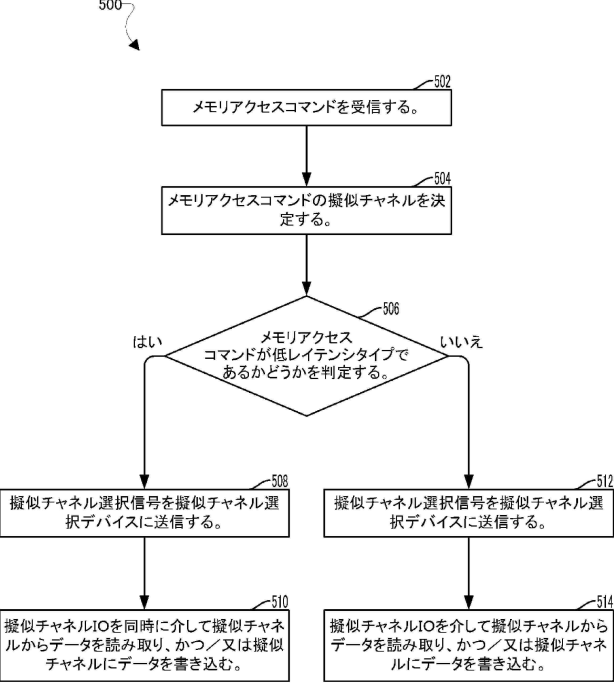
【図 4 B】



【図 4 C】



【図 5】



10

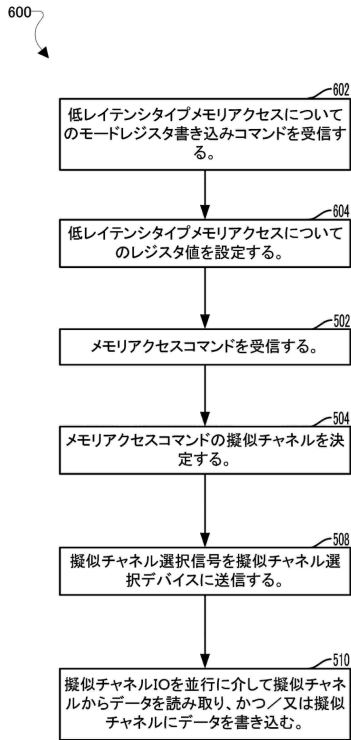
20

30

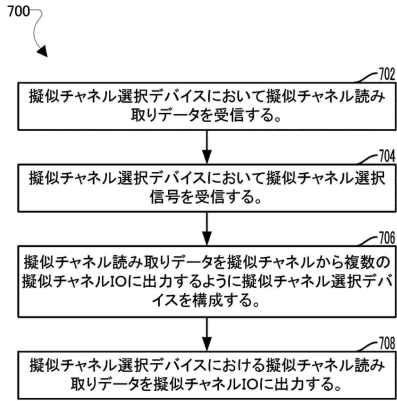
40

50

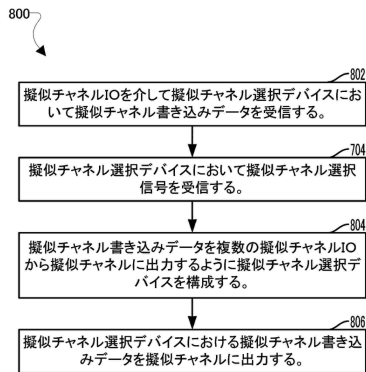
【図 6】



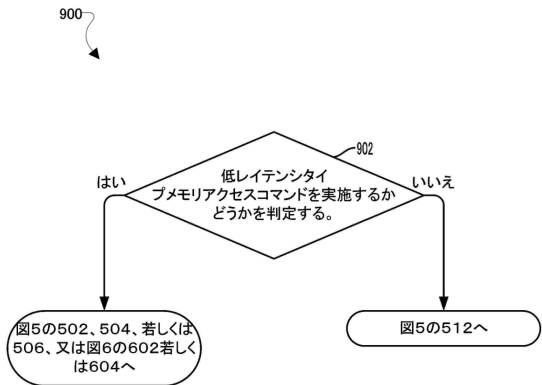
【図 7】



【図 8】



【図 9】



10

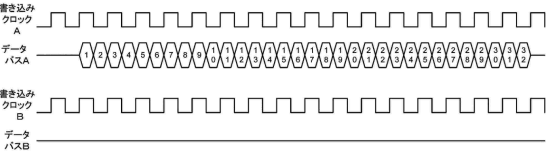
20

30

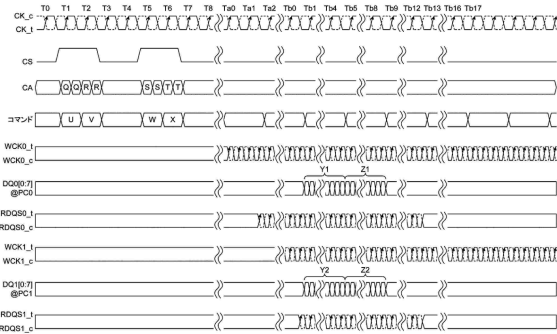
40

50

【図 10 A】



【図 14 B】



【図 15】

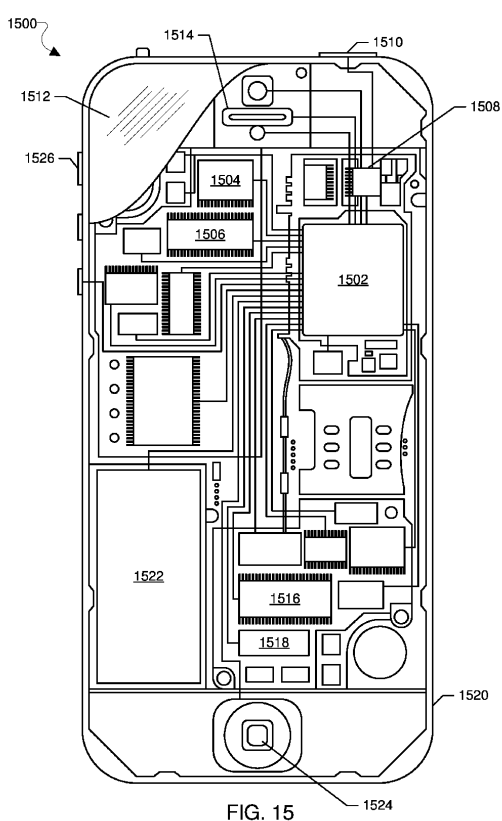


FIG. 15

【図 16】

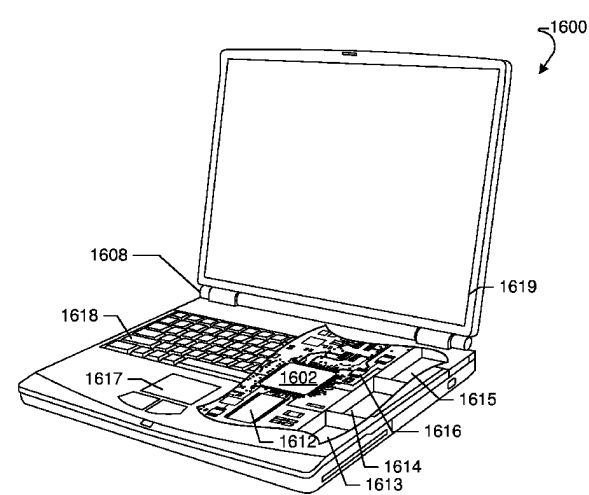


FIG. 16

【図 17】

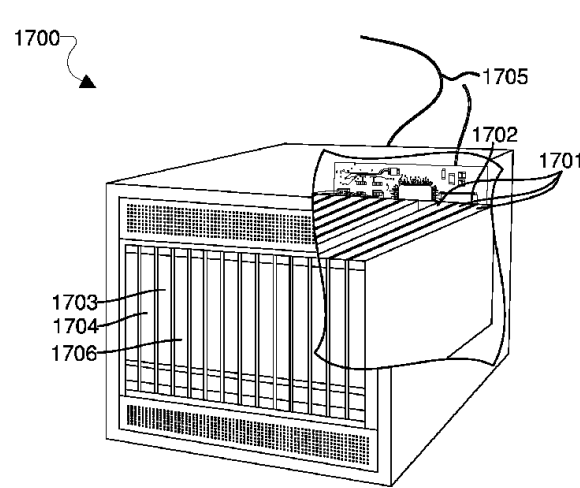


FIG. 17

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2022/045561

A. CLASSIFICATION OF SUBJECT MATTER
INV. G06F13/16
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2011/085367 A1 (FELDMAN TIMOTHY RICHARD [US] ET AL) 14 April 2011 (2011-04-14) paragraphs [0027] - [0030]; figure 4 -----	1-30
A	US 2020/194090 A1 (ROYER ROMAN A [US] ET AL) 18 June 2020 (2020-06-18) figures 5, 6 -----	1-30

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

12 January 2023

Date of mailing of the international search report

23/01/2023

Name and mailing address of the ISA/
European Patent Office, P.B. 5618 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Albert, Jozsef

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/US2022/045561

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2011085367 A1	14-04-2011	NONE	
US 2020194090 A1	18-06-2020	NONE	

フロントページの続き

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,N
E,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,
CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,IT,J
M,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY
,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,T
H,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

(特許庁注：以下のものは登録商標)

1. B L U E T O O T H

2. Z I G B E E

3. F I R E W I R E

4. T H U N D E R B O L T

5. J A V A

6. J A V A S C R I P T

7. V I S U A L B A S I C

1 2 1 - 1 7 1 4 ・ サン ・ ディエゴ ・ モアハウス ・ ドライヴ ・ 5 7 7 5

(72)発明者 ジュンウォン・ス

アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4 ・ サン ・ ディエゴ ・ モアハウス ・ ドライ
ヴ ・ 5 7 7 5

(72)発明者 スッバラオ・パラチャルラ

アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4 ・ サン ・ ディエゴ ・ モアハウス ・ ドライ
ヴ ・ 5 7 7 5

Fターム(参考) 5B160 MB00