

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年11月17日(17.11.2022)



(10) 国際公開番号

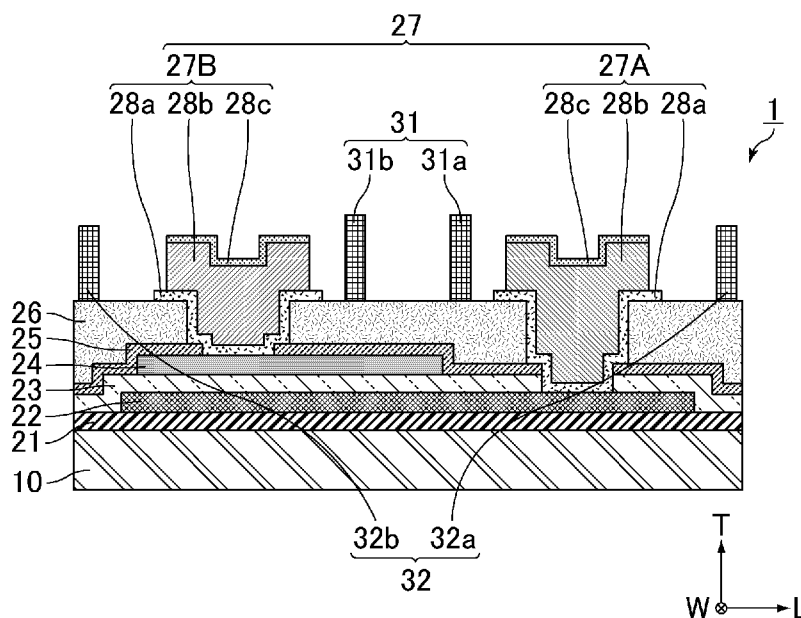
WO 2022/239722 A1

- (51) 国際特許分類:
H01G 4/30 (2006.01) H01G 4/33 (2006.01)
- (21) 国際出願番号: PCT/JP2022/019625
- (22) 国際出願日: 2022年5月9日(09.05.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-079849 2021年5月10日(10.05.2021) JP
- (71) 出願人: 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者: 原田 真臣 (HARADA, Masatomi); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 伊藤 是清 (ITO, Korekiyo); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 香川 武史 (KAGAWA, Takeshi); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 弁理士法人 W i s e P l u s (WISEPLUS IP FIRM); 〒5320003 大阪府大阪市淀川区宮原3丁目5番36号 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: SEMICONDUCTOR DEVICE, MATCHING CIRCUIT, AND FILTER CIRCUIT

(54) 発明の名称: 半導体装置、マッチング回路及びフィルタ回路

[図1]



(57) Abstract: A capacitor 1 of one embodiment of this semiconductor device comprises: a substrate 10; a first electrode layer 22 disposed above the substrate 10; a dielectric film 23 disposed on the first electrode layer 22; a second electrode layer 24 disposed on the dielectric film 23; a protection layer 26 covering the first electrode layer 22 and the second electrode layer 24; and an external electrode 27 penetrating the protection layer 26. The dielectric film 23 comprises silicon nitride, and the atomic concentration ratio of Si with respect to the total amount of Si and N contained in the dielectric



WO 2022/239722 A1

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP,
KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE,
PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,
SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT,
TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

film 23 is 43-70 atom%.

(57) 要約 : 半導体装置の一実施形態であるキャパシタ 1 は、基板 10 と、基板 10 上に設けられた第 1 電極層 22 と、第 1 電極層 22 上に設けられた誘電体膜 23 と、誘電体膜 23 上に設けられた第 2 電極層 24 と、第 1 電極層 22 及び第 2 電極層 24 を覆う保護層 26 と、保護層 26 を貫通する外部電極 27 と、を備え、誘電体膜 23 はシリコン窒化物からなり、誘電体膜 23 に含有される Si と N の総量に対する Si の原子濃度比が 43 atom% 以上 70 atom% 以下である。

明 細 書

発明の名称：半導体装置、マッチング回路及びフィルタ回路

技術分野

[0001] 本発明は、半導体装置に関する。さらに、本発明は、上記半導体装置を備えるマッチング回路及びフィルタ回路に関する。

背景技術

[0002] 半導体集積回路に用いられる代表的なキャパシタ素子として、例えばMIM (Metal Insulator Metal) キャパシタが知られている。MIMキャパシタは、絶縁体を下部電極と上部電極とで挟んだ平行平板型の構造を有するキャパシタである。

[0003] 特許文献1には、基板上に形成された下部電極と、この下部電極上に形成された誘電体薄膜と、この誘電体薄膜上に形成された上部電極と、この上部電極を含む上記基板上に形成された絶縁層と、上記各電極にそれぞれ接続され、端部が互いに同一平面上に位置するように配置された一对の電極端子とを具備したことを特徴とするコンデンサ部品が開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開平5-47586号公報

発明の概要

発明が解決しようとする課題

[0005] 特許文献1には、誘電体薄膜の材料として、例えば二酸化シリコン、五酸化タンタル、チタン酸ストロンチウム、チタン酸バリウム、チタン酸カルシウム等を使用することが記載されている。

[0006] 特許文献1に記載のコンデンサ部品（キャパシタ）のような半導体装置をマッチング回路などのキャパシタに用いる場合には、高いQ値が要求される。しかしながら、半導体装置のQ値を高くするために適した誘電体膜については、これまで十分に検討されていない。

[0007] 本発明は、上記の問題を解決するためになされたものであり、高いQ特性を有する半導体装置を提供することを目的とする。さらに、本発明は、上記半導体装置を備えるマッチング回路及びフィルタ回路を提供することを目的とする。

課題を解決するための手段

[0008] 本発明の半導体装置は、基板と、上記基板上に設けられた第1電極層と、上記第1電極層上に設けられた誘電体膜と、上記誘電体膜上に設けられた第2電極層と、上記第1電極層及び上記第2電極層を覆う保護層と、上記保護層を貫通する外部電極と、を備え、上記誘電体膜はシリコン窒化物からなり、上記誘電体膜に含有されるSiとNの総量に対するSiの原子濃度比が43atom%以上70atom%以下である。

[0009] 本発明のマッチング回路は、本発明の半導体装置を備える。

[0010] 本発明のフィルタ回路は、本発明の半導体装置を備える。

発明の効果

[0011] 本発明によれば、高いQ特性を有する半導体装置を提供することができる。さらに、本発明によれば、上記半導体装置を備えるマッチング回路及びフィルタ回路を提供することができる。

図面の簡単な説明

[0012] [図1]図1は、本発明の第1実施形態に係るキャパシタの一例を模式的に示す断面図である。

[図2]図2は、本発明の第1実施形態に係るキャパシタの一例を模式的に示す平面図である。

[図3]図3は、誘電体膜に含有されるSiとNの総量に対するSiの原子濃度比と容量0.2pFにおけるQ値との関係を示すグラフである。

[図4]図4は、誘電体膜に含有されるFの含有量とQ値との関係を示すグラフである。

[図5A]図5Aは、絶縁膜を形成する工程の一例を説明するための断面模式図である。

[図5B]図5 Bは、第1電極層を形成する工程の一例を説明するための断面模式図である。

[図5C]図5 Cは、誘電体膜を形成する工程の一例を説明するための断面模式図である。

[図5D]図5 Dは、第2電極層を形成する工程の一例を説明するための断面模式図である。

[図5E]図5 Eは、耐湿膜を形成する工程の一例を説明するための断面模式図である。

[図5F]図5 Fは、保護層を形成する工程の一例を説明するための断面模式図である。

[図5G]図5 Gは、シード層を形成する工程の一例を説明するための断面模式図である。

[図5H]図5 Hは、第1めっき層及び第2めっき層を形成する工程の一例を説明するための断面模式図である。

[図5I]図5 Iは、シード層の一部を除去する工程の一例を説明するための断面模式図である。

[図5J]図5 Jは、感光性樹脂膜を形成する工程の一例を説明するための断面模式図である。

[図5K]図5 Kは、第1樹脂体及び第2樹脂体を形成する工程の一例を説明するための断面模式図である。

[図6]図6は、本発明の第2実施形態に係るキャパシタの一例を模式的に示す断面図である。

[図7]図7は、マッチング回路の一例を示す説明図である。

[図8]図8は、フィルタ回路の一例を示す説明図である。

発明を実施するための形態

[0013] 以下、本発明の半導体装置について説明する。

しかしながら、本発明は、以下の構成に限定されるものではなく、本発明の要旨を変更しない範囲において適宜変更して適用することができる。なお

、以下において記載する本発明の個々の好ましい構成を2つ以上組み合わせたものもまた本発明である。

[0014] 以下に示す各実施形態は例示であり、異なる実施形態で示した構成の部分的な置換又は組み合わせが可能であることは言うまでもない。第2実施形態以降では、第1実施形態と共通の事項についても記述は省略し、異なる点についてのみ説明する。特に、同様の構成による同様の作用効果については、実施形態毎に逐次言及しない。

[0015] 以下の説明において、各実施形態を特に区別しない場合、単に「本発明の半導体装置」と言う。本発明の半導体装置及び各構成要素の形状及び配置等は、図示する例に限定されるものではない。

[0016] また、以下においては、本発明の半導体装置の一実施形態として、キャパシタを例にとって説明する。本発明の半導体装置は、キャパシタそのもの（すなわちキャパシタ素子）であってもよく、キャパシタを含む装置であってもよい。

[0017] [第1実施形態]

本発明の第1実施形態に係るキャパシタでは、外部電極は、第1電極層に接続された第1外部電極と、第2電極層に接続された第2外部電極と、を含む。

[0018] 図1は、本発明の第1実施形態に係るキャパシタの一例を模式的に示す断面図である。図2は、本発明の第1実施形態に係るキャパシタの一例を模式的に示す平面図である。図1は、図2に示すキャパシタの|—|線に沿った断面図である。

[0019] 本明細書中、キャパシタ（半導体装置）の長さ方向、幅方向、及び、厚み方向を、図1及び図2等に示すように、各々、矢印L、矢印W、及び、矢印Tで定められる方向とする。ここで、長さ方向Lと幅方向Wと厚み方向Tとは、互いに直交している。

[0020] 図1及び図2に示すキャパシタ1は、基板10と、基板10上に設けられた絶縁膜21と、絶縁膜21上に設けられた第1電極層22と、第1電極層

22上に設けられた誘電体膜23と、誘電体膜23上に設けられた第2電極層24と、誘電体膜23及び第2電極層24上に設けられた耐湿膜25と、耐湿膜25上に設けられた保護層26と、保護層26を貫通する外部電極27と、を備える。外部電極27は、第1電極層22に接続された第1外部電極27Aと、第2電極層24に接続された第2外部電極27Bと、を含む。第1外部電極27Aは保護層26、耐湿膜25及び誘電体膜23を貫通し、第2外部電極27Bは保護層26及び耐湿膜25を貫通する。

[0021] 基板10は、特に限定されないが、好ましくは、シリコン基板又はガリウム砒素基板等の半導体基板、あるいは、ガラス又はアルミナ等の絶縁性基板である。

[0022] 絶縁膜21は、基板10の一方主面の全体を覆うように設けられている。絶縁膜21は、基板10の一方主面の一部を覆うように設けられていてもよいが、第1電極層22よりも大きく、かつ、第1電極層22の全域に重なる領域に設けられる必要がある。なお、基板10がガラス又はアルミナ等の絶縁性基板である場合には、絶縁膜21は設けられていなくてもよい。

[0023] 絶縁膜21を構成する材料は、特に限定されないが、好ましくは、 SiO_2 、 SiN 、 Al_2O_3 、 HfO_2 、 Ta_2O_5 、 ZrO_2 等が挙げられる。

[0024] 第1電極層22は、基板10の端部と離れた位置に設けられている。すなわち、第1電極層22の端部は、基板10の端部よりも内側に位置している。

[0025] 第1電極層22を構成する材料は、特に限定されないが、好ましくは、 Cu 、 Ag 、 Au 、 Al 、 Ni 、 Cr もしくは Ti 又はこれらの金属を少なくとも1種含む合金等が挙げられる。

[0026] 誘電体膜23は、開口を除く部分で第1電極層22を覆うように設けられている。図1では、誘電体膜23の端部は、第1電極層22の端部から基板10の端部までの絶縁膜21の表面上にも設けられている。誘電体膜23の端部は、基板10の端部まで設けられていなくてもよい。

[0027] 誘電体膜23はシリコン窒化物からなる。具体的には、誘電体膜23に含

有されるSiとNの総量に対するSiの原子濃度比が43atom%以上70atom%以下である。

[0028] 誘電体膜23の厚みは、特に限定されないが、所望の容量値に従って調整される。例えば、3pF以下の容量で使用される場合、誘電体膜23の厚みは、0.4 μ m以上であることが好ましく、0.44 μ m以上であることがより好ましい。一方、誘電体膜23の厚みは、5 μ m以下であることが好ましく、4 μ m以下であることがより好ましい。

[0029] 第2電極層24は、誘電体膜23を挟んで第1電極層22に対向して設けられている。

[0030] 第2電極層24を構成する材料は、特に限定されないが、好ましくは、Cu、Ag、Au、Al、Ni、CrもしくはTi又はこれらの金属を少なくとも1種含む合金等が挙げられる。

[0031] 耐湿膜25は、開口を除く部分で誘電体膜23及び第2電極層24を覆うように設けられている。耐湿膜25が設けられていることにより、キャパシタ素子、特に、誘電体膜23の耐湿性が高まる。なお、耐湿膜25は設けられていなくてもよい。

[0032] 耐湿膜25を構成する材料は、特に限定されないが、好ましくは、SiO₂、SiN等の耐湿性材料が挙げられる。

[0033] 保護層26には、誘電体膜23及び耐湿膜25の開口（第1電極層22に重なる開口）に重なる位置と、耐湿膜25の開口（第2電極層24に重なる開口）に重なる位置との各々に開口が設けられている。保護層26が設けられていることにより、キャパシタ素子、特に、誘電体膜23が水分から保護される。

[0034] 保護層26を構成する材料は、特に限定されないが、好ましくは、ポリイミド樹脂、ソルダーレジスト中の樹脂等の樹脂材料が挙げられる。

[0035] 外部電極27を構成する材料は、特に限定されないが、好ましくは、Cu、Ni、Ag、Au又はAl等が挙げられる。外部電極27は、単層構造であってもよいし、多層構造であってもよい。外部電極27の最表面は、Au

又はSnから構成されることが好ましい。

- [0036] 第1外部電極27Aが多層構造である場合、第1外部電極27Aは、図1に示すように、基板10側から順に、シード層28aと、第1めっき層28bと、第2めっき層28cと、を有していてもよい。
- [0037] 第1外部電極27Aのシード層28aとしては、例えば、チタン(Ti)からなる導電体層と銅(Cu)からなる導電体層との積層体(Ti/Cu)等が挙げられる。
- [0038] 第1外部電極27Aの第1めっき層28bの構成材料としては、例えば、ニッケル(Ni)等が挙げられる。
- [0039] 第1外部電極27Aの第2めっき層28cの構成材料としては、例えば、金(Au)、スズ(Sn)等が挙げられる。
- [0040] 第2外部電極27Bが多層構造である場合、第2外部電極27Bは、図1に示すように、基板10側から順に、シード層28aと、第1めっき層28bと、第2めっき層28cと、を有していてもよい。
- [0041] 第2外部電極27Bのシード層28aとしては、例えば、チタン(Ti)からなる導電体層と銅(Cu)からなる導電体層との積層体(Ti/Cu)等が挙げられる。
- [0042] 第2外部電極27Bの第1めっき層28bの構成材料としては、例えば、ニッケル(Ni)等が挙げられる。
- [0043] 第2外部電極27Bの第2めっき層28cの構成材料としては、例えば、金(Au)、スズ(Sn)等が挙げられる。
- [0044] 第1外部電極27Aの構成材料と第2外部電極27Bの構成材料とは、互いに同じであってもよいし、互いに異なってもよい。
- [0045] 図1及び図2に示すように、厚み方向Tからの平面視において第1外部電極27Aと第2外部電極27Bとの間に第1樹脂体31が設けられていてもよい。第1樹脂体31は、例えば、保護層26の表面に設けられる。
- [0046] 第1樹脂体31の先端は、図1に示すように、厚み方向Tにおいて、第1外部電極27A及び第2外部電極27Bの先端よりも高い位置にあることが

好ましい。この場合、キャパシタ 1 を配線基板に実装する際、第 1 樹脂体 3 1 が第 1 外部電極 2 7 A 及び第 2 外部電極 2 7 B よりも先に配線基板側（例えば、配線基板の上面、ランド、はんだ等）に接触することになる。そのため、第 1 樹脂体 3 1 に荷重が加わることになり、第 1 外部電極 2 7 A 及び第 2 外部電極 2 7 B に加わる荷重が抑制される。その結果、荷重が第 1 外部電極 2 7 A 及び第 2 外部電極 2 7 B を介してキャパシタ素子に伝わるのが抑制されるため、キャパシタ素子の破損、特に、誘電体膜 2 3 の破損が抑制される。

[0047] 第 1 樹脂体 3 1 は、ソルダーレジスト中の樹脂、ポリイミド樹脂、ポリイミドアミド樹脂及びエポキシ樹脂からなる群より選択される少なくとも 1 つの樹脂を含むことが好ましい。第 1 樹脂体 3 1 は、感光性樹脂の硬化物であることが好ましい。

[0048] 第 1 樹脂体 3 1 は、第 1 外部電極 2 7 A 側に設けられた第 1 壁部 3 1 a と、第 2 外部電極 2 7 B 側に設けられ、第 1 壁部 3 1 a と離れた第 2 壁部 3 1 b と、を含んでもよい。図 2 に示すような平面視において、第 1 壁部 3 1 a 及び第 2 壁部 3 1 b は、並行して設けられていることが好ましい。

[0049] 第 1 壁部 3 1 a には、第 1 壁部 3 1 a と第 2 壁部 3 1 b とを離隔する空間に連通する開口が設けられていてもよい。同様に、第 2 壁部 3 1 b には、第 1 壁部 3 1 a と第 2 壁部 3 1 b とを離隔する空間に連通する開口が設けられていてもよい。

[0050] 図 1 及び図 2 に示すように、厚み方向 T からの平面視において基板 1 0 の端部と第 1 外部電極 2 7 A との間、及び、基板 1 0 の端部と第 2 外部電極 2 7 B との間に第 2 樹脂体 3 2 が設けられていてもよい。第 2 樹脂体 3 2 は、例えば、保護層 2 6 の表面に設けられる。また、第 2 樹脂体 3 2 は、保護層 2 6 の外側に設けられてもよく、その場合、基板 1 0 上に設けられてもよい。

[0051] 図 1 に示すように、厚み方向 T において、第 2 樹脂体 3 2 の先端は、第 1 外部電極 2 7 A 及び第 2 外部電極 2 7 B の先端よりも高い位置にあることが

好ましい。この場合、例えば、キャパシタ 1 を配線基板に実装する際、第 2 樹脂体 3 2 で荷重をより広く分散できるため、キャパシタ素子、特に、誘電体膜 2 3 に加わる荷重が十分に抑制される。

[0052] さらに、図 1 に示すように、厚み方向 T において、第 2 樹脂体 3 2 の先端は、第 1 樹脂体 3 1 の先端よりも低い位置にあることが好ましい。この場合、例えば、キャパシタ 1 を配線基板に実装する際、第 1 樹脂体 3 1 によって配線基板上で安定して保持できる。

[0053] 第 2 樹脂体 3 2 は、ソルダーレジスト中の樹脂、ポリイミド樹脂、ポリイミドアミド樹脂及びエポキシ樹脂からなる群より選択される少なくとも 1 つの樹脂を含むことが好ましい。第 2 樹脂体 3 2 は、感光性樹脂の硬化物であることが好ましい。

[0054] 第 1 樹脂体 3 1 に含まれる樹脂と第 2 樹脂体 3 2 に含まれる樹脂とは、互いに同じであってもよいし、互いに異なってもよい。

[0055] 第 2 樹脂体 3 2 は、図 2 に示すように、厚み方向 T からの平面視において基板 1 0 の端部と第 1 外部電極 2 7 A との間で基板 1 0 の端部に沿って設けられた第 1 外周部 3 2 a と、基板 1 0 の端部と第 2 外部電極 2 7 B との間で基板 1 0 の端部に沿って設けられた第 2 外周部 3 2 b と、を有することが好ましい。

[0056] 第 1 壁部 3 1 a と第 1 外周部 3 2 a とは、接続されていることが好ましい。また、第 2 壁部 3 1 b と第 2 外周部 3 2 b とは、接続されていることが好ましい。

[0057] 本発明の半導体装置では、誘電体膜に含有される Si と N の総量に対する Si の原子濃度比が 43 atom% 以上 70 atom% 以下であることを特徴としている。

[0058] 図 3 は、誘電体膜に含有される Si と N の総量に対する Si の原子濃度比と容量 0.2 pF における Q 値との関係を示すグラフである。

[0059] 化学量論比のシリコン窒化物である Si_3N_4 では、Si と N の総量に対する Si の原子濃度比（図 3 中、 $\text{Si} / (\text{Si} + \text{N})$ の比と記載する）が 42

、8 a t o m %である。このときのQ値を100%として規格化した相対値が図3に示されている。

[0060] 図3に示すように、誘電体膜に含有されるSiとNの総量に対するSiの原子濃度比が43 a t o m %以上であると、Q値が向上することが確認できる。一方、誘電体膜に含有されるSiとNの総量に対するSiの原子濃度比が43 a t o m %未満であると、Q値の改善効果が小さい。

[0061] また、誘電体膜に含有されるSiとNの総量に対するSiの原子濃度比が70 a t o m %を超えると、リーク電流が増大するため、Q値が低下すると考えられる。

[0062] 誘電体膜に含有されるSiとNの総量に対するSiの原子濃度比が60 a t o m %を超えると、誘電体膜の静電破壊電圧が小さくなるため、電子部品に求められるHBM (Human Body Model) -ESD (Electrostatic Discharge) 耐圧を満たすことが困難になる。そのため、誘電体膜に含有されるSiとNの総量に対するSiの原子濃度比が60 a t o m %以下であることが好ましい。

[0063] 誘電体膜に含有されるSiとNの総量に対するSiの原子濃度比が50 a t o m %未満であると、Q値の相対値が125%を下回るため、改善効果が小さい。そのため、誘電体膜に含有されるSiとNの総量に対するSiの原子濃度比が50 a t o m %以上であることが好ましい。

[0064] 誘電体膜に含有されるSiとNの総量に対するSiの原子濃度比は、X線光電子分光法 (XPS) により誘電体膜の構成元素を分析することによって算出することができる。

[0065] 以下に、XPSの測定条件を示す。

測定装置：アルバック・ファイ社製 Quantes

測定領域：100 μm φ

測定深さ：100 nm

[0066] 本発明の半導体装置では、誘電体膜に含有されるFの含有量が 10^{19} cm^{-3} 以下であることが好ましい。

[0067] 図4は、誘電体膜に含有されるFの含有量とQ値との関係を示すグラフである。

[0068] 化学量論比のシリコン窒化物 ($\text{Si} / (\text{Si} + \text{N}) = 42.8 \text{ atom\%}$) からなる誘電体膜に含有されるFの含有量は $2 \times 10^{20} \text{ cm}^{-3}$ である。このときのQ値を100%として規格化した相対値が図4に示されている。

[0069] 誘電体膜に含有されるFの含有量がQ値に影響することはこれまで知られていなかった。図4に示すように、誘電体膜に含有されるFの含有量が 10^{19} cm^{-3} 以下であると、Q値の向上率が10%以上となることが確認できる。

[0070] 誘電体膜に含有されるFの含有量は、二次イオン質量分析法 (SIMS) により測定することができる。

[0071] 以下に、SIMSの測定条件を示す。

測定装置：CAMECA IMS-6f

一次イオン種：Cs⁺

一次加速電圧：15kV

検出領域：8 $\mu\text{m}\phi$

[0072] 図1に示すキャパシタ1は、例えば以下の方法で製造される。図5A～図5Kは、本発明の第1実施形態に係るキャパシタの製造方法の一例を説明するための断面模式図である。

[0073] <絶縁膜の形成>

図5Aは、絶縁膜を形成する工程の一例を説明するための断面模式図である。

[0074] 図5Aに示すように、絶縁膜21を、例えば、熱酸化法、スパッタリング法、又は、化学蒸着法により、基板10上に形成する。

[0075] <第1電極層の形成>

図5Bは、第1電極層を形成する工程の一例を説明するための断面模式図である。

[0076] 第1電極層22の構成材料からなる導電体層を、例えば、スパッタリング法により、絶縁膜21の基板10とは反対側の表面上に形成する。その後、

導電体層のパターニングを、フォトリソグラフィー法及びエッチング法を組み合わせることで、図5Bに示すような第1電極層22を形成する。より具体的には、第1電極層22を、基板10の端部と離れた位置までに形成する。

[0077] <誘電体膜の形成>

図5Cは、誘電体膜を形成する工程の一例を説明するための断面模式図である。

[0078] 誘電体膜23の構成材料からなる層を、例えば、スパッタリング法又は化学蒸着法により、第1電極層22を覆うように形成する。その後、この層のパターニングを、例えば、フォトリソグラフィー法及びエッチング法を組み合わせることで、図5Cに示すような誘電体膜23を形成する。より具体的には、第1電極層22の一部を露出させる開口が設けられるように、誘電体膜23を形成する。

[0079] <第2電極層の形成>

図5Dは、第2電極層を形成する工程の一例を説明するための断面模式図である。

[0080] 第2電極層24の構成材料からなる導電体層を、例えば、スパッタリング法により、図5Cに示した構造体の基板10とは反対側の表面上に形成する。その後、導電体層のパターニングを、例えば、フォトリソグラフィー法及びエッチング法を組み合わせることで、図5Dに示すような第2電極層24を形成する。より具体的には、誘電体膜23を挟んで第1電極層22に対向するように、第2電極層24を形成する。

[0081] <耐湿膜の形成>

図5Eは、耐湿膜を形成する工程の一例を説明するための断面模式図である。

[0082] 耐湿膜25の構成材料からなる層を、例えば、化学蒸着法により、図5Dに示した構造体の基板10とは反対側の表面上に形成する。その後、この層のパターニングを、例えば、フォトリソグラフィー法及びエッチング法を組

み合わせて行うことにより、図5Eに示すような耐湿膜25を形成する。より具体的には、第1電極層22の一部を露出させるための誘電体膜23の開口に重なる位置と、第2電極層24の一部を露出させる位置との各々に開口が設けられるように、耐湿膜25を形成する。

[0083] <保護層の形成>

図5Fは、保護層を形成する工程の一例を説明するための断面模式図である。

[0084] 保護層26の構成材料からなる層を、例えば、スピコート法により、図5Eに示した構造体の基板10とは反対側の表面上に形成する。その後、この層のパターニングを、例えば、保護層26の構成材料が感光性である場合はフォトリソグラフィー法のみを用い、また、保護層26の構成材料が非感光性である場合はフォトリソグラフィー法及びエッチング法を組み合わせることで、図5Fに示すような保護層26を形成する。より具体的には、第1電極層22の一部を露出させるための誘電体膜23及び耐湿膜25の開口に重なる位置と、第2電極層24の一部を露出させるための耐湿膜25の開口に重なる位置との各々に開口が設けられるように、保護層26を形成する。

[0085] <外部電極の形成>

図5Gは、シード層を形成する工程の一例を説明するための断面模式図である。図5Hは、第1めっき層及び第2めっき層を形成する工程の一例を説明するための断面模式図である。図5Iは、シード層の一部を除去する工程の一例を説明するための断面模式図である。

[0086] 図5Gに示すように、シード層28aを、図5Fに示した構造体の基板10とは反対側の表面上に形成する。そして、めっき処理及びフォトリソグラフィー法を組み合わせることにより、図5Hに示すような第1めっき層28b及び第2めっき層28cを順次形成する。その後、図5Iに示すように、シード層28aの一部を、例えば、エッチング法により除去する。以上により、外部電極27として、図5Iに示すような第1外部電極27A及び第2

外部電極 27B を形成する。より具体的には、誘電体膜 23、耐湿膜 25、及び、保護層 26 に各々設けられた開口を介して、第 1 電極層 22 に接続されるように第 1 外部電極 27A を形成する。また、耐湿膜 25 及び保護層 26 に各々設けられた開口を介して、第 2 電極層 24 に接続されるように第 2 外部電極 27B を形成する。

[0087] <第 1 樹脂体及び第 2 樹脂体の形成>

図 5 J は、感光性樹脂膜を形成する工程の一例を説明するための断面模式図である。図 5 K は、第 1 樹脂体及び第 2 樹脂体を形成する工程の一例を説明するための断面模式図である。

[0088] 図 5 J に示すように、保護層 26 及び外部電極 27 を覆うように感光性樹脂膜 35 を形成する。そして、感光性樹脂膜 35 のパターンングをフォトリソグラフィ法で行うことにより、図 5 K に示すような第 1 樹脂体 31 及び第 2 樹脂体 32 を形成する。

[0089] 以上により、図 1 に示すキャパシタ 1 が製造される。

[0090] 以上では、1 つのキャパシタ素子を製造する場合について説明したが、同一の基板 10 上に複数のキャパシタ素子を形成した後、ダイシング等で基板 10 を切断して個片化することにより、複数のキャパシタ素子を同時に製造してもよい。

[0091] [第 2 実施形態]

本発明の第 2 実施形態に係るキャパシタは、誘電体膜上に前記第 2 電極層と離れて設けられた第 3 電極層をさらに備え、外部電極は、第 3 電極層に接続された第 1 外部電極と、第 2 電極層に接続された第 2 外部電極と、を含む。

[0092] 図 6 は、本発明の第 2 実施形態に係るキャパシタの一例を模式的に示す断面図である。

[0093] 図 6 に示すキャパシタ 2 は、基板 10 と、基板 10 上に設けられた絶縁膜 21 と、絶縁膜 21 上に設けられた第 1 電極層 22 と、第 1 電極層 22 上に設けられた誘電体膜 23 と、誘電体膜 23 上に設けられた第 2 電極層 24 と

、誘電体膜 23 上に第 2 電極層 24 と離れて設けられた第 3 電極層 29 と、誘電体膜 23、第 2 電極層 24 及び第 3 電極層 29 上に設けられた耐湿膜 25 と、耐湿膜 25 上に設けられた保護層 26 と、保護層 26 を貫通する外部電極 27 と、を備える。外部電極 27 は、第 2 電極層 24 に接続された第 2 外部電極 27 B と、第 3 電極層 29 に接続された第 1 外部電極 27 A と、を含む。第 1 外部電極 27 A は保護層 26 及び耐湿膜 25 を貫通し、第 2 外部電極 27 B は保護層 26 及び耐湿膜 25 を貫通する。

[0094] 図 1 に示すキャパシタ 1 の構成では、左側にキャパシタが形成されているのに対し、図 6 に示すキャパシタ 2 の構成では、左右にキャパシタが形成されている。図 6 に示す構成では、図 1 に示す構成において第 1 電極層 22 に第 1 外部電極 27 A が接続されている部分を、第 1 電極層 22、誘電体膜 23、第 3 電極層 29 の順に設けられた構成物に置き換えているだけである。そのため、図 6 に示す構成は、図 1 に示す構成に対して追加の素子形成スペースを取る必要がない。したがって、同じ素子の面積のまま、低容量のキャパシタを作製することができる。このような構造は、一定以上の厚みの誘電体膜を形成できない場合に有効である。

[0095] [その他の実施形態]

本発明の半導体装置は、上記実施形態に限定されるものではなく、キャパシタ等の半導体装置の構成、製造条件等に関し、本発明の範囲内において、種々の応用、変形を加えることが可能である。

[0096] 本発明の半導体装置は、高い Q 特性を有するため、マッチング回路又はフィルタ回路のキャパシタとして好適に用いられる。本発明の半導体装置を備えるマッチング回路又はフィルタ回路も本発明の 1 つである。

[0097] 図 7 は、マッチング回路の一例を示す説明図である。

[0098] 例えば、図 7 に示すマッチング回路のキャパシタ C に本発明の半導体装置を用いることによって、回路全体の消費電力を抑制することができる。例えば、誘電体膜に含有される S i と N の総量に対する S i の原子濃度比が 42 . 8 a t o m % (化学量論比) である場合の消費電力を 100% としたとき

、誘電体膜に含有されるS iとNの総量に対するS iの原子濃度比が55 atom%である場合の消費電力は89%に抑制される。

[0099] 図8は、フィルタ回路の一例を示す説明図である。

[0100] 例えば、図8に示すフィルタ回路のキャパシタC1に本発明の半導体装置を用いることによって、回路全体の消費電力を抑制することができる。例えば、誘電体膜に含有されるS iとNの総量に対するS iの原子濃度比が42.8 atom%（化学量論比）である場合の消費電力を100%としたとき、誘電体膜に含有されるS iとNの総量に対するS iの原子濃度比が55 atom%である場合の消費電力は95%に抑制される。

符号の説明

[0101] 1、2 キャパシタ（半導体装置）

10 基板

21 絶縁膜

22 第1電極層

23 誘電体膜

24 第2電極層

25 耐湿膜

26 保護層

27 外部電極

27A 第1外部電極

27B 第2外部電極

28a シード層

28b 第1めっき層

28c 第2めっき層

29 第3電極層

31 第1樹脂体

31a 第1壁部

31b 第2壁部

3 2 第 2 樹脂体

3 2 a 第 1 外周部

3 2 b 第 2 外周部

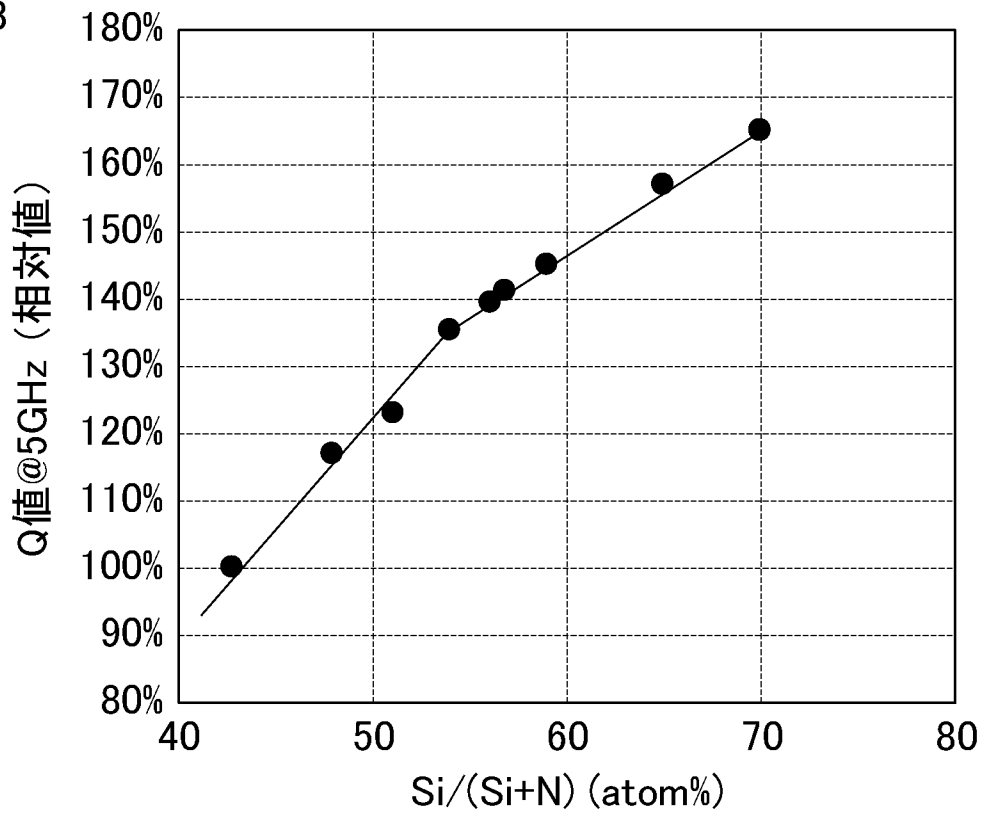
3 5 感光性樹脂膜

請求の範囲

- [請求項1] 基板と、
前記基板上に設けられた第1電極層と、
前記第1電極層上に設けられた誘電体膜と、
前記誘電体膜上に設けられた第2電極層と、
前記第1電極層及び前記第2電極層を覆う保護層と、
前記保護層を貫通する外部電極と、
を備え、
前記誘電体膜はシリコン窒化物からなり、
前記誘電体膜に含有されるSiとNの総量に対するSiの原子濃度比が43atom%以上70atom%以下である、半導体装置。
- [請求項2] 前記誘電体膜に含有されるFの含有量が 10^{19} cm^{-3} 以下である、請求項1に記載の半導体装置。
- [請求項3] 前記外部電極は、前記第1電極層に接続された第1外部電極と、前記第2電極層に接続された第2外部電極と、を含む、請求項1又は2に記載の半導体装置。
- [請求項4] 前記誘電体膜上に前記第2電極層と離れて設けられた第3電極層をさらに備え、
前記外部電極は、前記第3電極層に接続された第1外部電極と、前記第2電極層に接続された第2外部電極と、を含む、請求項1又は2に記載の半導体装置。
- [請求項5] 請求項1～請求項4のいずれか1項に記載の半導体装置を備える、マッチング回路。
- [請求項6] 請求項1～請求項4のいずれか1項に記載の半導体装置を備える、フィルタ回路。

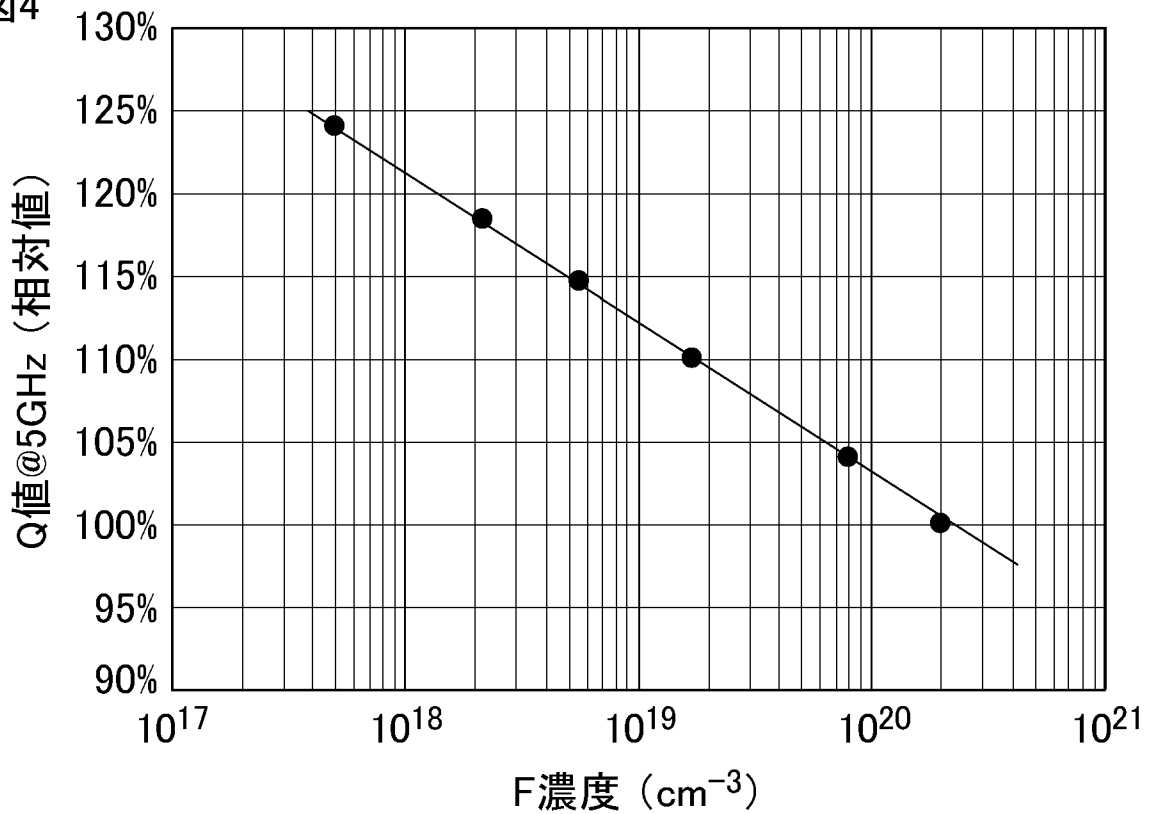
[図3]

図3



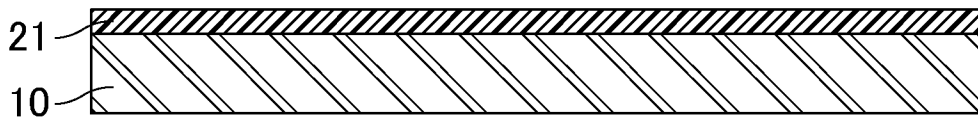
[図4]

図4



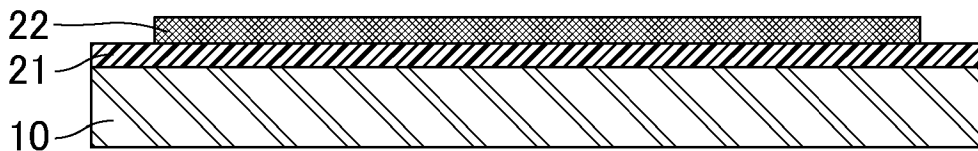
[図5A]

図5A



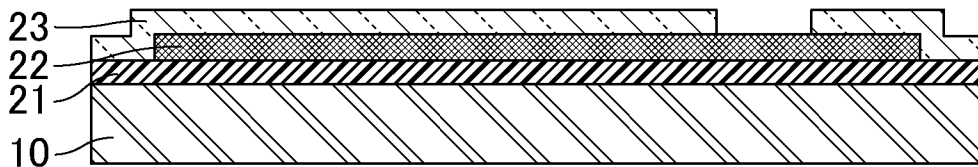
[図5B]

図5B



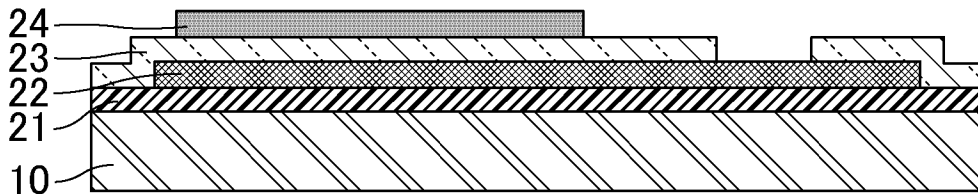
[図5C]

図5C



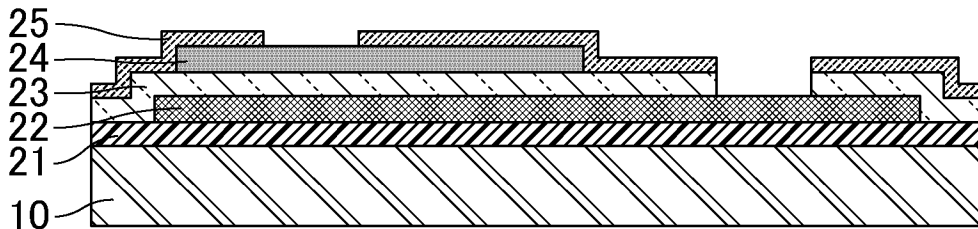
[図5D]

図5D



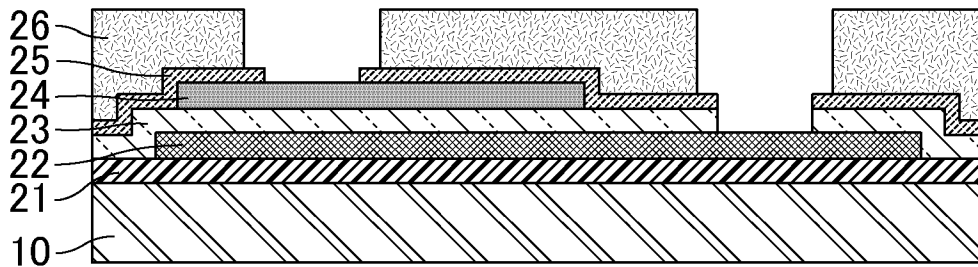
[図5E]

図5E



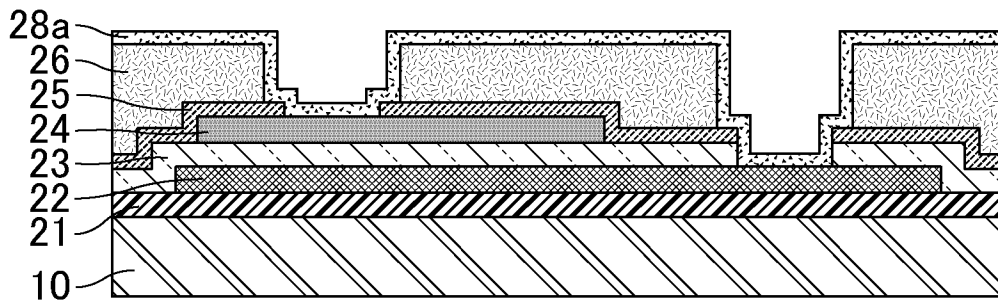
[図5F]

[図5F]



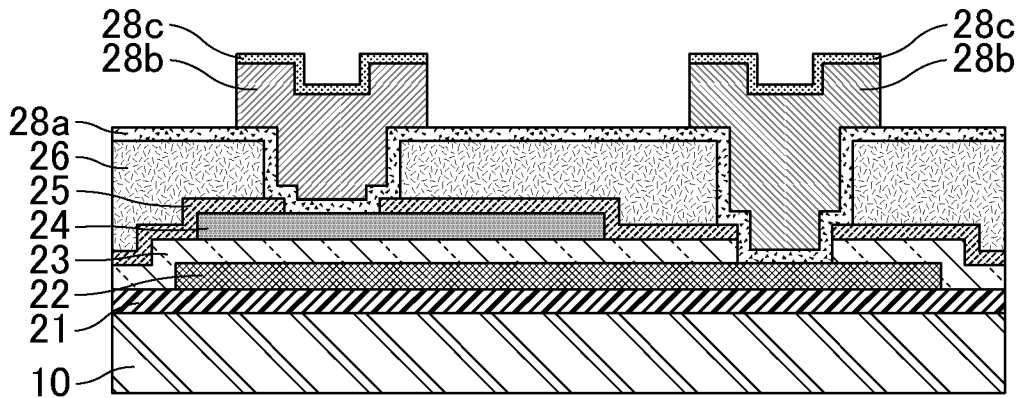
[図5G]

[図5G]



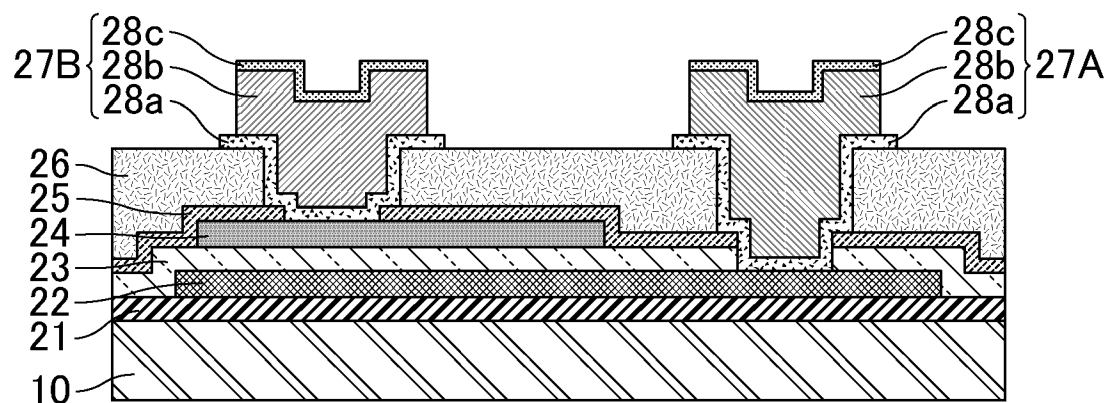
[図5H]

[図5H]



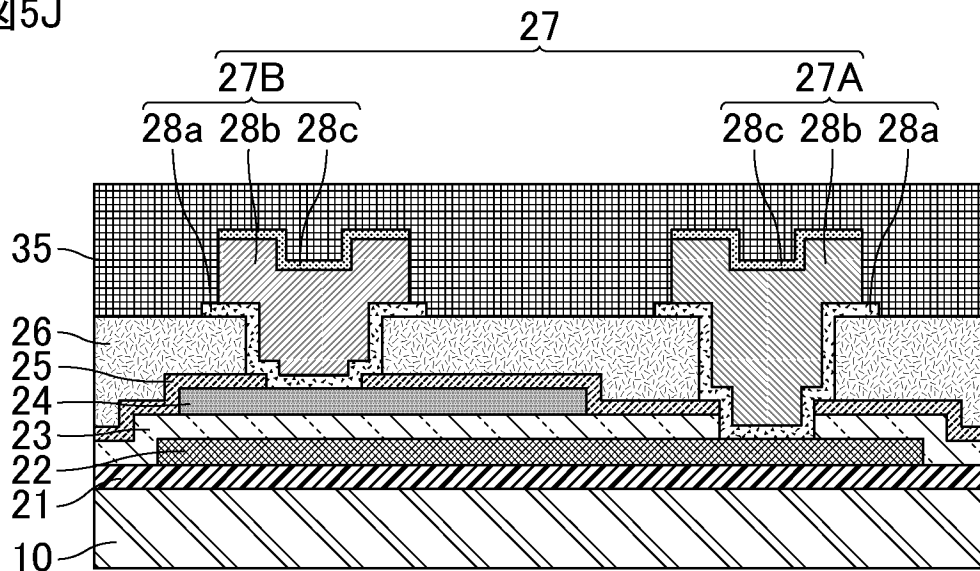
[図5I]

[図5I]



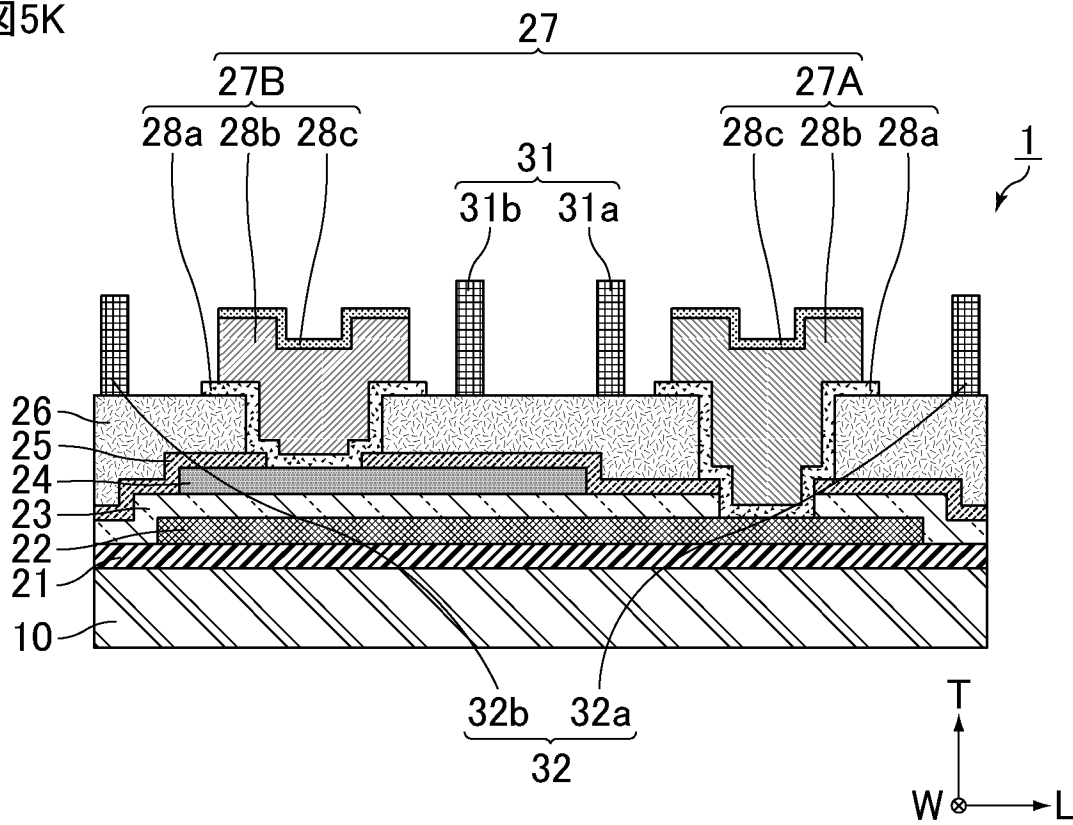
[図5J]

[図5J]



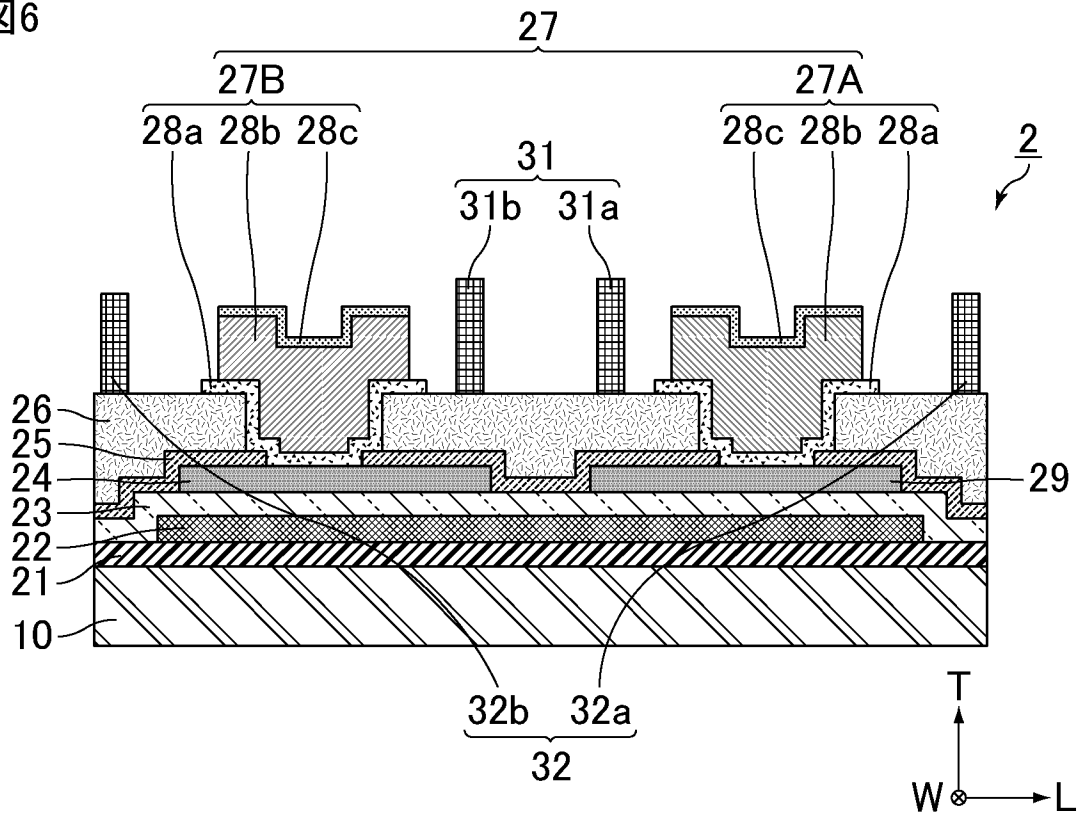
[図5K]

[図5K]



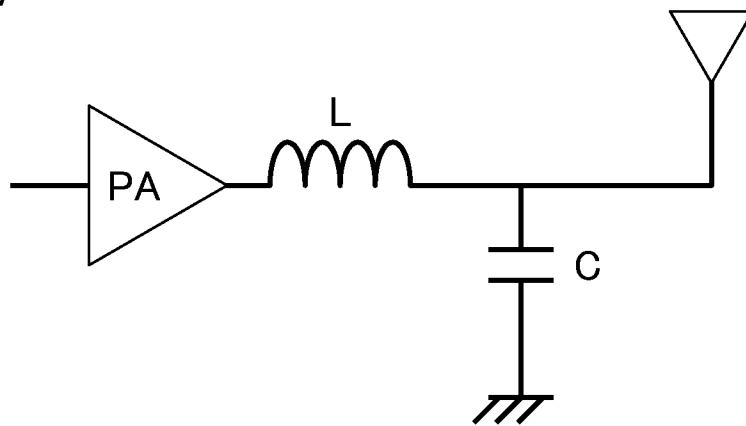
[図6]

図6



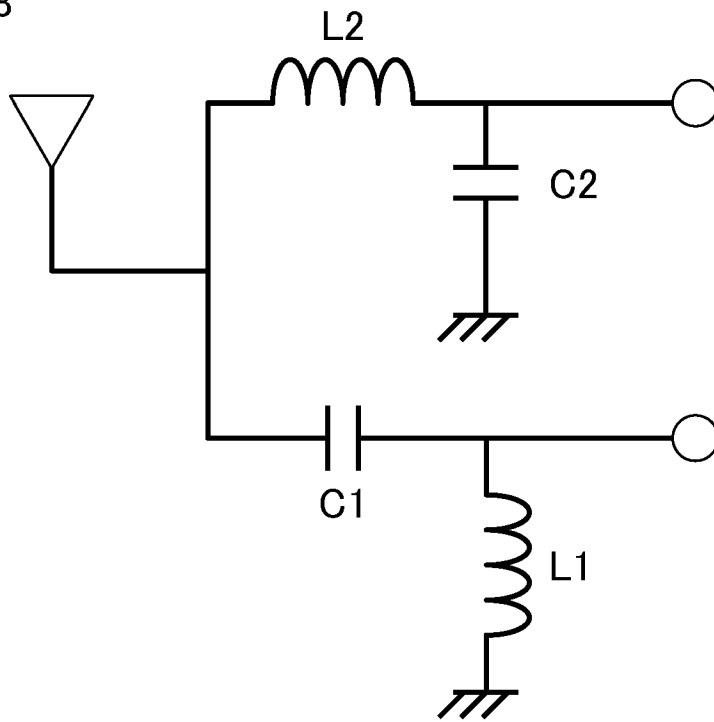
[図7]

図7



[図8]

[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/019625

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01G 4/30</i> (2006.01)i; <i>H01G 4/33</i> (2006.01)i FI: H01G4/33 102; H01G4/30 544		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01G4/30; H01G4/33		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2019/026771 A1 (MURATA MANUFACTURING CO., LTD.) 07 February 2019 (2019-02-07) paragraphs [0010]-[0029], [0038]-[0043], fig. 1, 10	1, 3-6
A	WO 2020/074534 A2 (FRAUNHOFER-GESELLSCHAFT ZUR FORDERUNG DER ANGEWANDTEN FORSCHUNG E.V.) 16 April 2020 (2020-04-16) column 2, line 24 to column 3, line 5, column 5, lines 1-11	1-6
A	OHTA, Hiroyuki. Ultrathin fluorinated silicon nitride gate dielectric films formed by remote plasma enhanced chemical vapor deposition employing NH ₃ and SiF ₄ . Journal of Applied Physics. vol. 90, no. 4, 15 August 2001, 1955-1961 abstract	2
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 19 July 2022		Date of mailing of the international search report 02 August 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2022/019625

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2019/026771 A1	07 February 2019	(Family: none)	
WO 2020/074534 A2	16 April 2020	JP 2022-504537 A paragraphs [0011], [0018] US 2021/0257502 A1 EP 3864713 A2 DE 102019204503 B3	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01G 4/30(2006.01)i; H01G 4/33(2006.01)i FI: H01G4/33 102; H01G4/30 544		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01G4/30; H01G4/33 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2019/026771 A1 (株式会社村田製作所) 07.02.2019 (2019-02-07) [0010]-[0029], [0038]-[0043], 図1, 10	1, 3-6
A	WO 2020/074534 A2 (FRAUNHOFER-GESELLSCHAFT ZUR FORDERUNG DER ANGEWANDTEN FORSCHUNG E.V.) 16.04.2020 (2020-04-16) 第2欄24行目-第3欄5行目, 第5欄1-11行目	1-6
A	OHTA, Hiroyuki, Ultrathin fluorinated silicon nitride gate dielectric films formed by remote plasma enhanced chemical vapor deposition employing NH ₃ and SiF ₄ , JOURNAL OF APPLIED PHYSICS, VOLIME 90, NUMBER 4, 2001.08.15, 1955-1961 abstract	2
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日	19.07.2022	国際調査報告の発送日 02.08.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 北原 昂 5D 5381 電話番号 03-3581-1101 内線 3551	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/019625

引用文献	公表日	パテントファミリー文献	公表日
WO 2019/026771 A1	07.02.2019	(ファミリーなし)	
WO 2020/074534 A2	16.04.2020	JP 2022-504537 A [0011], [0018]	
		US 2021/0257502 A1	
		EP 3864713 A2	
		DE 102019204503 B3	