

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6228119号
(P6228119)

(45) 発行日 平成29年11月8日(2017.11.8)

(24) 登録日 平成29年10月20日(2017.10.20)

(51) Int.Cl.

F I

H O 1 L 31/074 (2012.01)

H O 1 L 31/06 4 4 O

請求項の数 15 (全 19 頁)

(21) 出願番号 特願2014-527730 (P2014-527730)
 (86) (22) 出願日 平成24年8月14日 (2012.8.14)
 (65) 公表番号 特表2014-527725 (P2014-527725A)
 (43) 公表日 平成26年10月16日 (2014.10.16)
 (86) 国際出願番号 PCT/GB2012/051982
 (87) 国際公開番号 W02013/030531
 (87) 国際公開日 平成25年3月7日 (2013.3.7)
 審査請求日 平成27年8月13日 (2015.8.13)
 (31) 優先権主張番号 61/528,650
 (32) 優先日 平成23年8月29日 (2011.8.29)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 514051257
 アイキューイー パブリック リミテッド
 カンパニー
 I Q E P L C.
 イギリス国 シーエフ3 オエルダブリュ
 ウェールズ, カーディフ, セント
 メロンズ, パスカル クローズ
 P a s c a l C l o s e , S t M e
 l l o n s , C a r d i f f , W a l
 e s C F 3 O L W G B
 (74) 代理人 100090022
 弁理士 長門 侃二

最終頁に続く

(54) 【発明の名称】 光起電デバイス

(57) 【特許請求の範囲】

【請求項 1】

シリコン以外のⅠⅤ族半導体材料層(1, 4, 7, 10)と、

少なくとも1種類のⅡⅢ族の原子と少なくとも1種類のⅤ族の原子とから生成され、
 前記ⅠⅤ族半導体材料層との界面(8)を有し、ⅠⅤ族半導体材料層がⅡⅢ-Ⅴ族半導
 体材料へ格子整合している、ⅡⅢ-Ⅴ族半導体材料層(3, 9)と、

前記Ⅴ族原子が前記ⅠⅤ族半導体材料層に拡散することをコントロールするために、前
 記ⅡⅢ-Ⅴ族半導体材料層と前記ⅠⅤ族半導体材料層の間の前記界面か、または、前記
 界面から離間した、前記ⅠⅤ族半導体材料層か、または前記ⅡⅢ-Ⅴ族半導体材料層に
 おけるシリコン層(6)と、

前記界面と接し、かつ前記ⅡⅢ-Ⅴ族半導体材料の層からシリコン層を介して拡散し
 たⅤ族原子によってドーピングされた、前記ⅠⅤ族半導体材料層におけるⅤ族でドーピングされた
 n型の領域と、

を備えることを特徴とする半導体材料。

【請求項 2】

請求項 1 に記載の半導体材料において、

前記ⅠⅤ族半導体材料層における前記Ⅴ族でドーピングされた領域は、前記ⅠⅤ族半導体材
 料層において、p型領域を有するp-n接合部(2)となることを特徴とする半導体材料
 。

【請求項 3】

請求項 1 に記載の半導体材料において、

前記 I V 族半導体材料層における前記 V 族でドーピングされた領域と前記 I I I - V 族半導体材料層とは、前記界面におけるトンネルダイオードを形成することを特徴とする半導体材料。

【請求項 4】

請求項 1 乃至 3 いずれか 1 項に記載の半導体材料において、前記 I V 族半導体材料層は、ゲルマニウムであることを特徴とする半導体材料。

【請求項 5】

請求項 1 乃至 4 のいずれか 1 項に記載の半導体材料において、

前記 I V 族半導体材料層は、シリコン - ゲルマニウムかまたはシリコン - ゲルマニウム - 錫であることを特徴とする半導体材料。

10

【請求項 6】

請求項 1 乃至 5 のいずれか 1 項に記載の半導体材料において、

前記 I I I - V 族半導体材料層は、Al, Ga, In の内の 1 つ以上の I I I 族原子を含み、P, As, Sb, Bi の内の 1 つ以上の V 族原子を含むことを特徴とする半導体材料。

【請求項 7】

請求項 1 乃至 6 のいずれか 1 項に記載の半導体材料において、

前記 I V 族半導体材料層 (10) は、前記シリコン層 (6) と前記 I I I - V 族半導体材料層 (3) との間のエピタキシャル I V 族半導体材料層 (7) を備えることを特徴とする半導体材料。

20

【請求項 8】

請求項 1 乃至 7 のいずれか 1 項に記載の半導体材料において、

前記 I V 族半導体材料層は、基板層 (1) と当該基板層の上に成長されたエピタキシャル層 (10) とを備えることを特徴とする半導体材料。

【請求項 9】

請求項 1 乃至 8 のいずれか 1 項に記載の半導体材料において、

前記シリコン層 (6) は、7.5 以下の厚さを有することを特徴とする半導体材料。

【請求項 10】

第 1 の I I I - V 族層 (3) との界面 (8) に対し前記 I V 族層の反対側にある、前記 I V 族半導体材料層 (10) との界面を有する第 2 の I I I - V 族半導体材料層 (1) を備え、当該第 2 の I I I - V 族半導体材料層と前記 I V 族半導体材料層との間の界面に第 2 のシリコン層 (14) を備えることを特徴とする、請求項 1 乃至 9 のいずれか 1 項に記載の半導体材料。

30

【請求項 11】

前記半導体材料は、太陽電池セルであることを特徴とする請求項 1 乃至 10 のいずれか 1 項に記載の半導体材料。

【請求項 12】

半導体材料を製造する方法であって、

シリコン以外の I V 族半導体材料層 (1 , 4 , 7 , 10) を準備するステップと、

40

少なくとも 1 種類の I I I 族の原子と少なくとも 1 種類の V 族の原子とから生成され、前記 I V 族半導体材料層との界面 (8) を有する I I I - V 族半導体材料層 (3 , 9) を設けるステップと、

前記 I I I - V 族半導体材料層の間の界面か、または、当該界面から離間した、前記 I V 族半導体材料層か、または前記 I I I - V 族半導体材料層におけるシリコン層 (6) を設けるステップと、

前記 I I I - V 族半導体材料層からの V 族原子をシリコン層を通して拡散して前記 I V 族半導体材料層にドーピングし、前記界面と接する前記 I V 族半導体材料層において、V 族でドーピングされた n 型領域を形成する、V 族原子を拡散するステップと、

を備えることを特徴とする方法。

50

【請求項 13】

請求項 12 に記載の方法において、

前記 V 族原子を拡散するステップは、前記 I V 族半導体材料層における p - n 接合部 (2) を形成することを特徴とする方法。

【請求項 14】

請求項 12 に記載の方法において、

前記 V 族原子の拡散は、既に n 型となっている前記 I V 族半導体材料層の領域で行われ、高濃度の n 型ドーパントを有する、n 型ドープ領域が形成されることを特徴とする方法。

【請求項 15】

太陽光から電力を生成する方法であって、

請求項 11 に記載の太陽電池セルを準備するステップか、または請求項 12 乃至 14 のいずれか 1 項に記載の方法で製造される半導体材料からなる太陽電池を準備するステップと、

前記太陽電池に太陽光を照射するステップと、
を備えることを特徴とする方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、太陽電池を含む光起電デバイスに関する。

【背景技術】

【0002】

光起電装置のよく知られた 1 つのタイプは、直列に接続された 2 つ以上のセルを有し、半導体材料の垂直方向の積層体から形成されており、各々のセルは、異なるバンドギャップを有する p - n 接合部を含んでおり、これらの接合部は、このデバイスに当たる光のスペクトルの異なる部分を吸収するのに用いられている (タンデムセル)。多接合光起電デバイスは、現在使用されているものはゲルマニウム基板に作製されている。

【0003】

図 1 は、このようなデバイスの下側のセルの典型的な構造を示す。p 型ゲルマニウム (Ge) 基板 1 が準備され、このデバイスの第 1 の p - n 接合部 2 が、III-V 族の半導体材料の層 3 をこのゲルマニウム基板の上に成長させ、これら 2 つの層は界面 8 で接している。この層 3 は、この技術分野では核形成層と呼ばれている。プロセス中に用いられる高い温度では、V 族の原子は、この核形成層 3 から界面を通過してゲルマニウム基板に拡散し、ゲルマニウムの表面の下で p - n 接合部 2 を形成する。V 属の原子は、ゲルマニウム中で n 型のドーパントとして機能するので、これらが十分な濃度で拡散すると n 型領域 4 が形成され、この接合部が形成される。(n 型領域 4 のもう一方の境界は、当然ながら III-V 族の材料と IV 族の材料との間の界面 8 である。) III-V 族の層 3 は、n 型であるので、これと IV 族の n 型領域 4 との間は低抵抗のコンタクト部となっている。V 族の原子の拡散深さのコントロールは、p - n 接合部の品質を決定する重要な点であり、浅い接合部であることが好ましい。拡散は、さらなる他の半導体層 5 の核形成層 3 と共にこれらの成長およびアニーリング (および他の処理) の温度および時間でコントロールされる。このさらなる半導体の層 5 は、スペクトルの異なる部分を吸収するための 1 つ以上のさらなる p - n 接合部を形成するために設けられる。図 1 のようなボトムセルを有する多接合太陽電池の例は、特許文献 1 および 2 に記載されている。

【0004】

非特許文献 1 は、1990 年に発行されている。非特許文献 1 (論文) の著者は、フォトリソグラフィおよび空孔に基づいてドーピングを変化させた構造に興味をもっており、この論文自体は、ゲルマニウムで過成長したガリウム - 砒素エピタキシャル層で形成されたダイオードの研究について論じている。この基本的なダイオードは、マイクロプラズマによって助長される、低品質な試料の非均質性によって引き起こされ、マイクロプラズマ

10

20

30

40

50

によって助長される絶縁破壊により損傷されるが、著者らはこれはGaAsの空孔（これは逆にGaおよびAsのGeへの外方拡散で生じる）によると示唆している。これを回避するために厚さ10³ nmの疑似モルフィックなシリコンの中間層が設けられた。（ゲルマニウムはp型であり、Gaが $5 \times 10^{18} \text{ cm}^{-3}$ の濃度でドーピングされた。接合部でのGaAsは、これより低く、シリコンを用いて $5 \times 10^{16} \text{ cm}^{-3}$ の濃度にドーピングされた。）とりわけこれは所定の深さとなるようにコントロールされてよい。

【0005】

太陽電池セルは、電力を発生するのに用いられ、好ましくは太陽光で発生される。これらの太陽電池セルには、太陽光が直接照射され、または効率を改善するための、太陽光をセルに集光する集光器を用いて照射される。

10

【先行技術文献】

【特許文献】

【0006】

【特許文献1】米国特許第6380601号

【特許文献2】米国特許公開公報2002/0040727号

【非特許文献】

【0007】

【非特許文献1】論文"Si as a diffusion barrier in Ge/GeAs heterojunctions"、著者 S. Strite, M.S.Unlu, K. Adomi, and H. Morkoc (Appl. Phys Lett. 56(17))

【発明の概要】

20

【0008】

本発明によれば、半導体材料が準備され、この半導体材料は、シリコン以外のIV族半導体材料層と、少なくとも1種類のIII族の原子と少なくとも1種類のV族の原子とから生成され、IV族半導体層との界面を有するIII-V族半導体材料層と、III-V族半導体層とIV族半導体層の間の界面か、または、この界面から離間した、IV族半導体層か、またはIII-V族半導体層におけるシリコン層と、この界面と接しかつIII-V族半導体層を形成する、少なくとも1種類のV族原子でドーピングされたIV族半導体層におけるV族でドーピングされたn型の領域と、を備える。

【0009】

このシリコン層は、V族原子がIV族層へ拡散することを（これを低減することによって）コントロールし、これによってIV族層のドーピングをその深さおよび濃度に関してコントロールする。さらに、Si層の厚さを変えることにより、異なる条件でドーピングを変化させることができる。このようにして、IV族層のドーピングは、所望にコントロールすることができる。

30

【0010】

このIV族半導体層における、V族でドーピングされたn型の領域の部分は、シリコン層の特定の側にあり、このシリコン層の反対側にあるIII-V族半導体層部分を形成するものの少なくとも1種類のV族原子でドーピングされてよい。

【0011】

このシリコン層の特定の側にあるIV族半導体層の部分をドーピングする、V族原子の少なくとも一部は、このシリコン層の反対側にあるIII-V族層の部分からもたらされてよい。

40

【0012】

IV族半導体層における、V族でドーピングされたn型領域は、界面と接するIII-V族半導体層の領域を形成するV族原子の少なくとも1種類でドーピングされてよい。

【0013】

半導体層におけるV族でドーピングされた領域は、IV族の層におけるp型領域を有するp-n接合部となってよい。

【0014】

界面におけるIII-V族材料は、n型であってよい。

50

【0015】

このIII-V族材料層は、n型であってよい。

【0016】

代替として、IV族層においてV族でドーピングされた領域とIII-V族層とは、界面におけるトンネルダイオードを形成してよい。界面におけるIII-V族材料は、p型でドーピングされていてよい。

【0017】

IV族半導体材料層は、ゲルマニウムであってよく、またはシリコン-ゲルマニウムであってよく、またはシリコン-ゲルマニウム-錫であってよい。

【0018】

III-V族材料は、Al, Ga, Inの内の1つ以上のIII族原子を含んでよく、P, As, Sb, Biの内の1つ以上のV族原子を含んでよい。このIII-V族材料は、InGaAsP, AlGaAs, AlGaAsP, GaAs, GaAsP, AlAs, InGaP, InGaAs, AlInGaAs, AlInGaPからなるグループから選択された材料を含んでよい。

10

【0019】

IV族層は、シリコン層とIII-V族半導体層との間に、IV族のエピタキシャル半導体層を備えてよい。

【0020】

III-V族半導体層は、シリコン層とIV族半導体層との間に、III-V族のエピタキシャル半導体層を備えてよい。

20

【0021】

IV族半導体層は、基板層と、この基板層の上に成長したエピタキシャル層とを備えてよい。

【0022】

好ましくは、シリコン層は7.5以下かまたは3原子層以下の厚さを有する。このシリコン層は、1原子層以下であってよく、あるいは1原子層未満であってよい。

【0023】

界面と接するIII-V族半導体層のドーピング濃度は、 1 cm^3 当りの原子数が 1×10^{17} 個より多くてよく、または 1 cm^3 当りの原子数が 1×10^{18} 個より多くてよく、または 1 cm^3 当りの原子数が 1×10^{18} 個と 5×10^{18} 個の間であってよい。

30

【0024】

IV族半導体層における、V族でドーピングされたn型領域のV族原子のドーピング濃度は、 1 cm^3 当りの原子数が 1×10^{17} 個より多くてよく、または 1 cm^3 当りの原子数が 1×10^{18} 個より多くてよく、または 1 cm^3 当りの原子数が 6×10^{18} 個より多くてよい。

【0025】

V族原子でドーピングされていないIV族半導体層のドーピング濃度は、 1 cm^3 当りの原子数が 4×10^{18} 個より少なくてよく、または 1 cm^3 当りの原子数が 5×10^{16} 個と 2×10^{18} 個との間であってよく、または 1 cm^3 当りの原子数が 1×10^{17} 個と 1×10^{18} 個との間であってよい。

40

【0026】

本発明による半導体材料は、第1のIII-V族層との界面に対しIV族層の反対側にある、IV族半導体層との界面を有する第2のIII-V族半導体材料の層を備えてよく、この第2のIII-V族半導体層とIV族半導体層との間の界面に第2のシリコン層を備えてよい。

【0027】

また本発明は、本発明による半導体材料を備えた、光を吸収する光起電デバイスを提供する。

【0028】

50

この光起電デバイスは、複数の光吸収セルを備えてよく、これらの内1つ以上は本発明による半導体材料を備えている。この複数のセルの1つは、この複数のセルの他の1つと異なるバンドギャップを有してよい。この光吸収セルは、光を吸収するp-nダイオードであってよい。この光起電デバイスは、太陽電池であってよい。

【0029】

本発明は、さらに半導体材料を製造する、以下のステップを含む方法を提供する。

- シリコン以外のⅢⅤ族半導体材料層を準備するステップ。
- 少なくとも1種類のⅢⅢⅢ族の原子と少なくとも1種類のⅤ族の原子とから生成され、ⅢⅤ族半導体層との界面を有するⅢⅢⅢ-Ⅴ族半導体材料層を設けるステップ。
- ⅢⅢⅢ-Ⅴ族半導体層とⅢⅤ族半導体層との間の界面か、または、この界面から離間した、ⅢⅤ族半導体層か、またはⅢⅢⅢ-Ⅴ族半導体層においてシリコン層を設けるステップ。

10

- ⅢⅢⅢ-Ⅴ材料層からのⅤ族原子をシリコン層を通してⅢⅤ族材料にドーブし、界面と接するⅢⅤ族半導体層において、Ⅴ族でドーブされたn型領域を形成するステップ。

【0030】

Ⅴ族原子の拡散は、ⅢⅤ族層におけるp-n接合部を形成してよい。

【0031】

Ⅴ族原子の拡散は、既にn型となっているⅢⅤ族層の領域で行われてよく、高濃度のn型ドーパントを有する、n型ドーブ領域が形成される。

【0032】

20

ⅢⅢⅢ-Ⅴ族層は、ⅢⅤ族層の上あるいはシリコン層の上に直接成長されてよい。

【0033】

本発明による材料あるいは、本発明の方法によって製造された材料は、以下のステップによる太陽光を用いた発電に使用される。

- これらの材料で形成された太陽電池セルを準備するステップ。
- この太陽電池に太陽光を照射するステップ。この方法は太陽電池に照射するための太陽光を集光するステップを備えてよい。

【0034】

本発明の第2の態様においては、半導体層から形成された2つ以上の光吸収セルを有する多接合光起電デバイスが提供され、このデバイスは以下のものを備える。

30

- シリコンゲルマニウムまたはシリコンゲルマニウム錫の材料からなる第1のセル。
- シリコンゲルマニウム錫からなる第2のセル。

ここで第1のセルのシリコンゲルマニウムまたはシリコン-ゲルマニウム錫、および第2のセルのシリコンゲルマニウム錫は、ガリウム砒素に格子整合されている。

【0035】

多接合光起電デバイスは、さらにガリウム砒素材料のセルを備えてよい。

【0036】

この多接合光起電デバイスは、さらにガリウム砒素に格子整合されたインジウムガリウム燐のセルを備えてよい。

【0037】

40

この多接合光起電デバイスは、さらに、ガリウム砒素に格子整合されたアルミニウムインジウム砒素のセル、あるいはガリウム砒素に格子整合されたアルミニウムインジウムガリウムリンのセルを備えてよい。

【0038】

この多接合光起電デバイスは、ガリウム砒素の基板を備えてよく、セルの半導体層はこの基板の上に格子整合されている。代替として、この多接合光起電デバイスは、ガリウム砒素に格子整合された基板を備えてよく、半導体層はこの基板の上に格子整合されている。

【0039】

この光起電デバイスは、太陽電池であってよい。

50

【0040】

好ましくは、第1のセルはシリコンゲルマニウム材料からなる。

【0041】

また本発明のこの第2の態様は、以下のステップを備える多接合光起電デバイスの製造方法を提供する。

- ガリウム砒素の基板またはガリウム砒素に格子整合された他の材料を準備するステップ。

- シリコンゲルマニウムまたは上記基板に格子整合されたシリコンゲルマニウム錫からなる第1のセルを成長させるステップ。

- この第1の光吸収セルに格子整合されたシリコンゲルマニウム錫からなる第2のセルを成長させるステップ。

10

【0042】

この方法は、ガリウム砒素のセルを成長させるステップを備えてよい。

【0043】

この方法は、ガリウム砒素に格子整合されたインジウムガリウムリンのセルを成長させるステップを備えてよい。

【0044】

この方法は、ガリウム砒素に格子整合されたアルミニウムガリウム砒素の光吸収層を成長させるステップを備えてよい。

【0045】

20

この方法は、ガリウム砒素に格子整合されたアルミニウムインジウムガリウム燐のセルを成長させるステップを備えてよい。

【0046】

この方法は、2つの隣接する上記のセルの間に少なくともさらにもう1つの層を設けるステップを備えてよく、この少なくともさらにもう1つの層は、ガリウム砒素に格子整合されている。

【0047】

この方法は、基板を除去するステップを備えてよい。

【図面の簡単な説明】

【0048】

30

本発明の実施例を、これに付随する以下の図を参照して説明する。

【図1】公知の多接合光起電デバイスセルの下側のセルの半導体層の断面を示す図である。

【図2】本発明による多接合光起電デバイスセルの第1の実施例の下側のセルの半導体層の断面を示す図である。

【図3】本発明による多接合光起電デバイスセルの第2の実施例の下側のセルの半導体層の断面を示す図である。

【図4】本発明による多接合光起電デバイスセルの第3の実施例の下側のセルの半導体層の断面を示す図である。

【図5】本発明による多接合光起電デバイスセルの第4の実施例の下側のセルの半導体層の断面を示す図である。

40

【図6】本発明による多接合光起電デバイスセルの第5の実施例の下側のセルの半導体層の断面を示す図である。

【図7】本発明による多接合光起電デバイスセルの第6の実施例の下側のセルの半導体層の断面を示す図である。

【図8】本発明によるシリコン層を有する半導体層構造とこのシリコン層を有しない半導体層構造とを比較する2次イオン分析図である。

【図9】本発明によるデバイスのもう1つの実施例を示す図である。

【図9A】図9Aは、図9のデバイスのセルにおける本発明の使用の実施例を示す図である。

50

【図 9 B】図 9 B は、図 9 のデバイスのセルにおける本発明の使用の実施例を示す図である。

【図 10 A】基板間に S i G e 層のトランスファ層を有する本発明の実施例を形成する方法を示す図である。

【図 10 B】基板間に S i G e 層のトランスファ層を有する本発明の実施例を形成する方法を示す図である。

【図 10 C】基板間に S i G e 層のトランスファ層を有する本発明の実施例を形成する方法を示す図である。

【図 10 D】基板間に S i G e 層のトランスファ層を有する本発明の実施例を形成する方法を示す図である。

10

【図 11】本発明のデバイスを用いたもう 1 つの実施例を示す図である。

【図 11 A】本発明の方法の使用の実施例を示す図である。

【図 11 B】本発明の方法の使用の実施例を示す図である。

【図 11 C】本発明の方法の使用の実施例を示す図である。

【図 11 D】本発明の方法の使用の実施例を示す図である。

【図 12】本発明を用いたトンネルダイオードの実施例を示す図である。

【図 13】S i G e S n 合金のバンドギャップおよび格子定数を示すグラフであり、G a A s および G e に格子整合され得ることを示すとともに、これにより生じるバンドギャップを示している。

【発明を実施するための形態】

20

【0049】

本発明による光起電デバイスの第 1 の実施例が図 2 に示されている。この図は、点線で示す 1 つ以上の p - n 接合部を形成する半導体層 5（もしこれが存在すれば）をさらに含む、下側のセルの層の断面を示す。全般的に、この構造は図 1 に示すものと類似している。たとえばゲルマニウムである、p 型の I V 族半導体基板 1 が、この基板上に成長された n 型の I I I - V 族半導体の層 3 と共に準備され、これら 2 つの層は再び界面 8 で面している。また、ここでも V 族原子は I I I - V 族層 3 から界面 8 に隣接する n 型領域 4 を形成する I V 族層に拡散し、これによりその領域が残りの I V 属材料の p 型部分と面するような p - n 接合部 2 を生成する。しかしながら、まず薄いシリコン層 6 が、層 3 と I V 族基板 1 との間に設けられる。（特定の I V 族半導体材料の可能性については後述するが、材料はシリコンそのものではない。I I I - V 族材料の可能性についても後述する。）

30

【0050】

図 3 は、第 2 の実施例を示し、ここでは I I I - V 族材料の核形成層 3 が S i 層 6 の上に成長される前に、まず I V 族半導体（シリコン以外）のエピタキシャル層 7 がこの S i 層の上に成長される。通常この層 7 は、この層が成長する時に最初に p 型または n 型でドーピングされてよい。

【0051】

これら 2 つの実施例では、シリコン層 6 は、V 族原子が層 3 から I V 族材料に拡散することをコントロールしている。このシリコンは、V 族の拡散に対するバリヤとして機能し、デバイスを形成するのに使用される同じプロセス条件の組み合わせでは、この p - n 接合部 2 は浅くなる。すなわちこの p - n 接合部の位置は、I V 族半導体と核形成層との間の界面 8 にさらに近くなる。このバリヤは完全ではない。このバリヤは、V 族が V 族原子の供給源である I I I - V 族の材料から、S i バリヤの反対側にある I V 族材料への拡散を排除するというよりむしろ低減するものである。このバリヤの厚さの設定は、p - n 接合部 2 の深さのコントロールに用いることができる。

40

【0052】

これら 2 つの実施例において、バリヤ 6 の好ましい厚さはシリコンの 3 単原子層（7 . 5 ）以下である。実際には、これは完全な 1 単原子層より薄くともよい。シリコン層には張力が発生する（これはシリコン層が I V 族半導体の格子定数と整合しようとするためである）ので、この 3 原子単層は、シリコン層の好ましい最大厚である。上記の限界厚の

50

上では、転位がシリコンにおける張力を緩和するように形成され、これらの転位はデバイス性能に対し不利となり得る。また、3原子単層までの範囲は、光起電デバイスに好適な接合深さとなる。

【0053】

第2の実施例(図3)では、ⅠⅤ族のエピ層7の厚さは、好ましくはⅤ族原子がデバイスのプロセス中に、ⅠⅤ属半導体材料の材料を拡散通過する距離を越えないようにすべきである。これはこの距離を越えると、Siバリヤを横断するⅤ族原子が極小となるからである。通常この距離は1μm未満であり、使用されるⅤ族種およびデバイスを処理するステップの温度に依存する。

(なお、図3の実施例に関し、通常p-n接合部2は、シリコンバリヤ6のⅠⅠⅠ-Ⅴ層側と反対の側にあり、本発明は通常バリヤ6がⅤ族原子の拡散を制限するが、このバリヤを通過してⅠⅤ族材料をn型に変換するには十分でない場合を含むものであり、このp-n接合部は、このバリヤかまたはこのバリヤの近傍*にある。(*p-n接合部はもちろん数単原子層のバリヤより大きい領域を有している。))

【0054】

図4および5は、それぞれ第1および第2の実施例と同じ層(図2および3)を有する第3および第4の実施例を示すが、ⅠⅤ族半導体のp型エピタキシャル層10は、まずシリコン層6およびⅠⅠⅠ-Ⅴ層3が成長される前に設けられる。この特定の実施例では、エピ層10は、基板1の上に成長されるが、中間層を有することが可能である。エピ層として層10を有することは、またⅠⅤ族半導体における接合部のドーピングの厚さおよびプロファイルを正確にコントロールするのに役立つ。好ましくは、ここに示すように、層10は基板1(またはⅠⅤ族材料の中間層)におけるよりもむしろこのⅠⅤ族層でp-n接合部2がエピ層を形成するのに十分な厚さであるが、前者を排除するものではない。なお、しかしながら、ⅠⅤ族エピ層10は他の材料の上でも成長され得るので、基板1は必ずしもⅠⅤ族である必要はない。

【0055】

図6および7は、それぞれ第1および第3の実施例(図2および4)と同じ層を有する第5および第6の実施例であるが、シリコン層6およびⅠⅠⅠ-Ⅴ族の主層3が成長される前に、まず最初にⅠⅠⅠ-Ⅴ族半導体材料のn型エピタキシャル層9が設けられる。ここでもシリコン層はⅤ族原子の拡散をコントロールするバリヤ6として機能し、Ⅴ族原子が層3からこのバリヤ6の反対側にあるⅠⅤ族材料に拡散することをコントロールする。ⅠⅤ族材料はまた、層9からのⅤ族原子によってもドーピングされる。このSiバリヤは、このバリヤの他の側のⅠⅠⅠ-Ⅴ族層からのⅠⅤ族層へのドーピングレベルに対し顕著な差を設けるために存在するのであり、このためこのⅠⅠⅠ-Ⅴ族エピ層9は、デバイスのプロセス条件下でⅤ族原子が層3から層9を通して拡散するような距離より薄くなるはずである。

【0056】

p-n接合部が形成される材料として用いられるⅠⅤ族半導体材料の例はゲルマニウムである。ゲルマニウム基板もまた容易に入手可能である。基板としてのゲルマニウムの方位は僅かに(100)および(111)からずれていることが好ましい。(正確な結晶面からずらされた基板は従来技術で知られている。)

【0057】

ゲルマニウム以外のⅠⅤ族半導体が使用されてもよく、シリコン-ゲルマニウムおよびシリコン-ゲルマニウム-錫のように用いてよい。SiGeおよびSiGeSnは、ベース基板としては入手できないが、GaAsに格子整合して成長させることができる。このようなSiGeまたはSiGeSnは、本発明で用いる前に、元のGaAs基板から取り外して、より安価な基板にとりつけてもよい。このプロセスの例を以下に後述する。少なくとも0.04に達する成分量xを有し、場合によってはx=0.06以上であるSi_xGe_{1-x}が用いられてよいが、好ましくはxは0.01 < x < 0.03の範囲である。これに対応したSi_xGe_{1-x}のGaAsとの格子不整合は、約x=0.018における格子

10

20

30

40

50

整合条件から離れる方向で x の0.01の変化に対し約0.04%となる。図13は、SiGeSn合金のバンドギャップおよび格子定数を示すグラフであり、SiGeSnのバンドギャップ範囲0.66 - 1.1 eVでGaAsに格子整合され得ることを示している。これはまたSiGeSnがGeに格子整合され得ることを示し、Geの格子定数が極めてGaAsの格子定数に近いので、SiGeSnがGeに格子整合され得るバンドギャップ範囲は、上記のSiGeSnのGaAsへの格子整合の場合と類似している。SiGeSnは、SiのSnに対する比が約4:1のところではGaAsに格子整合される。たとえばSiの割合が2%で、Snの割合が0.5%のところでは、これらはGaAsに格子整合された場合より大きなバンドギャップをもたらす。Siの割合が8%で、Snの割合が2%のところでは、このバンドギャップは大きくなり、これらの割合がさらに大きくなると、このバンドギャップはさらに大きくなり、たとえば限界値である80%のSiおよび20%のSnでは、この材料のバンドギャップは約1.1 eVとなる。

10

【0058】

従来技術で知られているように、核形成層3は、InGaAsやInGaPのような、種々のIII-V族材料から製造することができる。他の材料には、InGaAsP, AlGaAs, AlGaAsP, GaAs, GaAsP, AlAs, InGaP, InGaAs, AlInGaAs, AlInGaP, 等がある。これらはまた、Sb(またはBiでもよい)を材料のV族原子(の1つ)として含むようなものを含む。従来技術で知られているように、これらの材料の殆どは、ゲルマニウム、シリコン、またはシリコン-ゲルマニウム、シリコン-ゲルマニウム-錫の少なくとも1つに格子整合あるいはほぼ格子整合されて成長され得る。

20

【0059】

これらの材料の多くは、V族原子としてAsおよび/またはPを含んでいる。なお、AsおよびPは共にIII-V族材料からIV族材料に拡散し、IV族材料に対し、少なくともGeに対してはAsはPよりも遠くまでかつ速く拡散する。2つ以上のIII-V族エピタキシャル層があるところ(たとえば図6および7の実施例はエピタキシャル層3および9を有する)では、これらの層が、ベース材料を形成し、かつまた堆積中に行われるドーピングにおけるIII族およびV族の原子に関して同じ組成を有していることが好ましい。しかしながら、異なる組成も可能であり、これはIV族領域でのドーピングプロファイルをコントロールするのに有用である。実際、層中の異なる組成もまた除外されるものではない。

30

【0060】

同様に、2つ以上のIV族エピタキシャル層があるところ(たとえば図5の実施例)では、上述のたとえばIV族材料の堆積中におけるV族の拡散の前のこれらの層が、ベース材料を形成し、かつまた堆積中に行われるドーピングにおけるIV族の原子に関して同じ組成を有することが好ましい。しかしながら、異なる組成も可能である。実際、層中の異なる組成および/またはドーピングもまた除外されるものではない。

【0061】

しかしながら、従来技術でエピタキシャル層に対してしばしば行われるように、このエピ層および基板が同じベース材料であった場合でも、IV族エピ層および基板(図4, 5, および7)では異なるドーピングであることが好ましい。

40

【0062】

上記のGaAs上に成長されたSiGeおよびSiGeSnの例で示唆されているように、IV族層10の材料は、非IV族材料の基板の上に成長されることができる。

【0063】

使用可能または好ましい幾つかのドーピング濃度は以下の通りである。IV族層との界面にあるIII-V族層では、このドーピング濃度は通常 1 cm^3 当たりの原子数が 1×10^{17} 個であり、さらに好ましくは 1 cm^3 当たりの原子数が 1×10^{18} 個であり、さらにもっと好ましくは 1 cm^3 当たりの原子数が 1×10^{18} 個と 5×10^{18} 個の間である。IV族半導体層におけるドーピングを形成する、拡散されたV族原子の数は、通常 1 cm

50

³当りの原子数が 1×10^{17} 個より多く、好ましくは 1 cm^3 当りの原子数が 1×10^{18} 個より多く、そして 1 cm^3 当りの原子数が 6×10^{18} 個より多くてよい。IV族層の残りの（V族原子が顕著に拡散していない）部分については、ドーピング濃度は、通常 1 cm^3 当りの原子数が 4×10^{18} 個より小さく、好ましくは、 1 cm^3 当りの原子数が 5×10^{16} 個と 2×10^{18} 個の間であり、さらに好ましくは 1×10^{17} 個と 1×10^{18} 個の間である。

【0064】

このシリコン層6および他の層は、従来の技術を用いて成長させることができる。以下のように幾つかの方法は可能である。

【0065】

たとえばこのシリコン層は、III-V族層のエピタキシーに用いられる従来のMOCVD反応炉（このような装置は多接合光起電デバイスのIII-V族のエピタキシーに従来のより用いられている）で成長させることができる。（IV族半導体材料の例として）ゲルマニウム基板は、直接MOCVD反応炉に設置でき、またシリコンおよびIII-V族層を共に成長させるのに使用することができるので、この方法は、とりわけ第1の実施例（図2）に適合しているが、この実施例に限定するものではない。シリコンはこのような反応炉においてドーパント源として用いられ、したがって、直接ゲルマニウム基板にシリコンを堆積するために、III-V族核形成層を堆積する前に、シリコンを堆積することができる。

【0066】

シリコン層6は、ゲルマニウム、シリコンおよびシリコン-ゲルマニウムまたはシリコン-ゲルマニウム-錫を成長させるCVD堆積装置でエピタキシャル成長させることができる。ゲルマニウム等の基板は、まずこの装置に設置され、またさらにシリコンおよびGeエピタキシャル層6および7を成長させることができるので、この方法は、とりわけ第2の実施例（図3）に適合しているが、この実施例に限定するものではない。次に加工対象物は、MOCVD反応炉（好ましくはマルチチャンバシステム（cluster tool arrangement）を用いてゲルマニウムエピタキシャル層7が清浄なままとなるようにする）に移動されてIII-V族層3が堆積される。

【0067】

MBEをIII-V族材料またはシリコンの堆積に用いてもよい。

【0068】

図8は、2次イオン質量分析器を用いて、InGaAs/Ge接合部を有する多接合タンデムセルデバイスの試料で、直接界面に本発明によるシリコン層を有するボトムセル（a）とこれを有しないボトムセル（b）とを比較してプロットしたものである。縦軸は、GeにおけるAs原子の濃度を 1 cm^3 当たりの原子数で示してあり、横軸は、Ge層の深さを μ で示している。このグラフは、シリコン層を有する場合は、InGaAs層に拡散するAsドーパント濃度がGe層の $1 \mu\text{m}$ の深さに閉じ込められていることを示しており（（a））、これに対してSi層を用いないコントロールの場合（ただし他のプロセス条件は同一）は、As原子が約 $4 \mu\text{m}$ を貫通していることを示している（（b））。さらに、As原子の濃度は、Si層を有している試料では低くなっている。これらの所見は、Si層がAsの拡散のバリアとして機能することを示している。同様の結果は、異なるV族原子を有するIII-V族半導体材料を用いても得られる。

【0069】

本発明によるシリコン層を有する三重接合光起電構造の試料は、シリコン層を有しない場合に比べて1sunで照射された場合の最大出力および開路電圧（ V_{oc} ）を増加させるのに有効であると評価されている。

【0070】

図9は、本発明を用いた、多接合太陽電池のもう1つの実施例を示し、ここでは全てのセルが示されている。この図は本発明のデバイスのセルのタンデム構成を示している（各々のセルは様々な半導体層で出来ているが、これら詳細は示されていない）。このデバイ

10

20

30

40

50

スは、GaAs基板91からスタートし、本発明に基づいて、この基板にSiGeセル92が成長される（したがってp-n接合部、Si拡散バリア層およびこの上のドーピングを行うIII-V族層（たとえばGaInP）を有するSiGe層を備えるが、これらのいずれも図のセル92には詳細には示されていない）。この上にGaAsセル94およびInGaPセル96が設けられる。トンネルダイオード93および95はそれぞれ、SiGeセルとGaAsセルとの間、およびGaAsセルとInGaPセルとの間でセル間の抵抗を低減する。最後のウィンドウ層97は、デバイスを保護するが、光入射を可能とし、デバイスの金属コンタクトライン99は、デバイスで生成された電流を集電する。最後に反射防止膜98が、このウィンドウを被覆する。

【0071】

図9Aは、図9のボトムセル92および基板91の例を詳細に示す（ただしもちろんこの例を使用することは、図9の特定な実施例に限定することではない。）。この例は図4の実施例の構造を有し、GaAsの基板1を有している。この上にGaAsに概ね（または正確に）格子整合されたp型SiGeのエピ層10が成長される。この上にSi拡散バリア6が成長され、この上にIII-V族核形成層3が成長され、これもまた概ね（または正確に）SiGeに格子整合される。V族原子は、層3の堆積およびこれに続く処理のステップの条件下で、バリア6でコントロールされて層3からSiGeに拡散し、このSiGeをドーピングして界面8に隣接したn型領域4を形成し、これによりSiGe層10にp-n接合部2が形成される。このSiGe層10の同様な例として、代わりにこの層はSiGeSnで形成される。

【0072】

このデバイスでは、GaAs基板1からのV族原子を用いたSiGe（またはSiGeSn）のドーピングに、潜在的な問題がある。すなわちAs原子によってSiGeがp型からn型にオーバードーピングされて、SiGe層10と基板1との間の界面の近傍でp-n接合部を形成するのである。

【0073】

この対策は以下の2つの方法で行われる。第一の方法では、SiGeがp型のままであるように、拡散を抑えるように、もう1つのSiバリア14が、界面に設けられてよい。（このSiバリアには、7.5 または3原子層の厚さが好ましい。この制限は、上記の試料のように、SiがGeに良く似たGaAs基板の格子定数に対して成長されることによる。）

【0074】

この問題を回避するもう1つの方法は、以降の処理のステップが実行される前に、SiGeを異なる基板の上にトランスファすることである。このトランスファは、以下に説明するように、発明者らの国際特許出願の国際公報WO2010094919で2010年8月26日に公開されており、この内容は本発明に組み込まれるものである。

【0075】

この方法では、Geを含む先驱体（たとえばGeH₄、GeCl₄、等）およびSiを含む先驱体（たとえばSiH₄、SiH₂Cl₂、SiHCl₃、ジシラン、等）のキャリアガスとの混合ガスを用いて、SiGe層10をGaAs基板1の上にエピタキシープロセスを用いて格子整合されて成長させることができる。このSiGe層10は、これに限定するものではないが、ジボランを含む、ガス状または固体のドーピング源を用いて処理中（in-situ）にドーブされてよい。この層10は、たとえば、大気圧または1~1000 Torrに減圧され、温度350 ~ 800 で成長されてよい。GaAsの基板の範囲として、p型、n型および準絶縁体を含むものが用いられてよく、ウェーハはエピタキシーの前にこの処理とは別に（ex-situ）または処理中にクリーニングされてよい。SiGe層10の結晶度特性は、たとえば格子整合の検査は、X線回析技術を用いて測定されてよく、層の厚さは通常角度可変のエリプソメータ分光を用いて測定されてよいが、また他の方法も可能である。

【0076】

このプロセスでは、GaAs基板とSiGe層10との間の材料組成交換が、良好なエッチング停止部として機能するヘテロ界面を生成し、GaAs基板が都合よく除去され、SiGe層10の滑らかな表面が的確に生じることが可能にする。GaAs基板の一部は、もしこれが速やかなあるいは容易または安価な製造プロセスであれば、機械的手段によって除去されてよい。たとえば、GaAs基板が500μm厚であれば、約400μmは、研磨によって除去されてよく、これによってGaAs材料はさらに容易に回収されて再利用することができる。最後の100μmは、選択的ウェットエッチングにより除去されてよい。

【0077】

この方法を使用して生成される光起電セル構造は、基板の厚みを取り除かれているために、軽量にすることができる。これはとりわけ宇宙分野での応用に重要である。適合する可撓性、熱特性、または他の所望の機械的または電気的特性を有する他の分野にも提供することができる。基板をヒートシンクに交換すると、基板は熱流を低減するように機能しないので、デバイスからの熱伝導をさらに効率的にすることができる。このヒートシンクまたは他の金属ベース層は、そのままデバイス底部への導電性電極として機能する。

【0078】

図10A~10Dに1つの特定の方法を示す。GaAs基板1からスタートし、上記で説明したように、また図10Aに示すように、SiGe層10がエピタキシャル成長される。次にGaAs基板以外の薄層以外を除去するためにトランスファ技術が用いられる。この層トランスファは、スマートカット(Smart Cut; 登録商標)等の特許の剥離技術を用いて行われ、GaAs基板の開裂面12が丁度SiGe層10の下に形成される。この開裂面12は、イオンビーム打ち込み技術を用いて、水素またはヘリウム原子を、このビームエネルギーで規定される正確な深さ、たとえば1.5μmまでの深さに堆積させて形成されてよく、本発明の条件ではSiGe層の厚さがほぼこの厚さである場合にこの技術が実用的となる。

【0079】

次に代替ベース13がSiGe層10に貼り付けられる。図10Bに示すように、この代替ベースは、SiGe層がSiO₂層に貼り付けられるように、酸化されたシリコンウェーハであってよい。ただし他のベースとして上述のような金属ヒートシンクが用いられてもよい。使用可能な他のベースの一部としては金属製、ガラスおよび半導体のベースがあり、これらはそれ自体が既に、金属、半導体および絶縁体の材料から選択された2つ以上の層を備えてよく、光起電接合部のような能動素子を1つ以上有していてもよい。次にこのGaAsバルク基板は、この構造体から分離され、僅かに残ったGaAs層が、たとえば選択ウェットエッチングにより除去され、上記で説明した酸化シリコンウェーハのような代替ベースの上に、図10Cに示すようにSiGe層10が残る。次にこのデバイスの後の層、たとえばSiバリア6およびIII-V族層3およびこれに続く層5が、図10Dに示すように形成される。

【0080】

上記で説明した技術の変形例の1つには、下側のSiGe層内で、基板の界面の真上の開裂面を形成することがある。層トランスファの後で、このトランスファされたSiGeは、さらなる必要な処理のために既に露出されている。GaAs基板の上に残っている残渣SiGeは、SiGeに選択的に作用しかつGaAsには作用しないウェットエッチを用いて、少なくとも部分的に除去されてよく、再使用可能なGaAs基板が残される。

【0081】

多種多様な異なった代替ベースが図10Dの構造に可能であり、これらはそれ自体が既に、金属、半導体および絶縁体の材料から選択された2つ以上の層を備えてよく、光起電接合部のような能動素子を1つ以上有していてもよい。初期に形成されたGaAs基板上のSiGe層は、開裂または剥離に続く残渣GaAsの正確な除去の理想的なエッチング停止部となる。

【0082】

10

20

30

40

50

図 1 1 は、本発明を用いた多接合太陽電池セルのもう 1 つの例を示す。これは 5 個の太陽電池セルを示しており、ここでも全セルはタンデム型に接続されている。これらは、基板から順番に、Ge セル 1 1 1，もう 1 つの Ge セル 1 1 2，GaInAs セル 1 1 3，AlGaInAs セル 1 1 4 および AlGaInP セル 1 1 5（高濃度 n 型コンタクト層 1 1 6 および金属ライン 1 1 7）である。このデバイスでは、本発明は Ge セル 1 1 2 を形成することに使用されており、このセルは上のセル 1 1 3 の III - V 族材料との界面を有し、Si 拡散バリア 6 がセル 1 1 2 とセル 1 1 3 との間の界面に設けられるように、V 族ドーパントを供給する。

【0083】

図 1 1 A は、図 1 1 のボトムセルの例 1 1 1，1 1 2 の例を詳細に示すが、ただしもちろんこの例を使用することは、図 1 1 の特定な実施例に限定することではない。

【0084】

最下部のセル 1 1 1 は、p 型の IV 族基板 1（たとえば Ge）を有し、この上に n 型の IV 族エピ層（例えば Ge）が成長されて第 1 の p - n 接合部を形成する。次のセル 1 1 2 への低抵抗コンタクトを設けるために、次にトンネルダイオードの層 1 6 が堆積される。この上に p 型の IV 族材料（たとえば Ge）のエピ層 1 0 が形成され、これに続いてシリコン拡散バリア 6 および III - V 族エピ層 3 が形成されて、上記の例のように、エピ層 3 からバリア 6 を通って拡散された V 族原子でドーパされたエピ層 1 0 の n 型材料 4 と、IV 族層 1 0 の残渣との間に p - n 接合部を形成し、これによってセル 1 1 2 が形成される。

【0085】

図 1 1 B は、図 1 1 A と類似したもう 1 つの例を示す。この例ではしかしながら、第 1 のセルは、基板を含んでいないが、基板 1 の上に p 型で（通常は基板に格子整合されて）成長された、追加の IV 族エピ層 1 7 とこの上に成長された n 型の IV 族層 1 5 とから出来ており、この第 1 のセルの p - n 接合部を形成する。

【0086】

図 1 1 B の例で示す特定の例では、基板の材料は（図 1 1 B（および図 1 1 C）に記載されているように）GaAs である。これらの IV 族層は、好ましくは通常この基板に格子整合されて成長され、この例では SiGe および SiGeSn である。SiGe は、格子が GaAs に整合された場合は、0.66 eV のバンドギャップを与え、SiGeSn は、これより大きい、~ 1.1 eV までのバンドギャップを与える。もし、GaAs への格子整合を維持したまま、0.66 eV より大きい 2 つのバンドギャップが必要であれば、最下部のセル 1 1 1 およびこの次のセル 1 1 2 は共に SiGeSn で作ることができるが、必要なバンドギャップをもたらすように互いに異なる組成で作られる。

【0087】

図 1 1 C は、さらにもう 1 つの例を示す。この例は、図 1 1 B に類似しているが、基板が III - V 族材料である場合に IV 族材料層 1 7 における好ましくない p - n 接合部の形成を避けるために、追加の Si 拡散バリア 1 4 が（図 9 B の例のように）設けられている。

【0088】

図 1 1 D は、多接合太陽電池のもう 1 つの例を示す。図 1 1 B および 1 1 C の例のように、SiGe または SiGeSn の第 1 のセルが GaAs 基板の上に設けられ、この上に SiGeSn の第 2 のセルが設けられている。この例では、さらに 3 つのセルが設けられており、これらもタンデム型で設けられている。第 2 のセルの上の第 3 の GaAs セル、この第 3 のセルの上の第 4 の InGaP セル、およびこの第 4 のセルの上の第 5 の AlInGaP セルである。これらのセルは全て GaAs 基板に格子整合されている。（AlGaAs は、厳密には GaAs と同じ格子定数を有していないが、十分に格子整合できるように殆ど同じ格子定数となっており、この AlGaAs 層は、歪みが転位により開放されることが起きるような臨界厚より薄くなっているため、僅かな歪みとなっている。これはガリウムに対するアルミニウムの割合の成分範囲の全てで適用される。この例では、他の

10

20

30

40

50

材料はGaAsと正確に格子整合する成分となっており、この成分が優先的に用いられる。)例として、これらのセルのバンドギャップは第1のセルから最後のセルまで順番に、 0.7 eV 、 1.0 eV 、 1.4 eV 、 1.8 eV 、 2.0 eV である。したがって、各々のセルはデバイスに当たる光のスペクトルの異なる部分を吸収する。必要があれば、このデバイスには、他の例で説明したように、Siバリア、トンネルダイオード、ウィンドウ層等が設けられる。また、図10A~10Dを参照して説明したように、この基板は除去されてよい。さらに、これらのセルの材料は、GaAsそのものの上に成長されなくともよく、GaAsに格子整合された他の基板の上に成長されてよい。他の層がこれらの光吸収セルの間に用いられてよく、これらはたとえば、トンネルダイオードであり、好ましくはこれらのセルと格子整合されており、また同様に好ましくは基板と格子整合されている。

10

【0089】

図12は本発明のもう1つの態様の例の層を示す。ここでは、IV族層10'とIII-V族層3'との間のSi拡散バリア6は、V族原子がこのバリアを通してIV族材料に拡散することをコントロールする。このIV族材料は既にn型であり、したがって、生成される拡散領域4'は高濃度でn型ドーピングされている。この例では、層3'および層4'はトンネルダイオードを形成する。

【0090】

図12に示す例は、IV族の光電セルに組み合わせたトンネルダイオードを示す。p型のIV族基板1が準備され、この上にn型のIV族エピ層10'が成長され、この接合部は光起電セルとなる。この上に薄いSi拡散バリア6が設けられ、この上に高濃度ドーピングされたIII-V族層3'が設けられる。このIII-V族層3'のV族原子は、バリアを通して拡散し、高濃度ドーピングされたn++領域4'を形成する。この上に他の層5、たとえば他の太陽電池セルがたとえばIII-V族材料で成長されてよい。高濃度ドーピングされたIV族n++領域4'および高濃度ドーピングされたIII-V族p++層3'は、低抵抗トンネルダイオード16を形成し、これは、層1と層10'との間のp-n接合部で生成された光電流が、大きな抵抗損失を受けずに上の層に導電されることを可能にする。

20

【0091】

上記の例と同様に、このシリコンバリアは必ずしも厳密にIV族材料とIII-V族材料との間の界面にある必要はなく、V族原子の拡散に影響を与えるように一方の側に距離を置いて設けられてよい。

30

【0092】

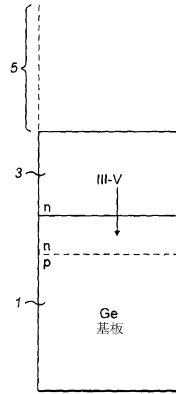
上記の例においては、これらのサブセルは、GaAs基板(すなわち、GaAsに格子整合された基板、またはこの構造の格子定数に適合した他の基板)の上に逆順に設けられてよく、大きなバンドギャップのセルからスタートし、これに続くセルでは順にバンドギャップが小さくなり、最後がたとえばSiGe/SiGeSnセルとなる。最も大きなギャップのセルと基板との間に、犠牲層が設けられ、これらのセルが取り外されて適合した手段またはヒートシンクにトランスファされてよく、最も狭いバンドギャップのセルが基板に隣接し、最も広いバンドギャップのセルが入射光を最初に受けるように反転されてよい。

40

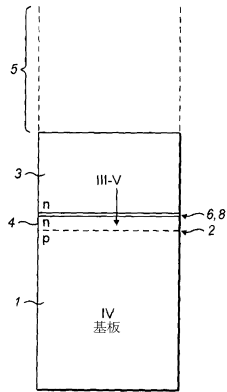
【0093】

典型的には太陽電池セルである、これらの材料を用いたデバイスは、通常は最初に必要な層または少なくともそれらの一部を有する半導体材料が準備されて製造される。材料は、通常半導体ウェーハ全体に渡り均一に製造されている。この材料は次にリソグラフィ技術により加工され、個々のデバイスおよび接続部が形成される。材料の製造はしばしば、リソグラフィ工程およびパッケージ工程を行う製造者と異なる製造者によって行われる。

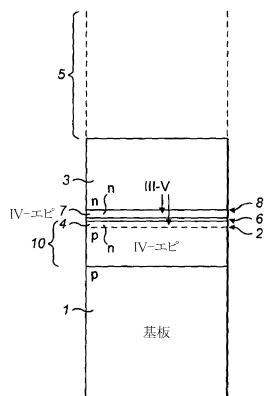
【図 1】



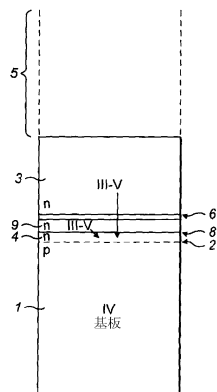
【図 2】



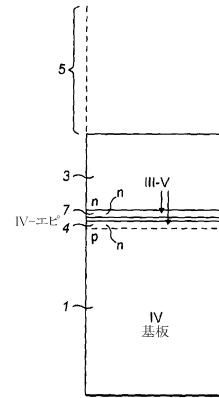
【図 5】



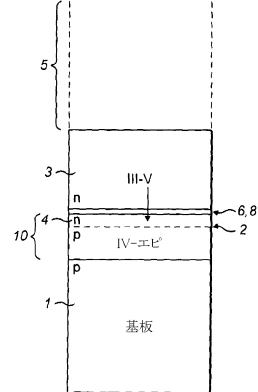
【図 6】



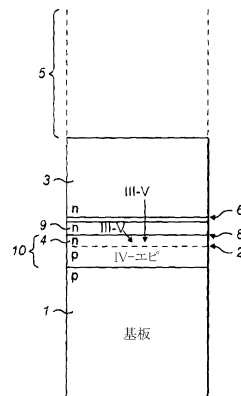
【図 3】



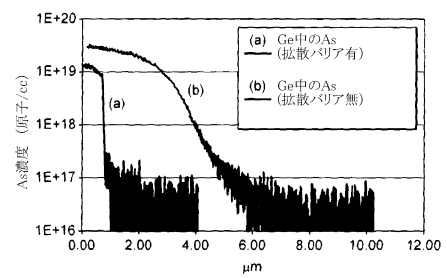
【図 4】



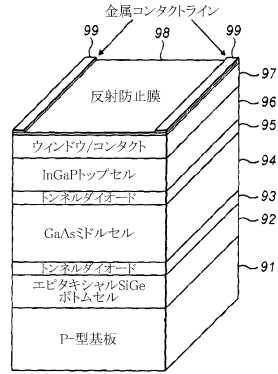
【図 7】



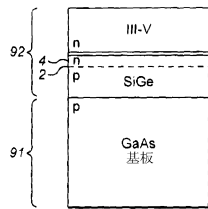
【図 8】



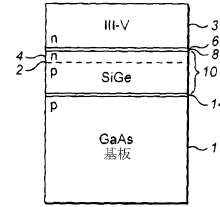
【図 9】



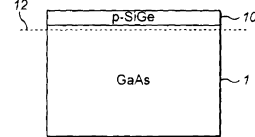
【図 9 A】



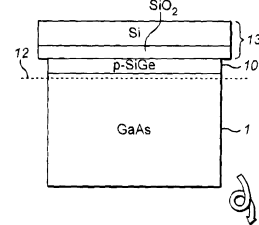
【図 9 B】



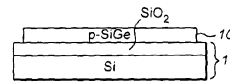
【図 10 A】



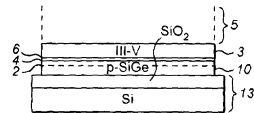
【図 10 B】



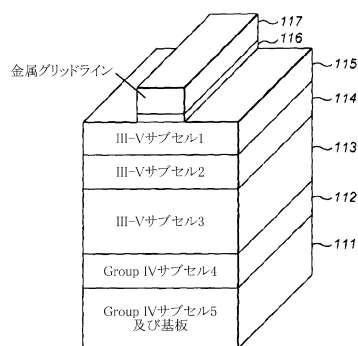
【図 10 C】



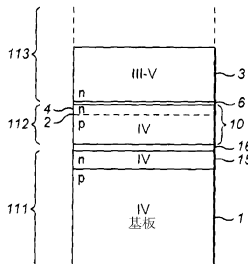
【図 10 D】



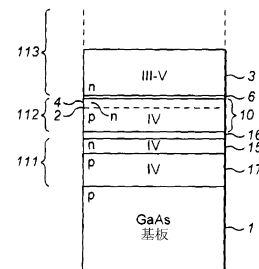
【図 11】



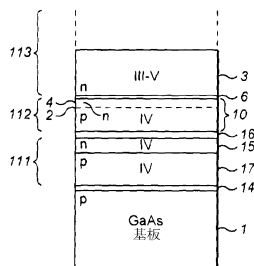
【図 11 A】



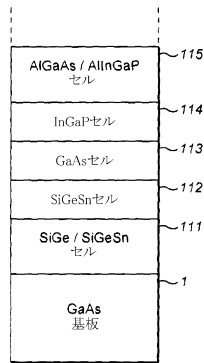
【図 11 B】



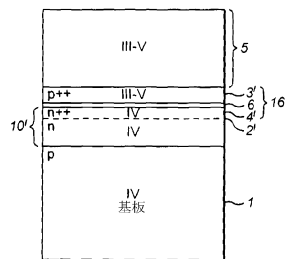
【図 11 C】



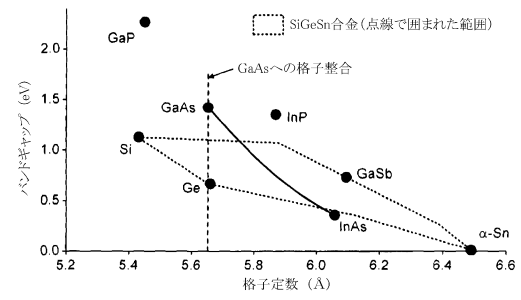
【図 1 1 D】



【図 1 2】



【図 1 3】



フロントページの続き

- (72)発明者 ジョンソン, アンドリュー
イギリス国 エヌピー 18 2ジェイイー ウェールズ, ニューポート, ラングストン, プ
ライアリー ウェイ 27
- (72)発明者 ネルソン, アンドリュー, ウィリアム
イギリス国 シーエフ 71 7アールダブリュ ウェールズ, ヴェイル オブ グラモーガン,
カウブリッジ, シティ, ランサノー
- (72)発明者 ハーパー, ロバート キャメロン
イギリス国 エヌピー 10 9エーエクス ウェールズ, ニューポート, ロジャーストン,
マイナー チェイス, ビーコンズ クローズ 6

審査官 濱田 聖司

- (56)参考文献 国際公開第 2010/102345 (WO, A1)
特表 2002-540635 (JP, A)
特表 2010-500741 (JP, A)
英国特許出願公開第 2467934 (GB, A)
S.Strite, "Si as a diffusion for Ge/GaAs heterojunctions", Applied Physics Letters, Vo
l.56, No.17 (1990), pp.1673-1675
- (58)調査した分野(Int.Cl., DB名)
H01L 31/00 - 31/20